

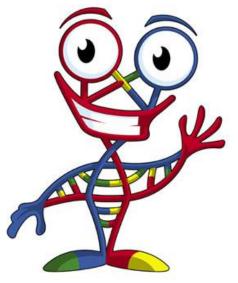
Digital System Design Course

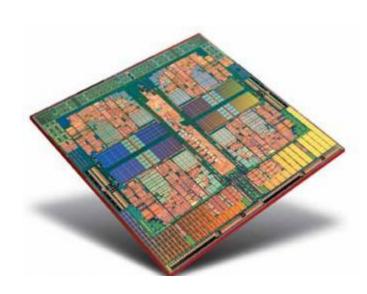


Professor: Jaime Velasco-Medina Bionanoelectronics Group



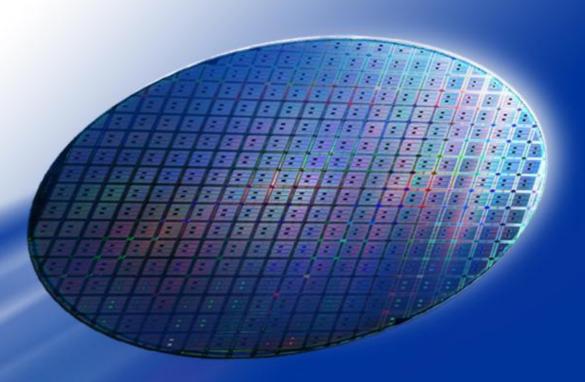
Digital System Design Course







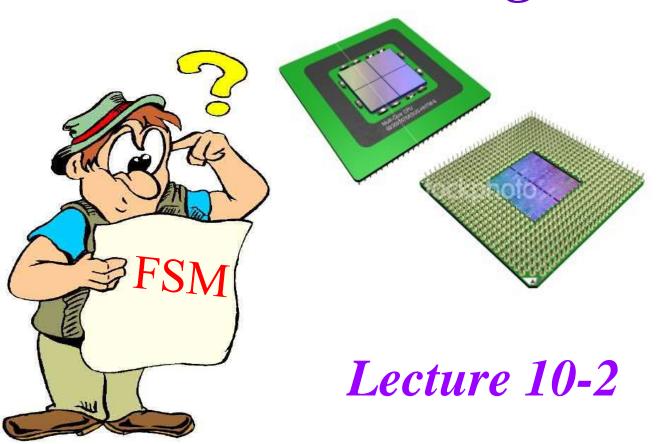




Digital System Design Course



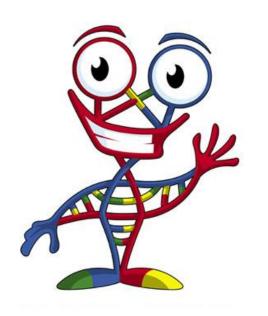
Finite States Machine Design

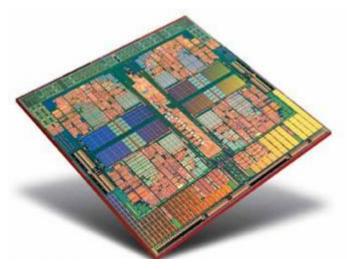






Square Root on UV Processor







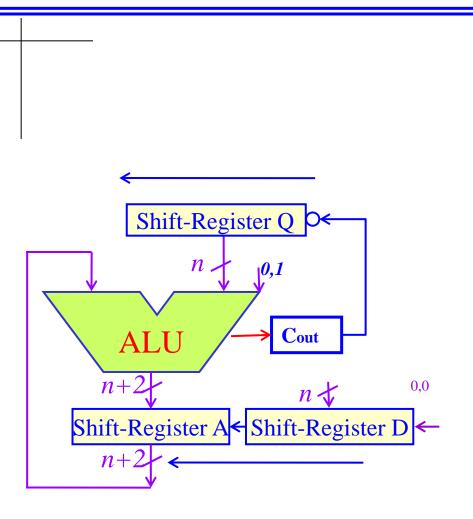
Raíz Cuadrada

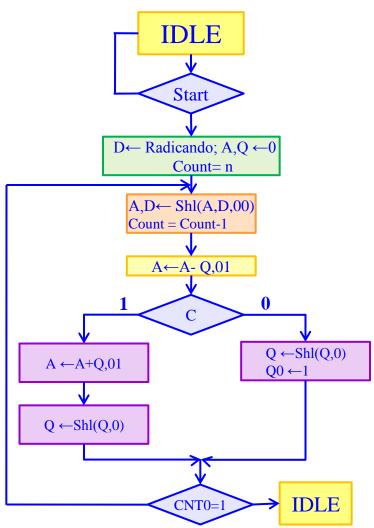


❖ Diseñar la unidad de control para realizar la Raíz cuadrada de un datos de 4 bits que se encuentran en la dirección MRAM[00] de la memoria RAM: el resultado se guarda en el registro R4 y el residuo en R5.

Datapath y ASM Específico

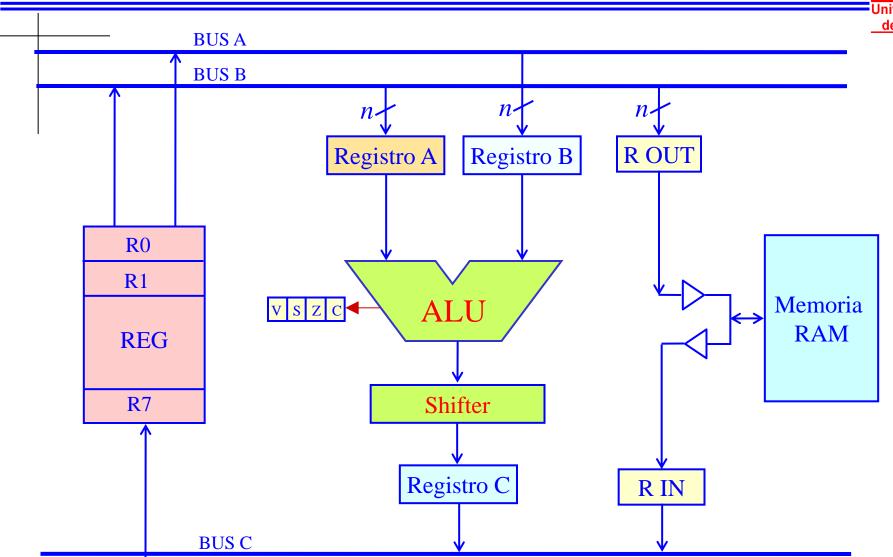






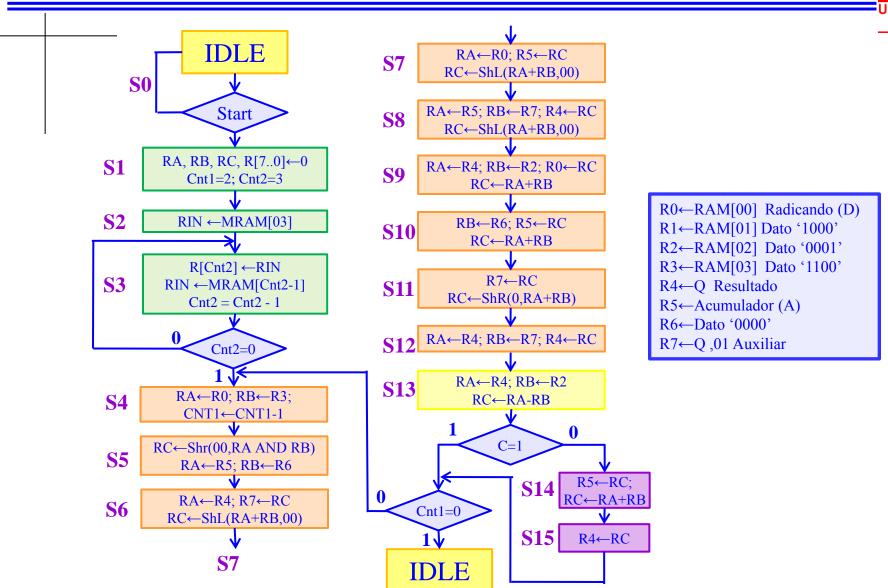
Datapath UV2009





ASM

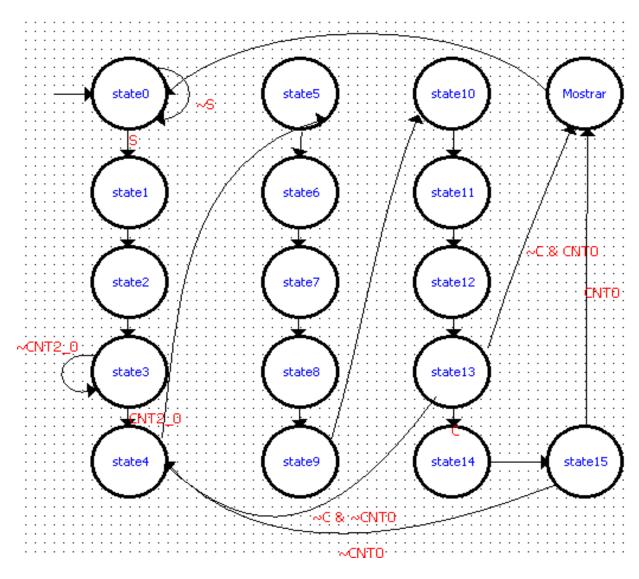




Digital System Design Course

Diagrama de Estados





Señales de Control

Universi	idad
del Va	lle

	_	
- C	A	٠
	v	
~	~	•

S1: CLR, EN_CNT1, EN_CNT2,

S2: WIN

S3: RIN, CM, WR, WIN, EN CNT

S4: RRA, RRB, DIRB0, DIRB1, WA, WB

S5: RRA, DIRA0, DIRA1, RRB, DIRB1, DIRB2, WC, LR, AND, DISTA1.

S6: RRA, DIRA2, RRB, DIRB1, DIRB2, RC, WC,WA, WB, DIRW0, DIRW1, DIRW2

S7: RRA, RC, WA, WC, WR, DIRW2, DIRW1, DISTA1

S8: RRA, DIRA0, DIRA1, DIRA2, RRB, DIRB0, DIRB2, RC, WA, WB, WC, WR, DIRW2, DISTA1

S9: RRA, DIRA2, RRB, DIRB1, RC, WA, WB, WC, WR, AS

\$10:RRB, DIRB1, DIRB2, RC, WB, WC, WR, DIRW0, DIRW2, AS

S11: RC, WC, WR. DIRW0, DIRW1, DIRW2, RRB, AS, DISTA0

S12: RRA, DIRAO, DIRA2, RRB, DIRBO, DIRB1, DIRB2, RC, WA, WB, WR, DIRW2

S13:RRA, DIRA2, RRB, DIRB1, WA, WB, WC

S14:WC, AS

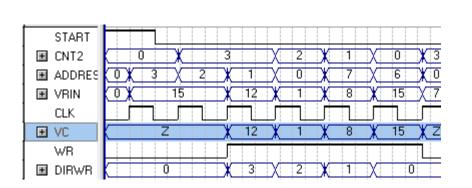
\$15:WR, DIRW2

	del \			
SEÑALES DE CONTROL	DESCRIPCIÓN			
RA, RB, RC, RIN, ROUT	Leer Registro A, B, C, IN, OUT			
RRA, RRB	Leer por el bus A, B del Banco de Registros			
DIRA[20], DIRB[20]	Dirección lectura Registros del Banco por el bus A, B			
DIRRAM[40]	Dirección lectura-escritura RAM			
DIRW[20]	Dirección escritura Registros del Banco			
WA, WB, WC, WROUT, WIN	Escribir en el Registro A, B, C, OUT, IN			
WR	Escribir en el Banco de Registros			
LR	Desplazar Left-Right			
AS	Operaciones ALU Add-Sub			
EN_CNT	Habilitar el contador			



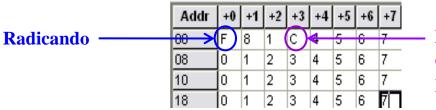
Cargar datos de la RAM en el banco de Registros:

VC muestra los datos provenientes de la memoria RAM que se cargan en el banco de Registros. (VC permite ver los datos que pasan por el Bus C).



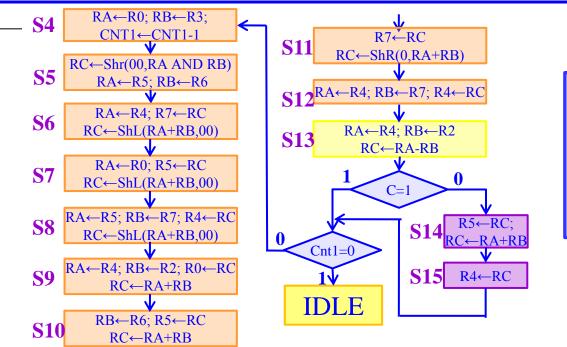
NAME	DESCRIPCIÓN						
WR	Escribir en el banco						
WRIN	Escribir en R IN						
VA; VB; VC	Ver datos que pasan por el Bus A, B, C						
CNT	Contador						
UD	Contar Up-Down						
EN_CNT	Habilitar el contador						
ADDRES	Dirección RAM						
DIRWR	Dirección escritura Banco						
COUT	Carry						





Dato para sensar los dos bits de mayor peso del radicando

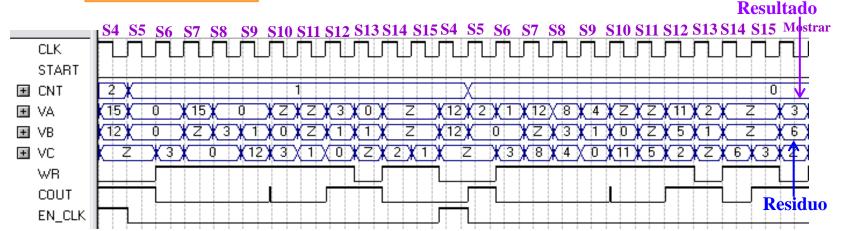




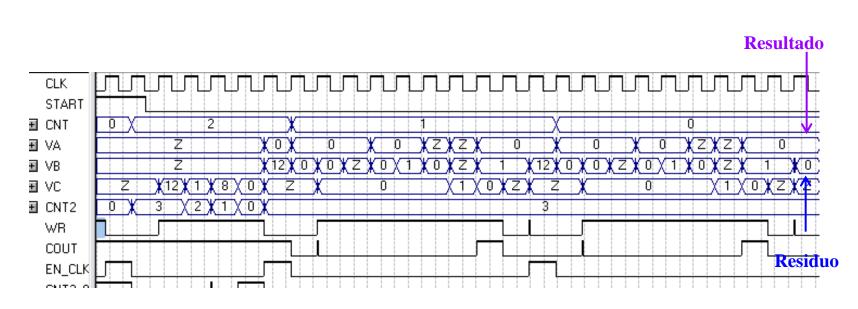
R0←RAM[00] Radicando (D)
R1←RAM[01] Dato '1000'
R2←RAM[02] Dato '0001'
R3←RAM[03] Dato '1100'
R4←Q Resultado
R5←Acumulador (A)
R6←Dato '0000'

$$15 = (3)^2 + 6$$

R7←Q,01 Auxiliar



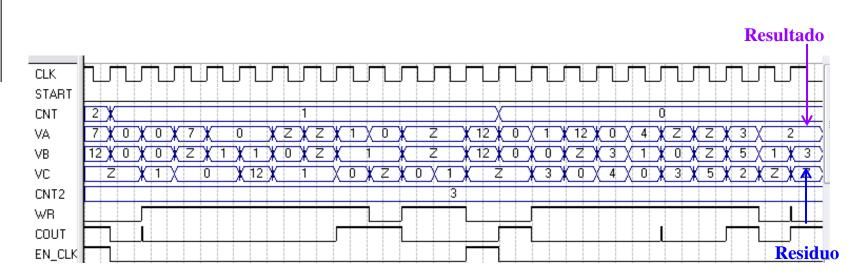




Al final de la ejecución del proceso se muestra en VA el resultado y en VB el residuo

Datos de la RAM										
	Addı	+0	+1	+2	+3	+4	+5	+6	+7	
Radicando	00	0	8	1 (С	4	5	6	7	— Dato para sensar los
	08	0	1	2	3	4	5	6	7	dos bits de mayor
	10	0	1	2	3	4	5	6	7	peso del radicando
	18	0	1	2	3	4	5	6	7	peso del fudicalido



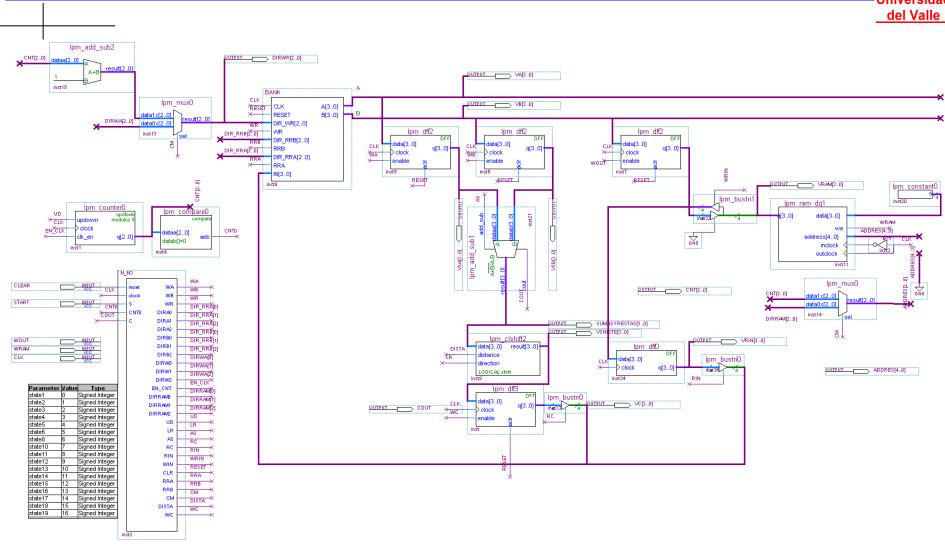


Al final de la ejecución del proceso se muestra en VA el resultado y en VB el residuo

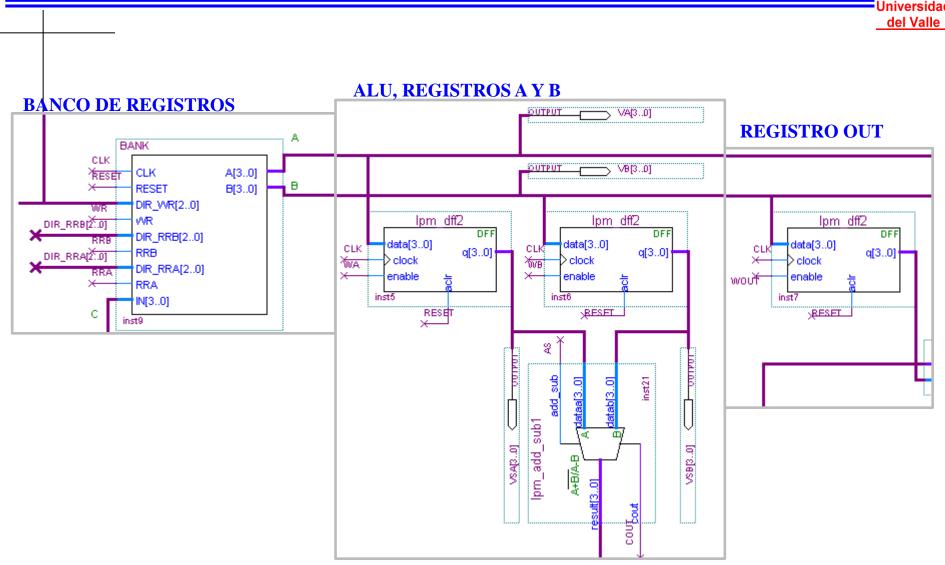
$$7 = (2)^2 + 3$$



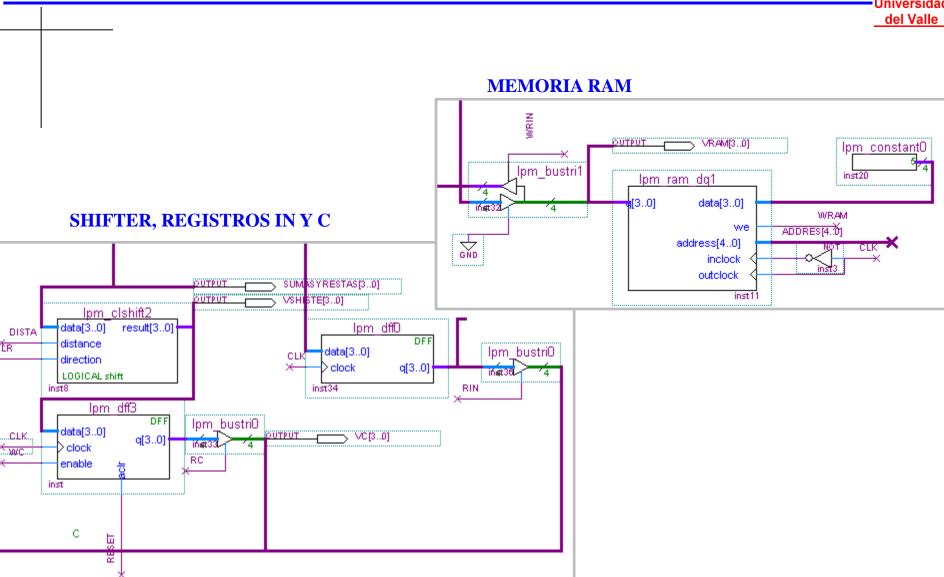






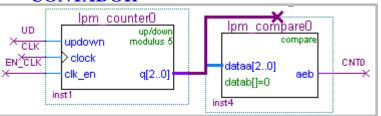












MAQUINA DE ESTADOS

