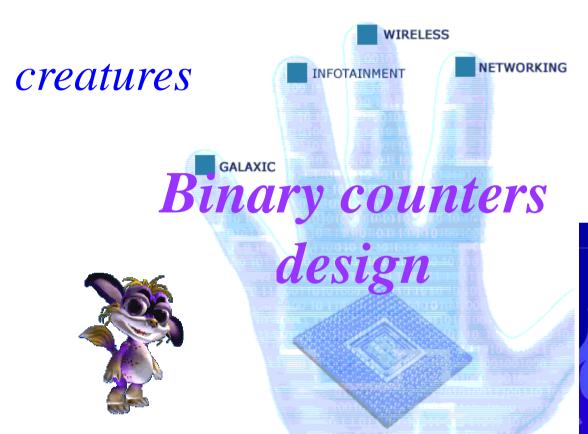


FSM Design



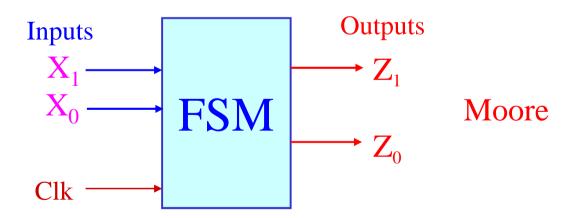




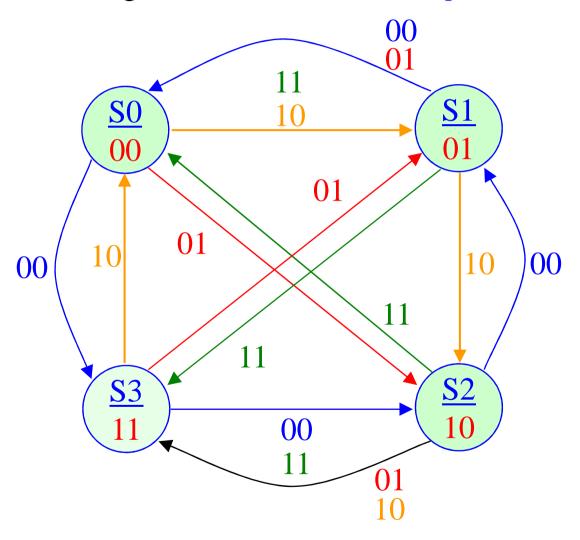
- ☐ Contador binario-gray síncrono ascendente-descendente de 2 bits o módulo 4
 - ❖ Cuenta cuatro eventos, es decir: 0,1,2,3 ó 1,2,3,4
 - \diamond Requiere dos salidas: \mathbb{Z}_0 y \mathbb{Z}_1
 - La lectura en código binario es: 00, 01, 10, 11
 11, 10, 01, 00
 - La lectura en código gray es: 00, 01, 11, 10
 10, 11, 01, 00
- ☐ Representación del circuito secuencial o FSM

☐ Analizar las *entradas/salidas* del contador

 $X_0 = 1$ binario cuenta ascendente: 00, 01, 10, 11 $X_0 = 0$ binario cuenta descendente: 11, 10, 01, 00 $X_1 = 1$ gray cuenta ascendente: 00, 01, 11, 10 $X_1 = 0$ gray cuenta descendente: 10, 11, 01, 00



❖ Diagrama de estados: *FSM tipo Moore*



\mathbf{X}_1	\mathbf{X}_{0}	Count
0	0	B↓
0	1	G↓
1	0	B↑
1	1	G↑

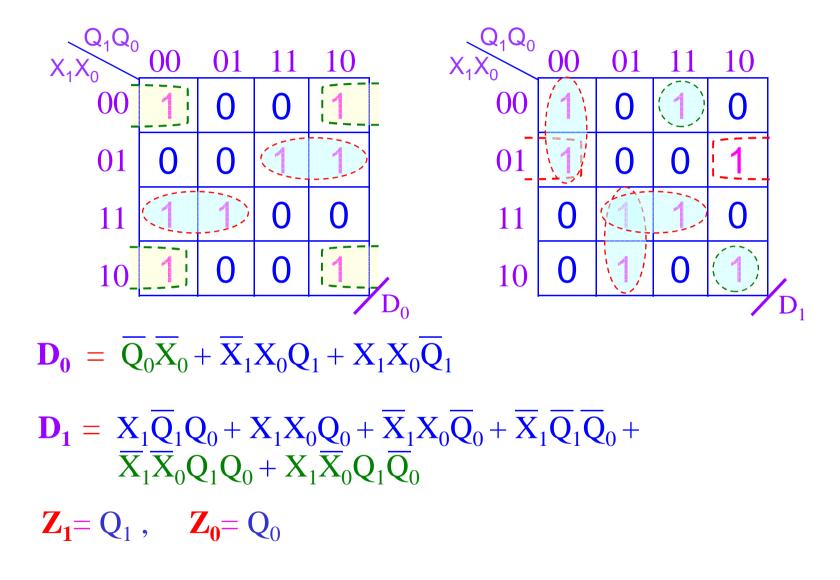
11,	10,	01,	00
10,	11,	01,	00
00,	01,	10,	11
00,	01,	11,	10

M	=	?

S_0	=	00
S_1	=	01
S_2	=	10

$$S_3 = 11$$

	II	IN EP PE		E	Z			
	X ₁	X ₀	Q ₁ ⁿ	Q ₀ n	Q ₁ ⁿ⁺¹	Q_0^{n+1}	Z ₁	Z ₀
M 0	0	0	0	0	1	1	0	0
	0	1	0	0	1	0	0	0
	1	0	0	0	0	1	0	0
	1	1	0	0	0	1	0	0
	0	0	0	1	0	0	0	1
	0	1	0	1	0	0	0	1
	1	0	0	1	1	0	0	1
$\mathbf{M} = ?$	1	1	0	1	1	1	0	1
	0	0	1	0	0	1	1	0
	0	1	1	0	1	1	1	0
	1	0	1	0	1	1	1	0
	1	1	1	0	0	0	1	0
	0	0	1	1	1	0	1	1
	0	1	1	1	0	1	1	1
	1	0	1	1	0	0	1	1
M15	1	1	1	1	1	0	1	1



❖ Simulation using Quartus II

