

# Recopilatorio de Detectores de Secuencias Doble

Universidad del Valle  
Facultad de Ingeniería, Escuela EIEE  
Curso Sistemas Digitales II: Ingeniería Electrónica

## 1. Diseñar una circuito detector de secuencias:

- Si detecta 01, 00, 11, la salida es 01 y permanece en 01 hasta detectar 11, 00, 01
- Si detecta 00, 01, 10, la salida es 10 y permanece en 10 hasta detectar 10, 01, 00
- Existe superposición, en este caso, si la salida está en 01 puede pasar a 10 si detecta la respectiva secuencia, y viceversa.
- FSM Mealy (diagrama de estados 20%)

(Octubre 3 del 2016)

2. X: 00, 01, 11 → 01 / Stop: 11, 00, 01 → 00  
Y: 01, 10, 10 → 10 / Stop: 10, 10, 01 → 00  
(Diciembre 4 del 2015)

3. X: 11, 10, 01 → 01 / Stop: 01, 01, 11 → 00  
Y: 01, 10, 11 → 10 / Stop: 11, 11, 01 → 00  
(Abril 11 del 2012)

4. X: 01, 01, 11 → 01 / Stop: 11, 01, 11 → 00  
Y: 01, 10, 00 → 10 / Stop: 00, 10, 00 → 00  
(Septiembre 23 del 2011)

5. X: 00, 01, 11, 10 → 01 / Stop: 11, 10, 01, 10 → 00  
Y: 01, 10, 01, 11 → 10 / Stop: 00, 01, 10, 01 → 00  
(Marzo 28 del 2011)

6. X: 00, 01, 10 → 01 / Stop: 10, 00, 01 → 00  
Y: 01, 10, 00 → 10 / Stop: 11, 10, 01 → 00  
(Marzo 27 del 2009)

7. X: 01, 10, 11, 11 → 1 / Stop: 11, 10, 01 → 0  
(Junio 20 del 2003)

8. X: 01, 01, 11 → 1 / Stop: 11, 01, 01 → 0  
(Mayo 10 del 2002)

9. X: 01, 00, 10 → 1 / Stop: 10, 01 → 0  
(Diciembre 4 del 2000)

