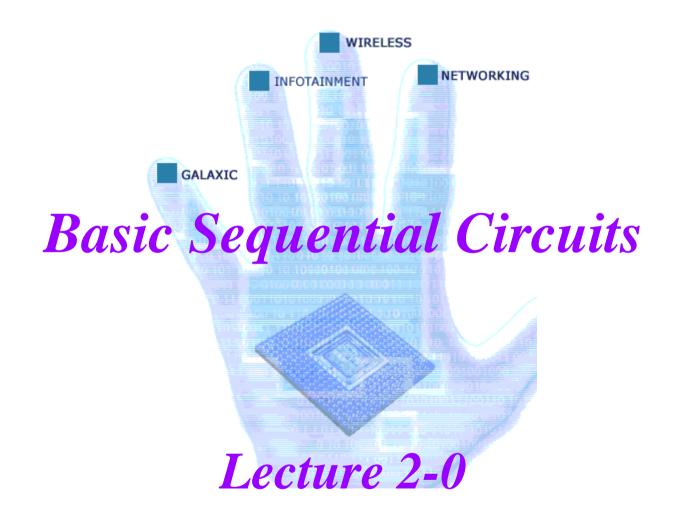


Digitat System Design Course









Circuitos secuenciales básicos

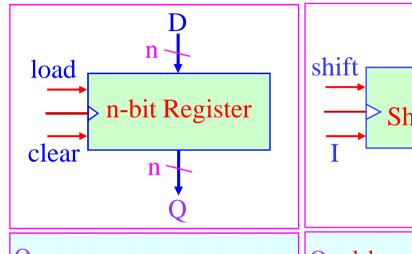
- Los circuitos secuenciales básicos son de propósito general:
 - * circuitos lógicos que *no se diseñan: ICs*
 - > Latches
 - > Flop-flops

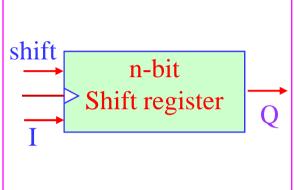


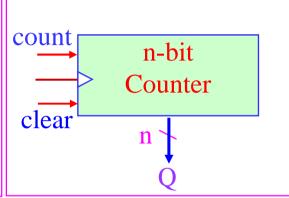
- Registros
- Registros de desplazamiento
- Contadores
- permiten el almacenamiento de la información:
 - > Elementos de memoria: Latches, flipflops, registros

Circuitos secuenciales básicos

circuitos básicos: componentes



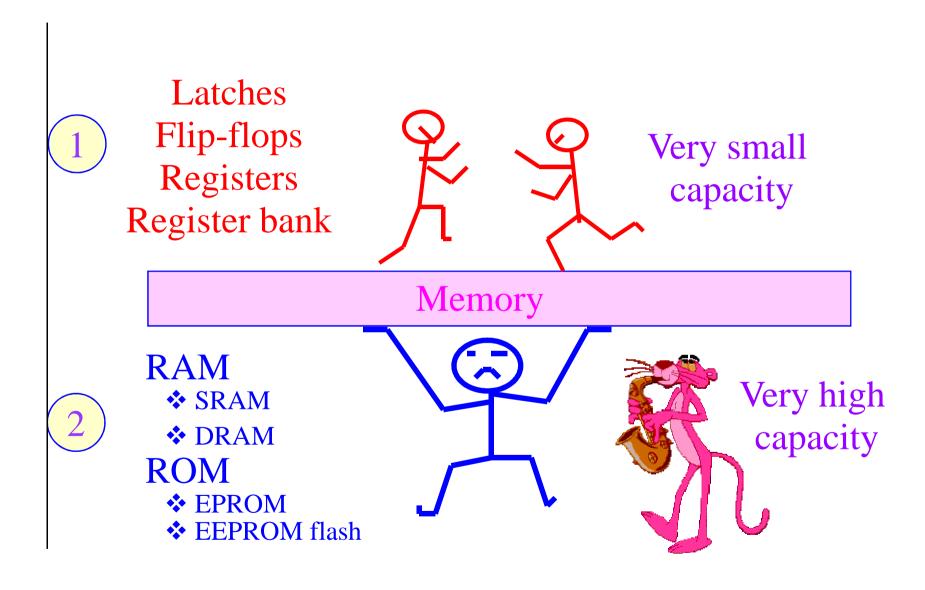




- Q =
 0 if clear = 1,
 D if load = 1 and clock =1,
 Q (previous) otherwise
- Q = lsb
 - Content shifted
 - I stored in msb

0 if clear = 1, Q (prev) + 1 if count = 1 and clock = 1.

ICs: elementos de memoria





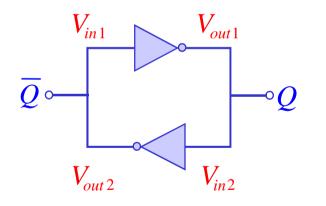
Circuitos secuenciales básicos

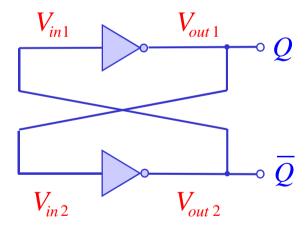
- Los *circuitos secuenciales básicos* son de propósito general:
 - * circuitos lógicos que no se diseñan: ICs
 - > Latches

- Flop-flops
- Registros
- > Registros de desplazamiento
- Contadores

Latches

- ☐ Latch básico o elemental
 - El circuito *secuencial más simple* y consiste de un par de *inversores* formando una bucla de realimentación
 - Diagrama lógico





Latches

- □ El *latch* puede estar indefinidamente en una de las dos posibles situaciones denominadas *estados*
- ☐ Los *dos estados* del latch son:
 - \Leftrightarrow Estado *Set* Q = H $\overline{Q} = L$
 - \Leftrightarrow Estado *Reset* Q = L $\overline{Q} = H$
- ☐ Los niveles lógicos de las dos señales son complementarios entre sí
- □ El *latch* es un dispositivo ideal para *almacenar información binaria*, es decir, para guardar o registrar dígitos binarios: *bits*

Tipos de latches

- ☐ *Latch S-R* basado en compuertas *NORs*
- □ *Latch S-R* basado en compuertas *NANDs*
- ☐ Latch S-R con Enable: compuertas NANDs
- □ Latch D



- □ Latch S-R: Set-Reset
 - ❖ Para lograr un mayor *control* en el manejo de latch se sustituyen los *inversores* por compuertas *NOR* o *NAND*
- ☐ *Latch S-R* basado en compuertas *NOR*
 - Los terminales extra de entrada a las compuertas NOR sirven como señales de control y permiten tener un acceso adicional

Latch S-R: compuertas NOR

☐ Símbolo: Latch S-R basado en compuertas NOR

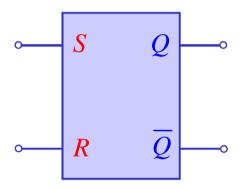
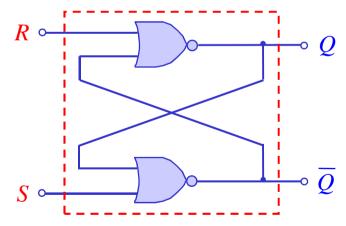


Diagrama lógico



☐ Tabla de verdad

S	R	Q	\overline{Q}
L	L	L/H	H/L
L	Н	L	Н
Н	L	Н	L
Н	Н	no usado	
		+	+
(metaestabilidad			

S	R	Q_{n+1}	\overline{Q}_{n+1}
L	L	Q_n	\overline{Q}_n
L	Н	L	Н
Н	L	Н	L
Н	Н	no usado	
		-	—

- ☐ La señal S produce un "1" lógico: Set o Preset en la salida

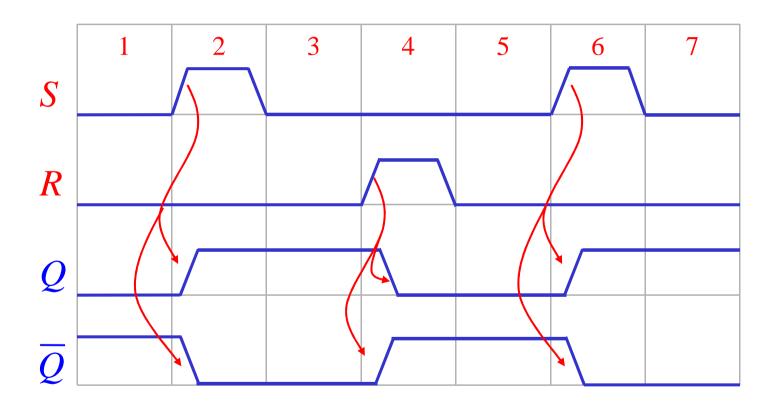
 Q
- □ La señal R produce una "O" lógico: Reset o Clear en la salida Q

$$R = H \Rightarrow Q = L \wedge \overline{Q} = H$$

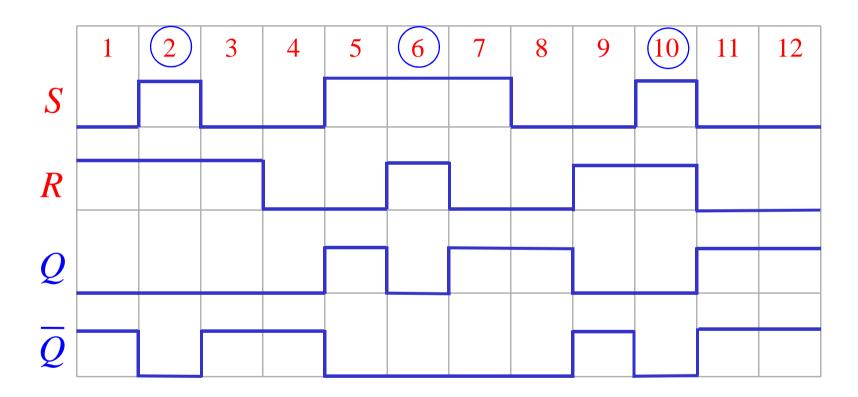
$$S = H \Rightarrow Q = H \wedge \overline{Q} = L$$

- ☐ Cuando el *latch SR* se utiliza para almacenar un nivel lógico, es decir un bit, las condiciones son las siguientes:
 - \diamond Condiciones iniciales: R = S = L
 - Almacenar el nivel *lógico* "O": $S = L \land R = H$
 - * Almacenar el nivel *lógico* "1": $S = H \land R = L$

☐ Diagrama de timing

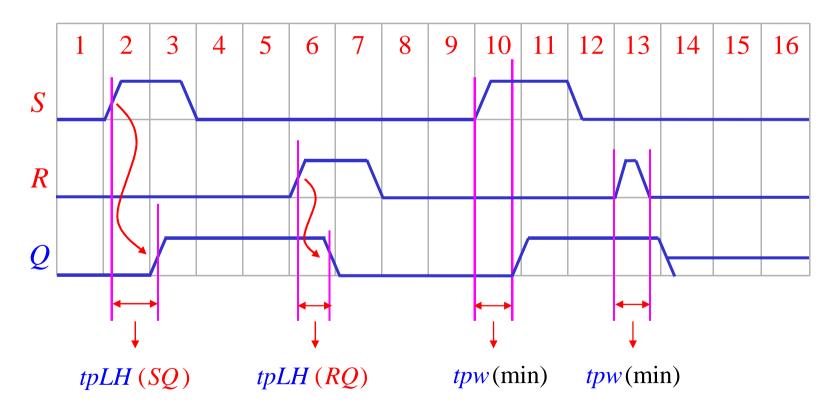


☐ Diagrama de timing



☐ Parámetros de timing

* El *tiempo de propagación*, es el tiempo que el latch gasta para que la transición de una señal de entrada pueda producir una señal de salida



- Las condiciones de S = R = H simultáneamente, no se utilizan para propósitos de almacenar información, puesto que presentan condiciones finales no válidas, o no se puede predecir el estado resultante del latch
- ☐ Las condiciones no válidas son:

$$Q = \overline{Q} = L/H$$

Latch S-R: Compuertas NAND

☐ Símbolo: Latch S-R basado en compuertas NAND

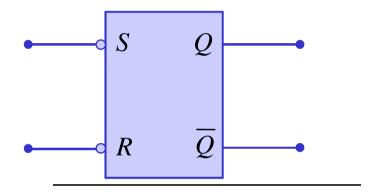
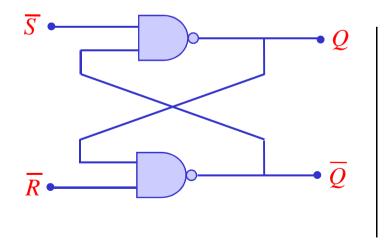


Diagrama lógico



☐ Tabla de verdad

$\overline{\mathbf{S}}$	$\overline{\mathbf{R}}$	Q	\overline{Q}
L	L	no u	ısado
L	Н	Н	L
Н	L	L	Н
Н	Н	L/H	H/L

$\overline{\mathbf{S}}$	$\overline{\mathbf{R}}$	Q_{n+1}	\overline{Q}_{n+1}
L	L	no u	sado
L	Н	Н	L
Н	L	L	Н
Н	Н	Q_n	\overline{Q}_n

- ☐ Latch S-R dinámico o *latch S-R con enable*
 - ❖ Las señales S y R son frecuentemente denominadas entradas o señales de datos, debido a que la información presente en estás señales determina el nivel lógico del bit almacenado en el latch
 - * La señal que permite conectar o aislar el latch con una fuente de datos se denomina señal de habilitación: Enable

- ☐ Latch S-R dinámico o *latch S-R con enable*
 - ❖ Cuando la señal enable = "0", el latch se aísla de los datos y el estado del latch lo determina su estado anterior
 - ❖ Cuando la señal enable = "1", se activan las señales de datos Set y Reset, es decir, se activa el latch S-R
 - ❖ La señal enable se denomina C, y si la señal enable es una señal de reloj, su nomenclatura es CK/CLK

Latch S-R: Compuertas NAND

☐ Simbólo: Latch S-R con enable

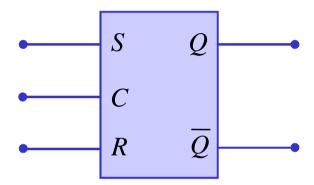
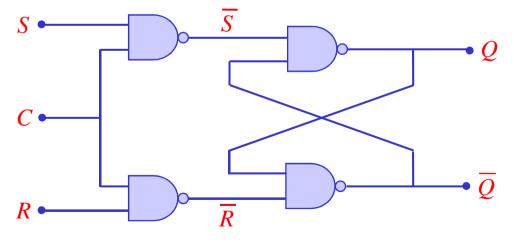


Diagrama lógico



☐ Tabla de verdad

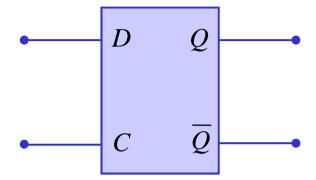
C	S	R	Q	\overline{Q}
0	X	X	L/H	H/L
1	0	0	L/H	H/L
1	0	1	0	1
1	1	0	1	0
1	1	1	no usado	

(Metaestabilidad)

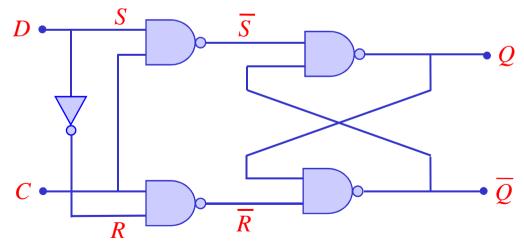
Latch D

- * Una aplicación importante del *latch S-R dinámico* es el *latch D*. Cuando las señales S = D y $R = \overline{D}$, el latch S-R se convierte en el *latch D*
- * En el *latch D* siempre que la señal enable esté habilitada, la salida Q del latch D sigue la entrada de datos D, es decir, Q = D
- ❖ Esta operación se caracteriza, diciendo que el *latch D* es transparente y cuando se desea capturar y mantener los datos se inhabilita el latch

☐ Simbólo:



☐ Diagrama lógico



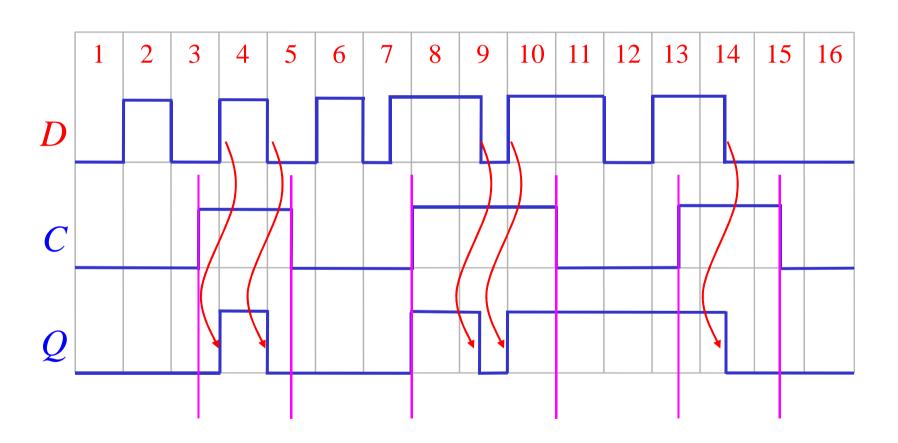
☐ Tabla de verdad

C	D	Q	\overline{Q}
L	X	L/H	H/L
Н	L	L	Н
Н	Н	Н	L

☐ Latch D

- * Los *latches S-R* son exitosos en *aplicaciones de control*, donde siempre se está pensando en términos de *setting* y *resetting*, en respuesta a alguna condición cuando esta cambia
- ❖ El diseñador controla las señales de entrada *Set* y *Reset* independientemente
- * Frecuentemente se necesitan los latches para simplemente almacenar bits de información, cada bit de información es presentado sobre una línea de señal
- Un latch D puede ser usado para almacenar un bit de información

☐ Diagrama de timing



Parámetros de timing

- Cuatro *parámetros de atraso* están presentes para las señales que se propagan desde las *entradas C o D* a la *salida Q*
- \triangleright El *latch D* elimina el problema de S = R = 1 en el latch S-R, pero este no elimina el problema de metaestabilidad
- > Setup time: t_{setup} , es el rango de tiempo que debe permanecer la señal D antes del flanco de bajada de la señal C
- $ightharpoonup Hold time: t_{hold}$, es el rango de tiempo que debe permanecer la señal D después del flanco de bajada de la señal C
- Si la señal D cambia en algún instante durante el rango de tiempo del Setup y Hold time, la salida del latch es impredecible y puede ocurrir metaestabilidad

☐ Parámetros de timing para el latch D

