

CISE IV

EXAMEN FINAL. 27/06/2002

Temps total: 2h 45m

PROBLEMA 1 (20%)

En el circuit de la figura 1 es pot veure un sistema amb V25 i memòria EPROM i RAM.

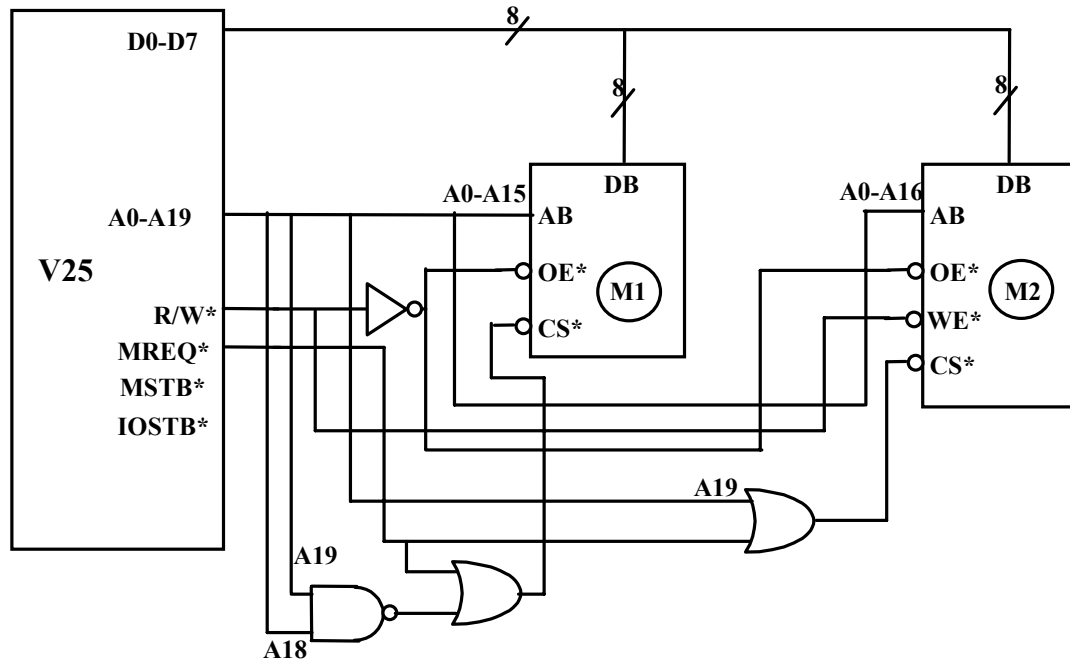


Figura 1

D'acord amb el connexionat de la figura respondre les següents qüestions:

1. Quin tamany i organització té la memòria EPROM (10%)
2. Quin tamany i organització té la memòria RAM (10%)
3. Quines adreces ocupa la memòria EPROM (20%)
4. Quines adreces ocupa la memòria RAM (20%)

A la figura 2 es pot observar la traça d'un analitzador lògic amb les connexions que s'indiquen per cada canal. A la vista de la figura respondre les següents qüestions:

5. Quants períodes de rellotge dura un cicle màquina (10%)
6. Indicar si la traça mostra un mal funcionament del sistema i explicar quin. (30%)

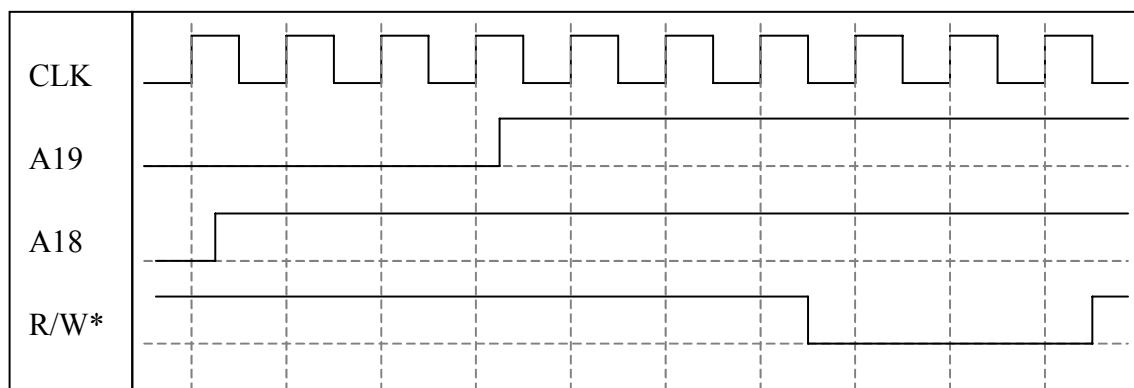
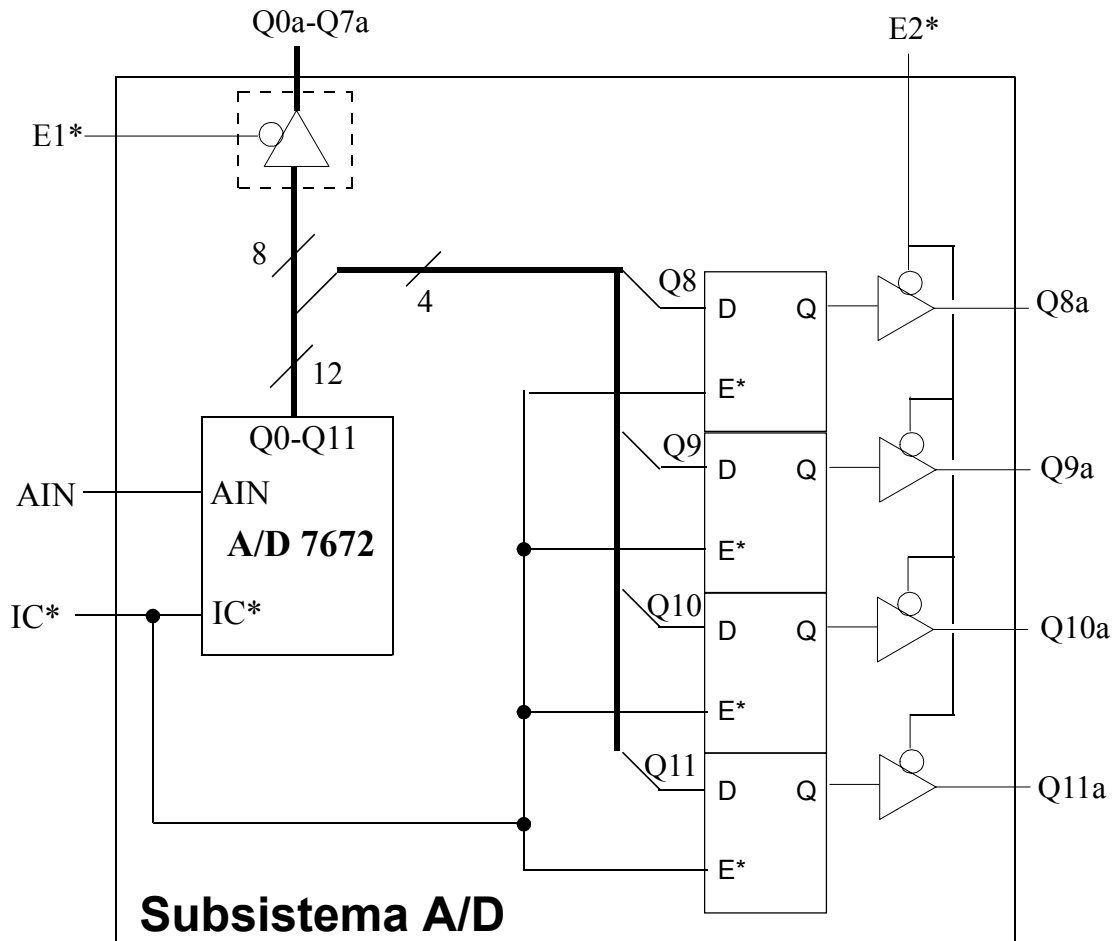


Figura 2

PROBLEMA 2 (30 %)

Es vol dissenyar un sistema basat en el V25 de NEC que contingui 4 convertidors A/D de 12 bits cadascun. El convertidor triat és el 7672 de Maxwell. Com que el convertidor és de 12 bits i el bus de dades del microcontrolador és de 8 bits s'ha dissenyat un subsistema A/D que conté buffers tri-state auxiliars i elements de memòria (LATCH) que permeten llegir els 12 bits en dues lectures successives del microcontrolador. A la següent figura es pot observar l'esquema intern d'aquest subsistema A/D que s'ha dissenyat.

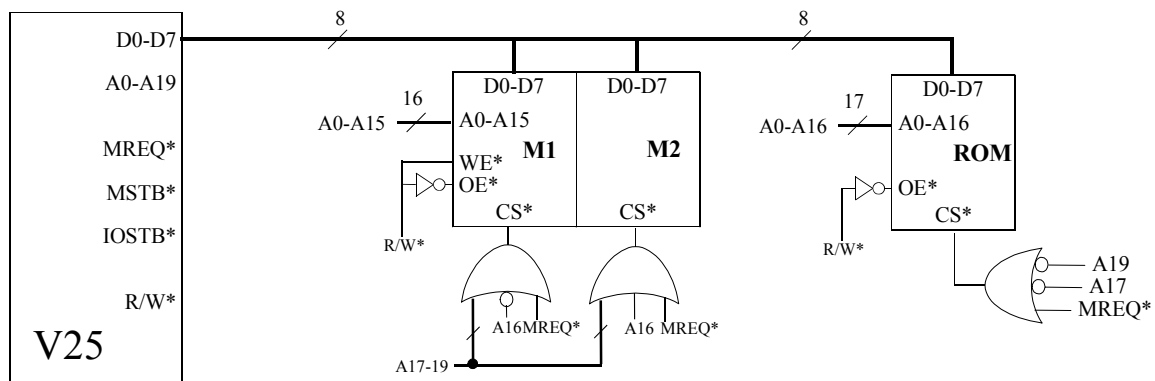


Quan s'activa el senyal IC* (*inici de conversió*) del convertidor 7672, aquest converteix l'entrada analògica AIN a digital i posa el resultat en els pins Q0-Q11 amb un retard màxim de conversió de 10.4 us.

El funcionament d'un latch D es pot veure a la taula següent:

E*	D	Q _(PASSAT)	Q _(FUTUR)
0	0	X	0
0	1	X	1
1	X	Q	Q

A la següent figura es pot veure el disseny del sistema proposat:



E1*	Q0a-Q7a
E2*	Q8a-Q11a
IC*	
Subsistema 1	
E1*	Q0a-Q7a
E2*	Q8a-Q11a
IC*	
Subsistema 2	
E1*	Q0a-Q7a
E2*	Q8a-Q11a
IC*	
Subsistema 3	
E1*	Q0a-Q7a
E2*	Q8a-Q11a
IC*	
Subsistema 4	

Aquest sistema ha de fer conversions periòdiques de les quatre tensions analògiques (una per cada subsistema A/D) i emmagatzemar la seva suma en una posició concreta de la memòria RAM (@=0x00A00). A tal efecte s'ha fet un programa, una part del qual és la rutina d'interrupció del Timer0, encarregada d'anar actualitzant la suma periòdicament:

```
void interrupt RSI_Timer0 ()
{
    int i,p,aux,suma;
    WORD far *var=(WORD far *)MK_FP(0x0000,0x0A00);

    p=0x8000;
    suma=0;
    for (i=0;i<4;i++) {
        aux=inportb(p);                // lectura bits Q0a-Q7a del conv. n° (i+1)
        p++;
        aux=aux+(inportb(p)&0x0F)*256; // lectura bits Q8a-Q11a del conv. n° (i+1)
        p++;
        suma=suma+aux;
    }
    *var=suma;
    FINT;
}
```

La sintaxi de la instrucció *inportb* és la següent: *int inportb(int id_port)*

Aquesta funció és molt similar a la instrucció IN de l'ensamblador del 80x86 i del V25 de NEC: llegeix el contingut del byte apuntat per *id_port* (@ de mapa d'E/S que és només de 16 bits, bits A0-A15 del microcontrolador) i l'assigna com a paràmetre de sortida de la funció. Cal recordar que quan el V25 accedeix al mapa d'E/S no activa MREQ* i MSTB* sino només IOSTB*. A més els bits A16-A19 resten inactius.

Es demana:

- a) (1.5 punts) Rang(s) d'adreces per a accedir a les memòries:

Rang(s) M1:

Rang(s) M2:

Rang(s) ROM:

- b) (1 punt) Tenint en compte que es vol que la rutina de servei d'interruptió que s'ha programat per al Timer0 funcioni correctament, indiqueu a partir de quina adreça del mapa d'E/S, situarem els subsistemes A/D, suposant descodificació completa per al mapa d'E/S i segons el que indica la rutina d'interruptió del temporitzador 0.

@(inicial subsistemes):

- c) (1.5 punts) En les mateixes condicions que a l'apartat b), indiqueu les dues adreces del mapa d'E/S que apuntaran al Subsistema 3, indicant quina adreça contindrà la part baixa (Q0a-Q7a) i quina adreça contindrà la part alta (Q8a-Q11a):

@(Q0a-Q7a):

@(Q8a-Q11a):

- d) (2 punts) En les mateixes condicions que als apartats b) i c) connecteu el bus de dades als subsistemes A/D. Dibuixeu a la mateixa figura de l'enunciat.

- e) (1 punt) Tenint en compte la resposta de l'apartat d), què passaria si en un moment donat, els senyals E1* i E2* del subsistema 2 estiguessin activats simultàniament.

- f) (3 punts) Continuant en les condicions dels apartats b), c) i d), feu la descodificació dels subsistemes A/D. La descodificació no pot ser incompleta. Dibuixeu a la mateixa figura de l'enunciat. Es pot suposar que els senyals analògics AIN ja estan connectats adientment.

NOTES:

- Es poden fer servir descodificadors '138 i portes de qualsevol tipus.
- No es corregiran solucions poc clares: als apartats d) i f) es recomana l'ús de llapis.

PROBLEMA 3 (30%)

Volem connectar un *display* alfanumèric de tipus LCD al mapa de memòria d'un processador V25. Un *buffer* tri-state s'encarrega de desconnectar el display del bus de dades del processador quan no hi volem accedir i de permetre l'accés bidireccional sense problemes (veure figura 1)

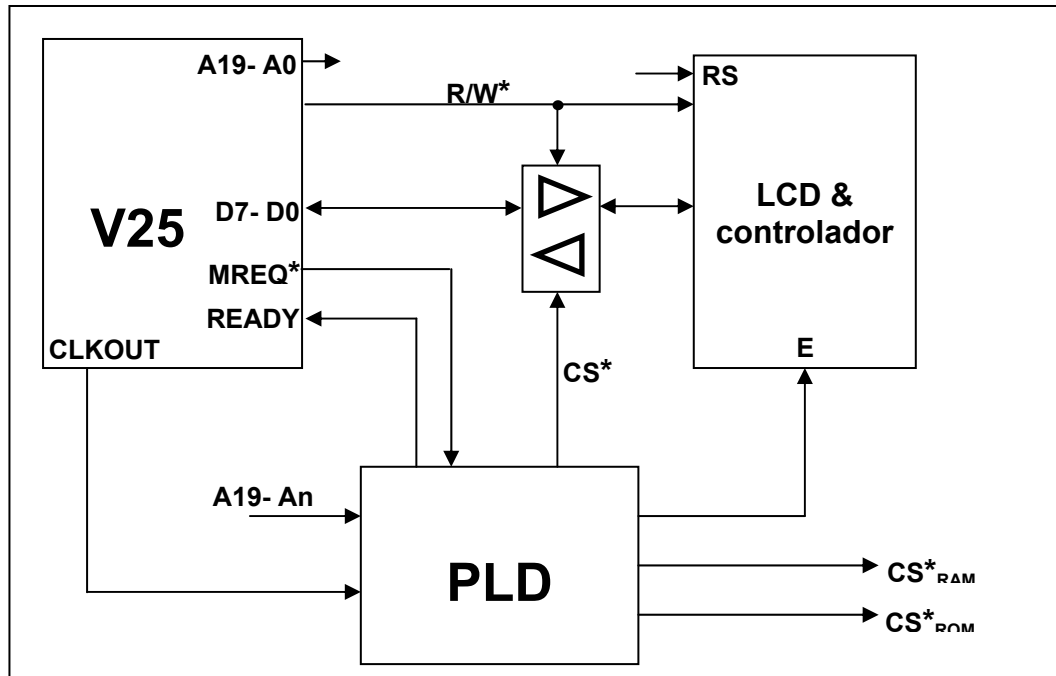


Figura 1

Segons el cronograma de la figura 2, el senyal **E** sincronitza la transferència de dades entre el processador i el controlador del *display*, el senyal **R/W*** indica si l'accés al controlador del *display* és de lectura o d'escriptura i el senyal **RS** determina si accedim al registre de control o a la memòria de dades que el controlador presenta a la pantalla. Donat que el controlador del *display* és un sistema més lent que el processador, preveiem l'activació del senyal **READY**, per alentir els cicles del processador a la velocitat adequada.

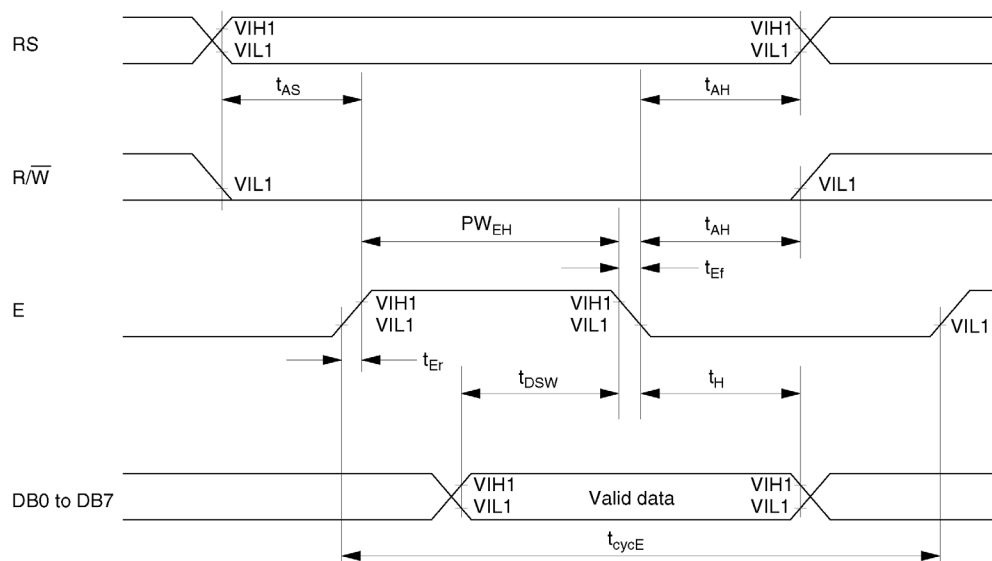


Figura 2. Cronograma d'una operació d'escriptura al controlador del LCD

Per a la generació dels senyals de control necessaris, hem previst un dispositiu lògic programable (PLD) de capacitat adequada.

El sistema es completa amb una memòria EPROM (512kbytes) i una memòria RAM (128kbytes) a les que ja s'ha realitzat l'adequada descodificació, mitjançant l'esmentat PLD, per tal de situar-les dins el mapa de memòria del processador, sense zones imatge. L'adreça inicial de la memòria ROM és la 0x80000, i de la memòria RAM la 0x00000.

Es demana:

- a) Determinar el marge de línies d'adreces **A19- An**, que requereix la descodificació de memòria indicada. Justificar la resposta.
- b) Utilitzant les mateixes línies d'adreces, quina seria la combinació adequada per tal de adreçar, activant **CS***, el controlador del *display* LCD en una zona adjacent a la de la memòria RAM. Indicar les adreces inicial i final d'aquest bloc.
- c) Connectar el senyal **RS** de manera que l'espai del mapa de memòria ocupat pel *display* quedi dividit en dues zones iguals i contigües, per tal que el processador pugui accedir al registre de control (**RS=0**) a la zona inferior, i a les dades presentades al *display* (**RS=1**) a la zona superior.
- d) Si el senyal **E** es crea mitjançant la inversió del senyal **CS*** i, atesa la temporització del senyal **E** que s'indica al cronograma de la figura 2, ha de tenir un temps d'activació mínim **PW_{EH}** = 500ns, determinar quants estats d'espera caldrà demanar al V25 per adaptar el cicle d'escriptura del processador al del controlador del LCD. Al cronograma de la figura 3 es detalla el cicle d'escriptura del V25. Suposar que **CLKOUT** té una freqüència de 8 MHz i **n** es el nombre d'estats d'espera.

Nom i Cognoms:

- e) Si es produeix una interrupció quan el processador està refrescant la zona de dades del *display*, quin és el temps mínim (cas pitjor), que cal preveure des que es generi la interrupció fins que el processador la reconegui? Suposar que per escriure a la memòria del *display* utilitzem una instrucció de durada $(9+n) t_{CYK}$

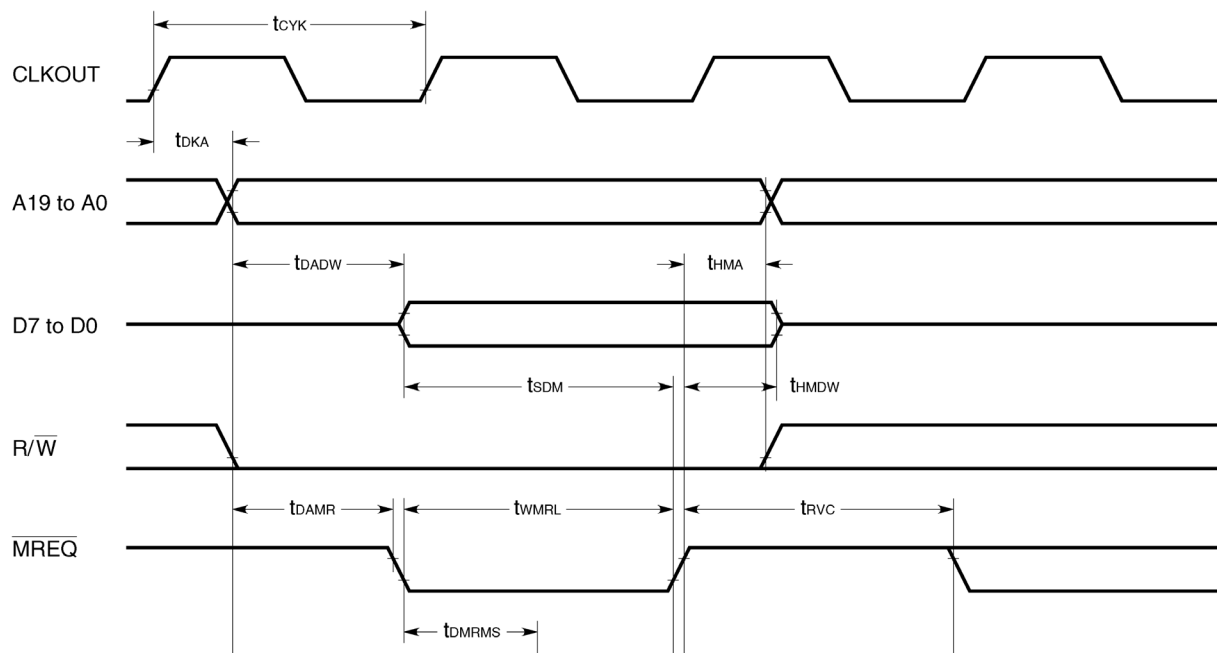


Figura 3. Cicle d'escriptura del V25

Dades: $t_{DKA} = 0\text{ns}$; $t_{DAMR} = t_{CYK} - 25\text{ns}$; $t_{WMRL} = (n+1) t_{CYK}$. Retards totals d'activació del senyal E (circuit de descodificació de CS* més l'inversor) = 25 ns