

3er Control Estructura de Computadores II**curso 2006-2007 Q1**

Nombre:

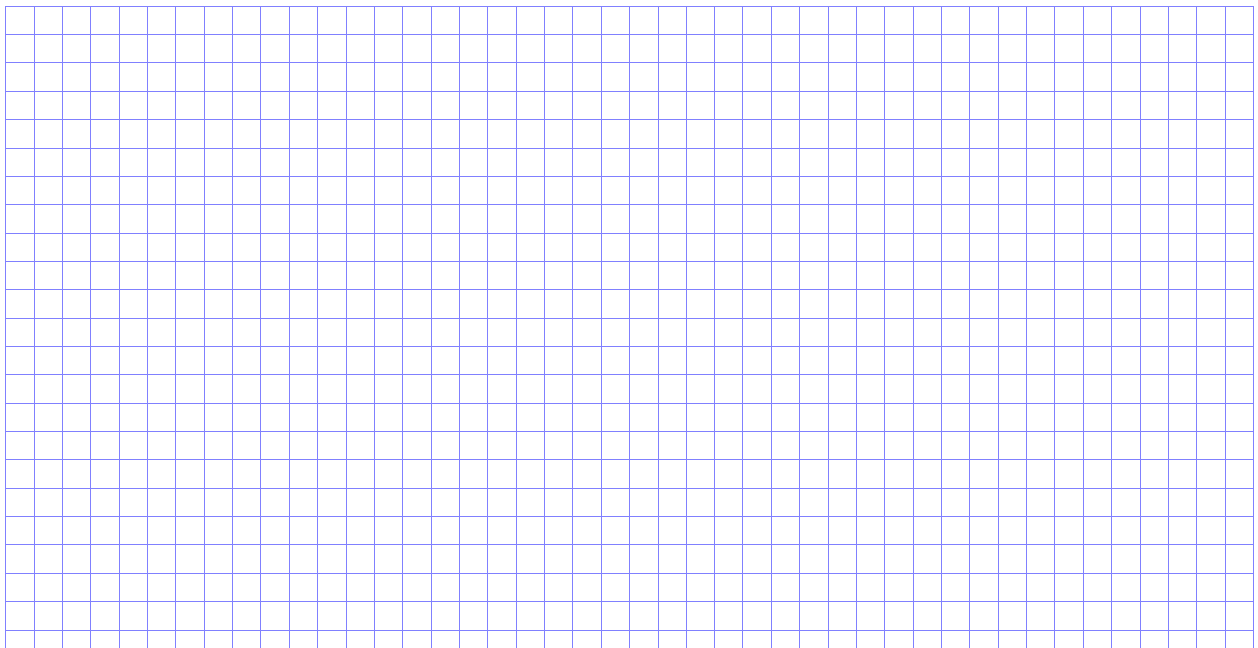
Pregunta 1 (1 punto) E/S

Para cada una de las siguientes afirmaciones, **indica** si son ciertas (**V**) o falsas (**F**). Hay que contestarlas todas (1 fallo: 0.5 puntos, 2 o más fallos: 0 puntos).

	Los registros no mapeados en memoria ocupan menos espacio de E/S que un esquema con los registros mapeados en memoria
	El entrelazado de la memoria y el acceso por ráfagas hacen que actualmente ya no sea necesario el DMA para transferir sectores de disco a memoria
	En el protocolo por robo de ciclo, el DMA transfiere todos los datos sin interrupciones una vez ha conseguido el acceso al bus
	Un computador no puede sincronizarse por interrupciones y encuesta simultáneamente. O todos los dispositivos se sincronizan por encuesta o todos por interrupciones
	En una interrupción, el estado del programa está formado por la dirección de retorno, la palabra del estado del procesador y todos los registros visibles desde el LM

Pregunta 2 (1 punto)

Dibuja el esquema del diseño de un TLB de 4 entradas, indicando claramente el nombre de los campos y cómo se realizan todas las conexiones del circuito.

**Pregunta 3 (1 punto) MV**

Para cada una de las siguientes afirmaciones, **indica** si son ciertas (**V**) o falsas (**F**). Hay que contestarlas todas (1 fallo: 0.5 puntos, 2 o más fallos: 0 puntos).

	En segmentación, los segmentos de un proceso se almacenan de forma contigua en memoria y disjunta entre segmentos
	En paginación, todas las páginas de un programa deben estar siempre almacenadas en memoria durante la ejecución del programa para su correcto funcionamiento
	En un espacio de direcciones físicas y lógicas de 64 bits y páginas de 4 KB, la tabla de páginas tiene 2^{52} entradas (más de 10^{15})
	Un TLB ha de contener al menos la traducción de la mitad de las páginas para que el número de fallos de TLB sea razonablemente pequeño como para que la memoria virtual funcione bien.
	En un PC actual, en que la traducción en TLB y el acceso a memoria cache se realizan simultáneamente, la memoria de etiquetas contiene las páginas físicas

Problema 4 (2 punts)

Tenim un processador amb memòria virtual basada en paginació. El sistema de memòria virtual te les següents característiques:

- 16 bits d'adreça lògica
- 15 bits d'adreça física
- mida de pàgina 4 Kbytes
- reemplaçament LRU

El contingut de la taula de pàgines es el següent: VPN = número de pàgina lògica, P = bit de presència, M = pàgina modificada i PPN = número de pàgina física. El contingut de la memòria es mostra a la figura. Les pàgines marcades amb SO estan reservades pel sistema operatiu i no poden ser reemplaçades, la resta de pàgines tenen una prioritat LRU = 2, 3, 4, 5, 6, 7, on 2 es la pàgina física que ha estat accedida més recentment i 7 es la que fa més temps que no s'accedeix.

Contingut inicial de la Taula de Pàgines

VPN	P	M	PPN
0	1	0	3
1	1	0	4
2	0	0	-
3	1	0	6
4	1	0	5
5	0	0	-
6	0	0	-
7	0	0	-
8	0	0	-
9	0	0	-
A	0	0	-
B	0	0	-
C	0	0	-
D	0	0	-
E	0	0	-
F	1	0	2

Contingut inicial de Memòria

pàgina física	contingut
0	SO
1	SO
2	F
3	0
4	1
5	4
6	3
7	-

Contingut final de la Taula de Pàgines

VPN	P	M	PPN
0			
1			
2			
3			
4			
5			
6			
7			
8			
9			
A			
B			
C			
D			
E			
F			

Contingut final de Memòria

pàgina física	contingut
0	SO
1	SO
2	
3	
4	
5	
6	
7	

Empleneu la següent taula indicant, per cada referència, la pàgina lògica (VPN), el desplaçament, l'adreça física resultant de la traducció. Indiqueu amb una creu (X) quan es produeix un fallo de pàgina, quan es llegeix de disc dur, quan s'escriu a disc dur i, en cas de reemplaçar una pàgina, indiqueu el VPN i PPN. Indiqueu també el contingut final de la taula de pàgines i de la memòria.

adreça lògica (hexa)	VPN (hexa)	desplaçament (hexa)	adreça física (hexa)	fallo de pàgina	lectura disc	escriptura disc	Pàgina reemplaçada	
							VPN	PPN
escriptura	F948							
escriptura	28B9							
lectura	0702							
lectura	C12B							
escriptura	48BC							
lectura	142D							
lectura	5FF6							

Problema 5 (2 punts)

Donat el següent codi escrit en ensamblador del IA32:

```

        movl $0, %ebx
        movl $0, %esi
for:    cmpl $4*1024, %esi
        jge end
        (a) movw (%ebx, %esi, 2), %ax
        (b) addw 1024(%ebx, %esi, 2), %ax
        (c) movw %ax, 4*1024(%ebx, %esi, 2)
        incl %esi
        jmp for
end:

```

I tenint en conte només el accessos a dades.

1) Calcula els següents paràmetres:

Nombre d'accessos per la referència a: _____

Nombre d'accessos per la referència b: _____

Nombre d'accessos per la referència c: _____

Suposant una mida de **pàgina de 1K byte** i un **TLB de 4 entrades**

2) Calcula el nombre de pàgines **diferents** accedides:

per la referència a: _____

per la referència b: _____

per la referència c: _____

pel bucle: _____

3) Calcula el nombre de fallos de TLB:

per la referència a: _____

per la referència b: _____

per la referència c: _____

totals del bucle: _____

4) Volem minimitzar el nombre de fallos de TLB:

Quin es el nombre mínim de fallos de TLB? _____

Quin es el nombre mínim d'entrades de TLB necessàries per a minimitzar el nombre de fallos de TLB? _____

Suposant ara una mida de **pàgina de 4K byte** i un **TLB de 4 entrades**

5) Calcula el nombre de pàgines **diferents** accedides:

per la referència a: _____

per la referència b: _____

per la referència c: _____

pel bucle: _____

6) Calcula el nombre de fallos de TLB:

per la referència a: _____

per la referència b: _____

per la referència c: _____

totals del bucle: _____

7) Volem minimitzar el nombre de fallos de TLB:

Quin es el nombre mínim de fallos de TLB? _____

Quin es el nombre mínim d'entrades de TLB necessàries per a minimitzar el nombre de fallos de TLB? _____

4 / 4