

CISE IV – Control (Quadrimestre de Tardor 2008-2009)

PROBLEMA 1 (6 punts) Hem connectat una RAM IS61LV25616-10 a un μ C Winbond W90P710CD, basat en el μ P ARM7TDMI. Els senyals del microcontrolador són:

- nECS[3:0]: Senyals d'habilitació de memòries, generats pel microcontrolador, per connectar directament al CS* de les memòries.
- A[21:0]: Bus d'adreces extern.
- D[31:0]: Bus de dades
- nOE: Output enable (actiu a nivell baix)
- nWBE[3:0]: Write enable de cadascun dels bytes del bus de dades (D0:7, D8:15, D16:23, D24:31).
- nWAIT: Senyal d'entrada que serveix per intercalar cicles d'espera. Actiu a nivell baix. Cada cop que el microcontrolador llegeix un '0' afegeix un cicle d'espera.

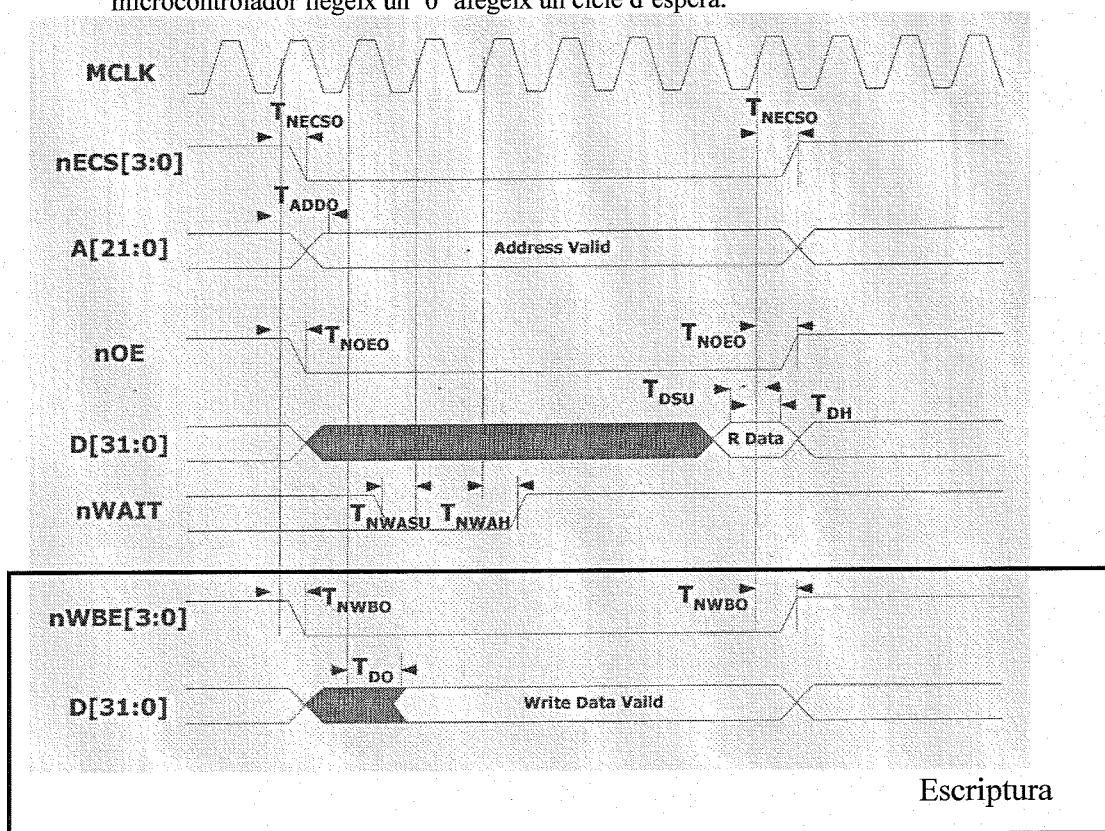
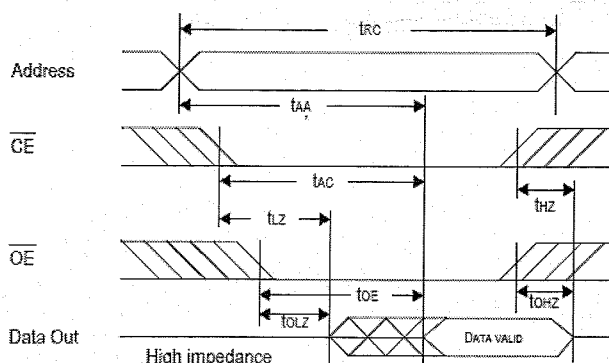


Fig. 1: Cicle de lectura/escriptura del microcontrolador on s'han afegit 2 cicles d'espera amb el senyal nWAIT.

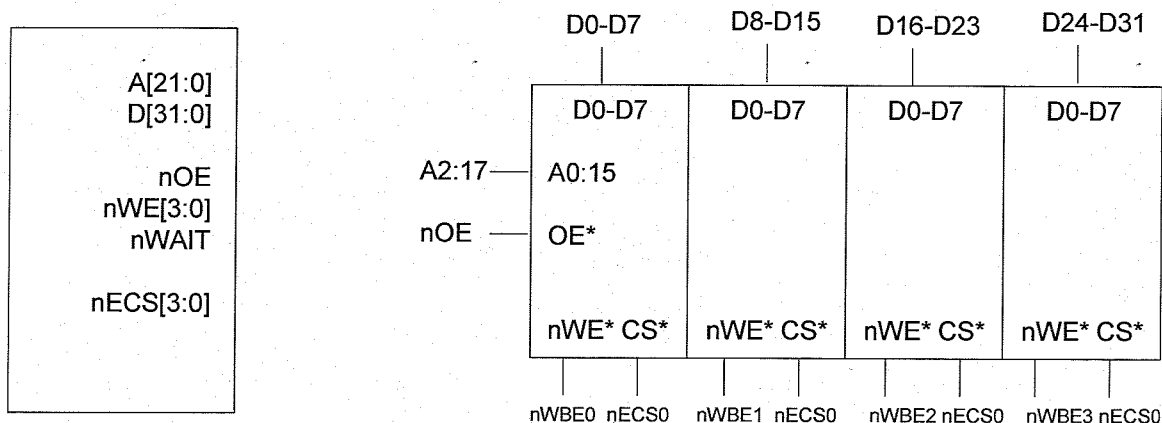
SYMBOL	DESCRIPTION	MIN	MAX	UNIT
T_ADDO	Address Output Delay Time	2	7	ns
T_NEC SO	ROM/SRAM/Flash or External I/O Chip Select Delay Time	2	7	ns
T_NOEO	ROM/SRAM or External I/O Bank Output Enable Delay	2	7	ns
T_NWBO	ROM/SRAM or External I/O Bank Write Byte Enable Delay	2	7	ns
T_DH	Read Data Hold Time	7		ns
T_DSU	Read Data Setup Time	0		ns
T_DO	Write Data Output Delay Time (SRAM or External I/O)	2	7	ns
T_NWASU	External Wait Setup Time	3		ns
T_NWAH	External Wait Hold Time	1		ns

La informació del cicle de lectura de la RAM és:



Parameter	Symbol	-7	
		Min	Max
Read cycle time	t _{RC}	7	—
Address access time	t _{AA}	—	7
Chip enable access time (\overline{CE})	t _{AC}	—	7
Output enable to output valid (\overline{OE})	t _{OE}	—	3
Output hold from address change	t _{OH}	3	—
Chip enable to output in low Z (\overline{CE})	t _{LZ} *	3	—
Output enable to output in low Z (\overline{OE})	t _{OLZ} *	0	—
Chip disable to output in High Z (\overline{CE})	t _{HZ} *	—	3.5
Output disable to output in High Z (\overline{OE})	t _{OHZ} *	—	3

El connexionat que s'ha fet és el següent:



Es demana:

a) (1 punt) En el cronograma de la Figura 1, el senyal nWAIT s'ha fet servir per introduir dos cicles d'espera en el cicle de bus. Quants cicles de rellotge hi haurà entre que el microcontrolador treu les adreces i l'instant de captura en lectura, sense cicles d'espera ?

5T

b) (1 punt) Quants cicles de rellotge hi ha entre que el microcontrolador treu les adreces i es llegeix per primera vegada el senyal nWAIT ? Quins els temps de setup i hold associats a la lectura d'aquest senyal ?

2T

T_{NWASU} = 3ms

T_{NWAH} = 1μs

b) (4 punts) El sistema pot funcionar a la màxima freqüència de rellotge del microcontrolador (80MHz), sense cicles d'espera ? Justifiqueu la resposta.

$$5T - 7\text{ms} \geq 7\text{ms} + t_{DSU} \Rightarrow 5T \geq 14\text{ms}$$

\uparrow T_{NECS} \downarrow t_{AA} \uparrow t_{CS}
 T_{ADDO} t_{CS}

62.5ms \geq 14ms

OK. (M=0)

PROBLEMA 2: (4 punts) Dissenyeu un sistema basat en el μP i80486, que tingui situats els xips de RAM a partir de l'adreça 0x0000 0000 i els xips de ROM que acabin a l'adreça 0xFFFF FFFF. Es demana el disseny més simple possible, permetent zones imatge, que deixi lliure el rang d'adreces 0x4000 0000 – 0xEFFF FFFF.

