
Anàlisi de portes digitals simples. Comportament estàtic i dinàmic de la porta NOT

Disseny de Circuits i Sistemes Electrònics

Escola Tècnica Superior d'Enginyeria de Telecomunicacions

Departament d'Enginyeria Electrònica
Universitat Politècnica de Catalunya



Escola Tècnica Superior d'Enginyeria
de Telecomunicació de Barcelona
UNIVERSITAT POLITÈCNICA DE CATALUNYA



Disseny de Circuits i Sistemes Electrònics: Portes digitals

1

Índex:

1. Comportament estàtic de l'inversor CMOS.

2. Comportament dinàmic de l'inversor CMOS.

1. Retard de propagació IN→OUT

2. Potència consumida



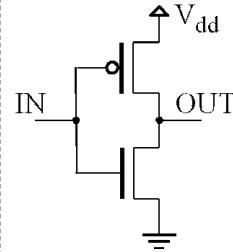
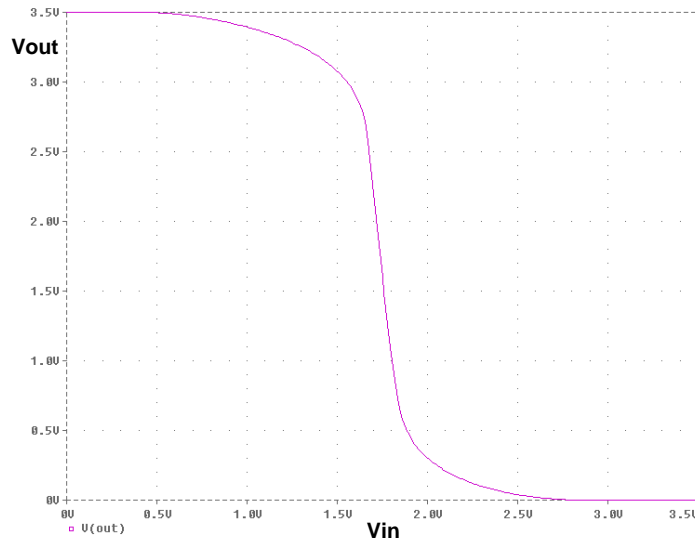
Escola Tècnica Superior d'Enginyeria
de Telecomunicació de Barcelona
UNIVERSITAT POLITÈCNICA DE CATALUNYA



Disseny de Circuits i Sistemes Electrònics: Portes digitals

2

Análisis estático de un inversor CMOS



La relación entre V_{out} y V_{in} se obtiene a partir de $I_{Dpmos} = I_{Dnmos}$

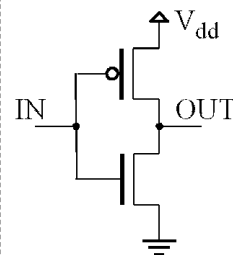
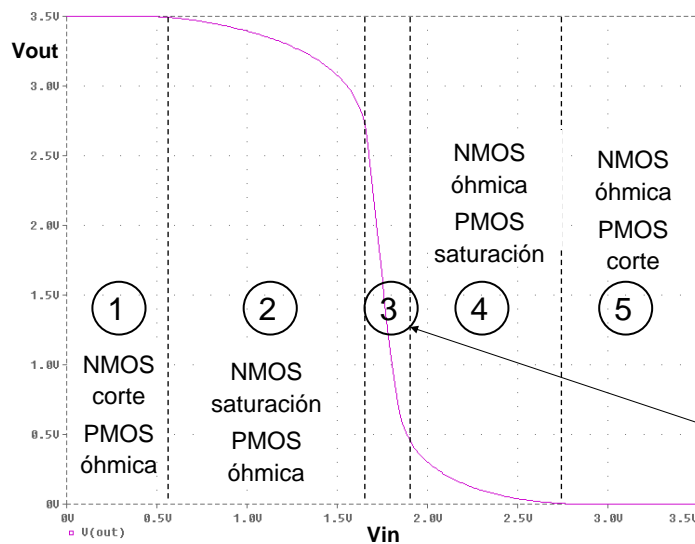


Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona
UNIVERSITAT POLITÈCNICA DE CATALUNYA



Disseny de Circuits i Sistemes Electrònics: Portes digitals 3

Análisis estático de un inversor CMOS



NMOS saturación
PMOS saturación

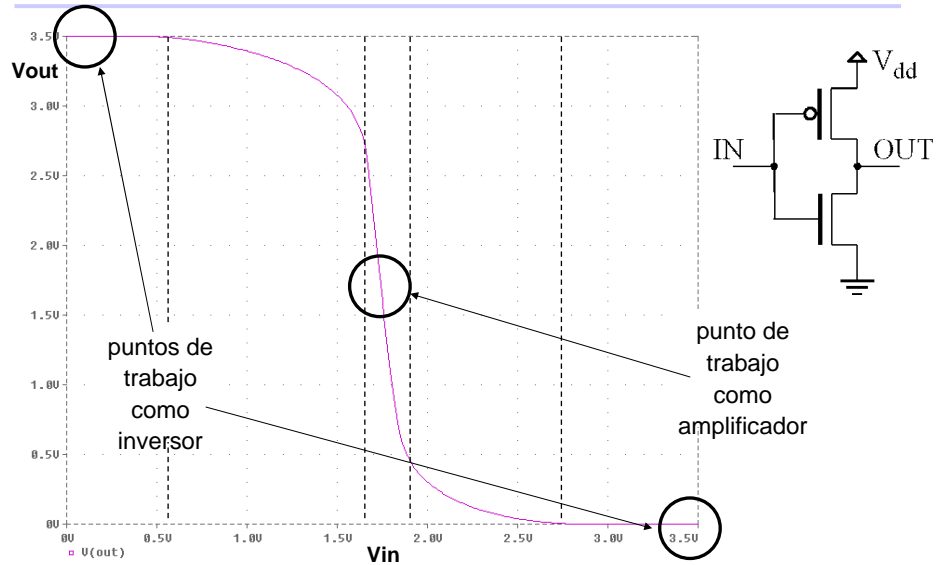


Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona
UNIVERSITAT POLITÈCNICA DE CATALUNYA



Disseny de Circuits i Sistemes Electrònics: Portes digitals 4

Análisis estático de un inversor CMOS

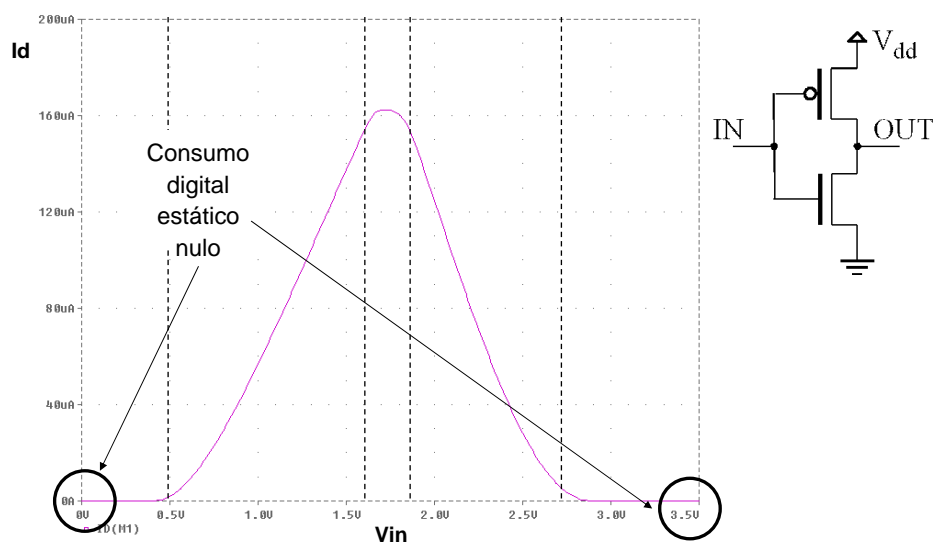


Escola Tècnica Superior d'Enginyeria
de Telecomunicació de Barcelona
UNIVERSITAT POLITÈCNICA DE CATALUNYA



Disseny de Circuits i Sistemes Electrònics: Portes digitals
5

Análisis estático de un inversor CMOS

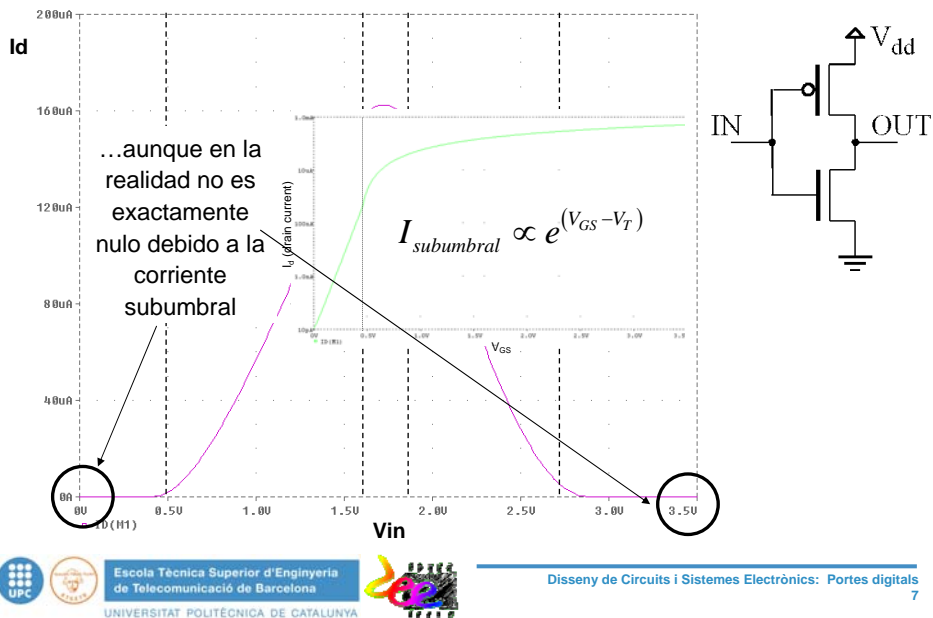


Escola Tècnica Superior d'Enginyeria
de Telecomunicació de Barcelona
UNIVERSITAT POLITÈCNICA DE CATALUNYA

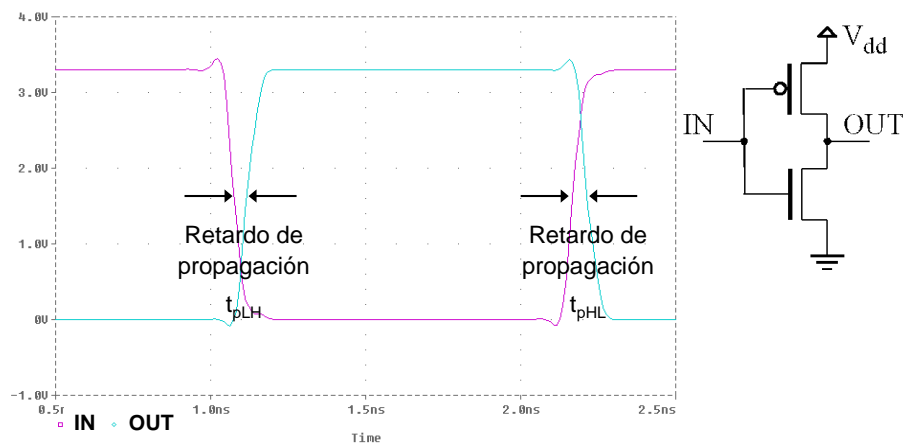


Disseny de Circuits i Sistemes Electrònics: Portes digitals
6

Análisis estático de un inversor CMOS



Análisis dinámico de un inversor CMOS: velocidad

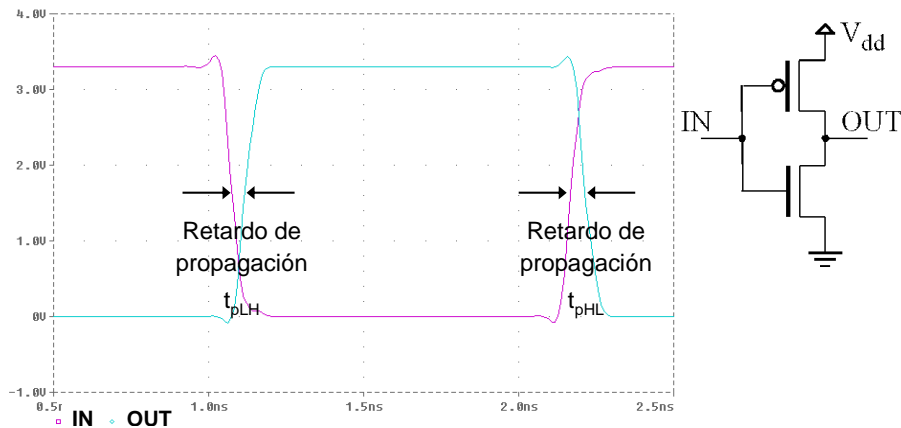


Tiempo (o retardo) de propagación t_p : tiempo entre $V_{IN}=V_{DD}/2$ y $V_{OUT}=V_{DD}/2$

Tiempo de subida t_r : tiempo entre $V_{IN}=0.1V_{DD}$ y $V_{IN}=0.9V_{DD}$

Tiempo de bajada t_f : tiempo entre $V_{IN}=0.9V_{DD}$ y $V_{IN}=0.1V_{DD}$

Análisis dinámico de un inversor CMOS: velocidad



Los retardos de propagación imponen un límite superior a la frecuencia de conmutación de las puertas digitales

$$f_{\max} < \frac{1}{t_{pHL} + t_{pLH}}$$

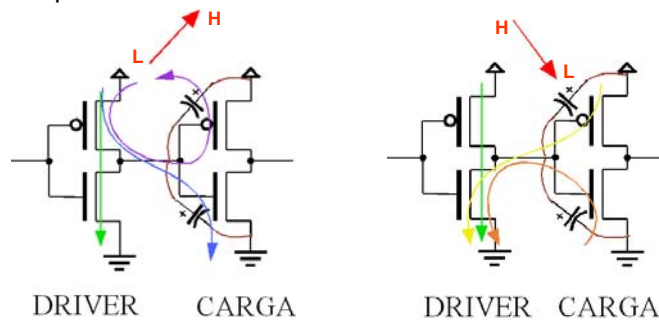

Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona
UNIVERSITAT POLITÈCNICA DE CATALUNYA



Disseny de Circuits i Sistemes Electrònics: Portes digitals 9

Análisis dinámico de un inversor CMOS: velocidad

- En las transiciones se produce un fenómeno de carga (y descarga) de las capacidades del nodo de salida.



- Corriente a través del PMOS
- t_{pLH} dependerá de las características del PMOS del driver

- Corriente a través del NMOS
- t_{pHL} dependerá de las características del NMOS del driver



Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona
UNIVERSITAT POLITÈCNICA DE CATALUNYA



Disseny de Circuits i Sistemes Electrònics: Portes digitals 10

Análisis dinámico de un inversor CMOS: velocidad

- Ecuación de carga/descarga: $I_D = -C_L \frac{dV_{OUT}}{dt}$

donde C_L es la suma de capacidades conectadas al nodo de salida:

- C_{OUT} del *driver* (capacidades de drenador)
 - C_{IN} de la carga (capacidades de puerta)
 - C_W de la interconexión
- Observar que las capacidades de drenador o de puerta variarán su valor durante el recorrido de V_{OUT} (los transistores pasan por diversos estados).
 - Se puede demostrar que, en cuanto al comportamiento dinámico, todas estas capacidades aparecen en paralelo.



Análisis dinámico de un inversor CMOS: velocidad

- Aplicando la definición de t_p sobre la ecuación de carga/descarga, y suponiendo transiciones instantáneas a la entrada del *driver* (tiempos $t_r=t_f=0$):

$$t_{pHL} = -C_L \int_{V_{DD}}^{V_{DD}/2} \frac{dV_{OUT}}{I_{D_NMOS}} \quad t_{pLH} = -C_L \int_0^{V_{DD}/2} \frac{dV_{OUT}}{I_{D_PMOS}}$$

- La integración exacta puede resultar elaborada si el transistor atraviesa diversas regiones de trabajo.
- En los dos casos, el resultado del análisis es una expresión del tipo:

$$t_p \approx cte \cdot \frac{C_L \cdot V_{DD}}{I_{DS}}$$



Análisis dinámico de un inversor CMOS: velocidad

- Se puede simplificar el cálculo de t_p sustituyendo el transistor por una resistencia equivalente.
- Ej. transición HL:

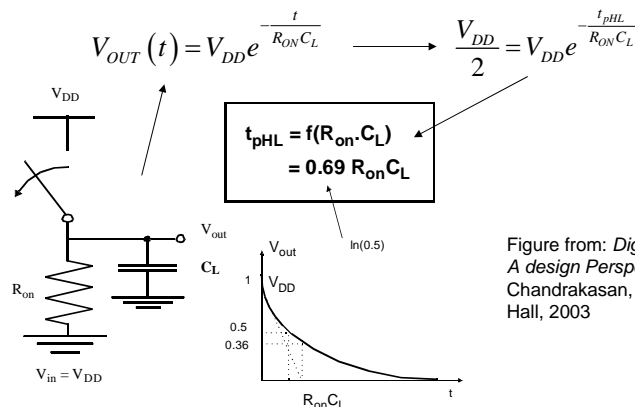


Figure from: *Digital Integrated Circuits, A design Perspective*, J. M. Rabaey, A. Chandrakasan, B. Nikolic, Prentice Hall, 2003



Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona
UNIVERSITAT POLITÈCNICA DE CATALUNYA



Disseny de Circuits i Sistemes Electrònics: Portes digitals
13

Análisis dinámico de un inversor CMOS: velocidad

- La resistencia equivalente se puede calcular suponiendo que el transistor se mantiene en saturación:
- Ej. transición HL:

$$R_{ON_eq_HL} = \frac{1}{V_{DD}/2} \int_{V_{DD}/2}^{V_{DD}} \frac{V_{DS}}{I_{Dsat} (1 + \lambda V_{DS})} dV_{DS} \approx \frac{3}{4} \frac{V_{DD}}{I_{Dsat}} \left(1 - \frac{7}{9} \lambda V_{DD} \right)$$

$$\text{con } I_{Dsat} = k' \frac{W}{L} \left[(V_{GS} - V_T) V_{min} - \frac{V_{min}^2}{2} \right]$$

$$V_{min} = \min(V_{GS} - V_T, V_{DSsat})$$

from: *Digital Integrated Circuits, A design Perspective*, J. M. Rabaey, A. Chandrakasan, B. Nikolic, Prentice Hall, 2003



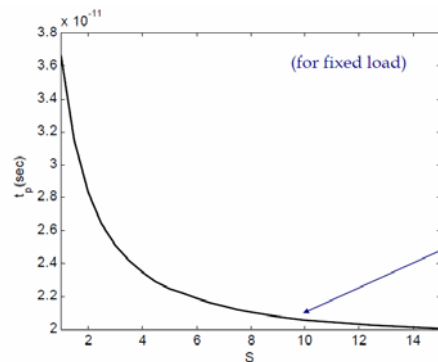
Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona
UNIVERSITAT POLITÈCNICA DE CATALUNYA



Disseny de Circuits i Sistemes Electrònics: Portes digitals
14

Análisis dinámico de un inversor CMOS: velocidad

- Dependencia de t_p con la carga: $t_p \propto C_L$
- Dependencia de t_p con el driver: $t_p \propto \frac{1}{W/L}$



from: *Digital Integrated Circuits, A design Perspective*, J. M. Rabaey, A. Chandrakasan, B. Nikolic, Prentice Hall, 2003



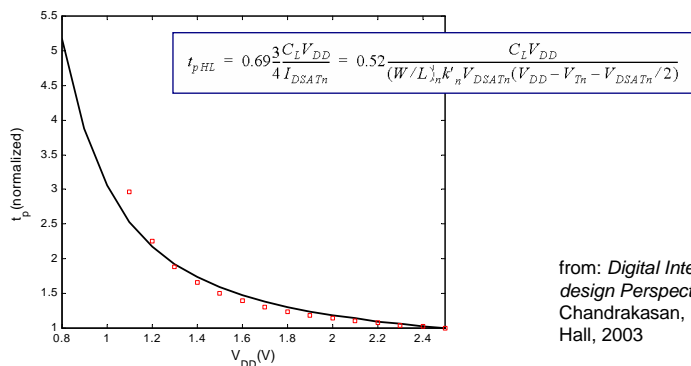
Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona
UNIVERSITAT POLITÈCNICA DE CATALUNYA



Disseny de Circuits i Sistemes Electrònics: Portes digitals
15

Análisis dinámico de un inversor CMOS: velocidad

- Dependencia aproximada de t_p con V_{DD} :
 canal largo $t_p \propto \frac{1}{V_{DD}}$ si $V_{DD} \gg V_{Tn}$
 canal corto $t_p \approx cte.$ si $V_{DD} \gg V_{Tn}, V_{DSsat}$



from: *Digital Integrated Circuits, A design Perspective*, J. M. Rabaey, A. Chandrakasan, B. Nikolic, Prentice Hall, 2003



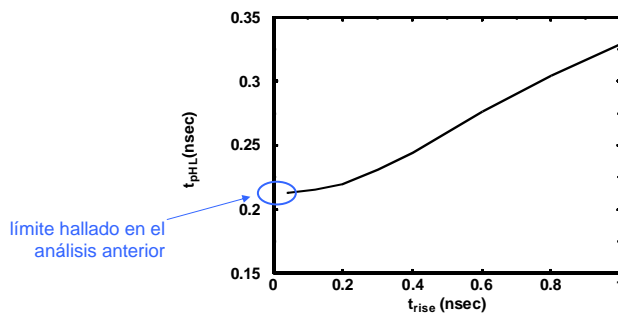
Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona
UNIVERSITAT POLITÈCNICA DE CATALUNYA



Disseny de Circuits i Sistemes Electrònics: Portes digitals
16

Análisis dinámico de un inversor CMOS: velocidad

- En el análisis anterior se ha ignorado el tiempo de transición a la entrada del *driver*, t_r o t_f .
- Tiempos de transición no nulos harán aumentar el tiempo de propagación.



$$t_{pHL} = \sqrt{t_{pHL(step)}^2 + (t_r/2)^2}$$

from: *Digital Integrated Circuits, A design Perspective*,
J. M. Rabaey, A. Chandrakasan, B. Nikolic, Prentice Hall, 2003



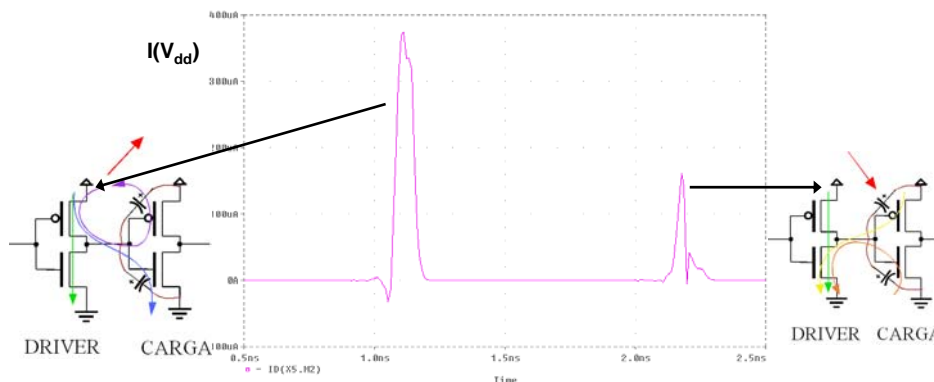
Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona
UNIVERSITAT POLITÈCNICA DE CATALUNYA



Disseny de Circuits i Sistemes Electrònics: Portes digitals 17

Análisis dinámico de un inversor CMOS

- La potencia disipada por el inversor tiene tres componentes
 - Consumo estático
 - Consumo de cortocircuito
 - Consumo para cargar/descargar la capacidad de carga:



Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona
UNIVERSITAT POLITÈCNICA DE CATALUNYA



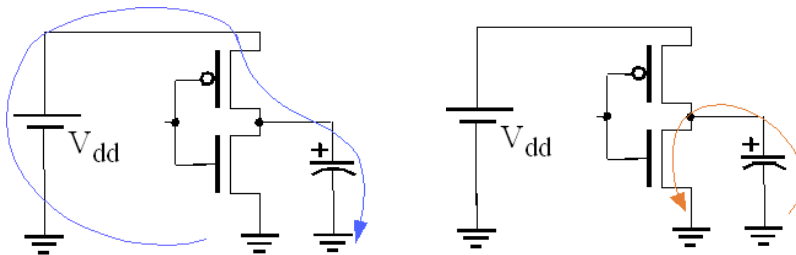
Disseny de Circuits i Sistemes Electrònics: Portes digitals 18

Análisis dinámico de un inversor CMOS

- Consumo para cargar/descargar la capacidad de carga:

$$\overline{Potencia} = \frac{1}{T} \int_T p(t) \cdot dt = \frac{1}{T} \int_T V_{DD} \cdot i(t) \cdot dt$$

- La fuente sólo proporciona energía durante una de las dos transiciones en cada periodo:



Escola Tècnica Superior d'Enginyeria
de Telecomunicació de Barcelona
UNIVERSITAT POLITÈCNICA DE CATALUNYA



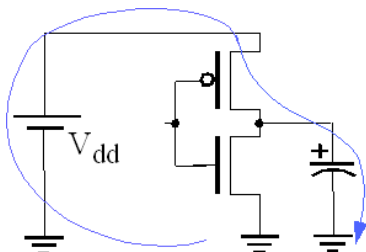
Disseny de Circuits i Sistemes Electrònics: Portes digitals
19

Análisis dinámico de un inversor CMOS

- Sustituyendo el transistor MOS en conducción por una resistencia equivalente, se tiene un circuito RC:

$$\overline{Potencia} = \frac{1}{T} \int_T V_{DD} \cdot i(t) \cdot dt = \frac{1}{T} V_{DD}^2 C_L = f \cdot V_{DD}^2 \cdot C_L$$

(consumo de una puerta)



Escola Tècnica Superior d'Enginyeria
de Telecomunicació de Barcelona
UNIVERSITAT POLITÈCNICA DE CATALUNYA



Disseny de Circuits i Sistemes Electrònics: Portes digitals
20

Análisis dinámico de un inversor CMOS

- Sustituyendo el transistor MOS en conducción por una resistencia equivalente, se tiene un circuito RC:

$$\overline{Potencia} = \frac{1}{T} \int_T V_{DD} \cdot i(t) \cdot dt = \frac{1}{T} V_{DD}^2 C_L = f \cdot V_{DD}^2 \cdot C_L$$

- Para un circuito con n puertas, con un factor de actividad medio γ :

$$\overline{Potencia} = n \cdot \gamma \cdot f \cdot V_{DD}^2 \cdot C_L$$