

ETSETB

(Enginyeria de Telecomunicació)

CISE IV

Notes provisionals: 27/06/2005

Límit al·legacions: 28/06/2005 a les 14 h.

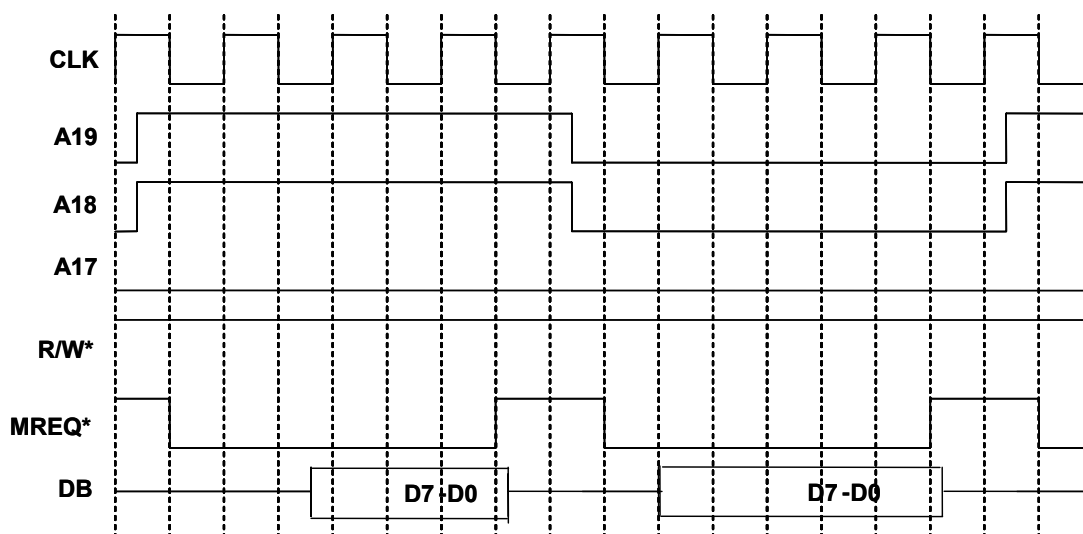
Notes definitives: 29/06/2005

Quadrimestre Primavera 2004-05

14 de Juny de 2005

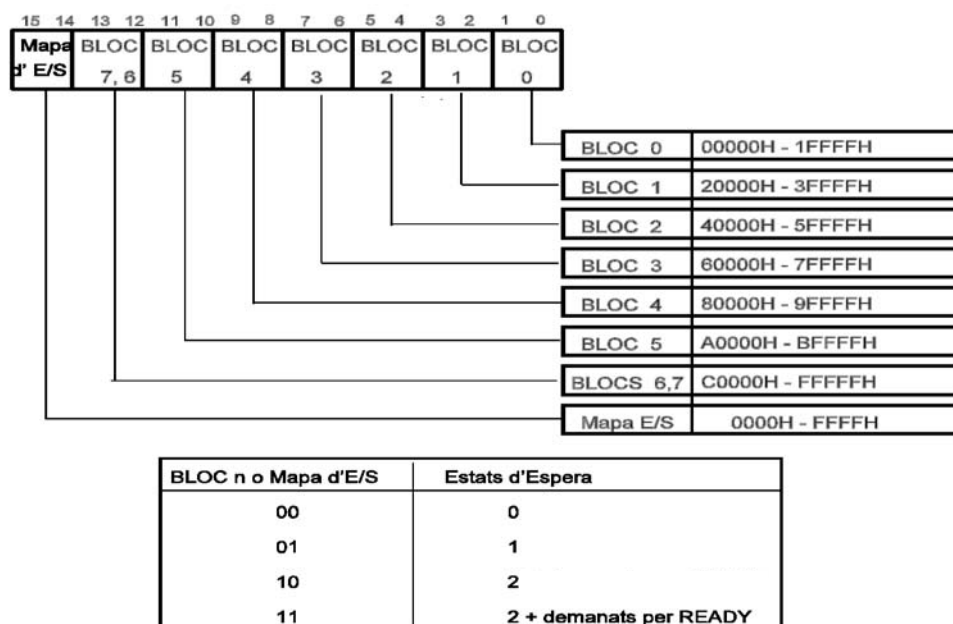
S'ha de respondre en els mateixos fulls. No es poden lliurar fulls addicionals**Temps: 2,5 hores****PROBLEMA 1 (35 %)**

A un sistema amb un microprocessador V25 que té un bloc de 256 Kbytes de memòria EPROM i un bloc de 128 Kbytes de memòria RAM se li connecta un analitzador lògic per poder analitzar la temporització i optimitzar-lo. La pantalla de l'analitzador es mostra a la figura 1:

**Figura 1**

En la descodificació de les memòries, tant EPROM com RAM, es fa servir, per generar el corresponent CS, el senyal MREQ* i no el MSTB*. El R/W* es fa servir per generar els corresponents WE i/o OE. En ambdós casos, els retards de descodificació es poden menysprear.

D'altra banda, el registre WTC del µP, que determina el nombre d'estats d'espera per accedir al diferents blocs de memòria es mostra a la fig. 2.

**Figura 2**

A la vista de fig. 1 i de la descripció del registre WTC de la figura 2, respondre les següents qüestions:

1. Quin és el valor en **Binari** del registre WTC? En cas de que no importi, marcar els bits corresponents com a "X". Justifiqueu la resposta. (30%)

15	13	11	9	7	5	3	1
XX	10	XX	XX	XX	XX	XX	10

Un cicle de bus del V25 sense cicles d'espera dura 2 cicles de rellotge. Les adreces canvien sempre a l'inici del cicle. Per tant, tant per a la RAM com per a la ROM, hi ha 2 cicles d'espera.

2. Al construir el sistema, disposàvem dels següents tipus de memòria: (40%)

	EPROM			RAM		
	A	B	C	A	B	C
t_{ACA}	60	95	150	30	75	110
t_{ACC}	60	95	150	30	75	110
t_{ACO}	35	50	70	20	35	50

on t_{ACA} és el temps d'accés des de les adreces, t_{ACC} des del CS i t_{ACO} des del OE. Tots els temps són màxims i estan en ns. Si el senyal CLK que apareix a la figura 1 és de 10 MHz, indicar quin dels tipus de memòria disponible s'ha fet servir per cada cas (EPROM i RAM). Justifiqueu la resposta.

EPROM:

Memòria C

RAM:

Memòria B (també es pot considerar la C)

Donat el cronograma que ens presenten i les característiques de les memòries (on el temps d'accés des d'adreces i CS* són iguals i més grans que el de OE*), el temps dominant és el de CS*. Per tant, per al cas de la memòria EPROM podem descartar les opcions A i B perquè el temps mesurat al cronograma des de CS* (>125ns) és més gran que els temps màxims de CS* respectius. Amb el mateix procediment, en el cas de la RAM, només podem descartar l'opció A.

3. A la vista de la informació disponible ara, quin seria el valor òptim del registre WTC per tal d'accedir a les memòries el més ràpid possible? En cas de que no importi, marcar els bits corresponents com a "X". Justifiqueu la resposta. (30%).

15	13	11	9	7	5	3	1
XX	01	XX	XX	XX	XX	XX	00 *

* En cas d'haver escollit l'opció C per la RAM la solució és 01.

Per l'EPROM necessitem 1 estat d'espera ja que llavors el t_{ACC} disponible és de 200ns complint el t_{ACC} (màx) de 150ns. Per a la RAM, amb 0 estats d'espera el t_{ACC} disponible és de 100ns. La RAM B compleix aquesta restricció temporal ja que el seu t_{ACC} (màx)=75ns. No així la RAMC (110ns) que necessita llavors 1 estat d'espera.

PROBLEMA 2 (25%)

En un sistema microcontrolador, alimentat a 5V, hi ha 4 dispositius d'E/S, amb sortides en col·lector obert, que poden demanar interrupció per la corresponent línia **INT (activa a "1")** del microcontrolador.

Les característiques elèctriques estàtiques del microcontrolador, i de qualsevol circuit integrat que sigui necessari afegir-hi més endavant durant el problema, són:

V_{IHmin}	2.0 V	I_{IH}	1 μA
V_{ILmax}	0.8 V	I_{IL}	-1 μA
V_{OHmin}	2.4 V	I_{OH}	-100 μA
V_{OLmax}	0.4 V	I_{OL}	100 μA

I les de sortida dels dispositius de col·lector obert:

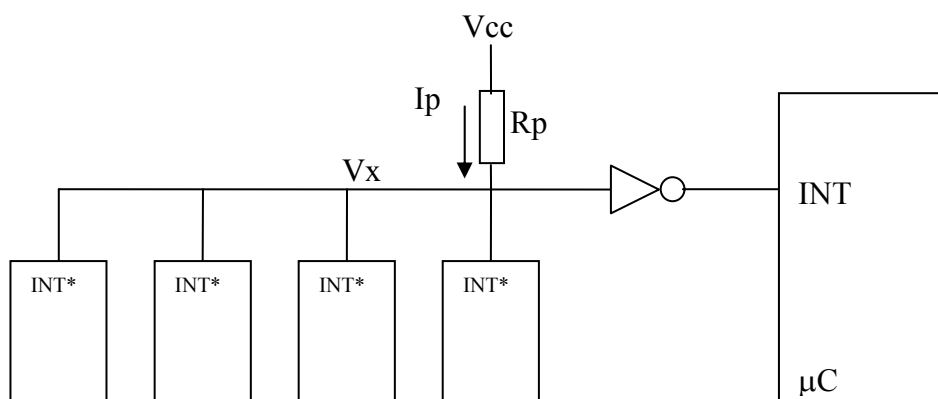
$$I_{OH} = 10 \mu A$$

$$I_{OL} = 12 mA$$

$$V_{OL} = 0,4 V$$

Tenint en compte que els marges de soroll requerits són: $NMH = NML = 0,4V$, es demana:

1) Dibuixeu el circuit elèctric que implementi correctament la connexió especificada a l'enunciat anterior. Afegir-hi el mínim de components elèctrics passius i circuits integrats que en calguin. (20%)



2) Si hi ha d'algun component elèctric passiu que sigui imprescindible per la correcta operació d'aquesta connexió, determineu el seu marge vàlid de valors. (40%)

Nivell alt: Volem $V_x \geq V_{IHmin} + NMH = 2,4V$, en tot moment.

$$\text{Min}(V_x) = V_{cc} - \text{Max}(I_p)R_p = 5V - (4I_{OH} + I_{IH})R_p \geq 2,4 V \Rightarrow R_p \leq 2,6V / 0,041mA = 63,41K\Omega$$

$$\boxed{R_{pmax} = 63,41K\Omega}$$

Nivell baix: Per tal que V_x sigui $< V_{OLmax}$, és necessari que $I_{OL} = 12 mA \geq (I_p - I_{IL})$ (per al cas pitjor considerem les $I_{OHmin} = 0$ als altres 3 dispositius que no estiguin forçant 0) ; $V_{OLmax} = 0.4V$ i $V_{ILmax} - NML = 0,4V$, per tant complim l'especificació de NML demanada amb aquest dispositiu.

$$(5V - V_{OLmax}) / R_p + 1\mu A \leq 12mA \Rightarrow R_p \geq 4,6V / 12mA = 383,3 \Omega \Rightarrow \boxed{R_{pmin} = 383,3 \Omega}$$

3) Si ara un dels dispositius d'E/S presenta un funcionament incorrecte a la seva etapa de sortida: (40%)

- a) Quin seria el valor límit (determineu si màxim o mínim) del I_{OH} d'aquest dispositiu que es podria tolerar amb el marge de valors calculat a l'apartat 2? Per què?

Com que a nivell alt: $R_p \leq 2,6V / (\sum I_{OH} + I_{IH}) \approx 2,6V / (I_{OH}^* + 3I_{OH} + I_{IH}) = 2,6V / (I_{OH}^* + 0,031mA)$, amb I_{OH}^* del dispositiu espatllat

Òbviament, com més petit sigui el corrent I_{OH}^* , el nivell alt serà millor, per tant només ens preocupa I_{OH} , en cas de créixer:

Un I_{OHmax}^* molt elevat faria baixar la R_{pmax} , i el valor més petit que podríem admetre seria $R_{pmax} = R_{pmin} = 383,3 \Omega$. Per tant,

$$I_{OHmax}^* = (2,6V / R_{pmin}) - 0,031mA = (2,6V / 0,3833K\Omega) - 0,031mA = \mathbf{6,752 \text{ mA}}$$

- b) Igualment, quin seria el valor límit d' I_{OL} (sempre mantenint $V_{OL} = 0,4 \text{ V}$) que es podria tolerar? Per què?

Com que a nivell baix: $R_p \geq 4,6V / (I_{OL} - I_{IL}) \approx 4,6V / I_{OL}$

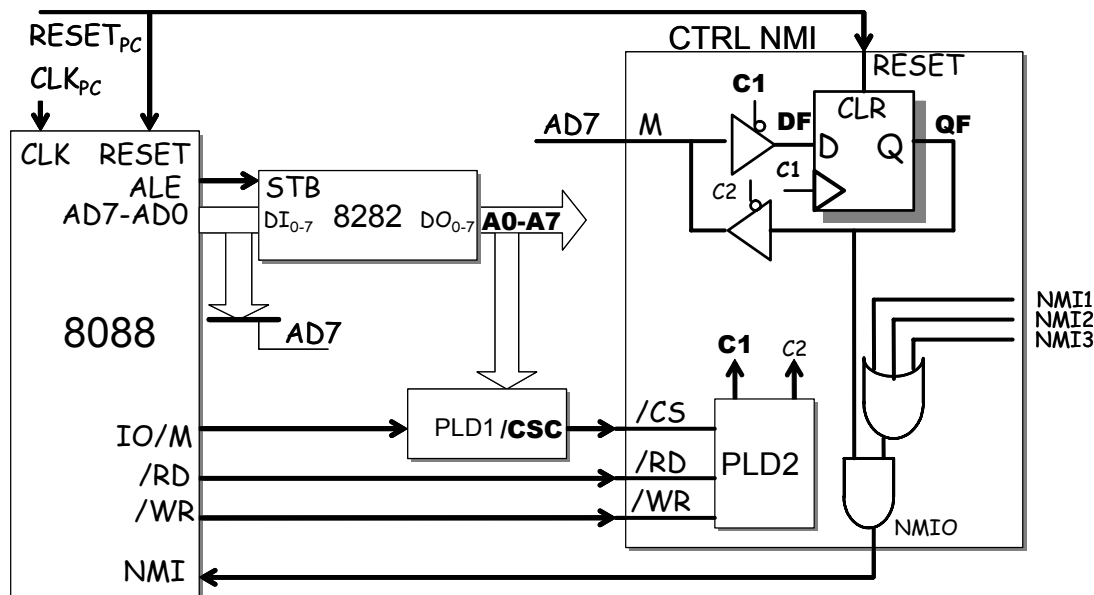
Es podrà admetre fins un $I_{OLmax} \rightarrow \infty$ que ens donaria un límit inferior de $R_{pmin} = 0$.

Tanmateix, un I_{OLmin} molt baix faria pujar la R_{pmin} , i el valor més alt que podríem admetre seria $R_{pmin} = R_{pmax} = 63,41K\Omega$. Per tant,

$$I_{OLmin} = 4,6V / R_{pmax} = 4,6V / 63,41K\Omega = \mathbf{0,0725 \text{ mA} = 72,5 \mu A}$$

PROBLEMA 3 (40%)

El PC's disposen d'un controlador específic per tal d'emascarar o habilitar la interrupció no emmascarable NMI del seu microprocessador. El connexionat d'aquest controlador amb el 8088 (PC/XT) es mostra a la següent figura.



Els elements inclosos son els següents:

1 8088 (processador): CPU de 8 bits amb un espai de memòria de 1Mbyte i d'E/S de 64Kbytes

Símbol	Tipus	Nom i Funció
CLK	I	Clock: Senyal de rellotge del microprocessador.
ALE	O	Address Latch Enable: Pols positiu que indica la existència d'una adreça vàlida en el bus multiplexat d'adreces i dades.
IO/M	O	Status line: Quan val 1 indica accés a E/S i 0 quan s'accedeix a memòria.
/WR	O	Write: Indica quan val 0 un cicle d'escriptura a E/S o memòria.
/RD	O	Read: Indica quan val 0 un cicle de lectura a E/S o memòria.
AD7-0	I/O	Address Data Bus: Aquestes línies formen un bus multiplexat en el temps que fa de bus d'adreces i en d'altres de bus de dades.
RESET	I	Reset: Es torna a començar l'execució de la CPU quan li arriba un pols positiu d'una durada d'almenys 4 períodes de la senyal de rellotge.
NMI	I	Non-Maskable Interrupt: Quan arriba un pols positiu es genera internament una interrupció de tipus 2.

2 8282 (Latch D): Quan STB=1 la senyal DI es guarda a la sortida DO amb un retard **TIVOV**. Quan hi ha un flanc de baixada al senyal STB, la sortida DO es manté constant amb l'últim valor de DI emmagatzemat.

3 PLD1: Bloc combinacional que propaga les senyals d'entrada a la seva sortida /CSC amb un retard **tp1**. La funció de sortida val: $/CSC = \overline{IO/M} + A_0 + A_1 + A_2 + A_3 + A_4 + \overline{A_5} + A_6 + \overline{A_7}$

4 PLD2 (dins del controlador): Bloc combinacional que propaga les senyals d'entrada a les seves sortides c1 i c2 amb un retard **tp2**. Aquestes dues funcions valen: $c_1 = /CS + /WR$ i $c_2 = /CS + /RD$

5 Biestable D (dins del controlador): Quan CLR val 1 la sortida Q passa a zero de forma asíncrona. Quan hi ha un flanc ascendent a la senyal de sincronització, D passa a Q amb un retard **tpF**. Sinó Q es manté amb l'últim valor emmagatzemat. El biestable té un temps de set-up **tsF** i de hold **thF**.

6 Buffers tri-state (dins del controlador): Quan el corresponent senyal de control val 0 l'entrada passa a la sortida amb un retard **tpB**. Quan el corresponent senyal de control passa de 0 a 1, la sortida passa a alta impedància amb el mateix retard **tpB**.

7 Portes lògiques (dins del controlador): Propaguen la seva funció lògica a la sortida amb un retard **tpL**.

Donat que el controlador s'habilita quan /CSC=0 i això passa quan IO/M=1 (cicle d'escriptura a E/S amb l'execució de l'instrucció OUT) amb A0=A1=A2=A3=A4=A6=0 i A5=A7=1, el controlador està mapejat al mapa d'E/S a l'adreça A0H. Tanmateix com el bit 7 del bus de dades (AD7) va a parar a l'entrada del controlador i aquest bit es propaga mitjançant el biestable a la porta AND, fent d'habilitador de les entrades NMI_j, AD7 ha de valer 1 ó 0 es cas d'habilitar o emmascarar respectivament. Per tant l'instrucció a executar és OUT A0H,80H (o qualsevol altre amb el mateix port A0 amb el bit AD7=1) per habilitar i OUT A0H,00H (o qualsevol altre amb el mateix port A0 amb el bit AD7=0) per emmascarar.

Ja que el controlador està mapejat al mapa d'E/S per llegir hem d'executar l'instrucció IN i no la MOV que serveix per a llegir de memòria (Ho podem veure ja que quan s'executa un MOV, IO/M=0 i és deshabilita el controlador). Com hi ha un buffer connectat des de M a la sortida del biestable controlat per $c_2 = /CS + /RD$, a l'executar la instrucció IN A0H,AL c2 valdrà 0 i per tant al bit 7 del bus de dades obtindrem l'estat del controlador (1 indica habilitació de les NMI i 0 emmascarament).

Com l'entrada de RESET del PC va directament al CLR (entrada de reset asíncron) del biestable, la seva sortida QF valdrà 0 i per tant les peticions per NMJ restaran emmascarades.

4. Un cop es genera un reset al sistema, s'executa la instrucció OUT nn,AL per tal d'habilitar les peticions d'interrupció {NMI}, j=1,2,3 del controlador. Es demana dibuixar les formes d'ona de les senyals del PLD1 /CSC i les internes del controlador **C1**, **DF** i **QF** durant el cicle d'escriptura que es produeix dins en la instrucció OUT nn,AL, marcant sobre totes elles els retards corresponents en funció de **TIVOV**, **tp1**, **tp2**, **tpB** i **tpF**. (30%)



5. Marca sobre el cronograma l'instant en el qual el biestable intern del controlador li arriba un flanc ascendent a la seva entrada de sincronització. D'acord amb aquest instant, determina la condició necessària per tal de garantir que la dada AD7 que està connectada a l'entrada M del controlador arribi correctament a l'entrada del biestable intern del controlador. (10%)

Per tal de garantir que la dada AD7 que està connectada a l'entrada M del controlador arribi correctament a l'entrada del biestable intern del controlador, AD7 ha de mantenir-se vàlida en l'instant del flanc ascendent a l'entrada de sincronització del biestable. D'acord amb el cronograma calculat a l'apartat 4, això es complirà si $tp2 < TWHDX$

6. Determina les condicions necessàries per tal de garantir que el biestable pugui escriure correctament l'entrada M, d'acord amb els seus temps de setup i hold (tsF i thF). (10%)

Per una lectura correcta a DF s'han de complir els temps de set-up i hold del biestable. D'acord amb el cronograma calculat a l'apartat 4 això es complirà si $tpB > thF$ i $(TWLWH - tpB) > tsF$

7. Calcula el temps mínim necessari des de $t=0$ per tal de garantir que qualsevol petició d'interrupció $\{NMI_j, j=1,2,3\}$ sigui propagada correctament a la sortida NMIO del controlador. (10%)

Quan arribi a QF el valor "1", les entrades NMI_j just un instant tpL (temps de propagació de la porta OR) abans podran passar a "1" i llavors $2tpL$ segons després la sortida NMIO passarà a "1", garantint la correcta propagació cap a l'entrada NMI del 8088. D'acord amb el cronograma calculat a l'apartat 4, l'instant des de $t=0$ fins que $QF=1$ és igual $1,5TCLCL + TCVCTV + TWLWH + tp2 + tpF$. Per tant el temps que ens demanen serà igual a: $tmin = 1,5TCLCL + TCVCTV + TWLWH + tp2 + tpF - tpL$

Nota important pel apartats 5-7: Totes les condicions han de quedar especificades amb inequacions en funció dels paràmetres del 8088 que surten al cronograma, els temps de propagació de la resta de blocs implicats i els temps de setup i hold del biestable (p.ex. 5: $tp1 + tp2 \geq TCLAV + TCLCL$, etc.).