

Problema a respondre sobre les pròpies fulles de l'enunciat.

Nom i Cognoms: _____

Problema 1 (35% del total)

S'ha dissenyat un sistema basat en el μC V25 de NEC. L'objectiu és poder fer transferències molt ràpides entre dos bancs de memòria (banc M1A-M2A i banc M1B-M2B). La solució adoptada és la de la figura de l'apartat d). Es demana:

- a) (1 punt) Rang(s) d'adreces en què el microcontrolador pot escriure a la memòria M1A. Rang(s) d'adreces en què el microcontrolador pot llegir de la memòria M2B.

M1A(μC write):

M2B(μC read):

- b) (4 punts) Quins són els efectes de les següents instruccions ? En cas de que hi hagi una transacció de dada, esmenteu l'origen i destí de la mateixa (memòria M1A, M2A..., V25, etc.), i el seu valor quan sigui possible. Justifiqueu breument les respostes.

mov al,[0A00h:1234h]

Origen:

Destí:

Valor:

mov al,[9200h:1234h]

Origen:

Destí:

Valor:

mov [7FF0h:1234h],56h

Origen:

Destí:

Valor:

mov [700Ah:1234h],56h

Origen:

Destí:

Valor:

NOTES:

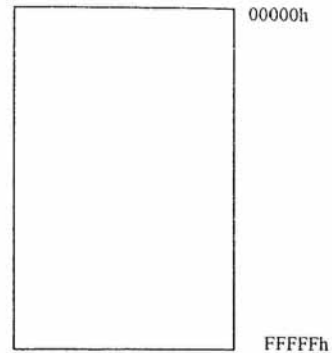
- Totes les transaccions són de byte.
- El format de la instrucció és *mov 'destí', 'origen' ó 'dada immediata'*
- El V25 calcula l'adreça de sortida de 20 bits de la següent manera: $[\text{@-20bits}] = [\text{Seg:Despl}] = \text{Seg} * 16 + \text{Despl}$.

- [Back](#) [Home](#) [About Us](#) [Contact Us](#)

- _____



e) (1 punt) Mapa de memòria resultant.



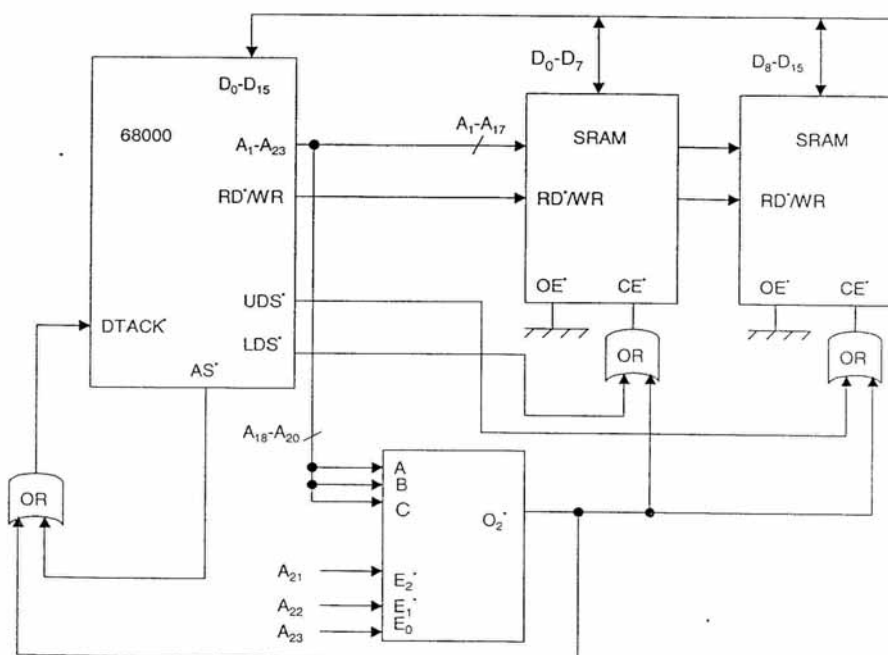
NOTES:

- El vector de reset està situat a la posició FFFF0h.
- La porta XOR de dues entrades dóna '1' només quan les entrades prenen valors diferents.
- En els buffers bidireccionals, quan EN*=0 (buffer activat) el senyal DIR controla el sentit de les dades (DIR=1, cap al μ C; DIR=0 cap a les memòries). Quan el senyal EN*=1 (desactivat) el buffer es posa en alta impedància a totes dues bandes, indiferentment del que indiqui el senyal DIR.
- No es corregiran solucions poc clares: a l'apartat d) es recomana l'ús del llapis.

EXAMEN FINAL DE CISE IV – GENER 2002

Problema 2 (20% del total)

Considerem un microprocessador que presenta unes característiques molt semblants al MC68000. A la figura adjunta es mostra un petit sistema de memòria SRAM, amb dos chips que tenen una organització de 128K x 8 cada un d'ells, connectat amb el microprocessador en qüestió.

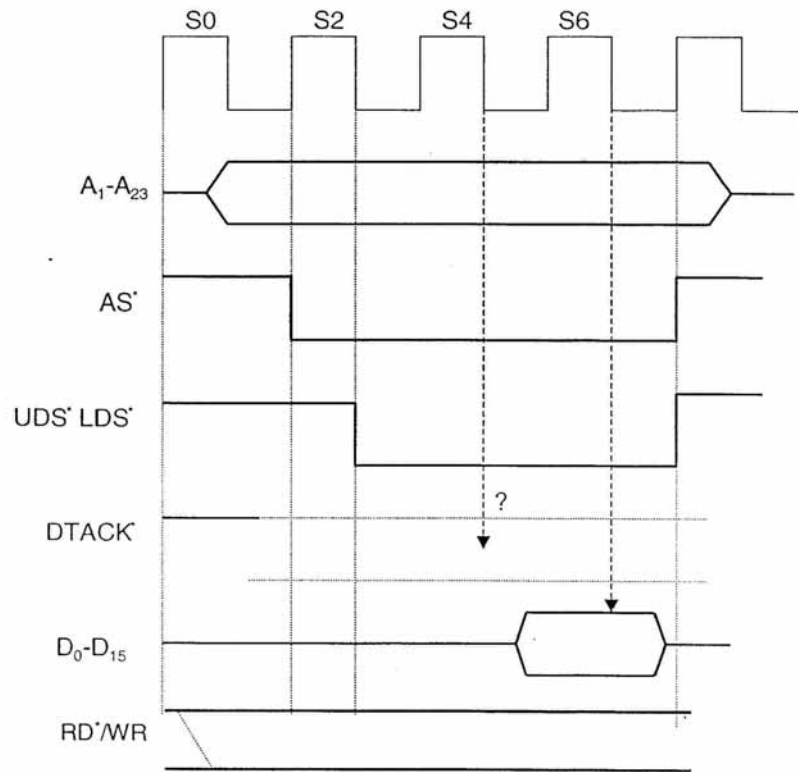


Si tenim en còmpta que la freqüència de treball del microprocessador es de 10 MHz, respondre a les preguntes següents:

- A quines posicions del mapa de memòria es troba situada la memòria del muntatge (2 punts).

Suposant que els senyals de la interfície d'usuari són els que apareixen a la figura adjunta, que el temps de retard per cada una de les portes o circuit és de 25 ns, i que el temps $t_{SETUP} = 25$ ns:

- b) Determinar quin es el màxim temps d'accés de les memòries, compatible amb el normal funcionament del circuit (6 punts).
- c) Suposeu que a l'esquema de la figura, intercanviem la posició dels senyals AS' i A_{21} . Repetir la pregunta anterior per la situació actual (2 punts).



Problema 3 (20% del total)

El μP V25 té dos ports sèrie que funcionen, tant per transmissió com per recepció, de manera autònoma. A la figura 1 es pot veure el diagrama de blocs de dos μP V25 que es comuniquen entre ells, essent el $\mu P1$ el transmissor i el $\mu P2$ el receptor.

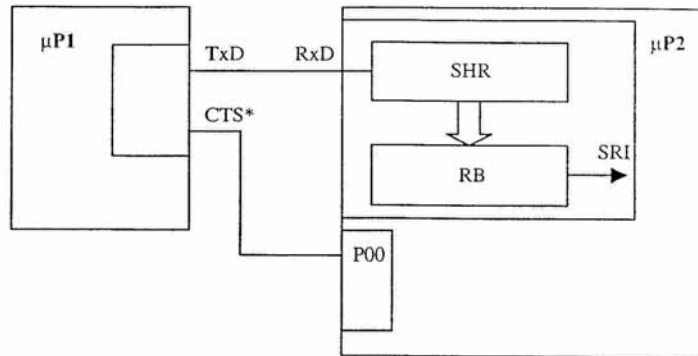


Fig.1

El receptor funciona de la següent manera: RxD és l'entrada sèrie. SHR és un registre de desplaçament que fa la conversió sèrie - paral·lel i finalment RB és el *buffer* de recepció. Aquest sistema fa la conversió de manera autònoma, es a dir sense intervenció del V25, i quan ha acabat de rebre l'últim *bit* de la trama del caràcter (el *bit* de *stop*) transfereix els *bits* de dades a RB. Un cop RB s'ha carregat, es genera una interrupció SRI (*Serial Receive Interrupt*). A efectes pràctics, aquesta transferència i la subseqüent generació de la interrupció son instantànies. Com que el *buffer* de recepció RB es d'un sol caràcter, hem de guardar el seu contingut a la memòria abans que arribi el següent.

Pel que fa al transmissor, TxD és la sortida sèrie i només ens cal saber que per que pugui enviar un caràcter el senyal d'entrada CTS* ha de estar a nivell baix. Tanmateix, si ja ha començat a enviar-lo quan canvia CTS*, l'acaba d'enviar.

Les dades de la transmissió sèrie son:

- Velocitat 115200 baud
- Format:
 - 1 *bit* de *START*
 - 8 *bits* de DADES
 - Sense Paritat
 - 1 *bit* de *STOP*

D'altra banda, els dos V25 treballen a $f_{CLOCK} = 1$ MHz i sense estats d'espera. Es demana:

1. Quant temps dura la transferència d'un caràcter ? (10%)

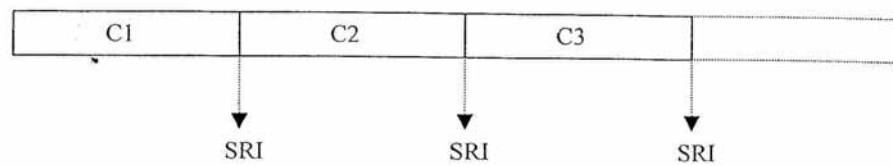


Fig.2

Tal com hem dit i com s'indica a la figura 2, al final de cada transferència es genera una interrupció SRI de manera que guardarem el caràcter contingut a RB a la memòria dins de la RSI (Rutina de Servei de la Interrupció). Els passos necessaris s'indiquen, junt amb la seva durada en cicles de rellotge del V25 a la següent taula, on n és el nombre d'estats d'espera del cicle màquina del V25:

ACCIÓ	T_{clock}
Saltar a la RSI	$55+10n$
PC Vell (Main) \rightarrow Stack	
PS \rightarrow Stack	
PSW \rightarrow Stack	
(Vector baix) \rightarrow PC	
(Vector alt) \rightarrow PS	
RSI	$12+n$
RB \rightarrow Memòria	
FINT	
Retorn de la RSI (RETI)	$43+6n$
PSW \leftarrow Stack	
PS \leftarrow Stack	
PC \leftarrow Stack	

- Suposant que el transmissor envia els caràcters seguits, quants caràcters es rebran correctament, a contar des de l'inici de la transmissió i perquè? (20%)

A la figura 3, es mostra una modificació de la RSI consistent en parar la transmissió un cert temps, guardar un nou caràcter si és que ha arribat i tornar a habilitar la transmissió abans de sortir de la RSI. Els números representen les durades en μs de les instruccions corresponents, que son efectives al final del temps indicat, i T_c és la durada de la transferència d'un caràcter.

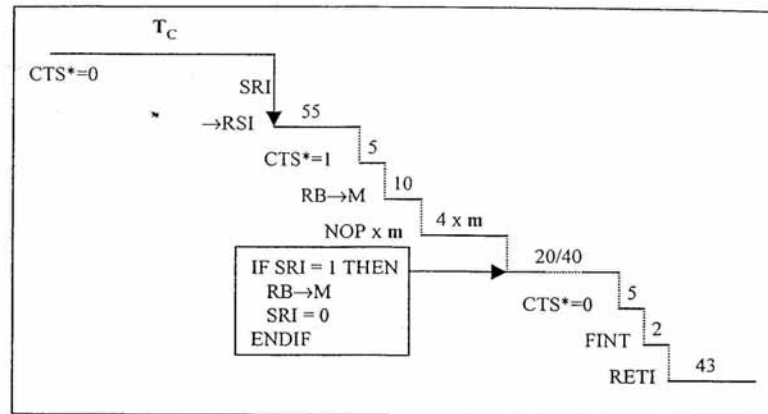


Fig. 3

Es demana:

3. Explicar breument perquè és necessari introduir el retard de les m instruccions NOP (no operació), que duren $4 \mu s$ cadascuna, i calcular el valor mínim de m . (30%)
4. Per què s'ha de fer $SRI = 0$ després de guardar el segon caràcter? (20%)
5. Calcular quant temps quedarà lliure des que s'acabi la RSI fins que arribi la següent interrupció SRI, suposant que el transmissor envia caràcters seguits. (20%)

NOTES: Suposarem que SRI és el bit del registre d'interrupció del port sèrie receptor que indica que aquest ha demanat una interrupció i que la interrupció corresponent al primer caràcter s'accepta immediatament.

La instrucció FINT, entre altres efectes, habilita les interrupcions.

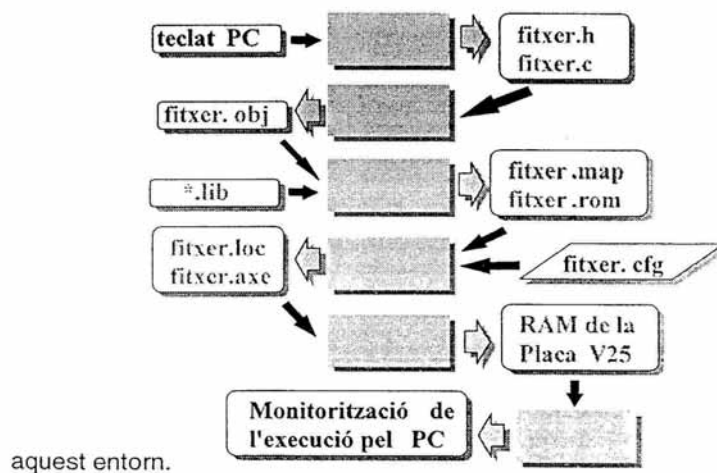
EXAMEN FINAL DE CISE IV – GENER DE 2002

Aquesta part de l'examen s'ha de respondre sobre el propi enunciat. Omplir les fulles amb el nom i cognoms.

Nom i cognoms: _____.

QÜESTIONS (25% del total)

Q1. (1p) A la següent figura, la qual il·lustra el procés d'obtenció del fitxer executable a la placa del V25 mitjançant l'entorn de desenvolupament Paradigm C++, empleueu els blocs amb noms dels programes que utilitza



Q2. (1p) A la placa microcontroladora V25 de pràctiques amb l'entorn Paradigm C++:

- Quina és la diferència fonamental, en quant a la precisió de temps, entre utilitzar la base de temps o emprar els temporitzadors (0,1) del V25 ?

- b) Per què convé posar la funció *enable()* a l'inici de cada RSI (Rutina de Servei d'Interrupció) dels programes quan s'està desenvolupant una aplicació? En què etapa d'aquest desenvolupament es podria retirar aquestes instruccions?

Q3. (1,5p) A la següent transcripció d'una part del fitxer de configuració del sistema de pràctiques que s'ha emprat en totes les aplicacions, escriviu els comentaris adients que expliquin, en una frase, cada línia d'ordres.

```
cputype      D70320                //

#if defined(__PDMOTE__)              //

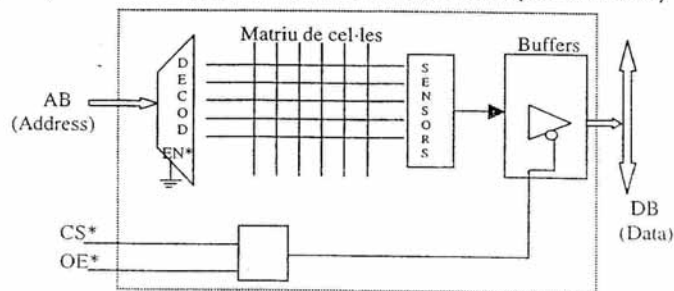
map  0x00000 to 0x00fff as reserved //
map  0x01000 to 0x0ffff as rdwr  //
map  0x10000 to 0x1ffff as ronly  //
map  0x20000 to 0xfffff as reserved //

#define DATA_START  0x0100  //
#define CODE_START   0x1000  //

#else

map  0x00000 to 0x1ffff as rdwr  //
map  0x20000 to 0xfffff as reserved //
map  0xf0000 to 0xfffff as ronly  //
```

Q4. (1p) En un xip de memòria, el diagrama de blocs i les connexions bàsiques (de funcionament normal al sistema microprocessador) del qual és el

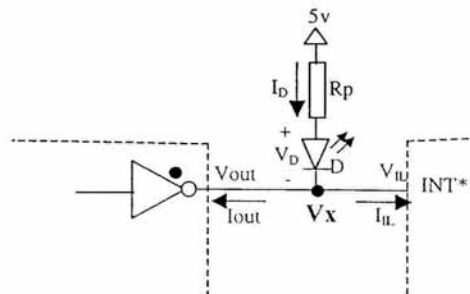


que mostra la figura, es demana:

A) De quin tipus és aquest xip: SRAM, DRAM o EPROM? Per què no pot ser d'un dels altres tipus?

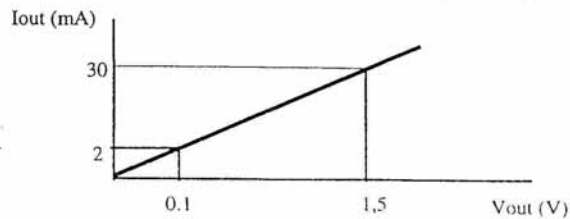
B) El seus temps d'accés des de l'activació del CS* i d'Address serà del mateix ordre o molt diferents? Per què? Dibuixeu a la figura la connexió que canviaria aquesta resposta.

Q5. (2p) Si en una típica connexió d'un *buffer* en drenador obert (amb una R_p a 5V) a l'entrada de petició d'interrupció d'un μP (INT*: $V_{IL\ max} = 1,5V$, $I_{IL\ max} =$



-5 μA) cal acomplir un marge de soroll al nivell baix de 1V, també es vol il·luminar un LED quan es demani la interrupció segons l'esquema de la figura.

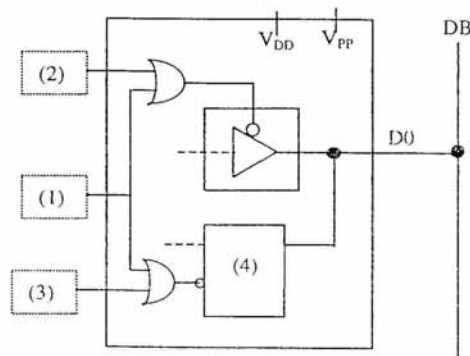
a) ¿Quin és el marge de valors de R_p , en el cas que existeixi, que permetria acomplir ambdues especificacions si el marge de corrents d'il·luminació del LED està entre $I_D = 8\ mA$ ($V_D = 1,8\ V$) i $I_D = 12\ mA$ ($V_D = 2,2\ V$) i la característica de sortida del *buffer* és la de la figura següent:



b) Funcionaria correctament aquest esquema circuital, amb el marge de R_p calculat, per al nivell alt ($V_{IHmin} = 3,5V$, $I_{IHmax} = 5 \mu A$, per al μP ; $I_{OHmax} = 10 \mu A$ per al *buffer*; $V_D \approx 0V$ si $I_D \leq 25 \mu A$ per al LED) mantenint el mateix marge de soroll d'1V?

Q6. (1p) Es vol connectar un port programable d'E/S com a perifèric d'un microprocessador de 8 bits de Bus de Dades. Aquest port disposa de 11 registres de lectura i 10 lectura/escriptura, tots ells de 16 bits adreçables per parelles de registres de 8 bits en adreces consecutives. Quantes línies d'adreces i control haurà de tenir, com a mínim, el perifèric per poder adreçar tots els registres dins d'un bloc determinat del mapa (de memòria o d'E/S) del microprocessador ?

Q7. (1p) Si l'esquema de la figura següent correspon a una petita part del connexionat i circuiteria interna d'un xip de memòria EPROM:



a) Quines, serien els senyals de control —entre (1), (2) i (3)— que controlarien l'operació normal de l'EPROM en el sistema microprocessador ? Quins noms solen tenir?

b) Quina seria la missió, i el possible nom, de la resta de senyals ?

c) Quin circuit podria ser el bloc (4) i en què mode de funcionament de L'EPROM tindria la seva missió principal ?

Q8. (1,5p) El bucle principal (*main*) d'un programa triga $200\mu s$ en la seva execució sense interrupcions i de manera seqüencial. Pot se interromput a intervals regulars per un temporitzador T1. Si la RSI d'aquestes interrupcions s'executa en $50\mu s$, es demana:

a) La freqüència màxima d'interrupció del temporitzador T1, si és imprescindible que el bucle principal s'executi totalment almenys un cop entre dues interrupcions successives de T1.

b) La mateixa freqüència màxima de T1 amb la mateixa condició del primer apartat, si ara també són possibles unes interrupcions demanades per un altre temporitzador T0 que és de menor prioritat que T1 i treballa a una freqüència d'interrupció d'1Hz. La RSI d'aquestes noves interrupcions triguen $30\mu s$ en executar-se.