

CISE IV

Control 2/11/2006

PROBLEMA

Un determinat sistema està basat en un μP amb un Bus de Dades de 32 bits (D0 - D31), un Bus d'Adreces *extern* de 30 bits (A2 – A31) i un senyal de validació general d'adreces AS* (*Address Strobe**) actiu a nivell baix. Per tal d'indicar el(s) *byte(s)* del bus de dades que es tindran en compte en cada cicle de bus, aquest μP té 4 senyals de sortida específics del tipus BEX* (*Byte Enable X**), on X = 1 indica D0 - D7, X = 2 indica D8 - D15, X = 3 indica D16 - D23 i X = 4 indica D24 - D31.

Es demana:

1. La capacitat del mapa de memòria d'aquest μP en *bytes*. 4GB
2. Dibuixar el diagrama d'aquest mapa (organitzat en *bytes*) tot indicant les següents adreces en hexadecimal:
 - inicial i final del mapa 0x00000000-0xFFFFFFFF
 - inicial i final d'una zona de 16M x 32 bits començant a la meitat del mapa, 0x80000000-0x83FFFFFF
 - inicial d'una altra zona de 16M x 32 bits a la part final del mapa. 0xFCFFFFFF-0xFFFFFFFF
3. Indicar els bits d'adreces del μP que s'haurien d'utilitzar en una hipotètica descodificació completa de cadascuna de les dues zones anteriors amb circuits de memòria de 8M x 8. A25-A31
4. Determinar el nombre necessari de circuits de memòria per formar el bloc esmentat. 8
5. Efectuar les connexions necessàries entre el μP i les memòries, afegint-hi la circuiteria mínima necessària, per tal de situar aquest bloc (de 16M x 32) a partir de la meitat del mapa de memòria del μP i amb una descodificació incompleta que presenti 32 zones imatge i que no ocupi la zona de 16M x 32 bits del final del mapa.

A31, A29, A28, A27, A26 SENSE CONNECTAR

A25, A30 NEGADA, AS* i EL CORRESPONENT BEX* AL CS* DE LES 4 PRIMERES MEMÒRIES (A25+NOT(A30)+AS*+BEX*)

A25 NEGADA, A30 NEGADA, AS* i EL CORRESPONENT BEX* AL CS* DE LES 4 SEGONES MEMÒRIES (NOT(A25)+NOT(A30)+AS*+BEX*)

LA CONNEXIÓ DEL BUS DE DADES S'HA DE CORRESPONDRE AMB EL BEX*

D0-D7 > BE1

D8-D15 > BE2

D16-D23 > BE3

D24-D31 > BE4