

Examen FINAL Estructura de Computadores II

curso 2004-2005 Q2

- La duración del examen es de 2 horas y media.
- Los problemas 1 y 2 se han de entregar juntos.
- Los problemas 3 y 4 se han de entregar juntos.
- Los problemas 5 y 6 se han de entregar juntos.
- El resto se ha de entregar en las hojas de respuestas.
- Las notas finales se publicarán el **30 de junio**.
- La revisión se realizará el **5 de julio**.

Dado el siguiente código y bloque de activación de la subrutina "final1", y teniendo en cuenta que la variable local "i" de "final1" se almacena en el registro "esi" y la variable local "j" en el registro "edi", se pide:

```
typedef struct{
    int W[10];
    char a;
    int *pa;
}s1;

int A (int k, char c, int v[10]);

int final1(s1 *p, int M[15][10], int x)
{ int i, j;
  . . .
}
```

EBP	← EBP
@ret	
p	
@M	
x	

Problema 1 (1 punto)

Traducid a ensamblador del IA32 la siguiente sentencia escrita en C:

```
j=A(i, p->a, &M[3][0]);
```

suponiendo que está dentro de la rutina "final1".

Problema 2 (1.5 puntos)

Traducid a ensamblador del IA32 la siguiente sentencia escrita en C:

```
if ((i < p->W[j]) || (j^0xfff3))
    *(p->pa)++;
else
    p->pa = &M[i][j];
```

suponiendo que está dentro de la rutina "final1".

Problema 3 (1 puntos)

Traducid de forma **óptima** a ensamblador del IA32 la siguiente sentencia escrita en C:

```
for (i=0; i<15; i++)
    for (j=0; j<10; j++)
        M[i][j] = x * M[i][j];
```

suponiendo que está dentro de la rutina "final1".

Problema 4 (0.5 puntos)

Traducid a ensamblador del IA32 la siguiente sentencia escrita en C:

```
return(p->W[j] * i);
```

suponiendo que está dentro de la rutina "final1".

Problema 5 (1,5 puntos)

Disponemos de un procesador de 16 bits con direcciones de 16 bits que tiene una memoria cache de datos con las siguientes características:

- 3-asociativa, con algoritmo de reemplazo FIFO
- 8 bytes por línea
- 12 líneas
- política de escritura: write through + write allocate

El contenido inicial de la cache (Memoria de Etiquetas) es el siguiente:

conjunto 0	conjunto 1	conjunto 2	conjunto 3
1BC	105	036	0A7
038	609	146	44B
-	111	022	72F

La información de reemplazo está implícita en la posición. Las posiciones inferiores corresponden a las líneas que llevan más tiempo en la cache. Las posiciones superiores corresponden a las líneas que llevan menos tiempo en la cache. Por ejemplo, en el conjunto 3, la línea 0A7 es la que lleva menos tiempo en la cache, y la línea 72F la que lleva más tiempo en la cache.

Rellenad la siguiente tabla, indicando para cada referencia, el TAG (etiqueta), a qué conjunto de MC va a parar, si es acierto o fallo, si hay lectura de MP, si hay escritura en MP y el TAG de la línea reemplazada cuando proceda.

dirección (hex)	TAG (en hex)	conjunto MC	¿acierto o fallo?	lectura MP ¿sí/no?	Escritura MP ¿sí/no?	¿TAG de línea reemplazada?
LECT C128						
ESCR 8978						
ESCR 8608						
ESCR BAA0						
LECT BAA0						
LECT 8608						
LECT 0450						
LECT 2228						
LECT E5F8						
ESCR 20A8						

¿Cuál es el contenido final de la Memoria Cache?

conjunto 0	conjunto 1	conjunto 2	conjunto 3

Problema 6 (1.5 puntos)

Tenim una CPU amb una cache amb les següents característiques:

- CPI ideal: 1.8 cicles / instr
 - Temps de cicle (T_c): 10 ns
 - Nombre de referències per instrucció (nr): 1.4 ref / instr
 - Mida de la línia: 16 bytes
 - Política de escriptura en cas d'encert: Copy Back
 - Política de escriptura en cas de fallo: Write Allocate
 - Temps de servei en cas d'encert (t_{sa}): 1 cicle
 - MP organitzada en: 8 mòduls entrelaçats
 - Latència dels mòduls de MP: 5 cicles
 - Amplada de banda del bus MP - MC: 32 bits que es transfereixen en 2 cicles
 - Quan es reemplaça una línia modificada, primer escriu la línia reemplaçada a MP i després es llegeix la nova línia.
 - % escriptures (pe): 15%
 - % de línies modificades (pm): 20%
 - Tassa encerts (h): 90%
- a) Quin serà el temps de servei (en cicles) en cas de fallo (T_{sf}) ?
- b) Quin serà el temps mig d'accés a memòria en cicles?
- c) Quin serà el temps mig d'execució d'una instrucció en ns.?

Problema 7 (1 punto)

Disposem d'una cache amb les següents característiques:

- Mapeig associatiu de grau 2
- Capacitat: 4096 bytes
- Línia de cache: 128 bytes

Es demana:

- a) Calculeu quantes línies hi ha a la cache
- b) Donada la següent declaració en C:

```
char v[3*4096];
```

Escriu en C un codi en el que es pugui assegurar que no hi haurà cap encert en cache i hi haurà exactament 3*32 fallades. Considereu que la cache estarà buida en el moment d'executar el codi. Justifiqueu breument la resposta.

Pregunta 8 (0.5 puntos)

Para cada una de las siguientes afirmaciones, indicad si son ciertas (C) o falsas (F)
Cada acierto son +0.1 puntos y cada fallo -0.1

- ☐ El comando **continue** de GDB ejecuta hasta el final de la rutina.
- ☐ El rango de un int es **0 .. $2^{32} - 1$** .
- ☐ La instrucción **movl (%eax,%ebx,6) , %ecx** almacena en el registro %ecx el contenido de la posición de memoria **M[%eax + %ebx*6]**.
- ☐ La instrucción **pushl** suma 4 al valor del registro **%esp**.
- ☐ Los bits de condición no se activan con la instrucción **movl**.

Pregunta 9 (0.5 puntos)

Para cada una de las siguientes afirmaciones, indicad si son ciertas (C) o falsas (F)
Cada acierto son +0.1 puntos y cada fallo -0.1

- ☐ Para el mismo tamaño de memoria, una memoria cache directa tiene un tiempo de acceso menor que una memoria cache asociativa por conjuntos.
- ☐ Si la cache de datos de primer nivel es directa, la cache de instrucciones de primer nivel también tiene que serlo.
- ☐ Los algoritmos de reemplazo LRU siempre van mejor que los aleatorios.
- ☐ El TLB no es imprescindible para que el mecanismo de traducciones de la memoria virtual funcione.
- ☐ Las memorias cache hacen que los programas tengan localidad espacial y localidad temporal.

Pregunta 10 (0.5 puntos)

Para cada una de las siguientes afirmaciones, indicad si es cierta (C) o falsa (F)
Cada acierto son +0.1 puntos y cada fallo -0.1

- ☐ Los buses asíncronos tienen que ser cortos debido a los problemas de sesgo (skew) de reloj
- ☐ El master de un bus responde a las distintas peticiones de entrada salida realizadas por otros dispositivos
- ☐ En un bus solo puede existir un único bus master que usa el BUS siempre que lo necesita
- ☐ El Bus PCI tiene arbitraje basado en Daisy-chain
- ☐ El bus serie tiene menor número de líneas y mayor frecuencia que el bus paralelo

Pregunta 11 (0.5 puntos)

Para cada una de las siguientes afirmaciones, indicad si es cierta (C) o falsa (F)
Cada acierto son +0.1 puntos y cada fallo -0.1

- ☐ En un disco magnetico con un número fijo de sectores por pista la densidad de bits es variable.
- ☐ Los registros de estado pueden ser modificados por la CPU para indicar como ha de funcionar el dispositivo
- ☐ Es imprescindible que la RAI salve, en la pila, todos los registros que utilice excepto % eax, % ecx, %edx
- ☐ En la sincronización por interrupciones el propio procesador avisa al controlador, mediante un mecanismo hardware, que se puede realizar la operación de E/S
- ☐ El controlador de DMA habitualmente envia una interrupción despues de cada dato transmitido