 Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona UNIVERSITAT POLITÈCNICA DE CATALUNYA DEPARTAMENT D'ENGINYERIA ELECTRÒNICA	CISE IV
	13 de Gener de 2009
	Data notes provisionals: 21 de Gener
	Límit d'al·legacions: 23 de Gener a les 14h.
	Data notes revisades: 28 de Gener
Professors: Manel Domínguez, Francesc Masana, Clemente Pol, Jordi Salazar	
Informacions addicionals: <ul style="list-style-type: none"> • Duració de l'examen: 2,5 hores. • S'ha de respondre en aquests mateixos fulls d'enunciat als problemes 2 i 3. • S'han de lliurar els problemes per separat. 	

PROBLEMA 1 (30 %)

A la figura 1 es mostren els corresponents models dels següents elements:

- μP V25
- Memòria EPROM 27C2001 de 256K x 8. t_{ACA} (Adreces) = 140ns, $t_{ACC}(CS^*)$ = 140ns, $t_{ACO}(OE^*)$ = 70ns
- Memòria SRAM 68100 de 128K x 8. Temps d'accés de lectura: t_{ACA} (Adreces) = 70ns, $t_{ACC}(CS^*)$ = 70ns, $t_{ACO}(OE^*)$ = 25ns. Temps d'accés d'escriptura t_{CW} = 65ns (Veure definició més avall)
- Controlador E/S amb 4 registres de 8 bits. Temps d'accés per lectura o escriptura: t_{ACC} (Adreces, CS^* , R/W^*) = 100ns
- Descodificador de 3 a 8. t_R = 10ns

A més d'aquests elements, en el nombre necessari, només es poden fer servir portes NAND i NOR de dues entrades i inversors, tots amb t_R = 5ns.

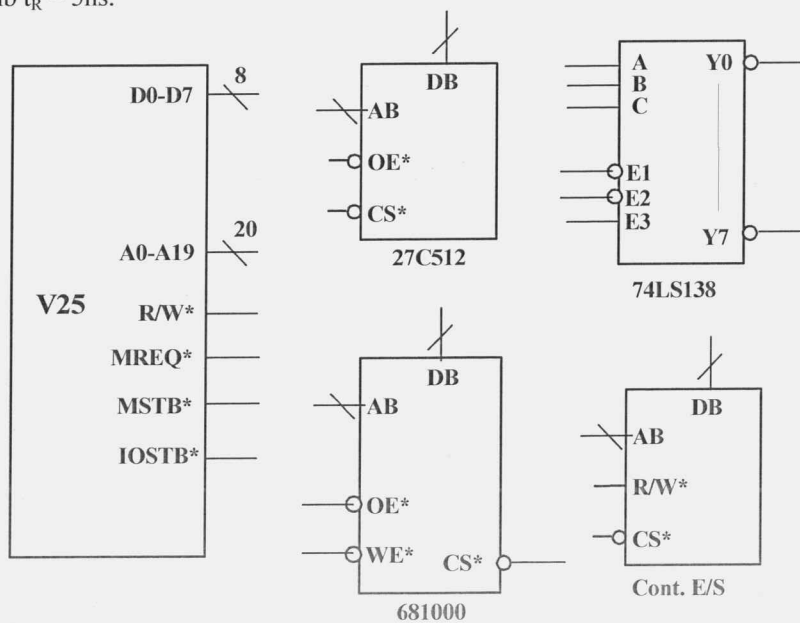


Fig. 1

La freqüència de rellotge és de 10 MHz. Els senyals del V25 en un cicle màquina sense estats d'espera (lectura o escriptura) són els de la figura 2 (suposar que els canvis es produeixen amb coincidència amb $\frac{1}{2}$ període de CLOCK):

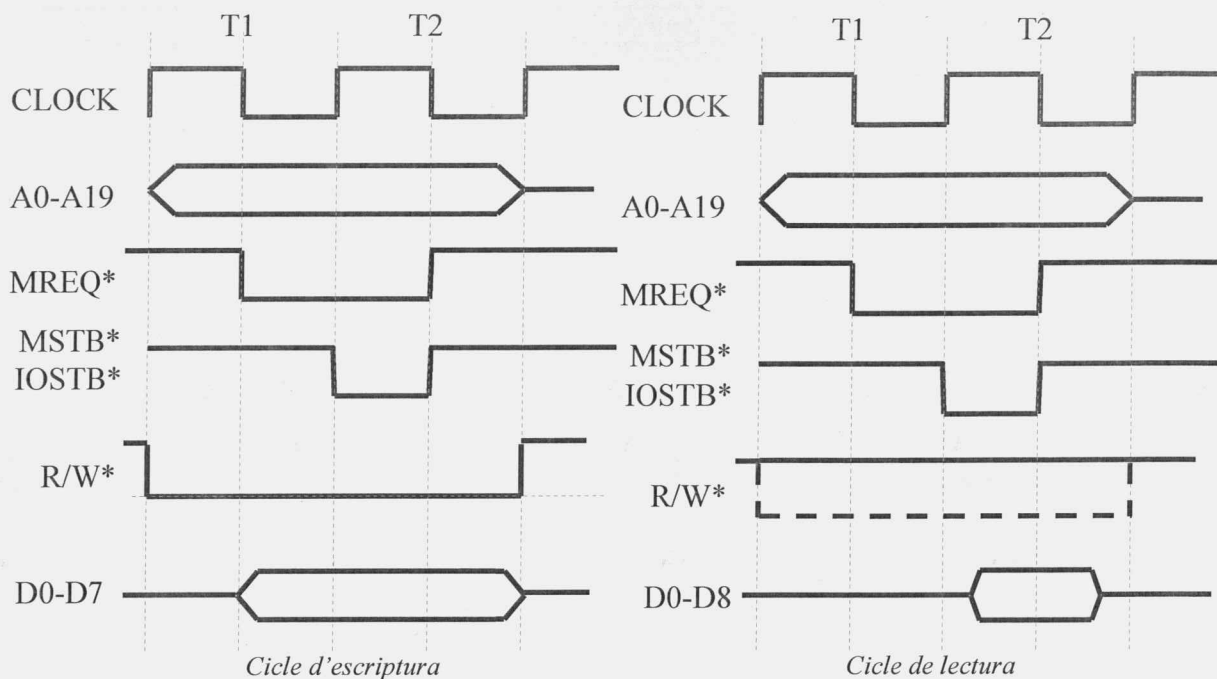


Fig. 2

L'instant de lectura coincideix amb el flanc de pujada de MREQ* i MSTB* o bé de IOSTB* (En el cicle de lectura de E/S no es valida MREQ*)

L'accés per una operació d'escriptura a la SRAM (t_{cw}) es defineix com el temps entre l'instant en que tots dos senyals CS* i WE* estan a nivell baix i que qualsevol dels dos torna a nivell alt

1. (4p) Construir un sistema que tingui 256K de EPROM acabant a l'adreça 0xFFFFF, 512K de SRAM començant a l'adreça 0x00000 i pugui contenir, en el mapa de E/S, fins a vuit controladors com l'indicat. La descodificació de memòria ha de ser completa. La de E/S el més senzilla possible.
2. (6p) Calcular, justificant la resposta, el nombre d'estats d'espera necessaris per accedir a cada una de les memòries i a l'E/S.

NOTA: En els accessos de E/S només són vàlides les 16 adreces menys significatives del μP .

Titulació _____

Assignatura _____

Cognoms _____

DNI _____

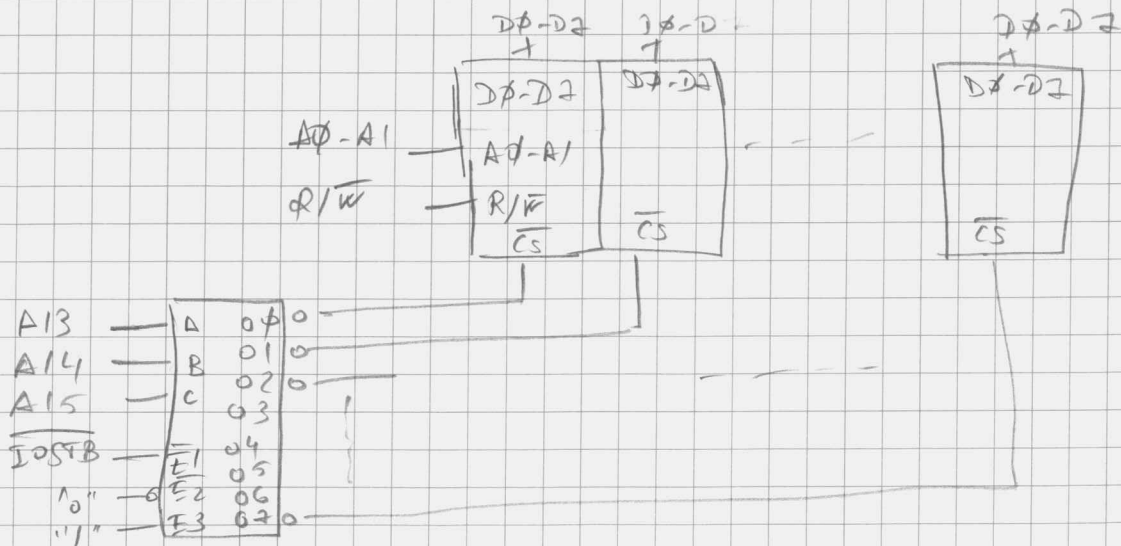
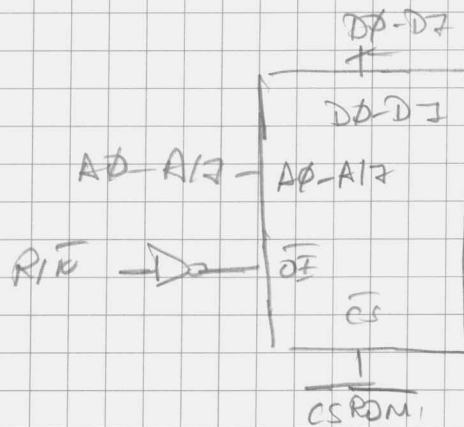
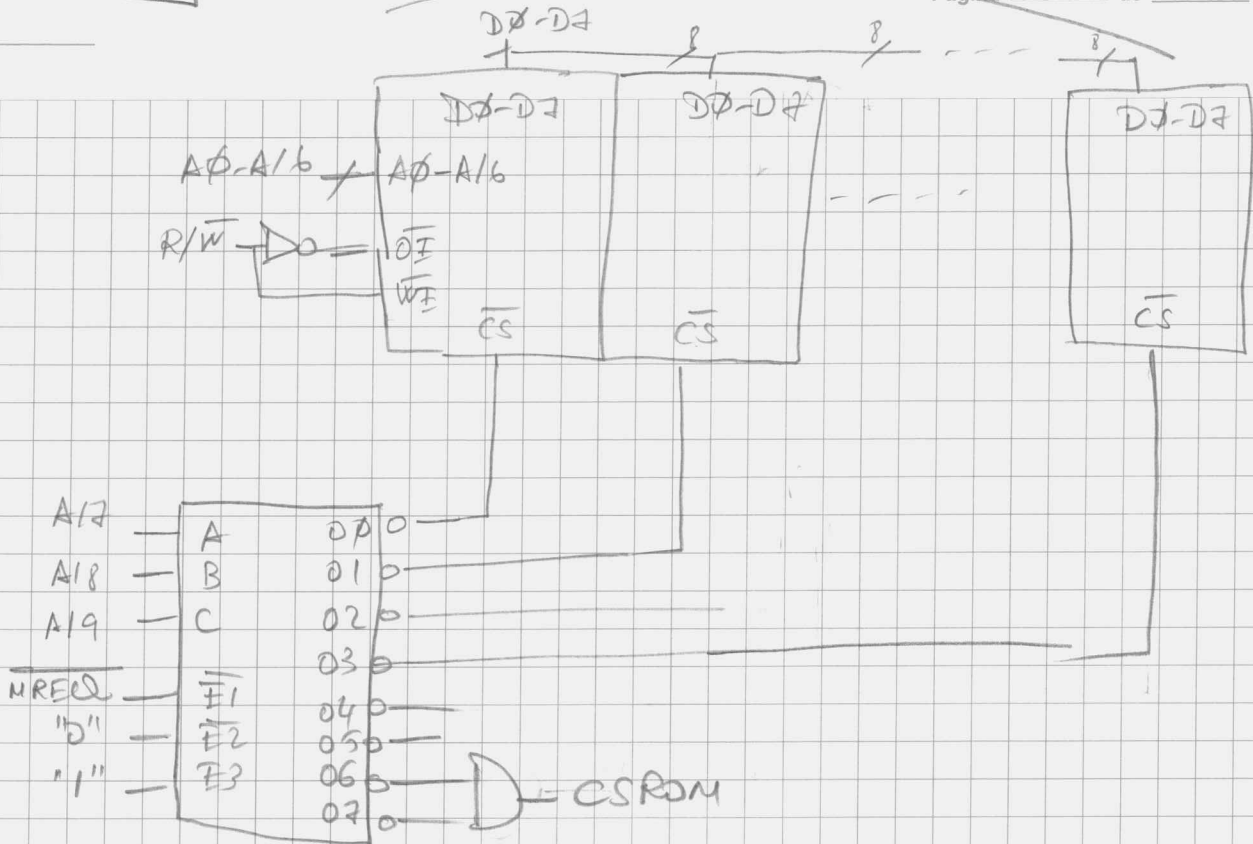
PROB. 1

4 KIPS RAM

Nom _____

Pagina _____

de _____



b) EPROM:

$$\overline{MREQ} \rightarrow T - t_R - t_p + nT \geq 140\text{ns} \Rightarrow \boxed{n=1}$$

$\underbrace{\quad\quad\quad}_{\overline{CS}}$
 $\begin{matrix} 100\text{ns} & 10\text{ns} & 5\text{ns} \end{matrix}$

RAM

lectura:

$$T - t_R + nT \geq 70\text{ns} \Rightarrow \boxed{n=0}$$

$\underbrace{\quad\quad\quad}_{\overline{CS}}$

escriptura:

$$T + nT \geq 65\text{ns} \Rightarrow \boxed{n=0}$$

dominat per \overline{CS} , actual
per \overline{MREQ} . Escripció no és
governada per \overline{CS} (no \sqrt{t})

F/S

lectura: $\frac{T}{2} - t_R + nT \geq 100\text{ns} \Rightarrow \boxed{n=1}$

escriptura:

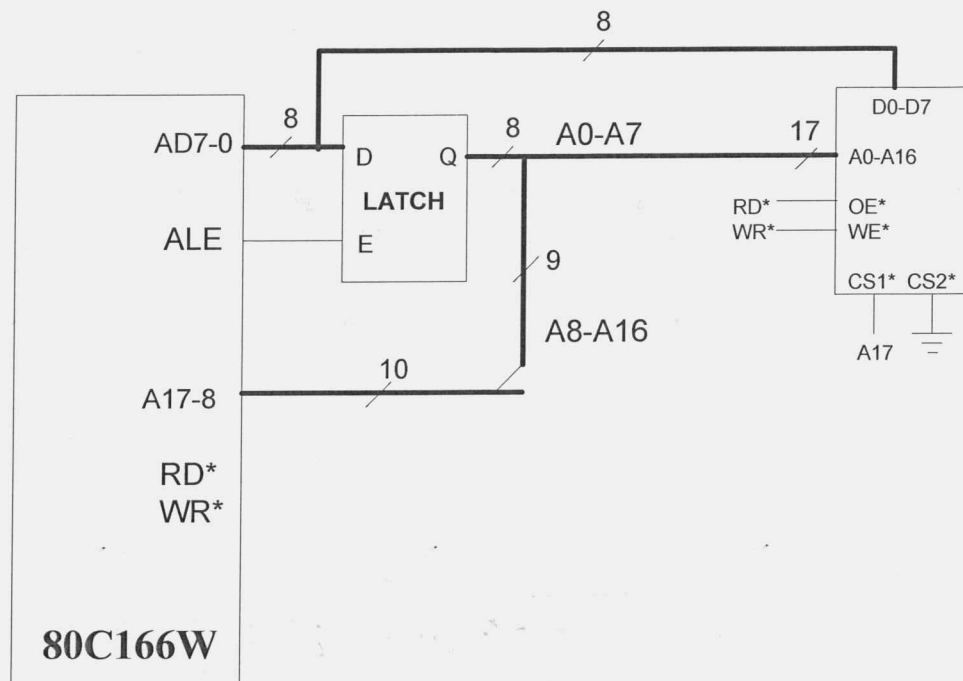
$$\frac{T}{2} + nT \geq 100\text{ns} \Rightarrow \boxed{n=1}$$

escriptura governada per \overline{CS} , igual que
abans.

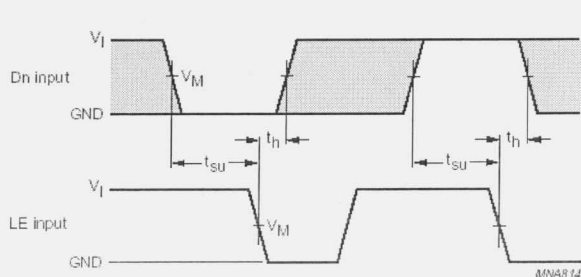
NOTA: hi ha més solucions possibles (fent servir ports
o altres senyals com \overline{MSTB})

PROBLEMA 2 (40 %)

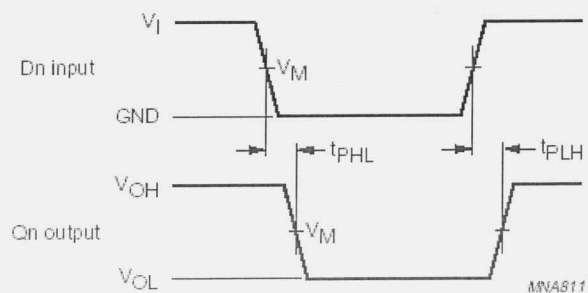
S'ha dissenyat un sistema basat en el microcontrolador SAB 80C166W de Siemens. Aquest microcontrolador multiplexa en temps el bus de dades (D0-D7) amb la part baixa del bus d'adreces (A0-A7): de fet passa a dir-se el bus AD0-7. D'aquesta forma el bus multiplexat es diu AD0-7, i durant els cicles de bus primer dona l'adreça i després fa de bus de dades, ja sigui a lectura o escriptura. El sistema és el següent:



Per tal de guardar la part de les adreces baixes (AD0-7) un cop desapareixen es fa servir un latch. El senyal ALE (Address Latch Enable) controla el latch. Les característiques de latch són:

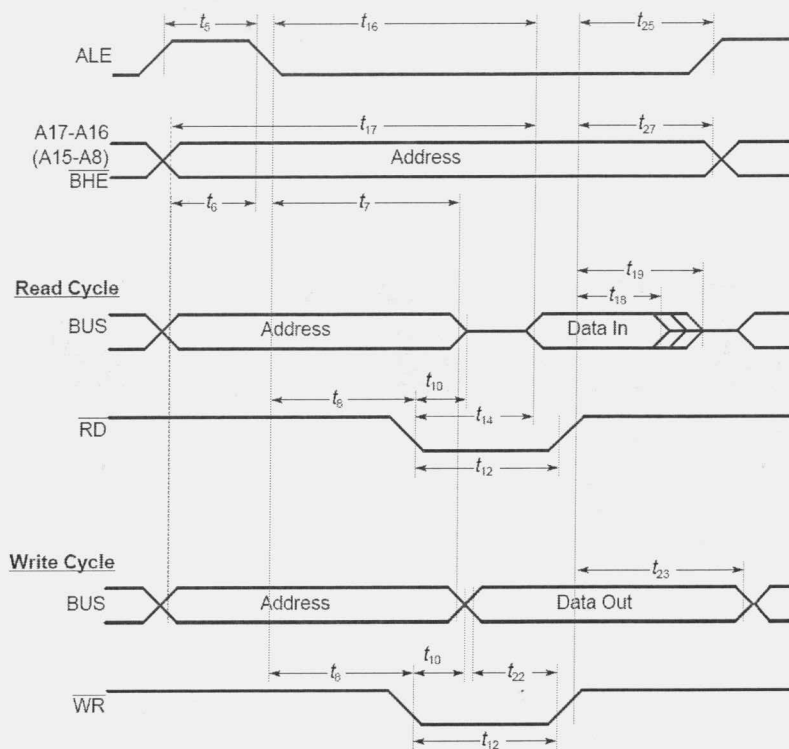


	Min	Max
t_{SU}	7 ns	-
t_H	5 ns	-



	Min	Max
t_{PHL}	-	10 ns
t_{PLH}	-	10 ns

La temporització del microcontrolador és:



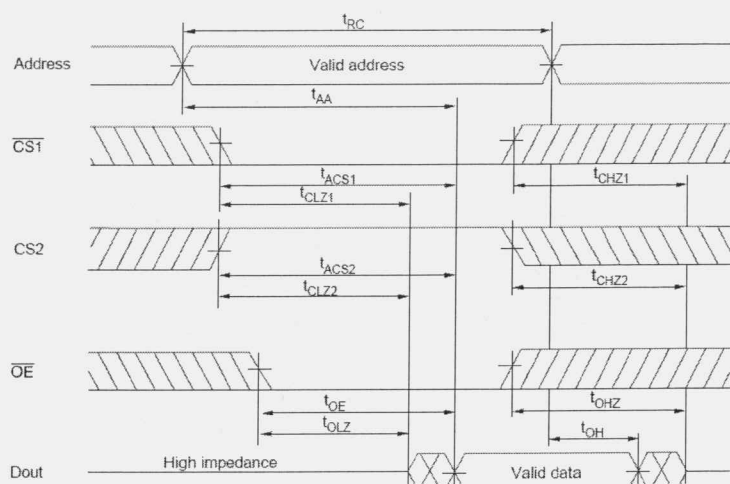
Descripció	Símbol	Valor
Extensió de temps d'ALE	t_A	$M \times T_{CL}$
Cicles d'espera	t_C	$N \times T_{CL}$
Temps de tri-state a memòria	t_F	0

Parameter	Symbol		CPU Clock = 16 MHz Duty cycle 0.4 to 0.6	
			min.	max.
ALE high time	t_5	CC	$15 + t_A$	—
Address setup to ALE	t_6	CC	$10 + t_A$	—
Address hold after ALE	t_7	CC	$15 + t_A$	—
ALE falling edge to \overline{RD} , \overline{WR} (with RW-delay)	t_8	CC	$15 + t_A$	—
ALE falling edge to \overline{RD} , \overline{WR} (no RW-delay)	t_9	CC	$-10 + t_A$	—
Address float after \overline{RD} , \overline{WR} (with RW-delay)	t_{10}	CC	—	5
Address float after \overline{RD} , \overline{WR} (no RW-delay)	t_{11}	CC	—	42.5
\overline{RD} , \overline{WR} low time (with RW-delay)	t_{12}	CC	$52.5 + t_C$	—
\overline{RD} \overline{WR} low time (no RW-delay)	t_{13}	CC	$77.5 + t_C$	—
\overline{RD} to valid data in (with RW-delay)	t_{14}	SR	—	$47.5 + t_C$
\overline{RD} to valid data in (no RW-delay)	t_{15}	SR	—	$72.5 + t_C$
ALE low to valid data in	t_{16}	SR	—	$72.5 + t_A + t_C$
Address to valid data in	t_{17}	SR	—	$100 + 2t_A + t_C$
Data hold after \overline{RD} rising edge	t_{18}	SR	0	—

Parameter	Symbol		CPU Clock = 16 MHz Duty cycle 0.4 to 0.6	
			min.	max.
Data float after \overline{RD}	t_{19}	SR	—	$47.5 + t_F$
Data valid to \overline{WR}	t_{22}	CC	$47.5 + t_C$	—
Data hold after \overline{WR}	t_{23}	CC	$47.5 + t_F$	—
ALE rising edge after \overline{RD} , \overline{WR}	t_{25}	CC	$47.5 + t_F$	—
Address hold after \overline{RD} , \overline{WR}	t_{27}	CC	$47.5 + t_F$	—

(tots els temps estan en nanosegons)

La temporització de la RAM en lectura és:



Read Cycle

HM628128D			
-5			
Parameter	Symbol	Min	Max
Read cycle time	t_{RC}	55	—
Address access time	t_{AA}	—	55
Chip select access time	t_{ACS1}	—	55
	t_{ACS2}	—	55
Output enable to output valid	t_{OE}	—	30
Output hold from address change	t_{OH}	10	—
Chip selection to output in low-Z	t_{CLZ1}	10	—
	t_{CLZ2}	10	—
Output enable to output in low-Z	t_{OLZ}	5	—
Chip deselection to output in high-Z	t_{CHZ1}	0	20
	t_{CHZ2}	0	20
Output disable to output in high-Z	t_{OHZ}	0	20

Es demana, tenint en compte que la freqüència del microcontrolador és **16 MHz = 1/T_{CL}**:

a) (2 punts) En lectura, un cop baixa el senyal ALE (*Address Latch Enable*), podem tenir un conflicte entre l'adreça que el microcontrolador ha posat a AD7-0 i la dada que comença a posar la memòria. Avalueu si aquest conflicte es dona al nostre sistema.

sistema.

→ No pg $t_{10}(\text{max}) \leq 5 \mu\text{s} = \underbrace{t_{OLZ}(\text{mim})}_{\text{RAM}}$

5ms $\mu\text{P.}$

b) (1 punt) Complim els temps de *setup* i *hold* del *latch* ? Quin seria el valor òptim de 'M' ? (el nombre de cicles de rellotge que s'ha d'estendre l'activació del senyal ALE, veure Taula: temps t_A) Justifiqueu la resposta.

$$\begin{aligned} t_6 &= 10\text{ms} + t_A \geq 7\text{ms} = t_{su} \\ t_7 &= 15 + t_A \geq 5\text{ms} = t_h \end{aligned}$$

$$\{ \quad | \quad t_A = M = 0 \quad | \quad \}$$

c) (3 punts) Calculeu el nombre òptim de 'N' per les operacions de lectura (el nombre de cicles de rellotge d'espera, t_c , veure taula).

$$t_{14} = 47.5 + N \cdot T_{CL} \geq 30 \text{ ms} = t_{OE}(\text{RAM})$$

✓ $N=0$

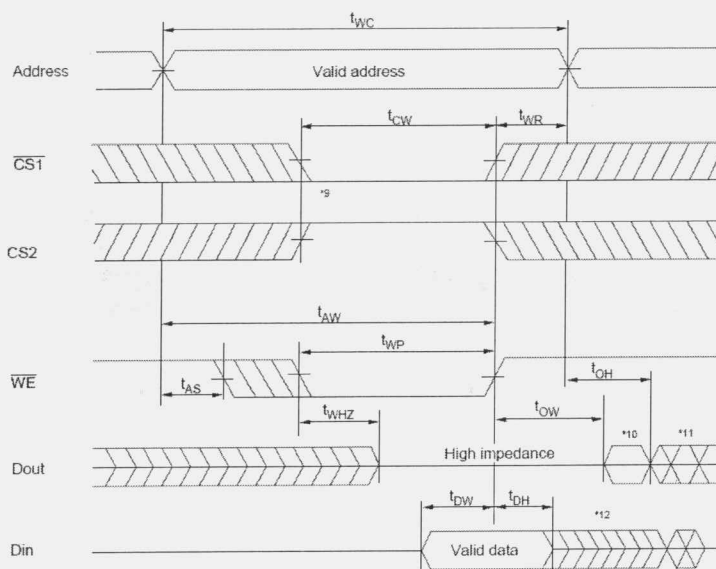
$$t_{16} = 72'5 + 0 + M_{TCL} \geq 55 \text{ ms} = t_{AA} = t_{ACS1} = t_{ACS2}$$

$$\text{max } t_{12} - t_{\text{LATCH}} = 100 + 0 + \text{NTCL} \geq 55 \text{ ns}$$

$$N=0$$

↳ Amb aquests dos m'hi he
suficient.

La temporització de la RAM en escriptura és:



Write Cycle

HM628128D			
-5			
Parameter	Symbol	Min	Max
Write cycle time	t_{WC}	55	—
Address valid to end of write	t_{AW}	50	—
Chip selection to end of write	t_{CW}	50	—
Write pulse width	t_{WP}	40	—
Data to write time overlap	t_{DW}	20	—

d) (4 punts) Torneu a calcular el valor de 'N', tenint ara en compte el cicle d'escriptura del microprocessador.

Temps mínims garantits per µC:

A17 està connectada a CS i NO passa pel LATCH.

CS: $t_6(\text{min}) + t_2(\text{min}) + t_{22}(\text{min}) = 72'5 + t_c \geq 50 \quad \checkmark$

ADDR: $t_6(\text{min}) + t_2(\text{min}) + t_{22}(\text{min}) - t_{\text{LATCH}} = 62'5 + t_c \geq 50 \quad \checkmark$

WE: $t_{12}(\text{min}) = 52'5 + t_c \geq 40 \text{ ms} \quad \checkmark$

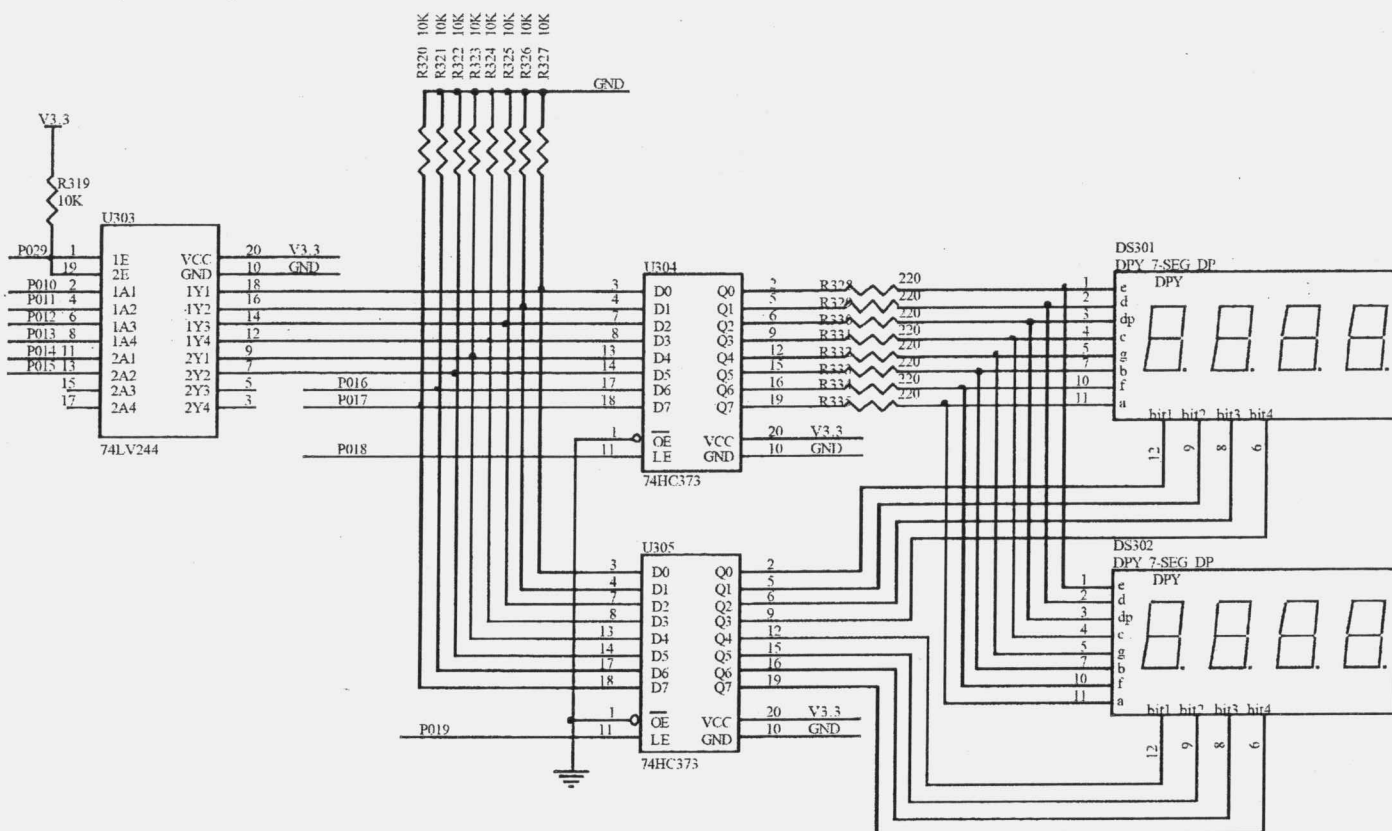
D: $t_{22}(\text{min}) = 47'5 \text{ ms} + t_c \geq 20 \text{ ms} \quad \checkmark$

Write cycle: $t_6 + t_2 + t_{22} + t_{27} = 10 + 15 + 47'5 + 47'5 \geq 55 \text{ ms} \quad \checkmark$

$t_c = 0$	$N = 0$
-----------	---------

(hi han altres possibles equacions).

Es tracta d'estudiar alguns aspectes del conegut esquema del circuit de connexió dels *displays* de 7-segments de les pràctiques de l'assignatura i que es presenta a continuació.



Características port μC	Valor
V_{OH}	2.9 V
V_{OL}	0.4 V
I_{OH}	-4 mA
I_{OL}	4 mA

$$- R_{min} = \frac{V_{CC} - V_{OL}}{I_{OL} - \sum I_{IL}} = \frac{3.3V - 0.4V}{4mA - 2.1mA} = 725\Omega$$
$$\Rightarrow \begin{aligned} NMH &= V_{OH} - V_{IH} = 2.9V - 2.3V = 0.6V \\ NML &= V_{IL} - V_{OL} = 1V - 0.4V = 0.6V \end{aligned}$$

c) (1p) Quin efecte té la resistència R_{319} al funcionament del xip de buffers 74LV224 quan la P029 és al 3r estat (high-Z: Alta Impedància)?

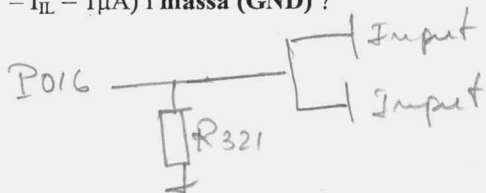
→ Posar un "1" per defecte.

d) (2p) Quan la sortida P029 es troba en el 3r estat (alta impedància), amb una característica d' $I_{O(pèrdues)} = 3\mu A$, i es vol tenir uns marges de soroll de 0,6V, quins serien ara els valors límits correctes de R_{319} ?

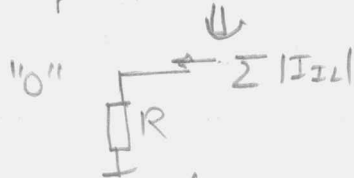
- $R_{min} = \text{que a apartat a)} = 725\Omega$

- $R_{max} = \frac{V_{CC} - (V_{IH} + NMH)}{\sum |I_{OH}| + \sum |I_{IH}|} = \frac{3'3V - (2'3V + 0'6V)}{3\mu A + 2 \cdot 1\mu A} = 80K\Omega$

e) (2p) Quins són els valors màxim i mínim de la resistència R_{321} que connecta la sortida P016 del microcontrolador (amb les mateixes característiques elèctriques que la P029), les entrades D6 dels 2 xips de latches 74HC373 ($V_{IH} = 2.3V$, $V_{IL} = 1V$, $I_{IH} = -I_{IL} = 1\mu A$) i massa (GND)?

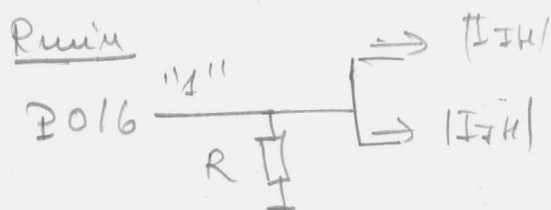


R_{max} : quan P016 = "1" o "0" és ∞ ,
quan P016 = high Z.



$$R \leq \frac{V_{IL}}{2|I_{IL}|} = \frac{1V}{2\mu A} = 500K\Omega$$

(no es demana un marge de soroll mínim)



$$R \geq \frac{V_{OH}}{|I_{OH}| - 2|I_{IH}|} = \frac{2'9V}{4\mu A - 2\mu A} = 725\Omega$$

$$725\Omega \leq R_{321} \leq 500K\Omega$$

f) (2p) Les resistències R_{328} - R_{335} connecten les sortides dels latches 74HC373 ($V_{OH} = 3V$; $I_{OL} = -I_{OH} = 50mA$; $V_{OL} = 0,3V$) amb els displays de LEDS de 7 segments. Aquests displays són en càtode comú, és a dir, per encendre un determinat segment d'un dígit cal posar un '0' al senyal 'hit' corresponent al dígit i posar un '1' al senyal a, b, c, etc., corresponent al segment.

Considerant que els LEDS estan multiplexats en temps, i per tant, en tot moment com a molt **NOMÉS hi ha un dígit activat**, quins són els valors màxim i mínim de les resistències R_{328} - R_{335} per tal que els LEDs s'encenguin correctament?

NOTA: Per tal que un LED dels displays s'encengui correctament, cal un corrent mínim de $I_F = 4mA$ ($V_D = 1,3V$). El corrent màxim de cada LED és $I_D = 10mA$ ($V_D = 1,7V$)).

$$|I_{OL}| = |I_{OH}| = 50mA \gg I_F \begin{cases} \nearrow 4mA \text{ (mínim)} \\ \searrow 10mA \text{ (màxim)} \end{cases}$$

R_{max} : (fer que quan encenem el LED passin com a mínim 4mA)

$$R \leq \frac{V_{OH} - V_{OL} - V_D(\text{mínim})}{I_D(\text{mínim})} = \frac{3V - 0'3 - 1'3V}{4mA} = 350\Omega$$

R_{min} : (fer que no passi massa corrent)

$$R \geq \frac{3'3V - 1'7V}{10mA} = 160\Omega$$

$$160\Omega \leq R \leq 350\Omega$$