

# Capítulo 7

## Integración del sistema mixto

### 7.1 Introducción

En este capítulo se presentan cuatro extensiones a las tecnologías de diseño de Circuitos y Sistemas anteriormente expuestas, las tecnologías BiCMOS, SOI, MCM y MEM, que completan la exposición de las posibilidades de los Sistemas Mixtos. Adicionalmente, se presentan cuatro ejemplos de realización de este tipo de sistemas.

### 7.2 Tecnologías complementarias a CMOS

#### 7.2.1 Tecnología BiCMOS (*Bipolar CMOS*)

La tecnología BiCMOS [1] pretende combinar en un mismo cristal de silicio transistores bipolares de implantación iónica, muy delgados y de alta velocidad, con dispositivos CMOS. La fabricación se realiza en un proceso compatible con el básico CMOS a expensas de varios pasos adicionales de proceso. Con esta combinación se consigue, en circuitos digitales, una elevada capacidad de los dispositivos lógicos para actuar sobre cargas capacitivas grandes. Esto es debido a la buena característica de drenar o ceder corrientes elevadas por parte de los transistores bipolares BJT. El nivel de integración es elevado, del mismo orden que la tecnología CMOS, consiguiendo un incremento de la velocidad de conmutación. La etapa de entrada de las etapas BiCMOS tiene una elevada impedancia de entrada, la correspondiente a dispositivos CMOS. En general, en las etapas lógicas BiCMOS los dispositivos MOS se sitúan en la etapa de entrada, llevando a cabo la operación lógica correspondiente, mientras que los dispositivos BJT se sitúan en la etapa de salida para gobernar las cargas elevadas, usualmente buses de comunicación. La tecnología BiCMOS es también especialmente interesante para circuitos analógicos al poder disfrutar de las características de ambos tipo de dispositivos [2].

### 7.2.1.1 Proceso típico BiCMOS

La Fig. 7.1 muestra la sección de una tecnología BiCMOS básica indicando la estructura de los tres tipos de componentes de la misma, transistores NMOS y PMOS y transistores BJT *nnp*. Obsérvese la capa enterrada (implantación iónica)  $n^+$  que corresponde al colector del *nnp*. El proceso de fabricación comienza por esta capa con una implantación  $n^+$  (antimonio) sobre el sustrato  $p$ . Esta capa enterrada corresponde a los colectores de los BJT y coincide con el pozo  $n^+$  de los transistores PMOS. Posteriormente, se procede a un proceso de implantación con impurezas  $p^+$  (boro) correspondiente al pozo de los transistores NMOS. A continuación, se hace crecer la capa epitaxial  $n$  que forma las regiones de colector y la zona de canal de los PMOS. Se crecen zonas de óxido grueso en las separaciones entre los dispositivos. Finalmente, y junto a un proceso de deposición del material de polisilicio, electrodo de emisor del *nnp* y de puerta de los MOS, se procede a la implantación del emisor del *nnp* y de las regiones de drenador y surtidor de los MOS. Las diversas capas de metalización siguen un proceso idéntico a la tecnología CMOS.

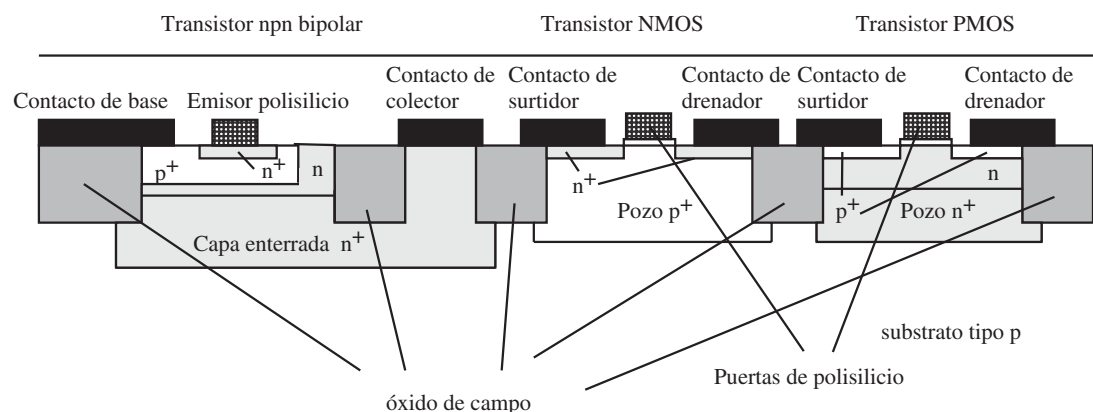


Fig. 7.1 Sección de un componente de tecnología BiCMOS

### 7.2.1.2 Inversor BiCMOS

La figura Fig. 7.2 muestra el esquema típico de un inversor BiCMOS. Se configura a partir de cuatro transistores MOS, uno PMOS y el resto NMOS, así como de dos transistores BJT *nnp*. La entrada del inversor actúa sobre puertas aisladas de tres MOS, lo que le confiere una elevada impedancia de entrada. La salida se configura a partir de una etapa de dos transistores BJT que actúa sobre la carga capacitiva (etapa posterior)  $C_L$ . Al analizar la etapa de salida, se observa que los niveles eléctricos '1' y '0' de la etapa no corresponden a  $V_{DD}$  y 0 voltios, como es típico de las etapas CMOS, sino que corresponde a  $V_{DD}-0,7$  y 0,7 voltios respectivamente. Esto es debido al comportamiento de los dispositivos BJT que precisan de una caída de 0,7 voltios en la unión de emisor ( $V_{BE}$ ). Ello implica que la excursión de la tensión de salida es inferior en BiCMOS que en CMOS con el consiguiente deterioro de los márgenes de ruido.

Consideremos en primer lugar que la entrada del inversor se encuentra a un nivel bajo, digamos 0 voltios. Los transistores M2 y M3 no conducen. El transistor M1 sí que conduce llevando el nodo de base de Q1 a la tensión de  $V_{DD}$ . M4 conduce y lleva al nodo de base de Q2 a un nivel de tierra. Luego la tensión de salida es elevada, concretamente de un valor  $V_{DD}-0,7$  voltios.

Si la tensión de entrada es alta, M1 no conduce y M2 sí, llevando la base de Q1 y la puerta de M4 a nivel bajo. Luego Q1 estará en corte. M3 sí que conduce cerrando el circuito entre colector (salida) y base, por lo que la tensión de salida se sitúa a 0,7 voltios.

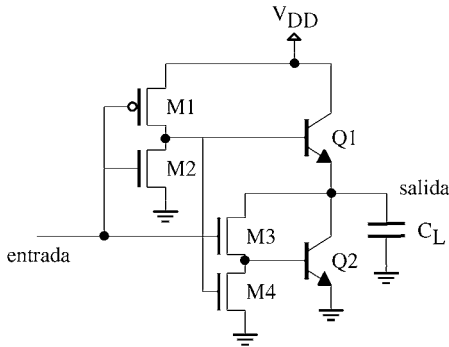


Fig. 7.2 Circuito inversor BiCMOS típico

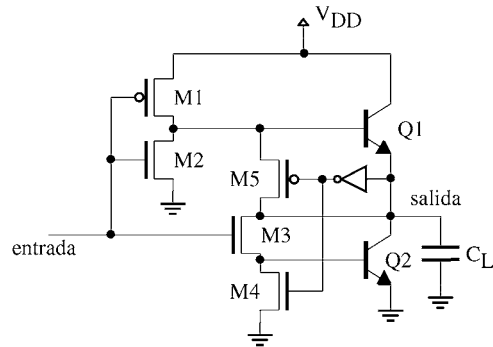


Fig 7.3 Circuito inversor BiCMOS de conducción completa

Es posible disponer de un inversor BiCMOS que exhiba una excursión completa del valor de la tensión de salida ( $V_{DD}$  a 0 V). La Fig. 7.3 muestra un inversor de este tipo, que utiliza tres transistores más que en el caso de la Fig. 7.2 y le corresponde un retardo ligeramente mayor. A diferencia del inversor básico, cuyo nodo de salida está conectado a la interconexión entre Q1 y Q2, en este caso este nodo está también conectado a dos redes, una conectada a  $V_{DD}$  y la otra a GND, que siendo éstos transistores MOS fuerzan hacia los niveles  $V_{DD}$  o GND, según el caso, al nodo de salida. Cuando el nivel de salida es alto, la red está formada por M1 y M5, que se encuentran ambos en conducción. Cuando el nivel de salida es bajo la red está formada por M3 y M4.

### 7.2.1.3 Puertas NAND y NOR BiCMOS

A modo de ejemplo de otras puertas en tecnología BiCMOS, se muestran las estructuras básicas de las puertas NAND (Fig. 7.4) y NOR (Fig. 7.5). La estructura es muy paralela a la mostrada en la Fig. 7.2. En la etapa de entrada se muestra un circuito típico de función NAND o NOR CMOS, que corresponde a los transistores M1, M2, M3 y M4. La salida de esta etapa de entrada se conecta a la base de Q1 y a la puerta de M7, igual que en la Fig. 7.2. La estructura que conecta la base y el colector de Q2 (M3 en Fig. 7.2) ahora está formada por M5 y M6, que se sitúan en serie o paralelo, según la puerta sea una NAND o una NOR.

### 7.2.1.4 Ejemplos de aplicación de tecnología BiCMOS

Los circuitos BiCMOS se utilizan en aplicaciones de alta velocidad tanto de tipo digital como analógico, con un claro impacto en circuitos mixtos. Un área clara es el de los circuitos *transceivers* trabajando en bandas altas (del orden y superiores a 5 GHz) [3] o los circuitos microprocesadores de altas prestaciones (Power PC de IBM) [4].

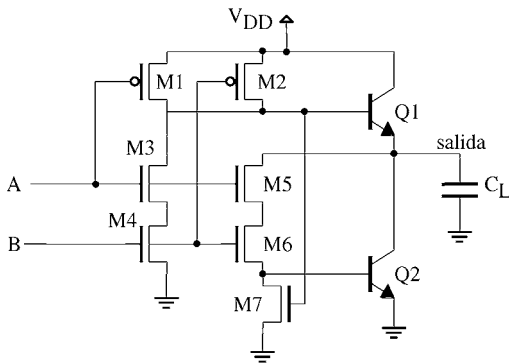


Fig. 7.4 Puerta NAND básica en tecnología BiCMOS

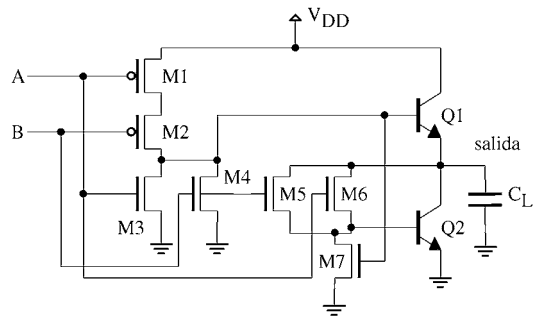


Fig. 7.5 Puerta NOR básica en tecnología BiCMOS

## 7.2.2 Tecnología SOI (Silicon On Insulator)

### 7.2.2.1 Introducción

En tecnología CMOS básica los dispositivos MOS se implementan en la superficie del cristal de silicio colocados directamente sobre el sustrato (o pozo), por lo que a esta tecnología se la denomina también como *bulk CMOS*. Esta sencilla técnica garantiza un buen aislamiento de los MOS del circuito, al estar éstos rodeados de capas de vaciamiento de carga como consecuencia de la polarización inversa entre las regiones drenador/surtidor y el sustrato o pozo. Sin embargo, para aplicaciones de circuitos de altas prestaciones esta técnica presenta ciertos problemas:

- Las uniones entre las regiones drenador/surtidor y el sustrato o pozo actúan como uniones *pn* inversamente polarizadas. Este hecho provoca dos efectos relacionados:
- Las capacidades de transición propias de toda unión *pn* aparecen aquí como cargas capacitivas parásitas acopladas a los nodos del circuito. Esto provoca un aumento del retardo de conmutación. Suprimir estas capacidades implicaría un aumento sustancial de la velocidad de operación. El valor de esta capacidad es proporcional al área de la superficie frontera entre regiones y sustrato. La presencia de estas capacidades aumenta a su vez el consumo dinámico del circuito.
- Las uniones polarizadas en inversa tienen una corriente de fuga que aumenta con la temperatura. Así pues, en la tecnología *Bulk CMOS* aparecen unas fuentes de corriente de fuga en los nodos del circuito, degradando las características del MOS y aumentando el consumo estático.
- Los dispositivos MOS experimentan un significativo aumento de las corrientes de fuga (corrientes  $I_{DS}$  cuando no existe tensión en puerta) cuando por razones de escalado se reduce el valor de las tensiones umbral  $V_t$ . Este efecto es mucho más reducido en el caso de *SOI* que en tecnología *bulk*, lo que favorece aun más al primero.
- El hecho que el sustrato sea común a muchos dispositivos MOS debe verse como un nodo resistivo conectado a la fuente de alimentación que acopla de manera indeseable todos los nodos del circuito formado por esos transistores (acoplo parásito a través de sustrato, ver capítulo 4). Este efecto es especialmente perjudicial en circuitos mixtos analógico-digitales en donde ruido propio de la conmutación de la circuitería lógica se acopla a los sensibles circuitos analógicos.

Como alternativa a la tecnología CMOS clásica (*bulk CMOS*) aparece la *tecnología SOI* (*Silicon on Insulator*) CMOS [5]. En esta tecnología los dispositivos CMOS se implementan sobre un sustrato aislante formado por un óxido (ver Fig. 7.6). La fabricación de dispositivos MOS precisa de una superficie de silicio cristalina, como es el caso del sustrato. Esta superficie garantiza características estructurales y metalúrgicas que se traducen en dispositivos con buenas prestaciones. La implementación de un dispositivo MOS sobre una estructura no cristalina implica una elevada deterioración de las características. El óxido crecido no es cristalino, y ello explica la dificultad de disponer de tecnologías SOI hasta la actualidad. Inicialmente se utilizó como aislante (óxido) un cristal depositado de zafiro, pero esta tecnología que exhibía muy buenas características tenía un coste prohibitivo. En la actualidad, sin embargo, determinadas compañías (entre ellas IBM) disponen de tecnología CMOS SOI eficaz y rentable. Concretamente en el caso de IBM, se utiliza una técnica de implantar oxígeno con el fin de crear la capa subterránea de óxido ( $\text{SiO}_2$ ), técnica denominada *SIMOX* (*Separation by Implantation of Oxygen*) [6].

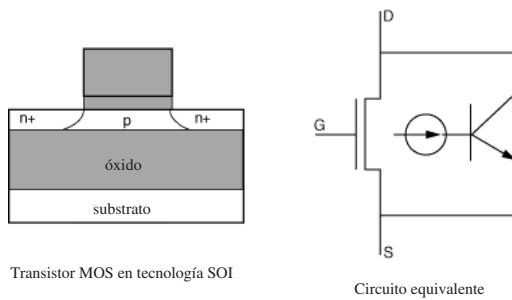


Fig. 7.6 Esquema de sección de transistor MOS SOI y circuito equivalente

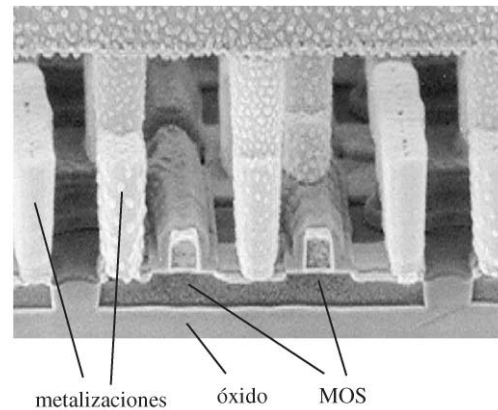


Fig. 7.7 Fotografía de sección SOI [6]

La Fig. 7.7 muestra la fotografía de un corte de un circuito en tecnología SOI observándose la implementación de dos dispositivos MOS. Un dispositivo MOS está inherentemente en paralelo con un transistor bipolar formado por las dos regiones drenador y surtidor y la zona de canal (Fig. 7.6). En el caso de la tecnología SOI este dispositivo (*npn* en el caso de Fig. 7.6) recibe corrientes de base por efecto del mecanismo de ionización por impacto de la región de drenador. Ello hace que en la tecnología SOI la profundidad de la zona activa sea muy reducida, entre 0,1 (*fully depleted film*) y 0,2 (*partially depleted film*) micras.

### 7.2.2.2 Características y aplicaciones de CMOS SOI

A pesar de las dificultades de fabricación inherentes a SOI, ésta es actualmente una tecnología madura que ha dado lugar a familias comerciales de microprocesadores [7] totalmente funcionales y con unas elevadas prestaciones de velocidad y bajo consumo.

La mejora en un 25% del retardo de conmutación conseguido en circuitos digitales SOI es equivalente a un avance de dos años en la previsión de mejora de prestaciones de la tecnología *bulk CMOS* derivado de la evolución de la miniaturización de los circuitos. La Fig. 7.8 muestra el retardo de una celda standard, del orden de unidades y decenas de picosegundo, para diferentes tensiones de alimentación y

temperaturas. El hecho que las características de retardo de la tecnología CMOS se degraden al reducir la tensión de alimentación hacen a la tecnología SOI idónea para aplicaciones de *baja tensión*.

Otra característica, tal como se ha visto en la sección anterior, consiste en la reducción de los consumos, tanto estático como dinámico, por parte de *SOI*. Esto hace que también sea considerada idónea para aplicaciones de bajo consumo (ver Fig. 7.9 donde se compara la potencia de consumo para memorias SRAM en tecnologías *bulk* y *SOI*), así como para aplicaciones de circuitos mixtos, dado su muy bajo acoplo parásito por sustrato.

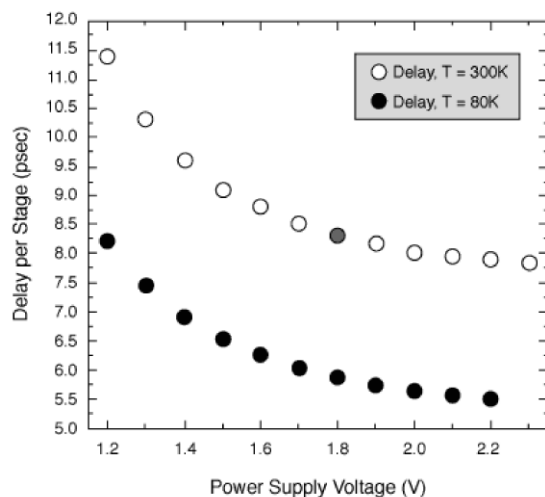


Fig. 7.8 Retardo de una etapa a diferentes tensiones de alimentación y dos temperaturas: 80K y 300K

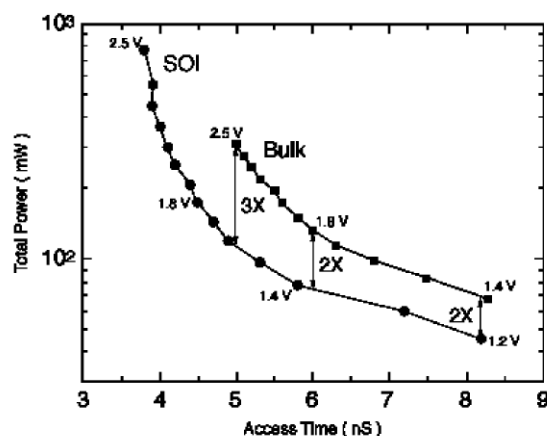


Fig. 7.9 Comparación de tecnologías SOI y bulk para diferentes familias de SRAMs

Otra característica importante de la tecnología SOI es que tiene una robustez superior a la tecnología clásica a interacciones de partículas, especialmente partículas alfa, que pueden afectar el estado de elementos de memoria (*soft errors*). Esto hace a SOI idóneo para bancos de memoria SRAM o DRAM en aplicaciones del espacio.

### 7.2.3 Tecnología MCM (*Multichip Module*)

El incremento del nivel de prestaciones y sofisticación de los sistemas electrónicos conlleva un aumento de la densidad de señales de entrada/salida. En el caso de sistemas formados por dos o más circuitos integrados la tecnología denominada MCM (*MultiChip Modules*) proporciona una capacidad de interconexión y encapsulado muy interesantes. En [8] se demostró que la longitud total de interconexión en un sistema es la variable que determina el costo del mismo, independientemente del nivel en que se realiza esta interconexión (circuito impreso, circuito híbrido y derivados, circuito integrado). Por esta circunstancia, el costo de interconexión es mínimo cuando estas son reducidas, beneficio que se suma a las consiguientes reducciones de retardo y consumo.

Un diseño a nivel chip implica, por consiguiente, el costo más reducido, pero ésta no es siempre la solución más flexible. En los MCM se interconectan dos o más circuitos integrados no encapsulados, que han sido adheridos a un sustrato sobre el que de manera sofisticada se han desarrollado las interconexiones. Con esta técnica se reducen las distancias chip a chip, con la consiguiente mejora de características, más rapidez y un posible mejor balance de impedancias terminales. Al reducirse la

longitud mejora también la fiabilidad del sistema global y se reduce su tamaño. Al mismo tiempo este tipo de interconexión goza de los privilegios de los circuitos impresos: es posible aplicar al sistema componentes fabricados por diversos fabricantes, utilizando diferentes tecnologías en un mismo módulo (por ejemplo, algunos circuitos en tecnología CMOS y otros GaAs), con posibles diferentes tensiones de alimentación y con una elevada atenuación del ruido de acoplo entre secciones digitales y analógicas en sistemas mixtos. Este tipo de tecnología se utiliza de manera generalizada en las industrias de computadores, automoción, militar, instrumentación, telecomunicaciones. En la Fig. 7.10 se muestra un posible esquema de MCM: diversos componentes con diferentes tipos de encapsulado y posiblemente diferentes tecnologías se interconectan sobre un substrato que constituye el MCM.

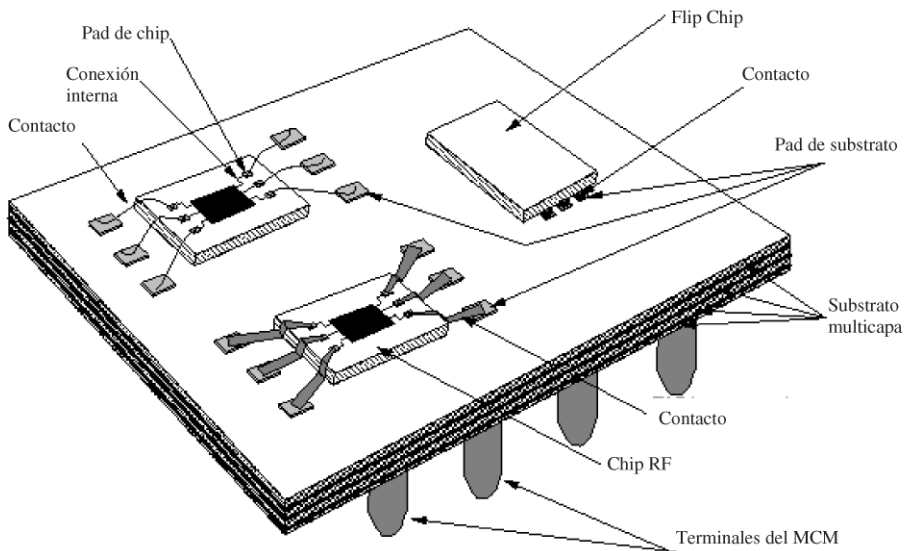


Fig. 7.10 Esquema de un sistema MCM

Con tecnología MCM se alcanzan rendimientos de encapsulado superior al 30%, entre un 30% y un 60% (entendido como proporción de superficie activa en referencia a superficie utilizada). En el caso de un circuito integrado este rendimiento está cercano al 100%. En un circuito impreso con componentes DIP este valor es del orden del 10%, entre un 10% y un 20% en montajes superficiales (SMD) y entre un 15% y un 30% en híbridos de película delgada. La figura Fig. 7.11 muestra la comparación de todos estos métodos de interconexión al considerar también la longitud típica de interconexión.

Las tecnologías MCM pueden clasificarse, según el Estándar IPC-MC-790 de 1990, en tres categorías:

**MCM-L.** Módulos fabricados sobre un substrato laminado, de igual tecnología que los circuitos impresos multicapa. El material conductor acostumbra a ser cobre y el dieléctrico material epoxi.

**MCM-C.** Módulos fabricados sobre un substrato cerámico. Los materiales conductores acostumbra a ser tungsteno (W), molibdeno (Mo), oro (Au), plata (Ag), paladio (Pd) o cobre (Cu).

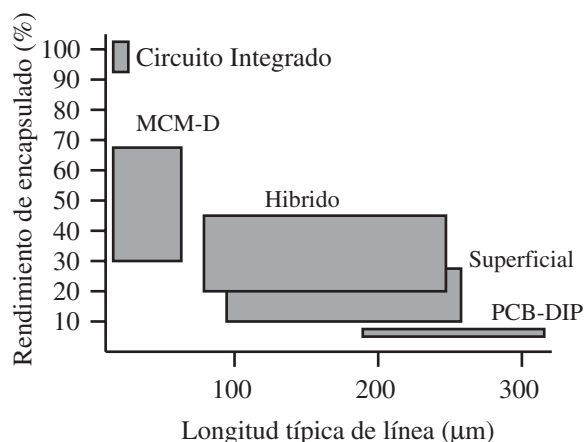


Fig. 7.11 Comparación de la eficacia de diferentes tecnologías de encapsulado

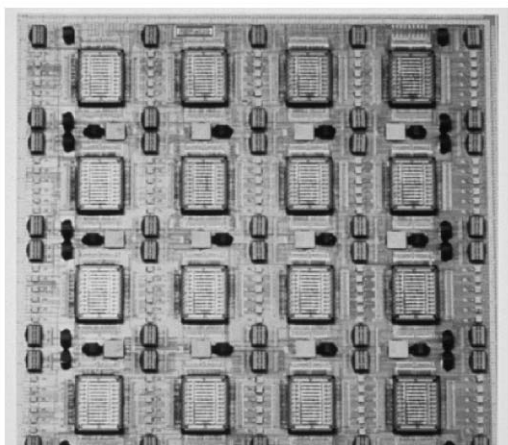


Fig. 7.12 Fotografía de MCM conteniendo una matriz de circuitos GaAs y CMOS

**MCM-D.** Los módulos están fabricados a partir de la deposición de conductores multicapa de película delgada, usualmente cobre (Cu), aluminio (Al) u oro (Au), aislados mediante algún dieléctrico y soportados sobre un sustrato de silicio, diamante, cerámico o metal.

Una de las variantes de MCM-D [9] es de especial interés y de importante volumen de utilización. Consiste en el empleo de un sustrato procedente de un proceso típico de fabricación de circuitos integrados. En éstos el sustrato es silicio, el material dieléctrico aislante entre capas de metalización es  $\text{SiO}_2$  y las interconexiones acostumbran a ser aluminio (Al) aunque a veces se depositan materiales como plata u oro sobre una capa de tantalio. Estos sustratos son muy compatibles con los de los circuitos, tanto a nivel de fabricación como de montaje, reduciéndose tensiones mecánicas al coincidir los coeficientes térmicos de dilatación del chip y del sustrato.

La Fig. 7.12 muestra un MCM que contiene 16 circuitos integrados de alta complejidad, algunos en tecnología CMOS y otros en tecnología GaAs. En el sustrato (MCM-D) de silicio no se han incorporado únicamente las interconexiones, sino que se han implantado circuitería común (*pads* de entrada/salida, y determinadas secciones analógicas de tratamiento de la señal de entrada).

## 7.2.4 Tecnologías MEMS (*MicroElectro-Mechanical Systems*)

### 7.2.4.1 Introducción

La evolución y revolución de la industria de los circuitos digitales está totalmente ligada a la tecnología de procesamiento de los cristales de silicio. Sin embargo, esta capacidad de proceso de materiales no se limita a la fabricación de circuitos electrónicos, sino que en la actualidad se extiende a la fabricación de micromecanismos (MEMS, *MicroElectro-Mechanical Systems*). Haciendo, en la mayoría de casos, uso de una tecnología compatible con la de los circuitos integrados, se consiguen desarrollar dispositivos mecánicos de un reducidísimo tamaño y espectaculares características [10].

Así pues, las tecnologías de MEMS permiten la fabricación de sensores y actuadores de dimensiones micrométricas gozando de las características de la tecnología de circuitos integrados, principalmente complejidad, fiabilidad y bajo costo. Estos dispositivos tienen el beneficio adicional y espectacular



de poder ser integrados junto a los circuitos, incluso en el mismo cristal, abriendo unas posibilidades y mercados impensables no hace mucho tiempo. La combinación de micromecanismos y circuitos de proceso y control da lugar a los que se denominan *sensores y actuadores inteligentes* (en inglés, *Smart Sensors and Actuators*).

#### 7.2.4.2 Características mecánicas del silicio

El silicio puede ser considerado como el material más bien caracterizado de la tecnología actual. Tiene una elevada dureza, con un módulo de elasticidad similar al acero inoxidable, no presentando factores de histéresis mecánica. El silicio sobrepasa al aluminio en resistencia mecánica relativa al peso, tiene una muy elevada conductividad térmica y al mismo tiempo un reducido coeficiente de dilatación térmica. En la Tabla 7.1 se muestran los factores mecánicos principales del silicio comparándolos con otros materiales. Las propiedades eléctricas del silicio son muy predecibles y sensibles a la tensión mecánica, el estrés y la temperatura, entre otras magnitudes, lo que lo hace idóneo como material sensor. Por último, permite un micromecanizado con una resolución característica de la tecnología microelectrónica.

Las principales características de los MEMS son [11]:

*Miniaturización.* Los micromecanismos son estructuras pequeñas y livianas lo que implica frecuencias de resonancia altas, momentos de inercia bajos, capacidad de una dinámica de alta velocidad. Las constantes de tiempo térmicas son pequeñas debido a las características térmicas del silicio y al reducido volumen de las partes, por ello son ideales para configurar dispositivos electrotérmicos. La reducción de volumen y consiguiente masa en general ofrece beneficios, aunque en algunos casos, como en el caso de los acelerómetros, conlleva una reducción de la sensibilidad. Por último, al ser el tamaño muy reducido, permiten la aplicación directa del sensor en el medio en donde se desea realizar la medida, como ocurre en el caso de sensores de presión, inercia, flujo de líquido, luz, etc.

Material	Resistencia a la ruptura, (10 <sup>9</sup> N/m <sup>2</sup> )	Módulo de Young, (10 <sup>11</sup> N/m <sup>2</sup> )	Densidad, (g/cm <sup>3</sup> )	Conductividad térmica, (W/cm °C)	Expansión térmica, (10 <sup>-6</sup> /°C)
Diamante	53,0	10,35	3,5	20,0	1,0
Carburo de Si	21,0	7,0	3,2	3,5	3,3
Nitruro de Si	14,0	3,85	3,1	0,19	0,8
Silicio	7,0	1,9	2,3	1,57	2,33
Hierro	12,6	1,96	7,8	0,803	12,0
Acero inox.	2,1	2,0	7,9	0,329	17,3
Tungsteno	4,0	4,1	19,3	1,78	4,5
Aluminio	0,17	0,7	2,7	2,36	25,0

Tabla 7.1 Propiedades mecánicas del Silicio y de otros materiales

*Multiplicidad.* Esta es una característica propia del proceso de fabricación de circuitos integrados de la que gozan también los MEMS. Se pueden producir miles de componentes al mismo tiempo con la consiguiente fuerte reducción de costo propia de las técnicas de fabricación en lotes. A modo de ejemplo, considérese el caso de la fabricación de un *display* del tamaño de un sello de correos, constituido por una matriz de microespejos digitales que actúan como pixels. Dependiendo de la orientación de los espejos, reflejan o no la luz, formando puntos blancos en donde la luz es reflejada y negros donde no. Actualmente, el tamaño de cada uno de los espejos es similar al de un glóbulo rojo de sangre.

**Microelectrónica.** La compatibilidad de tecnología y fabricación permite fabricar dispositivos MEMS “inteligentes”, es decir fabricarlos junto a circuitos sofisticados, analógicos o digitales, que confieran características refinadas y una respuesta sofisticadamente procesada (por ejemplo, un sensor de flujo de líquido que genera como resultado de la medida una codificación digital serie o una comunicación tipo RF).

### 7.2.4.3 Métodos de fabricación

A modo de extensión del proceso clásico de fabricación de circuitos integrados, los MEMS incorporan pasos específicos orientados a la eliminación (vaciado) de materiales. Las posibilidades de mecanizado son elevadas y así existen diversos métodos de fabricación, que pueden ser estructurados en tres tipos [12]:

**Micromecanizado del sustrato (Bulk micromachining).** Esta técnica se basa en una diversidad de procedimientos químicos de ataque (*etching*) tanto de tipo seco como húmedo, que permiten la eliminación selectiva de material directamente de la oblea de silicio. La forma más típica consiste en organizar cavidades piramidales, usualmente realizadas por ataque químico húmedo. Recientemente la tecnología DRIE (*deep silicon reactive ion etching*) permite crear estructuras altamente anisotrópicas utilizando un proceso ideado por la Robert Bosch Company. En la Fig. 7.13 se muestra un mecanizado del sustrato que permite el diseño de una inductancia.

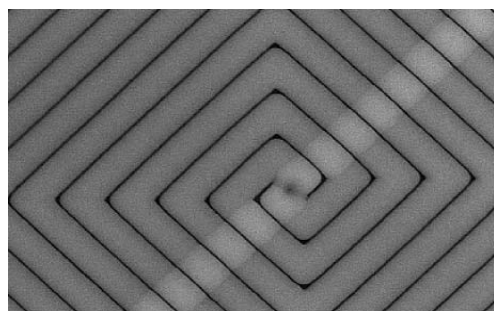


Fig. 7.13 Inductancia mecanizada sobre un sustrato en tecnología CMOS [13]

La Fig. 7.14 muestra una serie de termopares aplicados sobre un sustrato en el que se ha realizado una cavidad. Ligada a la técnica de mecanizado del sustrato, debemos considerar la de unión o soldadura de sustratos. En esta técnica, dos o más secciones independientes de oblea pueden ser unidas mediante un simple proceso térmico. La técnica permite unir materiales silicio-silicio, cuarzo-silicio, pírex-silicio entre otros. Esta técnica permite la confección de estructuras mecánicas complejas, como microválvulas de flujo, bombas de fluido, inyectores de tinta, etc. Por último la Fig. 7.15 muestra el ejemplo de mecanizado de una membrana, estructura muy utilizada como sensor de presión y como sensor o generador de ultrasonidos.

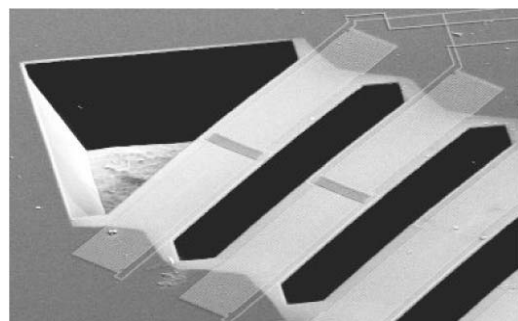
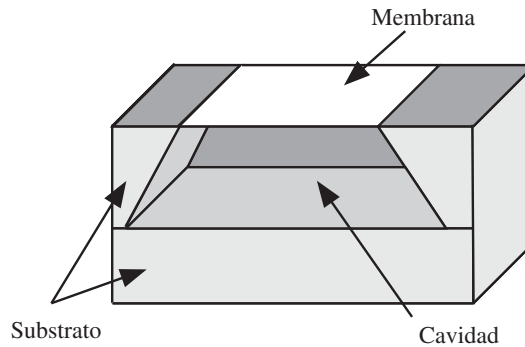


Fig. 7.14 Estructura de termopares montados sobre cavidad en sustrato [13]

**Micromecanizado de superficie (Surface micromachining).** El mecanizado de sustrato únicamente permite eliminar material. En el micromecanizado de superficie no se penetra en el sustrato que actúa simplemente como portador. De manera paralela al proceso de circuitos integrados, es posible añadir y/o eliminar materiales que se han hecho crecer en la superficie o que han sido depositados sobre ella. Para conseguir cavidades (sobre la superficie), se depositan materiales que serán retirados posteriormente, estos materiales se denominan materiales de sacrificio. Esta es la base del mecanizado de superficie, una capa de material soluble (usualmente dióxido de silicio crecido o depositado) se sitúa sobre la superficie junto a

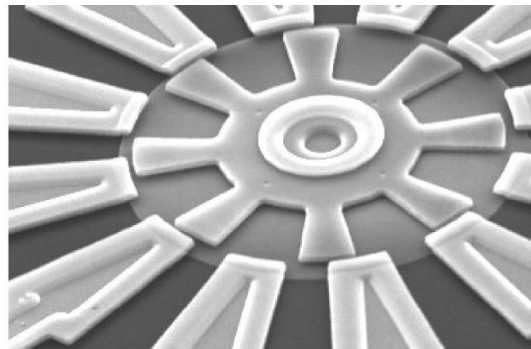


*Fig. 7.15 Ejemplo de mecanizado de una membrana. La cavidad se ha realizado mediante el vaciamiento de la zona de sustrato bajo la membrana (mecanizado de sustrato).  
Aplicable a sensores de presión y derivados*

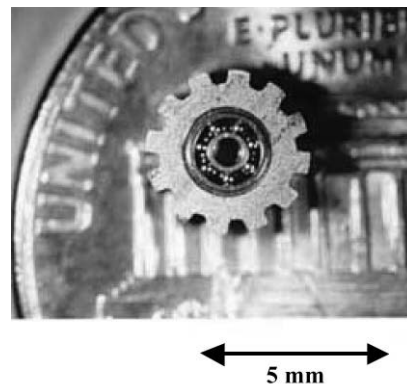
otros materiales; al final del proceso este material de sacrificio se elimina mediante un ataque químico. Esta técnica es muy utilizada; compatible con la fabricación de circuitos, de forma usual simplemente añade las máscaras del material de sacrificio, a nivel de diseño y la fase de final eliminación del mismo a nivel de proceso. La Fig. 7.16 muestra el rotor de un micromotor electrostático.

*Micromecanizado de alta relación de aspecto (High aspect ratio micromachining).* Las estructuras obtenidas mediante el mecanizado de sustrato tienen un grosor de unos pocos cientos de micras y están insertadas en el sustrato. Las correspondientes de mecanizado superficial, por el contrario, acostumbran a tener un grosor entre 5 y 10 micras sobre la superficie del sustrato. Las estructuras de alta relación de aspecto están orientadas a estructuras de una elevada altura, hasta un centímetro, pero manteniendo la resolución horizontal propia de MEMS.

De igual manera que las otras dos técnicas, ésta utiliza procesos fotolitográficos, pero en este caso la capa de material fotoresistente es muy gruesa, entre cientos de micras a un centímetro, por contrapartida a los procesos clásicos en donde miden de 2 a 3 micras. La correspondiente fotolitografía utiliza rayos X o radiación UV como iluminación. Inicialmente se expone y revela la estructura de material fotoresistente. Posteriormente se aplica un proceso de electroplateado que rellena los intersticios con metal (típicamente níquel). A modo de ejemplo, véase el microengranaje de 2,5 mm de diámetro realizado en tecnología superficial en la Fig. 7.17.



*Fig. 7.16 Rotor de micromotor electrostático fabricado con micromecanizado superficial [13]*



*Fig. 7.17 Figura de un engranaje realizado con micromecanizado [14]*



Fig. 7.18 Fotografía de un milimotor realizado con componentes fabricados con tecnología LIGA [14]

anterior. El milimotor, fabricado en los Laboratorios Sandia, presenta un par de 1.5 mNewton.metro y permite una velocidad máxima de 1600 r.p.m. Todas las piezas están realizadas mediante LIGA incluyendo el imán permanente del motor.

Si bien el diseño de MEMS, basado en un proceso fotolitográfico y por tanto orientado a definir las máscaras correspondientes, utiliza herramientas comunes al diseño microelectrónico, para su incorporación a entornos CAD son precisas herramientas nuevas. Por supuesto herramientas que permitan el dibujo de las diversas máscaras de material a añadir o eliminar, pero también un significativo esfuerzo en simulación. Las herramientas de simulación de MEMS deben poder incluir, la simulación dinámica de las piezas, la deformación de las mismas, el efecto de campos eléctricos, de los esfuerzos mecánicos, de la temperatura, todo ello interactivo con los simuladores habituales de los circuitos electrónicos.

#### 7.2.4.4 Áreas de aplicación

Son muy numerosas las áreas donde se pueden aplicar MEMS y su número crece día a día. Un empuje importante para los MEMS aconteció al principio de los años 70, cuando por razones de legislación en los Estados Unidos ligados con la crisis energética fue preciso el diseño de sensores económicos de

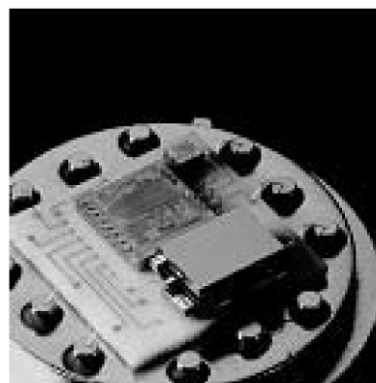
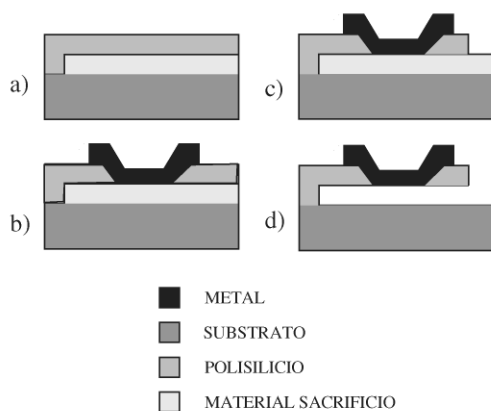


Fig. 7.19 Secuencia de fabricación de una palanca: a) estructura inicial b) metalización c) longitud de palanca d) vaciado del material de sacrificio. Fotografía de un acelerómetro micromecanizado comercial [15]

presión de gas de bajo costo y elevadas prestaciones. Los dispositivos debían trabajar en un ambiente hostil, el del automóvil, a temperaturas entre  $-40^{\circ}$  y  $125^{\circ}$  C, en atmósferas corrosivas, con una esperanza de vida de 10 años, una muy baja tasa de fallos (1 ppm) y elevadas prestaciones funcionales. Las tres grandes compañías americanas de automóviles, General Motors, Ford y Chrysler, trabajaron en sensores micromecanizados. El esfuerzo se extendió rápidamente a aplicaciones en la industria y en aviación y medicina. El resultado actual es un producto muy sofisticado que proporciona señales totalmente acondicionadas en un entorno hostil a un precio por debajo de los 10\$ con un mercado superior a los 35 millones de piezas/año.

Otro campo importante ha sido los dispositivos detectores de colisión para la protección activa de pasajeros (*airbag*). Estos sistemas están basados en acelerómetros micromecanizados en superficie, consistentes en una palanca cuya deformación en caso de una aceleración es detectada como colisión después de un sofisticado proceso electrónico. En la Fig. 7.19 se muestra los pasos para producir una palanca y un componente comercial. Las aplicaciones de MEMS es un tema de actualidad expandiéndose día a día el campo de aplicaciones.

### 7.3 Circuitos integrados de radiofrecuencia

La integración en tecnología CMOS de circuitos para comunicaciones en la banda de radiofrecuencia (RF) se ha convertido recientemente en un apasionante reto. La teoría básica de los circuitos para transmisión y recepción de radio fue desarrollada en la primera mitad del siglo XX, y desde los años '40 hasta los '90 hubo pocas innovaciones. Los receptores superheterodinos se utilizan hoy al igual que hace 60 años para hacer radios AM/FM, sólo que entonces se hacían íntegramente con componentes discretos, y posteriormente se posibilitó la integración de algunas de sus partes, principalmente utilizando tecnología bipolar. Era un campo con pocos secretos, que incluso era obviado en muchos cursos universitarios. Sin embargo, la revolución que han supuesto las comunicaciones móviles ha resucitado este campo de la electrónica. Teléfonos móviles, receptores GPS, comunicaciones inalámbricas de voz y datos, transmisión de datos desde y hacia cualquier dispositivo, todos necesitan de radios receptoras y transmisoras operando a alta frecuencia. La necesidad de transmitir cantidades ingentes de datos es la que impone transmisión a frecuencias cada vez mayores, antes reservadas a especialistas en circuitos de microondas. Y por otra parte, razones comerciales imponen la necesidad de abaratar el costo de estas radios, que pasa por integrarlas en la tecnología más barata, tecnología CMOS. Cuanto menor sea el número de componentes discretos, mejor, pero la integración en tecnología CMOS de todas las partes de un receptor operando por encima de 1 GHz no es tarea trivial, más bien un reto imponente dadas las prestaciones que se exigen. En la segunda mitad de los '90 se desató la carrera para conseguir la integración monolítica para los diferentes estándares de comunicaciones, y en muy pocos años se ha conseguido exprimir la tecnología hasta conseguir el objetivo. En este apartado se hace un repaso breve pero extenso a los diferentes aspectos que configuran el diseño de circuitos para radiofrecuencia: arquitecturas, circuitos básicos, retos y problemas tecnológicos. Esta teoría se complementa con dos ejemplos, más adelante en este mismo capítulo, en los que se detalla la implementación particular de sendos sistemas de comunicaciones RF.

#### 7.3.1 Arquitecturas receptoras y transmisoras para RF

Empezaremos conociendo qué circuitos contienen los receptores y transmisores de señales moduladas en RF, las diferentes alternativas posibles y sus problemas y ventajas.

### a) Receptor superheterodino o de simple conversión

La arquitectura convencionalmente utilizada para la recepción de señales de radio es la de un receptor superheterodino, cuyo diagrama de bloques se muestra en la Fig. 7.20. El primer bloque es un filtro RF para eliminar energía fuera de la banda de interés y señales en la banda imagen<sup>1</sup>. A continuación se encuentra un amplificador de bajo ruido, y un segundo filtro para atenuar aún más las señales en la banda imagen. Un mezclador con un tono de frecuencia ajustable permite sintonizar el canal deseado a una frecuencia intermedia fija FI. A continuación el canal sintonizado es filtrado y amplificado, eliminando otros canales adyacentes y señales interferentes. Por último, un segundo mezclador permite transportar la señal a banda base.

Como se puede ver en la figura, buena parte de los bloques del receptor se implementan convencionalmente con componentes discretos. En el caso de los osciladores, se requiere un ruido de fase muy bajo para conseguir mínima distorsión en la señal demodulada. Desafortunadamente, es muy difícil conseguir bajo ruido de fase con osciladores totalmente integrados, en buena parte debido al bajo factor de calidad  $Q$  de los componentes pasivos (inductores, varactores...) en tecnología CMOS.

El otro tipo de bloques difícil de integrar son los filtros, debido a la alta selectividad requerida. Las prestaciones que necesitan los filtros, y por tanto su facilidad de integración, están directamente relacionadas con el valor elegido para la frecuencia intermedia  $\omega_{FI}$ . Una frecuencia intermedia baja hará especialmente difícil el filtrado de la frecuencia imagen, ya que la señal de RF se encuentra sólo  $2\omega_{FI}$  por encima de la frecuencia imagen a eliminar. Por el contrario, una frecuencia intermedia elevada facilitará la implementación de los filtros previos al primer mezclador, pero hará más complejo el diseño del filtro a frecuencia intermedia, y obligará a utilizar un amplificador de alta frecuencia, más difícil de implementar y en todo caso menos eficiente.

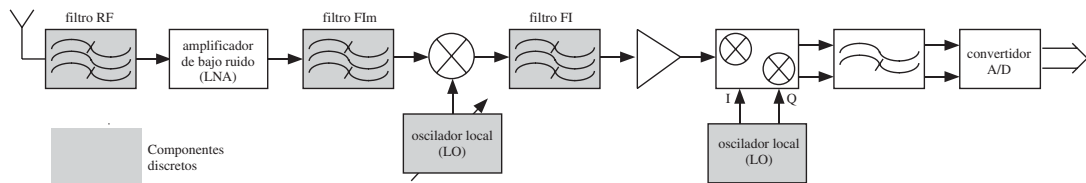


Fig. 7.20 Arquitectura de un receptor superheterodino para radiofrecuencia

### b) Receptor de doble conversión

Como se ha visto, una de las dificultades del receptor de simple conversión es el compromiso en la elección de la frecuencia intermedia. Una alternativa que permite resolver el compromiso a costa de aumentar el número de bloques es la utilización de dos frecuencias intermedias. Una primera frecuencia intermedia elevada permite aliviar las especificaciones del filtro de frecuencia imagen, mientras que la segunda frecuencia intermedia baja permitirá el filtrado de canal sin demasiados problemas. En ocasiones, incluso se elige como primera frecuencia intermedia un valor superior a la frecuencia de la señal RF, lo cual simplifica enormemente la eliminación de la frecuencia imagen. El precio a pagar en el receptor de doble conversión es la necesidad extra de otro oscilador local, mezclador y filtro.

<sup>1</sup> Ver más adelante el apartado sobre mezcladores para una explicación más detallada de la frecuencia imagen. De momento, basta con saber que es una frecuencia situada por encima de la del primer oscilador (LO) y distanciada respecto ésta un valor igual a la frecuencia intermedia. La frecuencia de la señal de entrada RF también estará distanciada respecto a la del oscilador local un valor igual a la frecuencia intermedia, pero esta vez por debajo suyo.

### c) Receptor homodino o de conversión directa

Una arquitectura que permite reducir el número de componentes discretos es la de un receptor homodino o por conversión directa, representado en la Fig. 7.21. En él se prescinde de la frecuencia intermedia para demodular directamente a banda base todos los canales, filtrando entonces el canal deseado. A pesar de que se prescinde del mezclador a frecuencia intermedia y por tanto de la necesidad de filtrar la banda imagen, subsiste el problema de conseguir un sintetizador de alta frecuencia integrado con bajo ruido de fase. Además, y dado que las dos entradas del mezclador son de la misma frecuencia, es importante evitar que las dos entradas estén en cuadratura, ya que la señal demodulada sería nula. Dado que la fase entre el oscilador local y la señal RF es impredecible, el oscilador local debe generar dos fases desplazadas  $90^\circ$ , y la señal RF debe ser mezclada con estas dos fases para asegurar una mínima amplitud de salida.

A pesar de su atractiva sencillez, el receptor por conversión directa sufre de una serie de graves inconvenientes. Existe el peligro de que el tono del oscilador local se acople a la entrada RF –acoplo a través del sustrato, por ejemplo–. El tono acoplado se superpondrá a la señal RF y, dado que ambas son de la misma frecuencia, su efecto se traduce en un *offset* a la salida del mezclador, que resulta mucho mayor que la señal –la amplitud generada por el oscilador es elevada– y que eventualmente puede saturar las etapas sucesivas. Existen complejas soluciones para la eliminación del *offset*, pero ninguna plenamente satisfactoria. Además, el tono del oscilador se puede acoplar a la antena, radiándose y perturbando la señal que reciben receptores próximos, o incluso él mismo. El ruido Flicker ( $1/f$ ) es también una fuente de problemas en estos receptores pues agrava el problema del *offset*.

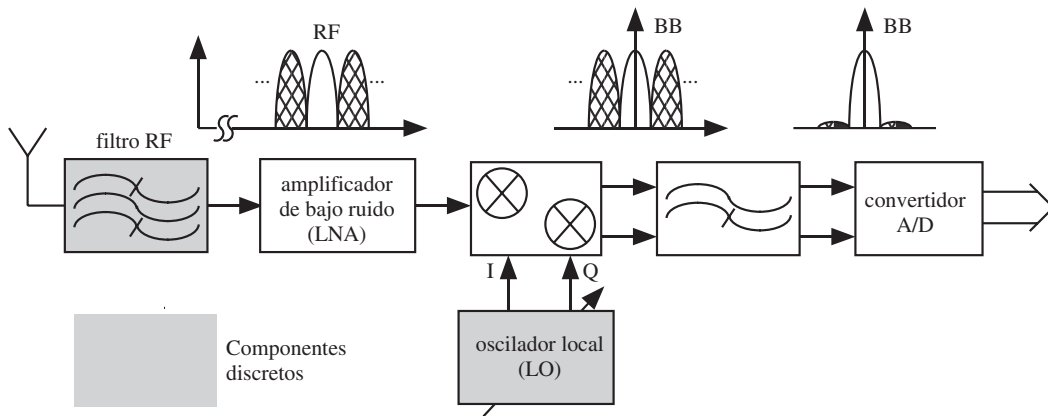


Fig. 7.21 Arquitectura de un receptor homodino o por conversión directa.

### d) Receptores con cancelación de la frecuencia imagen

Existen algunas arquitecturas con las cuales no es necesario filtrar la frecuencia imagen, sino que ésta se elimina por cancelación. Las dos arquitecturas más conocidas que cumplen este propósito son las de Hartley y Weaver, que se muestran en la Fig. 7.22 y Fig. 7.23, respectivamente. En la primera de ellas se puede ver una explicación gráfica de cómo se consigue la cancelación, en el segundo caso se deja como ejercicio para el lector.

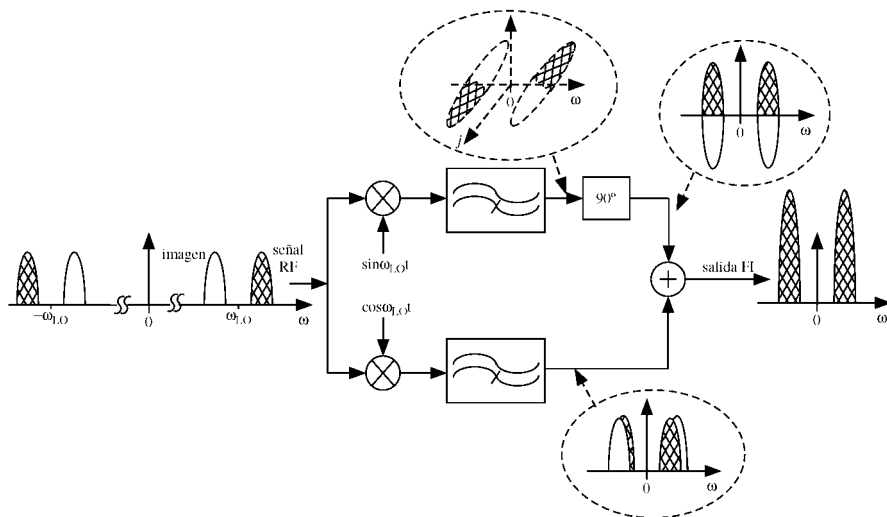


Fig. 7.22 Receptor de Hartley para la cancelación de la frecuencia imagen

374

La realización de desplazadores de fase de  $90^\circ$  operativos para un gran ancho de banda no es trivial —una simple RC no es suficiente—, por lo que a menudo se prefiere la arquitectura de Weaver que no precisa de ellos.

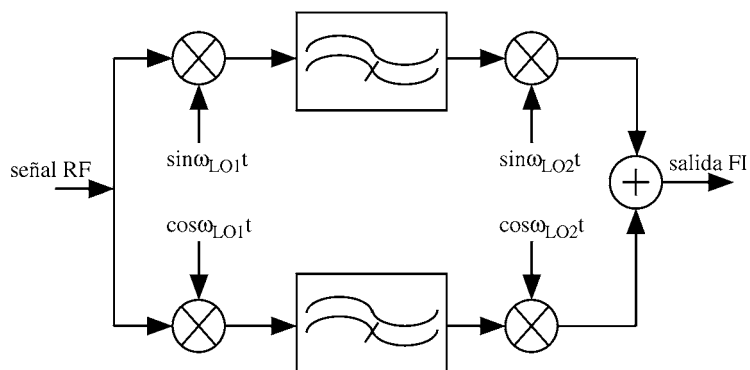


Fig. 7.23 Receptor de Weaver para la cancelación de la frecuencia imagen

#### e) Transmisores

Las arquitecturas transmisoras son esencialmente análogas a las receptoras, pero simétricas en el orden del proceso de la señal. En la Fig. 7.24 se puede observar la arquitectura básica de un transmisor superheterodino. Se parte de las componentes en fase y cuadratura de la señal en banda base, que son mezcladas con las componentes de un oscilador local para desplazar la señal a frecuencia intermedia.



Dichas componentes son sumadas y filtradas, paso previo a una segunda mezcla que desplaza la señal a RF. Por último, un amplificador de potencia permitirá que la antena emita la radiación suficiente para permitir el alcance deseado. Observar que el amplificador de potencia realiza la función análoga a la del amplificador LNA del receptor. A diferencia de aquel, en el amplificador de potencia será importante conseguir adaptación de impedancia a  $50\ \Omega$  a la salida, para lo cual a menudo son necesarias redes de adaptación. Como se puede imaginar, un transmisor homodino o de conversión directa tendrá una estructura parecida, solo que el primer mezclador realiza directamente el desplazamiento de la señal hasta RF.

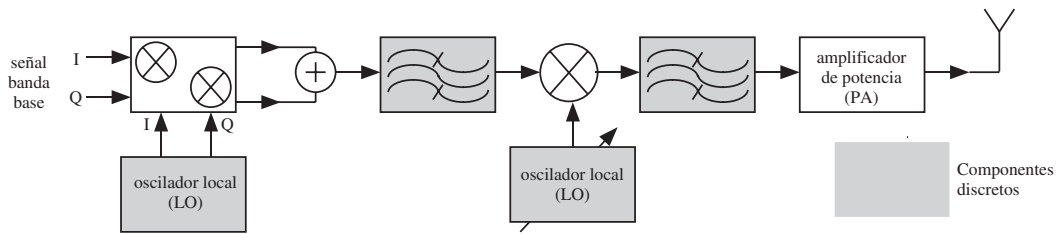


Fig. 7.24 Arquitectura de un transmisor superheterodino

Las arquitecturas transmisoras adolecen en general de los mismos problemas que sus análogos receptoras. En un transmisor superheterodino, los principales problemas son la realización de los filtros, y la integración de los osciladores con alta estabilidad. En el caso del transmisor de conversión directa, el acoplo entre el amplificador de potencia y el oscilador local puede introducir perturbaciones en este último, ya que ambos operan a la misma frecuencia.

### 7.3.2 Circuitos básicos para radiofrecuencia

Una vez conocidas las arquitecturas básicas utilizadas para transmitir o recibir señales de radiofrecuencia, ahondaremos en la descripción de los bloques principales incidiendo en su implementación CMOS. El objetivo de cada uno de los bloques es realizar su función específica en la arquitectura sin penalizar las prestaciones especificadas para el receptor o el transmisor. Estas prestaciones están relacionadas con una serie de parámetros de los circuitos, cuya definición recordaremos antes de describir cada uno de los bloques.

La relación señal a ruido (y el nivel de señal mínimo detectable) dependen del ruido introducido por cada uno de los bloques del receptor, en particular amplificadores y mezcladores. El parámetro utilizado para medir el ruido introducido por un bloque es el *factor o figura de ruido*  $F$ , definido como:

$$F = \frac{\text{potencia de ruido a la salida}}{\text{ruido a la salida debido a la fuente de entrada}} = \frac{\left(\frac{S}{N}\right)_{\text{entrada}}}{\left(\frac{S}{N}\right)_{\text{salida}}} \quad (7.1)$$

El rango dinámico de la señal detectable depende estrechamente de la linealidad del receptor, comprometida a menudo por canales adyacentes que se comportan como señales interferentes. Una no-linealidad del amplificador o mezclador puede crear productos de intermodulación que se superpongan a la señal recibida. Si se tiene una señal deseada a frecuencia  $\omega_1$  y una señal interferente a frecuencia  $\omega_2$ , resultarán especialmente preocupantes los productos de intermodulación de tercer orden ( $2\omega_1 - \omega_2$ ) y ( $\omega_1 + 2\omega_2$ ), ya que tendrán una frecuencia próxima a  $\omega_1$  (siempre que  $\omega_1 \approx \omega_2$ , lo cual no es difícil si la señal

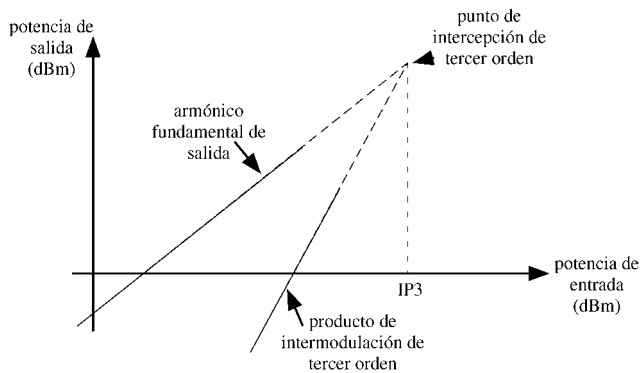


Fig. 7.25 Definición gráfica del punto de intersección de tercer orden (IP3)

interferente proviene de un canal adyacente). Una medida de la linealidad será el *punto de intersección de tercer orden*, o *IP3*, definido como la potencia de entrada a la cual el producto de intermodulación de tercer orden se hace igual al armónico fundamental. Gráficamente, la Fig. 7.25 ilustra esta definición. Obviamente, cuanto mayor sea el IP3 de un circuito, mejor será su linealidad. La medida de este parámetro se hace siempre por extrapolación de valores a niveles de entrada bajos, ya que niveles altos saturarían el receptor.

Otros parámetros importantes son el punto de compresión a 1 dB, y el

rango dinámico libre de espúreos (SFDR, del inglés *spurious free dynamic range*). El primero constituye una medida del inicio de saturación de un circuito, y se define como el nivel de entrada para el cual la ganancia disminuye 1 dB respecto a la ganancia en pequeña señal. El SFDR se define como la relación señal a ruido correspondiente al nivel de entrada al cual un espúreo –señal indeseada– iguala la potencia de ruido. Aplicando el producto de intermodulación de tercer orden como señal espúrea, constituye un sustituto del IP3 y una medida del rango dinámico y la linealidad, aunque en la práctica el IP3 es el parámetro habitualmente especificado.

#### a) Amplificadores

Como se ha podido ver en la descripción de arquitecturas, el primer bloque de un circuito receptor es habitualmente un amplificador de bajo ruido, designado a menudo por las siglas LNA (del inglés, *Low-Noise Amplifier*). Como es conocido por la teoría de señal, la fórmula de Friis especifica que la figura de ruido  $F$  de un sistema de bloques en cascada, es

$$F = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots \quad (7.2)$$

donde  $F_i$  y  $G_i$  son la figura de ruido y la ganancia del bloque  $i$ -ésimo, respectivamente. En consecuencia, y en tanto que primer bloque de un receptor, exigiremos al LNA una baja figura de ruido y una elevada ganancia (el valor de ganancia necesario dependerá de la figura de ruido de la siguiente etapa). Además se exigirá una baja distorsión y, para maximizar la transferencia de potencia, una impedancia de entrada de 50  $\Omega$ .

Como se vio en el Capítulo 6, una topología especialmente apta para conseguir bajas impedancias de entrada es la del amplificador en puerta común. Sin embargo, el ruido térmico de la resistencia de canal provoca factores de ruido excesivamente elevados, que además empeoran a alta frecuencia. Las otras topologías vistas en aquel capítulo (surtidor común, drenador común), ofrecen una impedancia de entrada capacitiva, con lo que no pueden ofrecer una adaptación resistiva a 50  $\Omega$ . Este inconveniente se puede paliar con algunas soluciones como añadir una resistencia entre la entrada y el nodo de tierra, o añadir una realimentación resistiva entre entrada y salida, pero ambas presentan el mismo problema que el amplificador puerta común: el ruido térmico de la resistencia conectada al nodo de entrada. La solución comúnmente adoptada es la de utilizar un amplificador surtidor común degenerado inductivamente,

representado en la Fig. 7.26, que permite conseguir una ganancia elevada a la vez que una impedancia de entrada puramente resistiva en una banda estrecha de frecuencias, como comprobaremos a continuación.

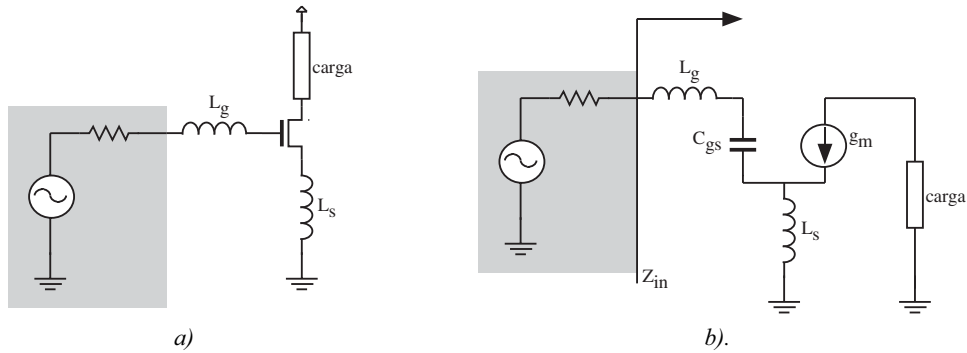


Fig. 7.26 Amplificador de bajo ruido degenerado inductivamente (a) y su modelo en pequeña señal (b).

Un análisis del circuito en pequeña señal permite obtener una expresión de la impedancia de entrada como

$$Z_{in} = s(L_g + L_s) + \frac{1}{sC_{gs}} + \frac{g_m}{C_{gs}} L_s \quad (7.3)$$

Existe una frecuencia (frecuencia de resonancia) en la cual los términos complejos se anulan y la impedancia de entrada es real. Con un valor adecuado de  $L_s$  se puede conseguir entonces una impedancia de entrada de  $50 \Omega$ , consiguiendo la adaptación. La cancelación de términos complejos debe ocurrir a la frecuencia de la señal, es decir que la frecuencia de resonancia debe coincidir con la frecuencia de la portadora, lo cual se puede ajustar con un valor adecuado de  $L_g$ . Se trata pues de un amplificador de banda estrecha ya que, dada una implementación, sólo se consiguen las condiciones adecuadas de funcionamiento alrededor de una frecuencia portadora. Para el diseño del transistor, recientemente se ha desarrollado una teoría –de formulación sumamente compleja– por la que, dada una especificación de consumo del transistor, se puede optimizar el tamaño del transistor para conseguir una figura de ruido mínima [16]. Por otra parte, la contribución de la capacidad entre puerta y drenador  $C_{gd}$  (no incluida en el modelo de la Fig. 7.26.b) a la impedancia de entrada puede ser significativa. Su potencial influencia es mitigada introduciendo un transistor cascode en el amplificador, aumentando además el aislamiento entre salida y entrada.

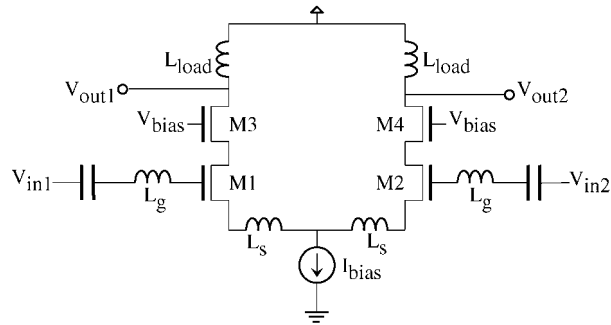


Fig. 7.27 Estructura convencional de un amplificador de bajo ruido (LNA) diferencial (se ha omitido la circuitería de polarización)

El amplificador de bajo ruido irá normalmente conectado a otro circuito CMOS *on-chip* (por ejemplo, un mezclador), por lo que su salida verá una impedancia capacitiva. Por esta razón, la carga de drenador en el amplificador es habitualmente una inductancia, con el objetivo de cancelar por resonancia la capacidad de entrada de la etapa siguiente, y conseguir de nuevo máxima transferencia de potencia.

Por razones de rechazo de perturbaciones en modo común, y de la dificultad de tener una tensión estable en todos los puntos de tierra del circuito, se acostumbran a adoptar topologías diferenciales para la implementación de los LNA. En la Fig. 7.27 se muestra el esquema típico de un LNA diferencial, obviando la circuitería de polarización de los nodos de entrada. Observar la presencia de los transistores cascode M3 y M4 para aumentar el aislamiento, y de las cargas inductivas  $L_{load}$ .

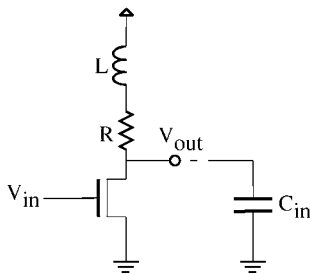


Fig. 7.28 Técnica del shunt-peaking para aumentar el ancho de banda de un amplificador

Como se ha podido comprobar, el amplificador de bajo ruido presentado es un amplificador de banda estrecha, ya que tanto en la malla de entrada como en la de salida se cuenta con resonancias que sólo ocurren a la frecuencia portadora. En gran parte de las comunicaciones RF actuales (telefonía móvil, inalámbrica, GPS, Bluetooth...) esto no es un problema ya que el ancho de banda es pequeño con relación a la frecuencia portadora.

Sin embargo, existen algunas aplicaciones en las que es necesario amplificar un gran ancho de banda con una respuesta lo más plana posible. En estos casos, la técnica de la degeneración inductiva no es útil, debiéndose recurrir a redes de adaptación de impedancia. De la misma forma, la carga del amplificador debe ser resistiva, y no inductiva, para permitir una respuesta plana dentro del ancho de banda. A pesar de ello, se acostumbra a añadir una inductancia en serie con la resistencia con el objetivo de aumentar el ancho de banda del amplificador. Esta técnica es conocida como *shunt-peaking*, y el amplificador de banda ancha resultante, en su configuración más sencilla, se muestra en la Fig. 7.28. La función de transferencia, teniendo en cuenta la capacidad de entrada de la etapa siguiente, valdrá:

$$\frac{v_{out}}{v_{in}}(s) = -g_m \frac{sL + R}{s^2 LC + sRC + 1} \quad (7.4)$$

Como es fácil comprobar, la adición de la inductancia introduce un cero y un polo en la respuesta del amplificador. Este cero cancela en parte el efecto de la capacidad de carga, permitiendo, con una elección adecuada de componentes, un incremento del ancho de banda del amplificador de hasta un 70% y mantener una respuesta espectral plana [17], [18].

### b) Mezcladores

La misión de un mezclador o convertidor de frecuencias es hacer una traslación de la señal en el espectro de frecuencias, incremento en el caso de transmisores, y decremento (típicamente) en el caso de receptores. Para ello, se aprovecha la propiedad matemática de que el producto de dos tonos es igual a la suma de otros dos tonos, uno de ellos de frecuencia suma y otro de frecuencia diferencia, como muestra la expresión (7.5).

$$(A_1 \cos \omega_1 t)(A_2 \cos \omega_2 t) = \frac{A_1 A_2}{2} \cos(\omega_1 - \omega_2)t + \frac{A_1 A_2}{2} \cos(\omega_1 + \omega_2)t \quad (7.5)$$

Supongamos que un mezclador forma parte de un circuito receptor. Para conseguir desplazar una señal de entrada de frecuencia  $\omega_{RF}$  a una frecuencia intermedia  $\omega_{IF}$ , el circuito mezclador deberá multiplicar la señal de entrada por un tono producido por un oscilador local, de frecuencia

$$\omega_{LO} = \omega_{RF} + \omega_{FI} \quad (7.6)$$

gracias a lo cual se obtienen dos tonos, uno a la frecuencia intermedia,  $\omega_{LO} - \omega_{RF}$ , y otro a una frecuencia mucho mayor,  $\omega_{LO} + \omega_{RF}$ , sin interés alguno y que deberá ser filtrado.

Un aspecto fundamental en el diseño de mezcladores es la eliminación del efecto de *la frecuencia imagen*. Como hemos dicho, la frecuencia intermedia se obtiene, recurriendo a la expresión (7.4), para  $\omega_1 = \omega_{LO}$  y  $\omega_2 = \omega_{RF} = \omega_{LO} - \omega_{FI}$ . Sin embargo, observar que se obtiene un tono superpuesto a la misma frecuencia intermedia también para  $\omega_1 = \omega_{LO}$  y  $\omega_2 = \omega_{LO} + \omega_{FI}$ . Este tono a frecuencia  $\omega_{LO} + \omega_{FI}$  que después de la mezcla, se superpone a la señal de entrada demodulada, se denomina tono a frecuencia imagen. Se trata de una señal no deseada en tanto que degrada la señal de interés –degrada la relación S/N y por tanto la figura de ruido– y su efecto debe ser eliminado, típicamente con un filtrado previo. Si se asume que, típicamente,  $\omega_{LO}, \omega_{RF} \gg \omega_{FI}$  se puede intuir que el filtrado del producto de intermodulación a  $\omega_{LO} + \omega_{RF}$  no resulta especialmente dificultoso, mientras que la eliminación de la frecuencia imagen sí que impone unos filtros de prestaciones exigentes.

Probablemente, la manera más sencilla de realizar el producto de tonos sea utilizando un simple transistor operando en saturación. Este tipo de mezcladores se conoce como *de ley cuadrática*, y en ellos se aprovecha la dependencia cuadrática de la corriente en el transistor con la tensión  $V_{GS} - V_T$ . Si se consigue que la tensión  $V_{GS}$  sea una función lineal de la diferencia entre la señal de entrada  $V_{RF}$  y el tono del oscilador local  $V_{LO}$ , la salida del circuito presentará –entre otros– un tono a la frecuencia intermedia. Una posible implementación de este tipo de mezcladores se muestra en la Fig. 7.29. Aquí, la tensión  $V_{GS}$  toma el valor:

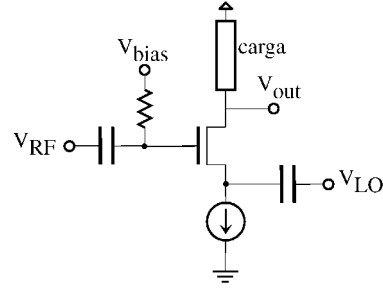


Fig. 7.29 Implementación simple de un mezclador de ley cuadrática

$$V_{GS} = V_{BIAS} + v_{RF} - v_{LO} = V_{BIAS} + A_{RF} \cos \omega_{RF} t - A_{LO} \cos \omega_{LO} t \quad (7.7)$$

Es fácil comprobar que a la salida se obtendrá, además de la señal a frecuencia intermedia y del producto de intermodulación, tonos en los primero y segundo armónicos de las frecuencias de entrada, y una componente DC. Sin embargo, todos ellos están suficientemente alejados de la salida de interés como para que su eliminación por filtrado no represente un problema grave. Otro aspecto a destacar es el tamaño del transistor, que deberá ser lo suficientemente largo para evitar efectos de canal corto y conseguir una ley cuadrática lo más perfecta posible. A pesar de todo ello, el principal inconveniente que presenta este tipo de mezcladores es el bajo aislamiento que hay entre la señal de entrada y el tono del oscilador local. La señal del oscilador puede acoplarse a la entrada, alterando el funcionamiento ideal del circuito, o llegando hasta la antena y radiándose al exterior.

La arquitectura de mezclador más utilizada se conoce como celda de Gilbert –aunque de hecho hay un buen número de variantes bajo esta denominación–. En una representación idealizada, una celda de Gilbert presenta el aspecto de la Fig. 7.30.a. La entrada en radiofrecuencia debe ser convertida a corriente intentando mantener la máxima linealidad. Habitualmente se utiliza un simple NMOS como transconductor, con una degeneración inductiva para mejorar la linealidad, resultando un circuito como el mostrado en la Fig. 7.30.b [19].

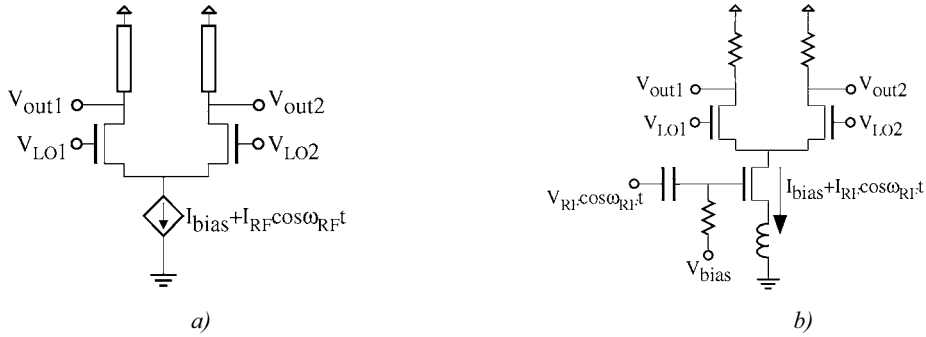


Fig. 7.30 Realización ideal de una celda de Gilbert básica (a) y posible implementación (b)

En el funcionamiento ideal del circuito de la Fig. 7.30.a, la corriente proporcional a la señal RF es conmutada por las dos ramas a la frecuencia del oscilador local. Para ello, la amplitud del tono  $V_{LO}$  deberá ser lo suficientemente elevada para permitir la conmutación de *toda* la corriente de la fuente. Si dicha conmutación es ideal, estaremos multiplicando en el tiempo la señal RF por una función  $\text{sign}[\cos \omega_{RF} t]$ . En el dominio frecuencial, el resultado de este producto es

$$\sum_k a_1 I_{BIAS} \delta(\omega - k\omega_{LO}) + a_2 I_{RF} \delta(\omega - k\omega_{LO} - \omega_{RF}) + a_2 I_{RF} \delta(\omega - k\omega_{LO} + \omega_{RF}) \quad k = 1, 3, 5 \dots \quad (7.8)$$

Es decir, que el espectro resultante contendrá los armónicos impares del tono del oscilador local, y para cada uno de ellos, los productos de intermodulación con la señal de entrada. A la salida del mezclador, un filtrado poco exigente permitirá eliminar todos los tonos no deseados y conservar la señal de entrada desplazada a la frecuencia intermedia.

Aunque en el pasado es fácil encontrar implementaciones de una celda de Gilbert simple como la de la Fig. 7.30 –aunque sea en tecnología bipolar–, las implementaciones actuales adoptan la configuración doblemente balanceada mostrada en la Fig. 7.31. Con este circuito se cancelan los armónicos del tono LO, aumentando el aislamiento entre la salida y el oscilador local, y reduciendo por tanto las exigencias del filtrado de la frecuencia intermedia.

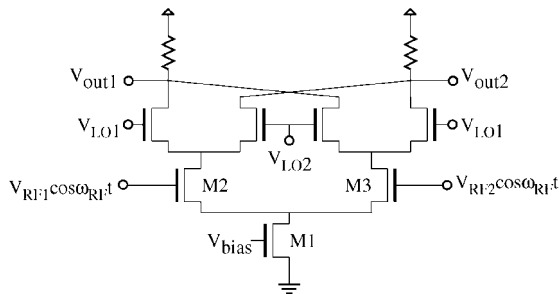


Fig. 7.31 Celda de Gilbert doblemente balanceada (se ha obviado la circuitería de polarización) [20]

de mezcladores, pero hay que hacer constar que, además de la celda de Gilbert, existen otras topologías posibles, cada una con ventajas e inconvenientes. Citaremos como las más destacadas los mezcladores basados en par diferencial, [19], mezcladores por submuestreo [21], y mezcladores potenciométricos o triodo [22]. Se refiere al lector a la literatura especializada para sus detalles.

El principal reto que presentan los mezcladores tipo Gilbert es la linealidad, que vendrá limitada por la conversión tensión/corriente de la señal RF. Al igual que en la versión simple, es posible degenerar inductivamente los transistores M2 y M3 de la Fig. 7.31 para mejorar dicha linealidad. Otras fuentes de preocupación son la figura de ruido, que también vendrá limitada por el transductor de señal, y el rango dinámico, que se verá reducido por el escalado de la tensión de alimentación.

No es la intención de este texto hacer una descripción exhaustiva de todos los tipos

## c) Osciladores

Independientemente de la arquitectura utilizada, tanto en el receptor como en el transmisor es necesario el uso de un oscilador local (LO, *Local Oscillator*). Su misión es proveer al receptor (o transmisor) de una señal senoidal de gran pureza espectral para realizar la conversión de frecuencia. La frecuencia de salida del LO en algunas arquitecturas puede ser fija (caso más sencillo aunque menos usual) o bien ha de poder ser variada mediante una señal de control externa.

Las prestaciones más importantes a considerar en un LO son: estabilidad de la frecuencia y de la amplitud de la señal de salida, rango de control de la misma, consumo, potencia de salida y, la más importante de todas, la pureza espectral de la señal de salida (o lo que es lo mismo, su ruido de fase). En la Fig. 7.32 se muestra la parte de entrada del receptor de un teléfono celular en el que se reciben, no sólo la señal deseada ( $\omega_{RF}$ ), sino también una señal interferente ( $\omega_{RF\_int}$ ). Esta señal interferente puede corresponder, en el peor caso, a la señal emitida por un teléfono situado en las cercanías del nuestro, y situada en frecuencia respecto la señal a recibir a la mínima distancia permitida (que denominaremos  $\omega_D$ ). La diferencia de amplitudes puede ser muy grande, dado que una señal ( $\omega_{RF\_int}$ ) está siendo emitida en las cercanías de nuestro receptor, mientras que la otra ( $\omega_{RF}$ ) en general estará situada mucho más lejos.

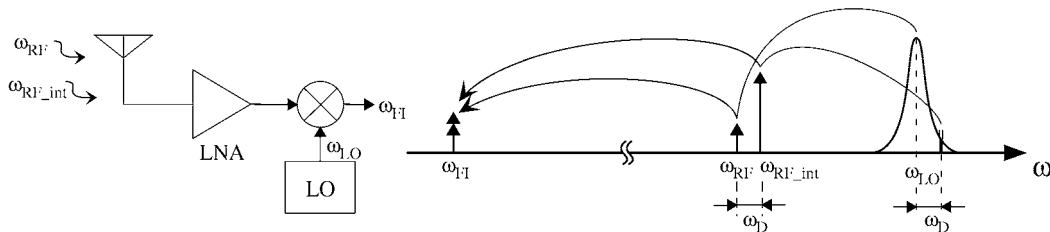


Fig. 7.32 La señal  $\omega_{RF\_int}$  debido al ruido de fase del LO, provoca una interferencia sobre la señal de frecuencia intermedia

En caso de tener un oscilador ideal (un tono a  $\omega_{LO}$ ) la única información que irá a parar a  $\omega_{FI}$  será la que se encuentre en  $\omega_{RF}$  (además de su frecuencia imagen). No obstante, si el LO produce una señal con un cierto ancho de banda (ver Fig. 7.32), la parte de su espectro correspondiente a  $\omega_{LO} - \omega_D$  también situará a la señal interferente  $\omega_{RF\_int}$  en la frecuencia  $\omega_{FI}$ . Dado que ésta última puede ser mucho más potente que la señal deseada  $\omega_{RF}$ , se requiere un LO de una gran pureza espectral para minimizar el ruido añadido a la señal recibida debido a la señal interferente.

Por lo tanto, dada la importancia que adquiere el ruido de fase en osciladores para sistemas de comunicación portátiles, los osciladores del tipo “de relajación” o “en anillo” no son muy recomendables. Son preferibles osciladores que incluyan algún bloque resonador sintonizado a  $\omega_{LO}$  que filtre las señales alejadas de dicha frecuencia.

Los osciladores resonantes pueden agruparse básicamente en los que incluyen un tanque LC (usualmente denominados osciladores sintonizados), y los que utilizan como resonador algún material piezoeléctrico. El oscilador LC por excelencia es el oscilador de Colpitts (ver Fig. 7.33, donde por simplicidad no se muestra la parte de polarización del transistor), del que derivan la mayoría de los osciladores sin-

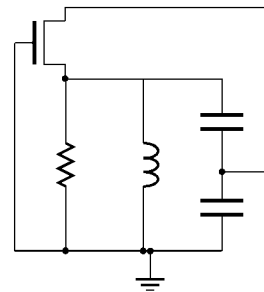


Fig. 7.33 Oscilador de Colpitts (se ha obviado la circuitería de polarización).

tonizados utilizados actualmente. Dicho oscilador no es más que un tanque resonador LC más un dispositivo activo (en la figura un NMOS) encargado de aportar al tanque la potencia disipada en las resistencias asociadas a los elementos reactivos (fundamentalmente al inductor). De hecho, una forma de analizar muchos tipos de osciladores sintonizados es considerando que los elementos activos lo que hacen es aportar una resistencia negativa que compensa la resistencia de pérdidas del tanque, permitiendo la oscilación.

La integración de capacidades en tecnologías CMOS convencionales es relativamente sencilla (además es posible realizar capacidades de valor modificable mediante una tensión de control, varactores, lo que permite modificar la frecuencia de oscilación externamente). No ocurre lo mismo con los inductores, que además de presentar un factor de calidad  $Q$  bajo, tienen una inductancia de valor no muy predecible y dependiente de variaciones del proceso de fabricación. Esto hace que osciladores sintonizados LC presenten un ruido de fase aceptable (aunque al límite de los requerimientos actuales debido al bajo valor de  $Q$ ), pero que no puedan trabajar en lazo abierto.

Otra opción para realizar osciladores resonantes es mediante la utilización de materiales piezoeléctricos. El modelo eléctrico de, por ejemplo, un cristal de cuarzo, es el mostrado en la Fig. 5.62 (ver apartado 5.7), donde se observa que no es más que un tanque LC. El valor de los elementos reactivos de dicho modelo es fácilmente controlable en el proceso de fabricación, además de tener una dependencia con la temperatura y una variación con el tiempo muy bajas, y un factor de calidad  $Q$  muy alto (¡del orden de  $10^4$  a  $10^6$ !). Todo eso hace que los osciladores resonantes basados en materiales piezoeléctricos sean de una pureza espectral inigualable. Pero no todo son ventajas: los materiales con efecto piezoeléctrico no son integrables sobre silicio (material que no presenta por sí ningún efecto piezoeléctrico de utilidad); la capacidad de controlar la frecuencia de oscilación es muy reducida (pocas ppm); y por último, pretender unas frecuencias de oscilación del orden de GHz obliga a unos tamaños para el cristal de cuarzo de micras o décimas de micra que lo llevan al límite de su robustez física, por lo que su utilización práctica queda limitada a pocas decenas de MHz.

Usualmente el bloque LO de sistemas de RF integrados se realiza por síntesis de frecuencia mediante la utilización de PLLs [17]. En la Fig. 7.34 se muestra una estructura usual utilizada en LOs, usada y comentada previamente en el apartado 5.7 (correspondiente a la generación del reloj de sistemas digitales mediante el uso de DPLLs). La frecuencia de referencia  $\omega_{Ref}$  se realiza mediante un oscilador resonante

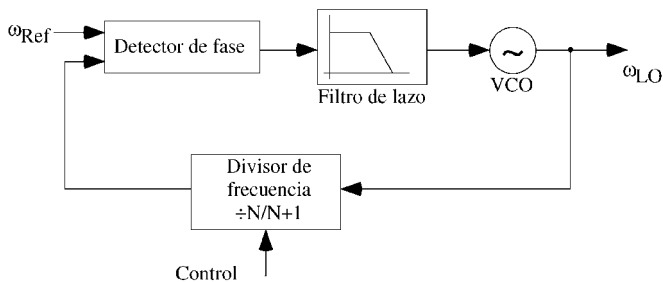


Fig. 7.34 Estructura básica de un LO mediante la utilización de un PLL como sintetizador de frecuencia.

que usa normalmente un cristal de cuarzo externo (lo que es ciertamente un inconveniente en cuanto a la integración total del sistema). Es una frecuencia fija de gran pureza espectral, del orden de pocas decenas de MHz. El VCO se realiza mediante un oscilador LC sintonizado, igual o derivado del de Colpitts, que permite alcanzar fácilmente varios GHz. Mediante el control del divisor de frecuencia (que usual-

mente es un pre-escalador de módulo dual, ver apartado 5.5) se puede controlar la frecuencia de salida del LO. Los puntos críticos al realizar el diseño de este LO son: la velocidad máxima del pre-escalador (que usualmente es lo que limita la frecuencia máxima de salida, [23]), y el rango de control del oscilador con el que se implementa el VCO. Este último punto hace que, normalmente, de las dos posibles frecuencias utilizables para realizar la conversión de frecuencia de  $\omega_{RF}$  a  $\omega_{FI}$  o viceversa ( $\omega_{RF} + \omega_{FI}$  y  $\omega_{RF} - \omega_{FI}$ ), se utilice la mayor (lo que se denomina *high-side injection*), dado que en tal caso se requiere un VCO con un rango de frecuencias de salida menor en términos relativos.



En la Fig. 7.35 se muestra un VCO implementado mediante un oscilador muy usado actualmente (y que aunque a simple vista no lo parezca está basado en el Colpitts), consistente en un par diferencial con las puertas interconectadas como indica la figura, con sendos inductores de carga. Los dos inductores y el condensador forman un tanque LC resonante, y los dos transistores son los encargados de aportar la energía disipada en el tanque. Un inconveniente de este oscilador es la tensión máxima de la señal de salida, limitada por la tensión de alimentación (en general, a mayor tensión de pico de la señal de salida del LO, menor ruido de fase, con lo que es un valor a maximizar). En la Fig. 7.36 se muestra una modificación del mismo oscilador, en el que se han añadido más elementos reactivos que hacen que en los nodos intermedios pueda haber tensiones mayores que la de alimentación, lo que mejora el ruido de fase [23].

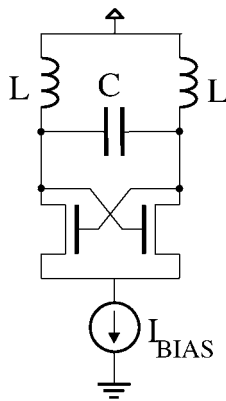


Fig. 7.35 Oscilador diferencial

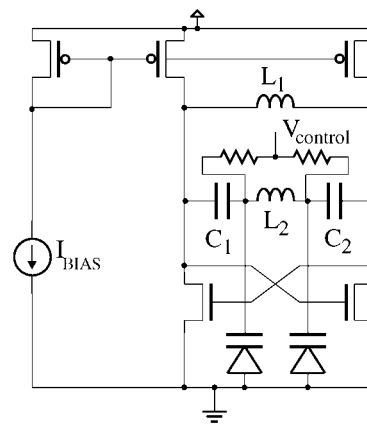


Fig. 7.36 Oscilador diferencial modificado [23]. La tensión  $V_{\text{control}}$  permite modificar el valor de las capacidades aportadas por las uniones pn (varactores), es decir, la frecuencia de oscilación

En cuanto al control de la frecuencia de oscilación, se realiza mediante el uso de varactores como parte de la capacidad del tanque resonante (la parte fija de la misma es la asociada a los inductores y a la puerta de los dos transistores). Los varactores suelen implementarse mediante una unión *pn* formada por una zona  $p^+$  y un pozo *N*. Mediante el control del valor medio de la tensión en los extremos de los varactores, se controla el valor de los mismos. De esta forma se consiguen unos rangos de variación de la frecuencia de hasta el 10%, pero pasar de aquí no es fácil (la dependencia de la capacidad de una unión *pn* es no lineal y no escalable con la tensión, de forma que la futura disminución de la tensión de alimentación hace prever problemas para esta técnica).

#### d) Amplificadores de potencia

El amplificador de potencia (*Power Amplifier*, *PA*) es el bloque encargado de aumentar la potencia asociada a la señal de radio frecuencia y entregar el resultado de dicha amplificación a la antena. El requisito más importante es la potencia de salida del amplificador, que ha de ser tal que la radiación de la antena cumpla con las especificaciones del sistema. En función de la aplicación del sistema, siempre considerando sistemas de comunicaciones sin hilos portátiles, la potencia de salida puede oscilar entre décimas de vatio hasta pocos vatios.

Una determinada potencia de salida no es la única prestación a exigirle a un PA. Normalmente también se le exigirá una eficiencia energética alta. Por ejemplo, un PA que deba entregar a la antena una potencia de 1 W, si lo hace con una eficiencia del 10% estaría consumiendo un total de 10 W, con el efecto que tendría sobre la duración de las baterías además de los problemas de disipación que conllevaría. Otro parámetro a tener en cuenta en un PA es su linealidad. Un PA ideal entregaría a su salida la potencia requerida con un consumo nulo (eficiencia del 100%) y sin introducir ninguna no-linealidad, es decir, reproduciría a su salida la señal de entrada perfectamente aumentando el nivel de corriente y/o tensión.

En la práctica es complicado cumplir todos los requisitos, especialmente considerando la frecuencia a la que debe cumplirlos. Normalmente se le exigirá, por este orden, que entregue la potencia requerida, maximizando la eficiencia energética y manteniendo una linealidad aceptable. Este último parámetro, la linealidad, depende fuertemente de la modulación utilizada. Si es del tipo *envolvente constante* (es decir, las que utilizan únicamente modulaciones de frecuencia y/o fase, pero no de amplitud), la linealidad no es importante, lo que relaja mucho el diseño del PA. La mayor parte de los sistemas de comunicación sin hilo utilizan modulaciones de estas características, como GSM, DCS1800, DECT, *HomeRF* o *Bluetooth*. Sin embargo, si el sistema utiliza también modulación de amplitud, la linealidad del PA ha de ser mínimamente aceptable, y eso en general es una exigencia que se enfrenta a la de maximizar la eficiencia, como veremos a continuación. Sistemas que utilizan algún tipo de modulación de amplitud son el IS-54 y la IS-95.

Para poder trabajar a frecuencias de GHz, al igual que en el resto de bloques de cualquier sistema de radiofrecuencia, el PA ha de tener una estructura sencilla. En el capítulo 6 se presentaron las diferentes clases de amplificadores de potencia. Aunque análogos en cuanto a sus características de funcionamiento,

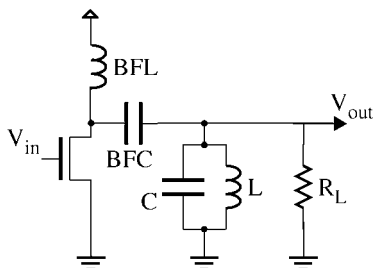


Fig. 7.37 Estructura general de un amplificador de potencia

las topologías circuitales para implementarlos son diferentes en el caso de PA para radiofrecuencia, por lo que no haremos referencia a los circuitos vistos en el capítulo anterior.

Las clases A, B, AB y C se pueden implementar con la misma topología, mostrada en la Fig. 7.37, radicando la diferencia entre ellas en cómo se hace trabajar al transistor. El inductor *BFL* es suficientemente grande como para poder considerar la corriente por él constante, encargándose por lo tanto de la polarización del transistor. El condensador *BFC* evita que a la carga, modelada por la resistencia  $R_L$ , llegue componente continua. Y el tanque LC filtra el contenido espectral que se aparte de la frecuencia de salida, es decir, contribuye a mejorar la linealidad del PA.

En el amplificador clase A el transistor trabaja permanentemente en saturación (en la Fig. 7.38 se muestran la tensión  $V_{DS}$ , Fig. 7.38.a, y la corriente  $I_D$  del transistor, Fig. 7.38.b). De esta forma se tiene un comportamiento muy lineal, a cambio de una eficiencia baja, ya que el transistor está consumiendo constantemente. En el mejor de los casos, asumiendo una excursión máxima a la salida (de 0 a  $2V_{DD}$ ), no es difícil demostrar que la máxima eficiencia que se puede obtener con un PA de la clase A es del 50% (y si se consideran no idealidades en el transistor y pérdidas en el tanque y en las conexiones, un rendimiento real puede bajar incluso al 35%):

$$\eta = \frac{P_{out,max}}{P_{DC}} = \frac{1}{2} = 50\% \quad (7.9)$$

Un PA de la clase B es estructuralmente igual al de la clase A, pero el transistor está polarizado de forma que la mitad del tiempo se encuentra en corte (en la Fig. 7.38.c se muestra su corriente  $I_D$ ). Esto hace que aparezcan más no linealidades, y por lo tanto el factor de calidad  $Q$  del tanque LC ha de ser más alto que en el de clase A para mantener el mismo nivel de distorsión. Suponiendo que el transistor está conduciendo justamente un semiciclo, la eficiencia es:

$$\eta = \frac{P_{out,max}}{P_{DC}} = \frac{\pi}{4} = 78\% \quad (7.10)$$

Se consigue por lo tanto un aumento significativo de la eficiencia, a cambio de empeorar ligeramente la linealidad. En la figura se ha representado por simplicidad el amplificador con un solo transistor, aunque en el caso de la clase B usualmente se realiza con dos transistores en conexión *push-pull*, como se mostró en el Capítulo 6.

El amplificador clase C no es más que uno de la clase B en el que el dispositivo activo se encuentra en conducción sólo una pequeña parte del tiempo total de ciclo (en la Fig. 7.38.d se muestra su corriente  $I_D$ ). Denominando  $2\Phi$  a la parte del ciclo (ángulo) en que el transistor se encuentra en conducción, puede obtenerse que la eficiencia viene dada por la expresión [17]:

$$\eta = \frac{P_{out,max}}{P_{DC}} = \frac{2\Phi - \sin(2\Phi)}{4(\sin \Phi - \Phi \cos \Phi)} \quad (7.11)$$

Cuando el ángulo en el que el transistor está en conducción tiende a cero la eficiencia tiende al 100%. Eso sí, la potencia transmitida tiende a anularse. Controlando adecuadamente el valor de  $2\Phi$  se puede conseguir una eficiencia alta asegurando la entrega de potencia requerida. A cambio, como no, de una baja linealidad, pero que en caso de modulaciones de envolvente constante puede ser algo aceptable.

El amplificador clase AB, como su nombre indica, se encuentra a mitad de camino entre el clase A y el clase B: el transistor se encuentra en conducción entre un 50% y un 100% del tiempo. El análisis realizado para el clase C es también válido para el clase AB (de hecho también lo es para el clase B), de forma que su eficiencia se encuentra entre el 50% del clase A y el 78% del clase B. La linealidad, igualmente, se encuentra entre ambos tipos de PAs.

Por último están los amplificadores clases D, E y F. Éstos basan su funcionamiento en hacer trabajar al dispositivo activo como interruptor, entre corte y saturación. Un interruptor ideal, cuando se encuentra en corte no consume (la corriente entre sus terminales es nula), y cuando se encuentra en conducción la tensión entre sus terminales es nula, con lo que tampoco tiene ningún consumo. En la Fig. 7.39 se muestra un PA clase E. Dado que ahora el transistor se comporta como una fuente de tensión (antes

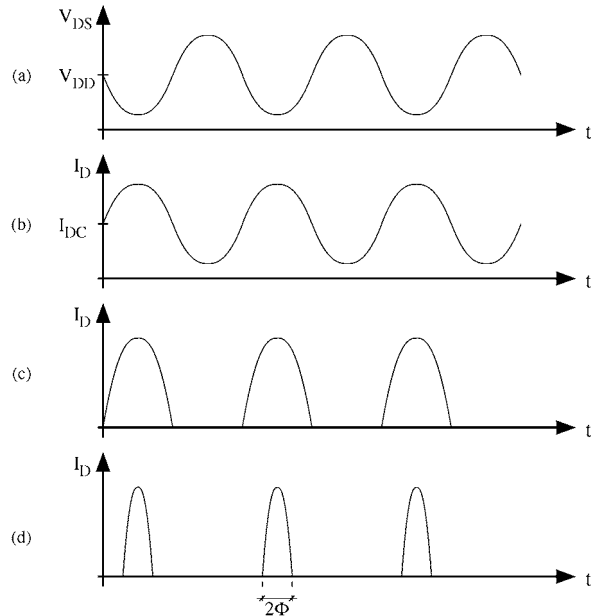


Fig. 7.38 (a) Tensión drenador-surtidor ideal del transistor. (b) Corriente por el transistor funcionando como clase A. (c) Idem como clase B. (d) Idem como clase C

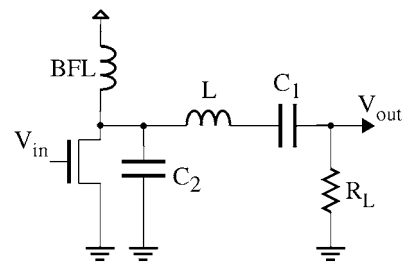


Fig. 7.39 Estructura de un amplificador de potencia clase E

lo hacía como una fuente de corriente), el tanque LC es serie. Con los PA clase D, E y F se consiguen unas eficiencias altas, a cambio de tener un comportamiento fuertemente no lineal. Es por ello que su utilización se ve restringida a modulaciones de amplitud constante.

En caso de usar algún tipo de modulación de amplitud, el PA más utilizado es el AB, que presenta un buen compromiso entre linealidad y eficiencia energética. Respecto a la no-linealidad de los PA (especialmente de los que presentan una no-linealidad más acentuada), ha de tenerse en cuenta que la no-linealidad no sólo afecta a la “calidad temporal” de la señal de salida (que en caso de tener algún tipo de modulación de amplitud es importante), si no que también afecta al contenido espectral de la misma. Es decir, cuanto más no lineal sea el PA, más se ensanchará el espectro de la señal de salida, con el inconveniente que ello conlleva en cuanto a ocupación del espacio radio-eléctrico. Surge por lo tanto un compromiso no sólo entre eficiencia energética y linealidad sino también entre eficiencia energética y eficiencia espectral.

### 7.3.3 Aspectos de integración de sistemas RF en tecnología CMOS

Como se ha podido ver en los apartados anteriores, la implementación de circuitos de radiofrecuencia no es tarea trivial, dadas las prestaciones que se requieren y los problemas que presentan las diferentes arquitecturas y topologías de circuitos. Pero por si esto fuera poco, la integración monolítica en tecnología CMOS añade una serie de inconvenientes que hacen la integración de transceptores –receptor y transmisor– en un solo chip un reto realmente difícil de conseguir. A continuación vamos a repasar someramente cuáles son los problemas ligados a la integración CMOS de circuitos RF.

El primer y principal problema está en las prestaciones de los dispositivos integrables en tecnologías CMOS. Los transistores de efecto campo tienen la desventaja respecto a los dispositivos bipolares u otras tecnologías como GaAs de su menor frecuencia de corte, lo que hace los circuitos basados en dispositivos MOS no puedan operar a frecuencias tan elevadas como los de esas otras tecnologías. Sin embargo, es cierto que las leyes de escalado juegan a favor de los dispositivos MOS, ya que su frecuencia de corte aumenta con tecnologías más avanzadas. Es por ello que ahora es posible integrar en tecnología CMOS dispositivos de radiofrecuencia, y se espera que en futuro se puedan procesar frecuencias aún mayores con esta tecnología. Donde sí que se tiene una importante limitación es en la integración de componentes pasivos. Para conseguir las prestaciones que exigen los filtros, VCOs, amplificadores, etc., se requiere la utilización de capacidades e inductancias con un factor de calidad  $Q$  elevado. El factor de calidad es una medida de las pérdidas del componente, y se define como:

$$Q = \omega \frac{\text{energía almacenada}}{\text{potencia disipada}} \quad (7.12)$$

En el capítulo 4 se explicaron las técnicas básicas de implementación de condensadores en tecnología CMOS. En el caso de implementación con dos capas conductoras superpuestas, el factor de calidad viene limitado por las pérdidas a través del sustrato. Además, la capacidad parásita entre el conductor inferior y el sustrato es muy elevada y supone una importante limitación. En el caso de implementación con transistores MOS, el factor de calidad de la capacidad viene limitado por la resistencia de canal.

Peor es el caso de la integración CMOS de inductores, que como se ha visto tienen una presencia constante en los circuitos para RF. La manera más habitual de implementar inductancias en tecnología CMOS es con estructuras en espiral (ver capítulo 4). Al igual que con las capacidades, las restricciones de área limitan su utilización a valores nominales relativamente bajos –10 nH típicamente–. El peor problema es sin embargo el factor de calidad, severamente limitado por las pérdidas resistivas serie y por las pérdidas a través del sustrato. Las pérdidas resistivas son debidas en buena parte al efecto película (*skin effect*) en las espiras, y pueden ser aliviadas combinando espiras a diversos niveles de metalización. Las pérdidas a través del sustrato son difíciles de evitar, pero pueden ser minimizadas eliminando las espiras interiores

de la espiral, que apenas que contribuyen al flujo. En todo caso, este problema de las pérdidas obliga a que los sustratos utilizados para implementar circuitos RF sean siempre altamente resistivos (sustratos P- o poco dopados). Con todo ello, a frecuencias en el rango de GHz difícilmente se pueden conseguir inductores espiral con una  $Q$  superior a 10.

Como alternativa a las estructuras en espiral, es posible utilizar hilos de conexión (*bonding wires*) para la implementación de inductores. Su mayor sección transversal y la distancia respecto a planos conductores permite aumentar el factor de calidad. La limitación principal de este tipo de implementación es la difícil predicción del valor de la inductancia obtenida. La utilización de *bonding wires* es especialmente útil para la implementación de inductancias conectadas directamente a la entrada de un circuito (por ejemplo, la inductancia  $L_g$  en el circuito de la Fig. 7.27), ya que se aprovecha la conexión entre el encapsulado y el *pad* de entrada. Sin embargo, se ha demostrado la posibilidad –poco práctica para una implementación comercial– de implementar conexiones entre *pads* sobre el circuito integrado, como se muestra en la Fig. 7.40.

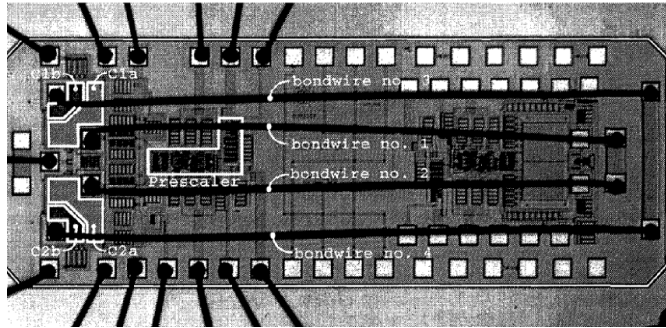


Fig. 7.40 Oscilador VCO de bajo ruido donde se puede apreciar la utilización de conexiones (*bonding wires*) entre pads para la implementación de inductancias [23]

Además de los problemas ligados a la implementación de dispositivos en tecnología CMOS, son otros muchos los aspectos limitadores en la integración de sistemas RF. Citaremos, sin entrar en detalle, las derivas térmicas y de proceso –que pueden obligar a implementar técnicas de calibración–, el acoplo de ruido eléctrico, la radiación electromagnética, el bajo consumo, o la posibilidad de conseguir la potencia deseada en transmisión. De todos ellos, el acoplo de ruido eléctrico es quizá el de más difícil resolución. La utilización de altas frecuencias hace que fácilmente se acople ruido al sustrato, que afecta a partes sensibles del chip. Cuando se describió la arquitectura homodina, ya se vio que este acoplo era una fuente de problemas. Pero además, las razones comerciales impulsan a integrar en un mismo chip no sólo la radio RF sino también el procesado en banda base y el procesado digital de la señal transmitida. En el Ejemplo 5 en este mismo capítulo se puede ver un buen ejemplo de este tipo de integración. La presencia de circuitos digitales origina ruido de conmutación que perturba las partes más sensibles del receptor, como puede ser el LNA, y degrada fuertemente sus prestaciones. Se hace obligatoria la utilización de arquitecturas totalmente diferenciales para rechazar la componente en modo común de las perturbaciones, pero aun así persisten acoplos difíciles de tratar. La utilización de encapsulados de muy baja inductancia parásita es fundamental para la reducción del ruido eléctrico, incluso el montaje del chip directamente sobre el circuito impreso.

A pesar de todos estos inconvenientes, el esfuerzo por mejorar prestaciones y conseguir máxima integración es constante. En la actualidad se pueden encontrar ejemplos de integración CMOS de transceptores para frecuencias de hasta 2,5 GHz, incluyendo en el mismo chip los osciladores locales. El siguiente reto es conseguir la integración de transceptores para telefonía de tercera generación, y para transmisión de datos en la banda de 5 GHz.

#### 7.4 Ejemplo 1: Microsistema autocalibrado transmisor/receptor de ultrasonidos

En este apartado se describe el diseño de un ASIC transmisor/receptor totalmente integrado orientado a la detección de la presencia de objetos barrera de un haz de ondas ultrasónicas. Los transductores consisten

en membranas de silicio excitadas térmicamente que han sido fabricadas en base a un proceso estándar de silicio únicamente con una etapa adicional (ver apartado 7.2.4.3). El circuito, de tipo mixto (analógico-digital), está especificado de manera que no precise de ningún componente externo. Un único diseño de circuito, de hecho un microsistema, al estar las membranas integradas en el cristal de silicio, realiza las dos funciones de transmisor/receptor. Como transmisor, una membrana de silicio actúa como elemento electromecánico resonante a una frecuencia de 80 kHz. En modo receptor, un sistema de calibración automática garantiza una sensibilidad máxima al ajustar la frecuencia de resonancia de la membrana receptora a la frecuencia del haz ultrasónico de entrada.

El progreso continuado de la tecnología permite, mediante el uso de microsistemas (MEMs), la incorporación y miniaturización tanto de los circuitos electrónicos como de determinados tipos de sensores. La ventaja de la co-integración de circuitos y sensores reside no sólo en la combinación de ambos en un solo chip (con la consiguiente mejora de prestaciones), sino que permite la producción de estos dispositivos a un precio muy bajo como consecuencia de la base de fabricación de los circuitos integrados. En este apartado se describe un ejemplo, presentado en [24], consistente en la realización de un circuito que permita de manera satisfactoria actuar como transmisor y receptor de un haz de ultrasonidos, con el objetivo de utilizarse como detector de presencia de un cuerpo (barrera) en el eje del haz. Los sistemas de detección de estas barreras son muy usados en la industria, especialmente los que, como en el caso del ejemplo, utilizan ondas ultrasónicas (por contrapartida a los basados en haz de luz), que permiten detectar objetos opacos, líquidos, transparentes o sensibles a la luz.

En la Fig 7.41 se muestra el microsistema detector de barrera. Un haz de ultrasonidos se genera en una membrana resonante de elevado factor Q y es detectado por otra membrana que tiene idénticas dimensiones en el circuito receptor. Las dos membranas están actuadas por dos circuitos electrónicos que realizan las funciones de excitación y detección. No existe ninguna conexión entre el circuito transmisor y receptor. El uso de membranas de silicio introduce importantes requerimientos en el sistema. La baja sensibilidad de estas membranas implica que la señal recibida, transducida por un puente de piezoresistencias tipo Wheatstone sea muy débil, por lo que se requieren factores de amplificación superiores a 1000. Las desviaciones en las características mecánicas de las dos membranas, debidas a las desviaciones propias del proceso de fabricación, así como a diferencias de temperatura, precisan de mecanismos de calibración, que en el caso del ejemplo se realizan de manera automática. La combinación de todas estas funciones en un solo circuito mejoran adicionalmente la fiabilidad del sistema.

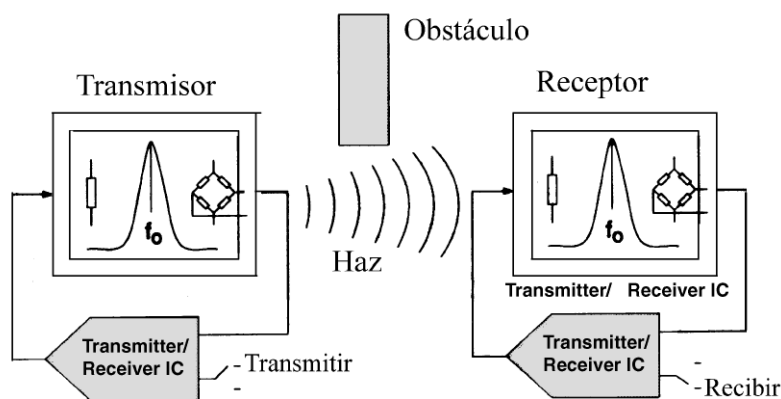


Fig. 7.41 Sistema de detección por haz de ultrasonidos

### 7.4.1 Descripción de las membranas de silicio

Tal como se vio en el apartado 7.2.4.1, las membranas de silicio pueden ser fabricadas de manera compatible con un proceso estándar de fabricación de circuitos integrados, introduciendo una etapa adicional para eliminar el volumen de material existente en el sustrato bajo la membrana y que proporciona la cavidad (ver Fig 7.15, en donde se muestra una sección de la cavidad y membrana).

La membrana puede ser excitada térmicamente, provocando un incremento de temperatura en su centro que origine una dilatación, de manera que vibre y genere la onda ultrasónica. Al mismo tiempo, la vibración de la membrana puede ser detectada en el receptor mediante un puente piezoresistivo colocado en uno de los bordes. Véase una descripción de la membrana en la Fig. 7.42. El sistema excitación térmica-membrana-detección piezoresistiva puede ser modelado como un circuito resonante RLC con fuentes que representen la excitación electrotérmica (ver descripción en [25]). El factor de calidad,  $Q$ , de esta membrana resonante es del orden de 100.

En el caso práctico de una membrana de dimensiones 1 mm x 1 mm, la frecuencia de resonancia está cercana a 80 kHz (Fig. 7.43).

Esta frecuencia de resonancia puede ser sintonizada ligeramente mediante una elevación de la temperatura media de la membrana, lo que se realiza mediante la aplicación de una tensión DC adicionada a la de excitación sobre la resistencia  $R_{th}$  (ver Fig. 7.42). La causa de esta dependencia térmica es la influencia de la temperatura en los diferentes coeficientes térmicos de las capas que forman la membrana. Así, un incremento de temperatura media provoca un estrés mecánico que modifica la frecuencia de resonancia.

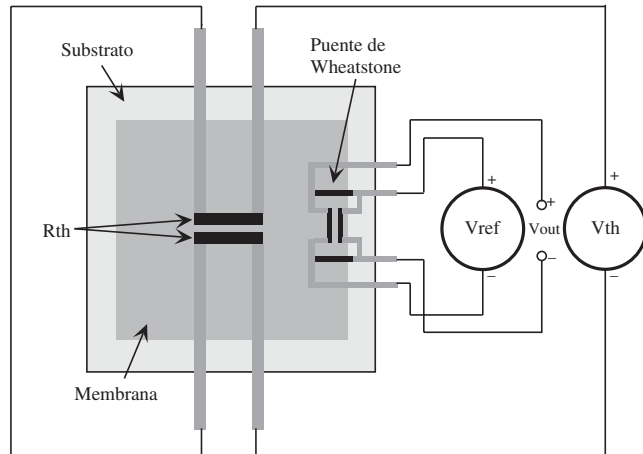


Fig. 7.42 Organización de la membrana con los elementos calefactores y sensores

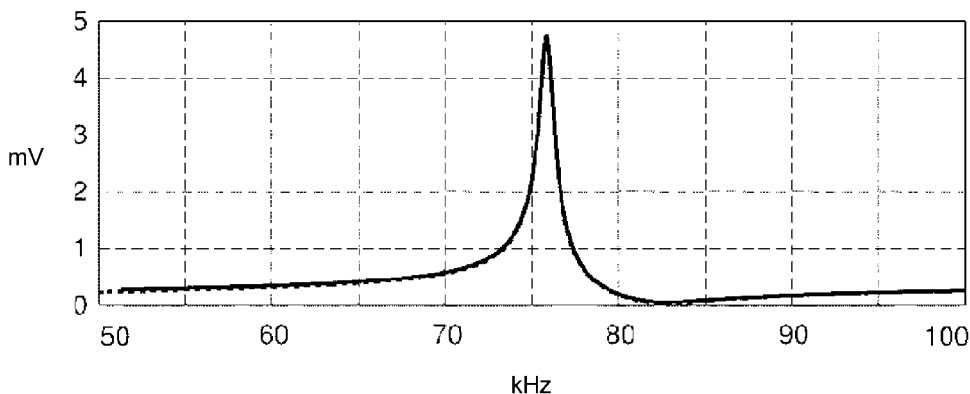


Fig. 7.43 Respuesta frecuencial de la membrana





prendida entre  $-60\text{dB}$  y  $-50\text{dB}$ , dependiendo de la amplitud de la excitación. Para compensar la baja sensibilidad del conjunto membrana-puente piezoresistivo de Wheatstone, se precisa un sistema de amplificación de mínimo  $60\text{ dB}$ .

Al utilizarse un amplificador de elevada ganancia ( $60\text{ dB}$ ) es importante analizar la existencia de tensiones de offset a la entrada que podrían distorsionar o saturar al amplificador. Debido a que el puente piezoresistivo de Wheatstone está sujeto a estrés mecánico aparecido en el proceso de fabricación, el posible valor de tensión de offset a la entrada se estima en unos  $80\text{ mV}$ . Ello hace inviable la conexión directa de la membrana al amplificador.

Para resolver este problema se procede a utilizar un acoplo en corriente alterna, AC. La combinación de un amplificador de alta ganancia y relativa baja frecuencia junto a un acoplo en corriente alterna conduce a una constante de tiempo muy elevada. Por ello se utilizan dos etapas de amplificador operacional en cascada, cada una de ellas con una constante de tiempo del orden de  $220\text{ }\mu\text{s}$  (ver Fig 7.45). Considerando una capacidad de acoplo de  $15\text{ pF}$ , valor elevado pero aceptable para un circuito integrado, se precisa una resistencia de  $15\text{ M}\Omega$ . Esta resistencia es elevada y ocuparía un área inaceptable en caso de quererla implementar a partir de los materiales accesibles, por ello es preciso diseñar una resistencia de  $15\text{ M}\Omega$  a partir de componentes activos.

Similarmenete a lo visto en el capítulo 4, el diseño se realiza a partir de dispositivos MOS trabajando en la zona óhmica. Si el diseño se realizara mediante un único transistor, al ser una resistencia sometida a una excursión de valores de nivel elevado, aparecerían distorsiones significativas por alinealidad. Por ello se procede al diseño de una resistencia activa, utilizando de manera mixta transistores PMOS y NMOS.

Con el fin de minimizar el coste de los amplificadores (OTA) en términos de área de silicio y potencia, se diseñan para exhibir un margen frecuencial de ganancia-unidad de  $8\text{-}9\text{ MHz}$ , suficiente para proporcionar una ganancia plana de unos  $35\text{ dB}$ . Así, a la frecuencia de  $80\text{ kHz}$  las dos etapas presentan una ganancia de  $70\text{ dB}$  y una fase de  $0$  grados.

En el esquema de bloques de la Fig. 7.44 se muestra la conexión a la salida del bloque amplificador de un circuito limitador. Esto es preciso para establecer la amplitud de oscilación a un nivel concreto. El limitador se diseña a partir de un circuito MOS (Fig. 7.46) que permita establecer un nivel de amplitud elevado, con el fin de conseguir una elongación importante de la membrana.

El amplificador final, realizado en tecnología BiCMOS, se muestra en la Fig. 7.47. Consta de dos etapas. La primera, mixta MOS/BJT orientada a establecer una polarización de la etapa final de manera que no se proceda a una saturación profunda de ésta. Concretamente se dimensiona de manera que el dispositivo BJT de la etapa final (Q1) no entre en la zona de saturación. Por último la etapa final consiste en el transistor BJT Q1 en el que actúa como carga la resistencia calefactora de la membrana,  $R_h$ , directamente. La etapa final tiene una amplificación de  $+2$ , la etapa anterior es de ganancia unidad por lo que el limitador debe actuar al  $50\%$  de la fuente de alimentación. El valor de la resistencia calefactora  $R_h$  es del orden de  $130\text{ }\Omega$ .

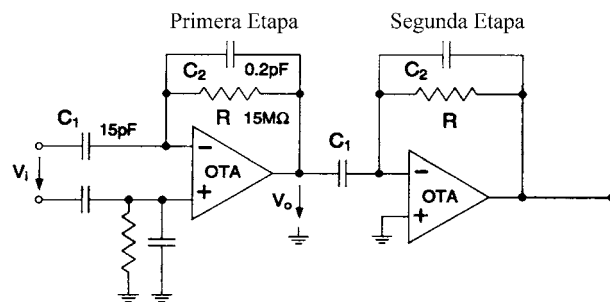


Fig. 7.45 Etapas de amplificación

### 7.4.4 El receptor de ultrasonidos

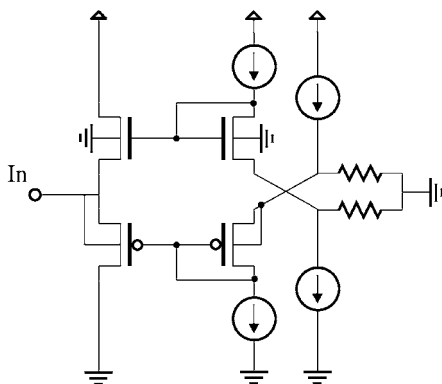


Fig. 7.46 Circuito limitador

se muestra un posible resultado de la sensibilidad del sistema receptor al haz de entrada. El algoritmo comienza con la aplicación de un nivel DC bajo, por ejemplo 2 voltios. Utilizando un procedimiento de seguimiento, se procede a incrementar esta tensión en un cierto valor ( $\Delta V_h$ ), como consecuencia de la cual se observa un incremento de la sensibilidad. El mecanismo sigue actuando de esta manera hasta alcanzar un máximo, que en la figura se sitúa a unos 3 voltios. Un ulterior incremento  $\Delta V_h$  provocará una disminución de la sensibilidad. Un detector de gradiente de la tensión envolvente actuando sobre un contador incrementador/decrementador detecta el máximo y procede a cambiar el signo del incremento que ahora será de  $-\Delta V_h$ . Consecuentemente el mecanismo de autocalibrado se queda fluctuando alrededor del punto de máxima sensibilidad. La media de la tensión aplicada da idea precisa del valor del máximo. El mecanismo actúa continuamente, así que es capaz de adaptarse a posteriores y continuos cambios en las frecuencias de las dos membranas. El mecanismo no se aplica cuando el sistema esta detectando una barrera, pues en ese caso no se recibe haz de entrada y el algoritmo no es aplicable.

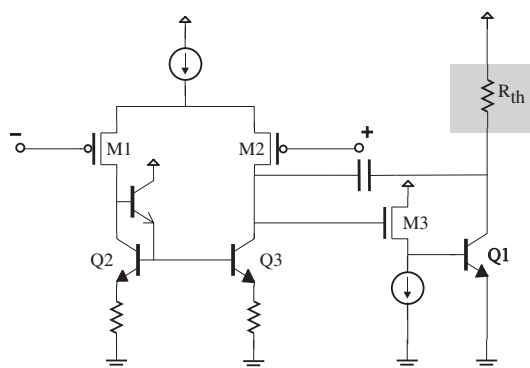


Fig. 7.47 Circuito actuador final (driver)

La tarea del receptor es detectar la señal incidente y convertirla a un nivel eléctrico. Tal y como se ha indicado anteriormente, para que esta tarea se pueda realizar es preciso que la frecuencia de resonancia de la membrana receptora coincida con la frecuencia del haz de entrada generada a su vez por el circuito transmisor. Para ello se propone una sencilla pero eficaz técnica de auto-sintonizado. Consiste en establecer un mecanismo de sintonizado que busque automáticamente la mayor sensibilidad de la membrana receptora.

El mecanismo de sintonizado se muestra esquemáticamente en la Fig. 7.48. En dicha figura se muestra en el eje horizontal la tensión DC aplicada para conseguir un calentamiento de la membrana, lo que produce un cambio de la frecuencia de resonancia. En el eje vertical

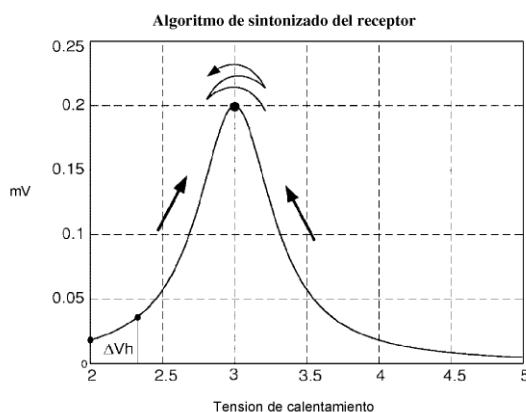


Fig. 7.48 Técnica de sintonizado de la membrana receptora

La señal en escalones generada por el contador es convertida a un nivel analógico para poder atacar a la calefacción de la membrana mediante un convertidor D/A de 6 bits. Dada la baja sensibilidad del puente Wheatstone, se precisa, de nuevo, de una amplificación de +70. La envolvente se determina a partir de un circuito rectificador seguidor y de una etapa pasa-bajos con el fin de obtener la amplitud. Tras el generador de envolvente se aplica un circuito detector de gradiente o pendiente. El circuito consiste en un OTA comparador, que compara el valor de la amplitud en cada momento con el valor muestreado en el momento anterior, por ello se precisa de un circuito de muestra y captura. El sistema es tal que la comparación se realiza en una etapa *single-end*, con el valor previo almacenado en el condensador de compensación del OTA, por lo que el sistema tiene características de *auto-cero*.

#### 7.4.5 Implementación

En [24],[26] se muestra un ejemplo de aplicación de este sistema. Por razones de diagnóstico se ha implementado la membrana y el resto de circuito sobre dos cristales de silicio independiente. En la Fig. 7.49a se muestra la fotografía del ASIC del circuito, tecnología BiCMOS 0,8  $\mu\text{m}$ , dimensiones 3,4 x 2,8 mm<sup>2</sup> incluyendo los *pads* de entrada/salida. En la Fig. 7.49b se muestra la conexión entre la membrana y el circuito sobre un substrato cerámico. Adicionalmente existen otros componentes relacionados con la fuente de alimentación del circuito. La tensión de alimentación es de 5 voltios y las frecuencias de generación se encontraron entre 77,4 kHz y 84,3 kHz, comprobándose la adecuada calibración del receptor en todos los casos.

#### 7.5 Ejemplo 2: Sensor de imagen CMOS

En esta sección se presenta la aplicación de la tecnología CMOS a sensores de imagen, en las que se basan las cámaras electrónicas. Estas cámaras sustituyen la película fotográfica por un circuito integrado con una matriz de elementos fotosensibles basados en dispositivos de estado sólido, que guardan electrónicamente la imagen. Esto por una parte facilita la transferencia de la imagen a ordenadores para su posterior tratamiento o transmisión electrónica, y además presenta la ventaja de obtener inmediatamente la imagen sin el laborioso proceso químico del revelado.

Actualmente la tecnología dominante de estos sistemas se basa en dispositivos CCD (*Charge-Coupled Devices*). Sin embargo, hay algunos inconvenientes asociados a ellos [27]. En primer

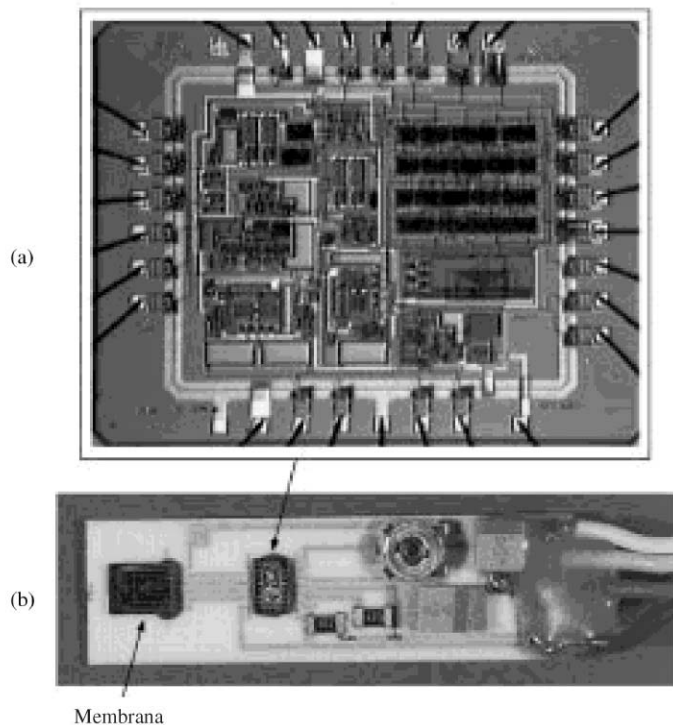


Fig. 7.49 Realización práctica [24] a) ASIC que contiene todos los circuitos electrónicos. b) Transductor final

lugar, los requerimientos de fabricación de estos dispositivos son incompatibles con la integración de lógica CMOS que realice un procesamiento de señal importante. En segundo lugar, la operación de estos dispositivos precisa de tensiones relativamente altas, incompatibles con dispositivos submicrónicos, lo cual provoca además un consumo importante.

La tecnología CMOS, por contra, es de bajo coste, debido a que es una tecnología de propósito general, y permite integrar junto con el área fotosensible circuitería de procesamiento de la señal. Estas dos cualidades la hacen muy atractiva para aplicaciones de visión por ordenador; por ejemplo, aplicada a entornos de automoción [28]. Por otra parte, el consumo es también mucho menor para los sistemas basados en esta tecnología.

### 7.5.1 Principio de funcionamiento

El circuito integrado del sensor de imagen consta de dos zonas funcionalmente distintas: una matriz de pixels que recogen la luz incidente y generan una corriente proporcional a la iluminación, y una circuitería de selección de los pixels y acondicionamiento de la señal obtenida. Adicionalmente, puede haber un convertidor A/D integrado en el mismo circuito que sirva de interfaz con sistemas de almacenamiento o transmisión digitales.

#### a) Efecto fotoeléctrico en semiconductores

Los pixels que generan la señal eléctrica se basan en el efecto fotoeléctrico [29]. Cuando un fotón incide en un material semiconductor, su energía puede ser aprovechada para que un electrón de la banda de valencia pase a la banda de conducción, de manera que el fotón crea un par electrón-hueco en el semiconductor. Si existe un campo eléctrico, estos portadores fotogenerados dan lugar a una corriente que

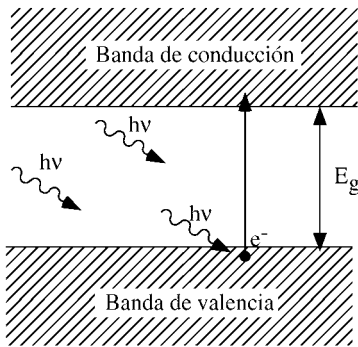


Fig. 7.50 Al incidir fotones en el semiconductor, pueden excitar electrones creando un par electrón-hueco y aumentando así la conductividad del semiconductor; o creando una corriente si existe un campo eléctrico

será proporcional al número de fotones incidentes, es decir, a la intensidad de la luz incidente. Este campo eléctrico puede ser una zona de espacio de carga de una unión PN (es decir, un fotodiodo), o bien, un campo aplicado a través de un electrodo en la superficie, que atrae los portadores fotogenerados de manera similar al funcionamiento del transistor MOS.

Existe una dependencia del efecto fotoeléctrico con el material semiconductor, por una parte, y con la frecuencia (longitud de onda) de la luz incidente, por otra. La energía de un fotón es proporcional a su frecuencia y, por tanto, inversamente proporcional a su longitud de onda. Si la longitud de onda es muy grande, su energía es muy baja y no es capaz de excitar los electrones para crear pares de portadores. El límite vendrá dado por la energía de la banda prohibida:

$$\frac{hc}{\lambda} \geq E_g \quad (7.13)$$

de donde la longitud de onda máxima capaz de crear portadores es:

$$\lambda_c = \frac{hc}{E_g} = \frac{1,24}{E_g} \mu m \cdot eV \quad (7.14)$$

Para el silicio, con una energía de banda prohibida de 1,12 eV, el valor máximo de longitud de onda es de 1,11  $\mu m$ , con lo cual todo el espectro visible (de 0,4  $\mu m$  a 0,7  $\mu m$  aproximadamente [30]) genera portadores y por tanto es un material apropiado para un sensor de imagen visible<sup>2</sup>.

#### b) Fotodiodo

Como se ha dicho, es posible usar una unión PN, que gracias al campo eléctrico interno en la zona de carga espacial arrastra los portadores fotogenerados para crear una corriente. Esto quiere decir que los portadores que se generen en la zona de carga espacial contribuirán directamente a la corriente. Los portadores que se generen fuera de ella pueden llegar a contribuir a la corriente si llegan, por difusión, a la zona de carga espacial, pero es un proceso más lento y, por tanto, es más probable que se recombinen antes de contribuir a la corriente. Por esta razón, la localización de la unión y la anchura de la zona de carga espacial tienen mucha importancia en la respuesta del fotodiodo a la iluminación, y por tanto intervienen el proceso de fabricación (niveles de dopado, profundidad de la unión) y la polarización, ya que una tensión inversa de polarización aumenta la zona de carga espacial y por tanto la respuesta. La respuesta se puede expresar en función de la corriente proporcionada por unidad de potencia luminosa incidente. Esta curva de respuesta espectral (en inglés, *spectral responsivity*) depende, como se ha dicho, de las características del dispositivo, y también de la longitud de onda de la luz incidente: por una parte, fotones de longitud de onda mayor que  $\lambda_c$  no generan portadores, y por otra parte, fotones de longitudes de onda muy cortas son muy rápidamente absorbidos y no llegan a la zona de carga espacial de la unión PN. En la Fig. 7.51 se muestra la curva de respuesta en función de la longitud de onda de un fotodiodo comercial.

En resumen, el comportamiento de un fotodiodo en un circuito da lugar a una característica igual a la de la unión PN, a la que se resta una corriente correspondiente al efecto fotoeléctrico ( $I_L$ ), proporcional a la potencia de luz incidente en el fotodiodo (Fig. 7.52):

$$I = I_D (e^{qV/kT} - 1) - I_L \quad (7.15)$$

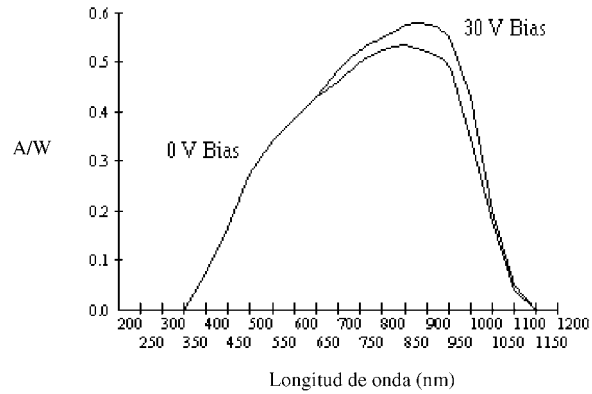


Fig. 7.51 Curva de respuesta espectral de un fotodiodo comercial para dos polarizaciones

<sup>2</sup> En realidad, este límite se refiere al proceso de transiciones llamadas intrínsecas, en que los portadores saltan la energía de banda prohibida. Dependiendo del tipo de dopado, se pueden crear portadores en ciertos lugares de la banda prohibida, con lo que las transiciones (llamadas extrínsecas) necesitan de menos energía y por tanto son sensibles a radiación de mayor longitud de onda. Esto se aprovecha para sensores de imagen de infrarrojos [24].

siendo la *corriente fotogenerada* y la *corriente de oscuridad*, que es la corriente de la unión PN con polarización inversa en condiciones de iluminación nula.  $I_L$  y  $I_D$  se pueden expresar como:

$$I_L = R \cdot I_{opt} \cdot S \quad (7.16)$$

$$I_D = J_f \cdot S \quad (7.17)$$

siendo  $R$  la respuesta del fotodiodo (dependiente de la tecnología) en  $A/W$ ,  $I_{opt}$  la intensidad de luz incidente en  $W/cm^2$ ,  $S$  el área del fotodiodo (en  $cm^2$ ), y  $J_f$  un parámetro que representa la corriente de fugas de una unión PN en inversa que depende de las características físicas de la unión PN y de su temperatura, expresado en  $A/cm^2$ .

Como se ve esquemáticamente en la característica (Fig. 7.52), si el fotodiodo está iluminado y en circuito abierto, existe una tensión entre sus terminales que vendrá dada por la expresión:

$$V_{oc} = \frac{kT}{q} \ln \left( \frac{I_L}{I_D} + 1 \right) \quad (7.18)$$

y que por tanto es independiente de la superficie del fotodiodo.

### Ejemplo 7.1

396

La intensidad luminosa del sol en la superficie de la tierra es de unos  $70 \text{ mW/cm}^2$ . Tomando como respuesta media de un fotodiodo comercial un valor de  $0,36 \text{ A/W}$ , con un parámetro  $J_f$  a  $25^\circ\text{C}$  de  $1,45 \mu\text{ A/cm}^2$  y una superficie de  $1,72 \text{ mm}^2$ , calcular cuál es la corriente fotogenerada y la tensión de circuito abierto a  $25^\circ\text{C}$ .

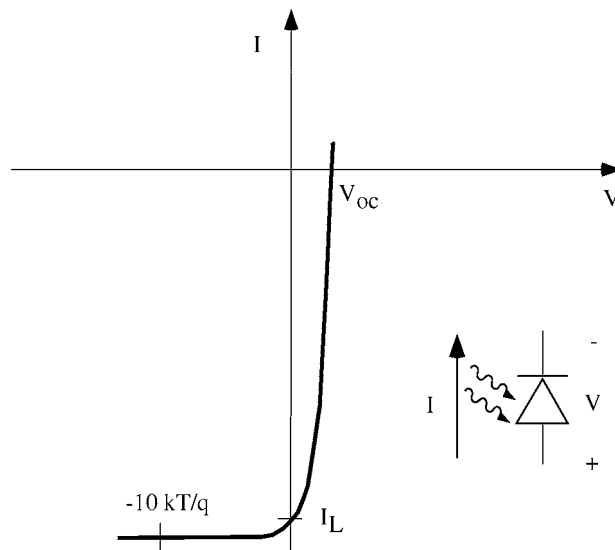


Fig. 7.52 Característica corriente-tensión de un fotodiodo iluminado. En condiciones de circuito abierto hay una tensión entre terminales,  $V_{oc}$

Con estos valores se tendrá una corriente fotogenerada:

$$I_L = 0,36 \text{ A/W} \cdot 70 \text{ mW/cm}^2 \cdot 0,0172 \text{ cm}^2 = 43,3 \mu\text{A}$$

$$I_D = 1,45 \mu\text{A/cm}^2 \cdot 0,0172 \text{ cm}^2 = 25 \text{ nA}$$

y teniendo en cuenta que a  $25^\circ\text{C}$   $kT/q$  es aproximadamente 26 mV:

$$V_{oc} \approx 26 \text{ mV} \cdot \ln\left(\frac{43,3 \mu\text{A}}{25 \text{ nA}}\right) = 194 \text{ mV}$$

□

### 7.5.2 Estructura general del sensor

A fin de reducir la complejidad de acceso de la información de la matriz de pixels, en lugar de haber una señal por cada pixel, se accede a éstos fila a fila, y una vez accedida una fila se accede a cada una de las columnas, obteniéndose una estructura como en la Fig. 7.54. En la Fig. 7.53 se muestra a grandes rasgos el cronograma con la secuencia de señales para la lectura de la imagen, controlada por relojes para el acceso de filas y de columnas.

La operación del sensor, por tanto, se puede dividir en: a) adquisición de la corriente fotogenerada, b) activación de la fila correspondiente y lectura de la columna, y c) selección de la columna con un multiplexor analógico y obtención de la tensión final. Opcionalmente, después de estas fases vendrían otras de conversión digital y procesado.

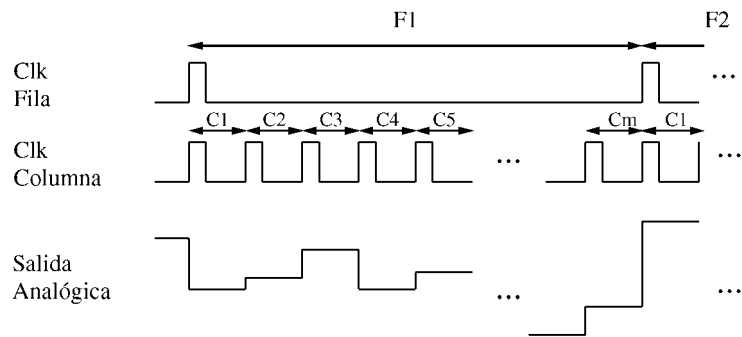


Fig. 7.53 Secuencia de relojes de fila y columna. La salida analógica corresponde a una secuencia de señales de cada uno de los pixels accedidos

### 7.5.3 Operación del pixel

Dado que en tecnología CMOS es fácil crear uniones PN, se utiliza como sensor de imagen una estructura llamada APS (*Active Pixel Sensor*) y que se representa en la Fig. 7.56 Esta estructura tiene un área fotosensible que consiste esencialmente en una unión PN conseguida con un drenador de transistor (si es un transistor NMOS, será la implantación N sobre el sustrato P, y si es un PMOS, la implantación P sobre el pozo N). Los fotones al incidir en esta área generan una corriente que es regulada por un transistor (M2) que actúa como obturador electrónico [31]. Esta corriente ( $I_{fot}$ ) descarga un condensador conectado a la puerta del transistor M3 y por tanto da lugar a una tensión final después de un período fijado de integración ( $T_{int}$ ). Esta tensión es de nuevo transformada en corriente por el transistor M3 y contribuye a la corriente total de una columna de pixels cuando el transistor de paso M4 se habilita activando la señal de fila  $F_i$ . Con ligeras variantes, esta estructura es la utilizada por casi todos los sensores actuales de imagen CMOS.

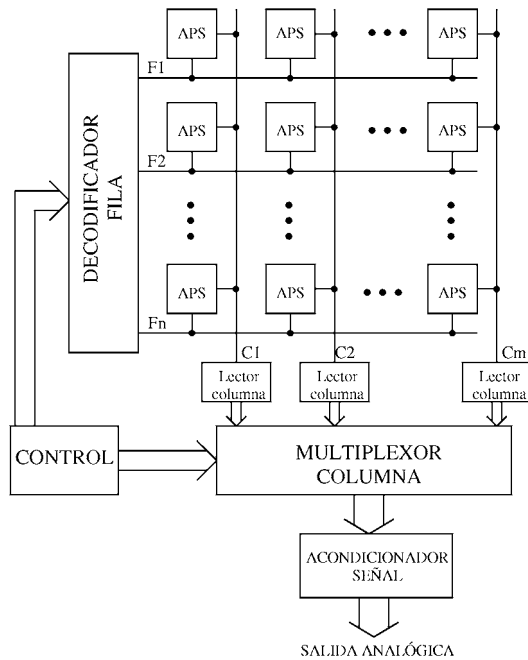


Fig. 7.54 Estructura de un sensor CMOS de imagen con  $n$  filas y  $m$  columnas. El bloque de control digital selecciona secuencialmente todos los píxeles, pudiendo configurarse externamente para seleccionar un área determinada de la matriz. La salida analógica puede convertirse a digital a continuación para su procesamiento

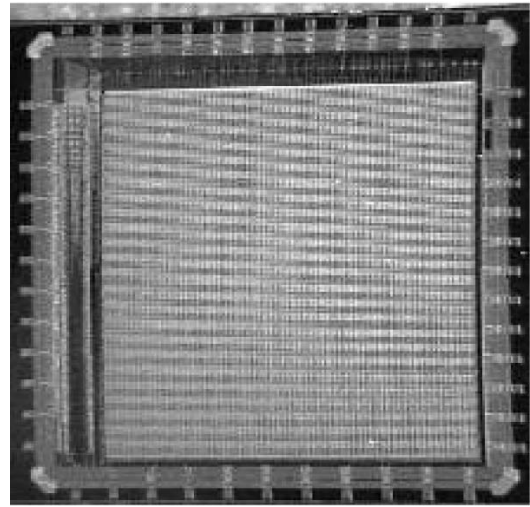


Fig. 7.55 Fotografía de un chip sensor de imagen CMOS [32]. En el lateral izquierdo y la parte de arriba se observa la lógica de control y lectura de la matriz de píxeles. Área del chip:  $36 \text{ mm}^2$

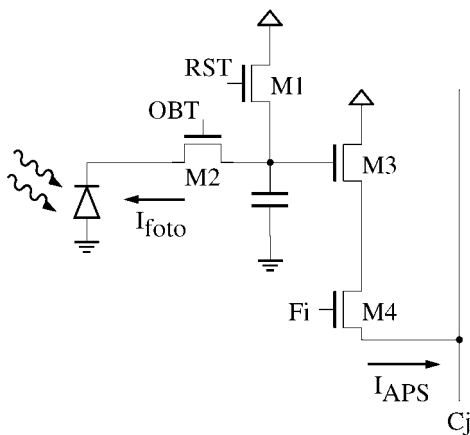


Fig. 7.56 Estructura del APS

La tensión generada por cada píxel es proporcional al tiempo de exposición (suponiendo una iluminación constante). Por tanto para conseguir una señal correspondiente a una nueva imagen, primero hay que inicializar el contenido del píxel, activando la señal  $RST$  (forzándola a  $V_{DD}$ ) con el transistor M2 cortado ( $OBT$  a  $0 \text{ V}$ ), lo cual fuerza una tensión alta en la capacidad de almacenamiento, igual a  $V_{DD} - V_{t1}$  al tratarse de un transistor NMOS (Fig. 7.56).

El siguiente paso es desactivar la señal  $RST$ , (forzándola a  $0 \text{ V}$ ) y activar  $OBT$  (a  $V_{DD}$ ) de forma que el transistor M1 queda cortado y el transistor M2 permite que la corriente fotogenerada provoque una disminución de la tensión del condensador durante el período de exposición.

Al finalizar dicho periodo, la señal  $OBT$  desconecta el condensador del fotodiodo ( $OBT$  nuevamente



a 0 V), con lo que la tensión en el condensador se mantiene constante, y será un valor proporcional al tiempo de exposición y a la intensidad de la iluminación. Cuando la señal  $Fi$  active la selección del pixel, la tensión acumulada en el condensador dará lugar a una corriente en la línea  $Cj$  que será la que dará la lectura del pixel.

Dado que los transistores M1, M2 y M4 actúan como simples interruptores, las variables de diseño de esta estructura son: corriente fotogenerada (dependiente de la potencia de luz incidente en el área activa) y tiempo de exposición (relacionado con la corriente y con la capacidad del condensador). Las dimensiones de M3 se discutirán al hablar de la lectura de columna.

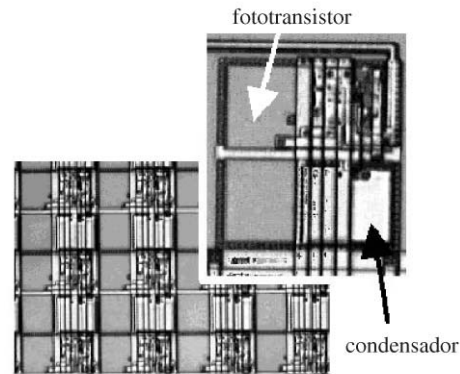


Fig. 7.57 Fotografía de un pixel [32], donde se aprecia el área fotosensible y la capacidad donde se acumula el valor final de tensión

#### a) Corriente fotogenerada

Existe un compromiso a la hora de diseñar el tamaño de área activa del pixel. Por un lado, al ser la corriente fotogenerada proporcional a la potencia de luz incidente, cuanto mayor sea el área dada una intensidad luminosa constante, mayor será la corriente, y por tanto será posible usar tiempos de integración más cortos, o captar intensidades luminosas más bajas. Por otra parte, es evidente que aumentar el área del pixel reduce la resolución espacial de la imagen captada, de forma que la resolución espacial limita de alguna manera la mínima intensidad luminosa incidente utilizable por el sensor.

Otro aspecto a tener en cuenta es el hecho de que utilizar en el mismo circuito un fotodiodo y transistores MOS puede dar lugar a corrientes de fuga debido a la tensión de circuito abierto del fotodiodo. En efecto, al pasar la señal  $OBT$  a cero para finalizar el periodo de integración, la tensión en el surtidor (terminal conectado al fotodiodo) de M2 corresponde a  $-V_{oc}$ . Por tanto, a pesar que  $OBT$  sea 0, la tensión  $V_{GS}$  de M2 es positiva (igual a  $V_{oc}$ ). Aunque esta  $V_{GS}$  sea baja, el transistor M2 conduce en la región subumbral y, por tanto, sigue descargando el condensador aunque sea lentamente, lo cual afecta al tiempo máximo de retención de la imagen. Esto podría evitarse usando tensiones  $OBT$  negativas, aunque ello aumentaría la complejidad del circuito y no resulta una solución práctica.

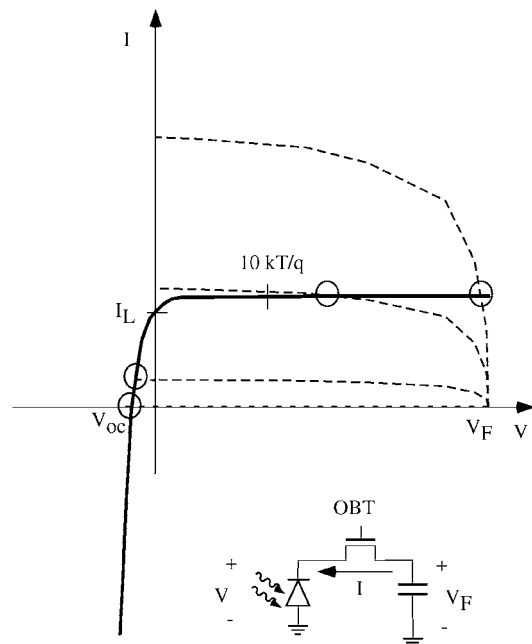


Fig. 7.58 Proceso de corte de la señal fotogenerada por el transistor M2. La tensión final de surtidor de M2 es negativa, con lo que  $V_{GS}$  es no nula y el transistor trabaja en región subumbral

### b) Período de integración

El período de integración debe escogerse teniendo en cuenta el rango de tensiones útiles del condensador de almacenaje, que es desde la tensión de *reset* hasta la tensión umbral de M3. La tensión final del condensador es proporcional al tiempo de integración según la expresión:

$$V_F = V_r - \frac{I_L + I_D}{C} T_{\text{int}} \quad (7.19)$$

donde  $V_F$  es la tensión en el condensador al final del período de integración  $T_{\text{int}}$ ,  $V_r$  es la tensión de inicialización, igual a  $V_{DD} - V_m$ ,  $I_L$  y  $I_D$  la corriente fotogenerada y de oscuridad respectivamente, y  $C$  la capacidad del condensador.

Fijado el período de integración, corrientes fotogeneradas mayores que un cierto valor  $I_{L,\text{lim}}$  no producirán ninguna diferencia al leer el pixel, ya que el transistor de transconductancia M3 estará cortado al ser  $V_F$  menor que su tensión umbral.

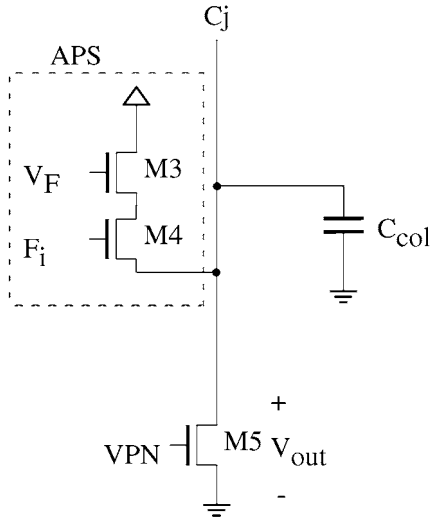


Fig. 7.59 Circuito básico de lectura de la columna

### 7.5.4 Lectura de la señal de columna

Una vez obtenida en la columna una corriente dependiente de la iluminación, es necesario tener una tensión que sea proporcional a ella, y hay por tanto una circuitería de lectura dedicada a esta tarea.

El problema consiste en realidad en transformar la corriente de la línea de columna en tensión. Para conseguirlo se pueden considerar diversas alternativas más o menos complejas en función de la precisión deseada. En principio el circuito necesario es tan simple como el mostrado en la Fig. 7.59 con un transistor (M5) polarizado a una tensión constante  $V_{PN}$  que actúa como carga. Para el diseño del circuito habrá que analizar esta configuración en su respuesta estática y dinámica.

### a) Respuesta estática

Para que el circuito tenga una respuesta lineal respecto de la tensión  $V_F$ , es conveniente que tanto M5 como M3 trabajen en zona de saturación, y M4 en zona óhmica, de forma que su tensión  $V_{DS}$  sea muy pequeña y por tanto  $V_{DS3}$  sea aproximadamente  $V_{DD} - V_{out}$ . En estas condiciones M3 y M5 forman un amplificador drenador común (apartado 6.4.2b) que, como se recordará, tiene ganancia unidad. Es fácil ver que M3 se halla en saturación siempre al tener su drenador conectado a  $V_{DD}$ , mientras que la condición para que M5 esté en saturación es:

$$V_{out} \geq V_{PN} - V_{t5} \quad (7.20)$$

Donde  $V_{t5}$  es la tensión umbral de M5, distinta de la de M3 debido al *body effect*.

Si no se tiene en cuenta la caída de tensión en M4, que es pequeña al trabajar en zona óhmica se tiene:

$$I_3 \approx \frac{K_3}{2} (V_F - V_{out} - V_{t3})^2 = \frac{K_5}{2} (VPN - V_{t5})^2 \quad (7.21)$$

y por tanto:

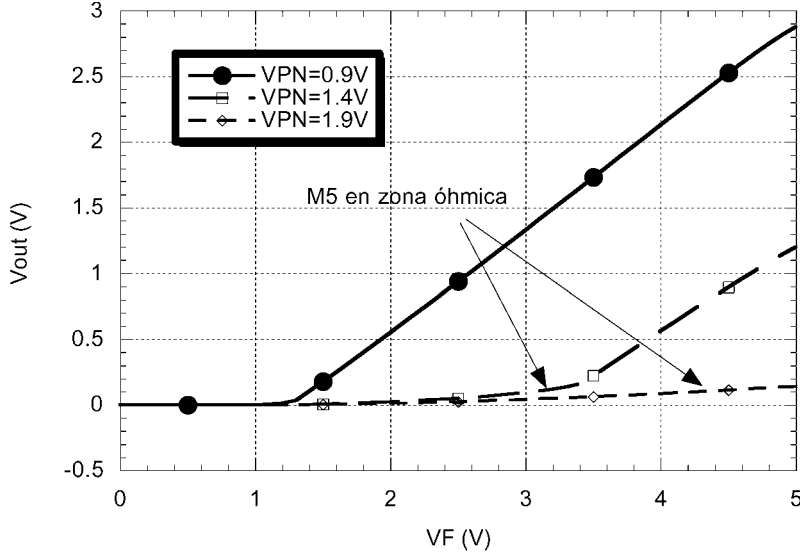


Fig. 7.60 Respuesta en estática de la tensión de salida respecto de la tensión del pixel,  $V_F$ , para varios valores de polarización del transistor de carga. La relación de  $K_3$  a  $K_5$  es de 60

$$V_{out} = V_F - V_m - \sqrt{\frac{K_5}{K_3}} (VPN - V_m) \quad (7.22)$$

Sustituyendo (7.22) en (7.20), la condición de que M5 esté en saturación, o lo que es lo mismo, que la relación de  $V_{in}$  a  $V_{out}$  sea lineal es:

$$V_F \geq V_{PN} \left( \sqrt{\frac{K_5}{K_3}} + 1 \right) + V_{t5} \left( \sqrt{\frac{K_5}{K_3}} - 1 \right) + V_{t3} \quad (7.23)$$

De esta última expresión se desprende que a fin de que M5 esté en saturación para un rango amplio de valores de  $V_F$  es necesario por una parte que  $VPN$  sea lo más baja posible, y por otra que la relación de  $K_5$  a  $K_3$  sea también pequeña. En la Fig. 7.60 se muestra la respuesta de la tensión de salida en función de  $V_F$  para tres valores de  $VPN$ , en el que se ve como para  $VPN$  grande, existe una zona de comportamiento de M5 en zona óhmica y, por tanto, la respuesta no es lineal para este rango de tensiones de entrada. A su vez esta no linealidad se traduce en un rango reducido de tensión de salida.

#### b) Respuesta dinámica

La línea de columna, debido a su gran longitud (varios milímetros en matrices con un gran número de pixels), tiene asociada una capacidad parásita importante, a la que denominaremos  $C_{col}$ . El proceso de

lectura de cada fila dará lugar a tensiones diferentes, por lo cual después de la lectura de cada fila el transistor M5 debe descargar la capacidad de columna, tal como se ilustra en la Fig. 7.59. Por tanto, la respuesta dinámica vendrá determinada por el tiempo que tarde M5 en descargar la capacidad  $C_{col}$ . Al ser  $VPN - V_{in}$  muy pequeño para que la respuesta sea lineal (lo cual implica *a priori* una corriente también pequeña), la transconductancia de M5 deberá ser lo suficientemente grande para poder descargar la capacidad  $C_{col}$  en un tiempo relativamente corto. En la Fig. 7.61 se muestra la respuesta dinámica obtenida por simulación SPICE del lector para unos tamaños relativos de M3 y M5 de 60, y una capacidad  $C_{col}$  de 1 pF.

### c) Rango dinámico del lector

Una característica importante del lector es su rango dinámico, que da una idea del número de niveles de iluminación que el sensor puede distinguir. Se calcula mediante la relación del máximo recorrido de tensión de salida y la mínima variación de tensión de salida detectable (resolución en tensión), la cual dependerá del bloque que procese esta señal. Llamando a la resolución  $V_{res}$ , la expresión del rango dinámico (RD) será:

$$RD = \frac{V_{out,max} - V_{out,min}}{V_{res}} = \frac{1}{V_{res}} \left( V_{F,max} - V_{in} - \sqrt{\frac{K_5}{K_3}} (VPN - V_{in}) \right) \quad (7.24)$$

donde por simplicidad se ha despreciado el *body effect* sobre las tensiones umbral. Teniendo en cuenta que la tensión  $V_{F,max}$  vendrá dada por la corriente de oscuridad al final del periodo de integración, tenemos una expresión para el rango dinámico:

$$RD = \frac{1}{V_{res}} \left( V_{DD} - 2V_{in} - \frac{I_D}{C} T_{int} - \sqrt{\frac{K_5}{K_3}} (VPN - V_{in}) \right) \quad (7.25)$$

de forma que una corriente importante de oscuridad tiende a degradar el rango dinámico, al igual que un valor grande de relación de transconductancias  $K_5/K_3$ , como ya se había comentado en el análisis estático.

### Ejemplo 7.2

Si la tensión de alimentación es de 5 V, la tensión umbral  $V_{in}$  es 0,85 V, la corriente de oscuridad de 16 fA, el periodo de integración de 1  $\mu$ s, la capacidad del pixel de 0,1 pF, la relación de transconductancias de M3 a M5 de 60, y  $VPN$  es 0,9 V, calcular el RD para una resolución de 1 mV.

Aplicando la fórmula se obtiene:

$$RD = \frac{1}{1mV} \left( 5V - 1,7V - \frac{16fA}{100fF} 1\mu s - 7,74(0,05V) \right) = 2,9 \cdot 10^3 \approx 69dB \quad (7.26)$$

De este ejemplo se observa que usualmente el término correspondiente a la corriente de oscuridad es despreciable frente a los demás.

□

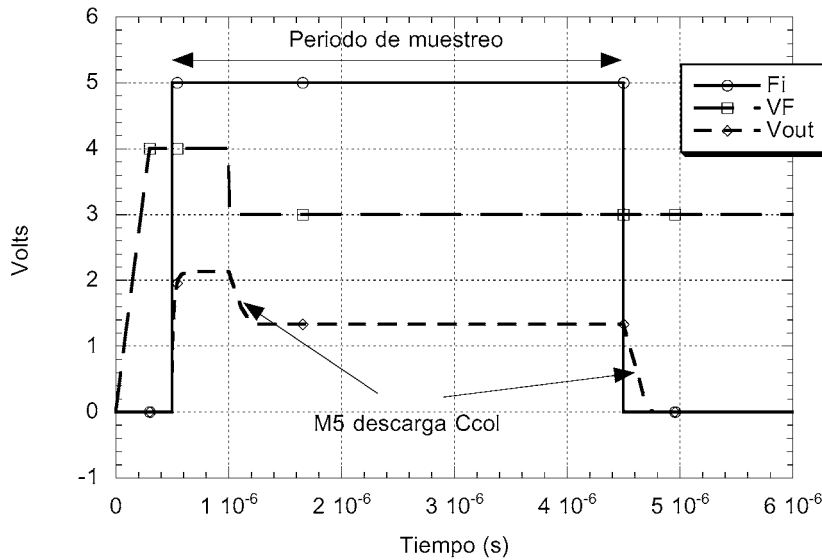


Fig. 7.61 Respuesta dinámica del lector de columna

### 7.5.5 Variaciones entre pixels y entre columnas

En principio, la tensión que se obtiene del bloque anterior ya se puede utilizar como salida del sensor de imagen, pudiendo convertirse a digital para su posterior procesamiento. Sin embargo, debido a tolerancias de fabricación, no todos los transistores de transconductancia M3 de los APS de una misma columna son exactamente iguales, ni tampoco los transistores del circuito lector de las diferentes columnas lo son. Por tanto, siempre habrá pequeñas variaciones en la respuesta del lector al leer los diferentes pixels, a pesar de que la iluminación sea constante. Estas variaciones se conocen con el nombre de *ruido de patrón fijo*, o FPN (del inglés *Fixed Pattern Noise*). Para evitarlo en la medida de lo posible, se utilizan diversas técnicas que se presentan a continuación.

#### a) Variaciones entre pixels de una misma columna

La técnica utilizada para compensar las variaciones entre pixels se llama *doble muestreo correlado* (DCS, del inglés *Double Correlated Sampling*) [27], [28], [31], [33], y que consiste en adquirir de cada uno de los pixels tanto la tensión resultante de inicializar el pixel ( $V_r$ ) como la tensión resultante de la iluminación después del periodo de integración ( $V_s$ ). Cada uno de estos valores de tensión se guarda en un condensador con un circuito muestreador, como se observa en la Fig. 7.62. Ya que las variaciones entre pixels introducirán un error fijo (diferente para cada pixel) que será igual para las dos tensiones  $V_r$  y  $V_s$ , trabajando con la diferencia entre estas tensiones se cancelará el error.

#### b) Variaciones entre columnas

Las señales muestreadas en los nodos VR y VS usando el método DCS recientemente expuesto deben ser transmitidas al resto del sistema para su procesamiento mediante *buffers* analógicos. Por tanto, al tener

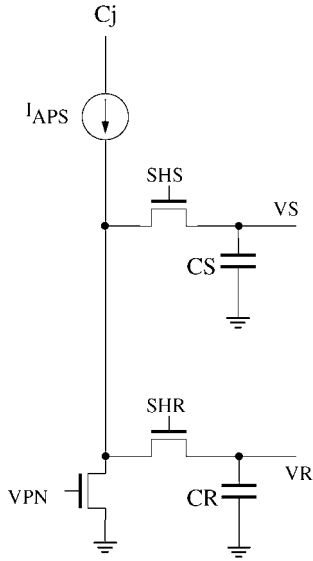


Fig. 7.62 Muestreadores para la señal de iluminación y la de reset, a fin de eliminar las variaciones de pixel a pixel en una columna

La Fig. 7.63 ilustra un circuito lector que aplica este método, y un esquema del cronograma se muestra en la Fig. 7.64. Al inicio del periodo de muestreo se igualan las tensiones en los nodos  $VR_3$  y  $VS_3$  cerrando los interruptores activados con la señal  $CL$ , con lo que ambos nodos adquieren una tensión igual a  $VCL$ . Por otra parte, también al inicio del periodo de muestreo, los nodos  $VR$  y  $VS$  adquieren los valores correspondientes de inicialización y señal del pixel. A continuación se conectan los nodos  $VR$  y  $VS$  para obtener una tensión  $V_m$  (que dependerá del valor de  $VS$ ), y que provocarán una variación de tensión en dichos nodos:

$$\Delta VR = V_m - V_r \quad (7.27)$$

$$\Delta VS = V_m - V_s \quad (7.28)$$

siendo  $V_r$  y  $V_s$  los valores de tensión obtenidos de la conversión del pixel. Si se considera que los buffers de columna no son perfectos y, por tanto, introducen un error constante, que se denominará por  $\varepsilon_r$  y  $\varepsilon_s$  respectivamente, se ve fácilmente que las diferencias a la salida de ambos buffers están libres de dicho error:

$$\Delta VR_2 = (V_m + \varepsilon_r) - (V_r + \varepsilon_r) = V_m - V_r \quad (7.29)$$

$$\Delta VS_2 = (V_m + \varepsilon_s) - (V_s + \varepsilon_s) = V_m - V_s \quad (7.30)$$

el lector de cada columna dos buffers analógicos, uno por señal muestreada, una fuente de error puede ser debido a diferencias en la tensión umbral de los transistores (desapareamiento, o *mismatching* en inglés) de cada uno de los buffers. Una técnica para minimizar este error es la llamada *doble muestreo diferencial* (DDS, del inglés *Double Delta Sampling*) [27], [31], [33], [34].

La idea general de esta técnica se basa en suponer que cada uno de los dos buffers de columna introduce un error independiente de la tensión, lo cual se traduce en una tensión de *offset* al considerar la diferencia entre los dos nodos aunque las tensiones de  $VR$  y  $VS$  sean iguales. El problema estriba en que esta tensión de *offset* será diferente para cada columna y, por tanto, la tensión resultante dependerá de la columna, dando lugar al FPN. A fin de eliminar esta dependencia de la columna, la técnica DDS obtiene la diferencia entre la señal de iluminación obtenida (es decir, la diferencia entre tensiones resultantes del pixel en  $VR$  y  $VS$  con el error de *offset* incluido) y la tensión de *offset* (diferencia entre tensiones  $VR$  y  $VS$  cuando ambos nodos se conectan entre sí). El resultado de esta “doble diferencia” sí que será independiente de la columna.

Las tensiones  $VR_3$  y  $VS_3$  tendrán, respecto de la tensión inicial  $VCL$ , una variación igual a  $VR_2$  y  $VS_2$  respectivamente, con lo que se obtiene finalmente:

$$VR_3 = VCL + Vm - Vr \quad (7.31)$$

$$VS_3 = VCL + Vm - Vs \quad (7.32)$$

La salida útil es la diferencia entre  $VR_3$  y  $VS_3$ , que se consigue con un amplificador diferencial después de los *buffers* de salida (no mostrado en la Fig. 7.63) y que eliminará los términos comunes a ambas señales. Hay que notar que los *buffers* de salida para dar  $VR_{out}$  y  $VS_{out}$  tendrán también algún error debido a desapareamiento de los transistores. Sin embargo, al ser el mismo *buffer* para todo el chip, el error es el mismo para todos los pixels, con lo que no influye en el FPN.

### 7.5.6 Conclusiones

El sensor de imagen presentado es una aplicación más de la tecnología CMOS en el que hay partes mixtas, analógicas y digitales, integradas en el mismo chip, y además se aprovechan las posibilidades de integrar elementos fotoelectrónicos (fotodiodos) inherentes a la tecnología estándar, con lo cual los costes son mucho más reducidos que el uso de dispositivos específicos (CCDs, por ejemplo).

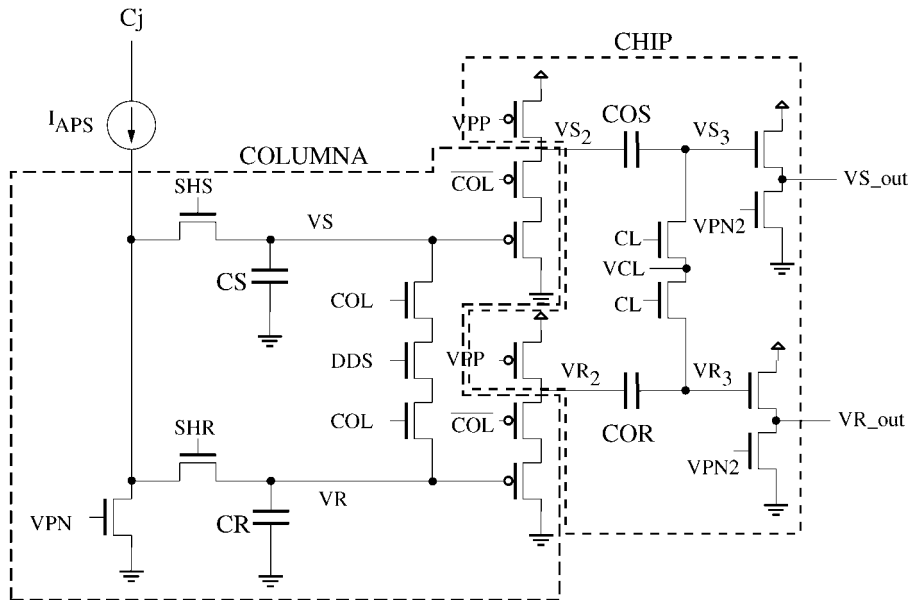


Fig. 7.63 Circuito de lectura incorporando DCS y DDS [33]

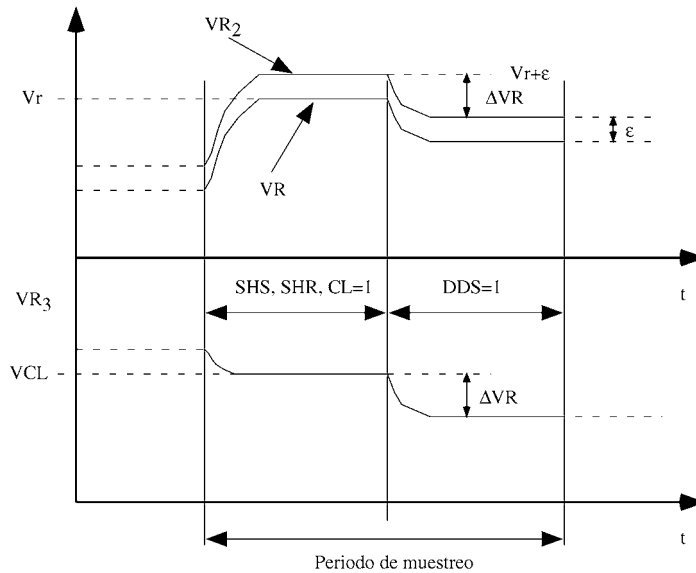


Fig. 7.64 Cronograma de las tensiones del bloque lector durante el periodo de muestreo

Asimismo se ha visto que las variaciones en el proceso de fabricación tienen una repercusión en las prestaciones del sensor, y que es posible añadir bloques circuitales para corregirlas o paliarlas. Sin embargo, hay que notar que las técnicas utilizadas impiden que la misma imagen pueda leerse varias veces, ya que el mismo proceso de lectura implica, como se ha visto, una inicialización de cada pixel. En cambio, una lectura más simple sin corrección del FPN tiene la ventaja que la señal puede guardarse en la capacidad del pixel y, por tanto, el sensor actúa como una memoria analógica [32], mientras que las posibles correcciones se deben hacer a posteriori de la captura de la imagen. Para ciertas aplicaciones esto puede resultar beneficioso.

### 7.6 Ejemplo 3: Sistema audiométrico analógico-digital integrado

El sistema que se presenta consiste en un generador de señales audiométricas de dos canales completamente integrado en un CI mixto implementado con tecnología CMOS de  $0,8\ \mu\text{m}$  [35, 36, 37]. Los aspectos más interesantes del sistema son el mecanismo de generación de los tonos mediante el método de la síntesis directa digital con la posibilidad de ajustar de forma muy precisa la frecuencia (resoluciones de 1 Hz con frecuencias mínimas de 100 Hz y máximas de 20 kHz) y la generación de señales audio de ruido con un espectro controlado.

Las exigencias de los sistemas utilizados para generar los estímulos para los tests audiométricos son cada vez mayores debido a la sofisticación de los sistemas de ayuda al oído. Estos sistemas deben permitir la generación de señales de audio de alta calidad y una capacidad de procesamiento de la señal sofisticado. Durante los tests audiométricos el oído humano es estimulado con señales sinusoidales complejas moduladas con señales enmascarantes para identificar pérdidas o defectos auditivos. Las especificaciones para los distintos tipos de señales audiométricas que el sistema debe generar se detallan en la Tabla 7.2.



Especificación	Valor
Tono puro (frecuencia variable: 100 Hz-20 kHz)	
Resolución en frecuencia	1 Hz
Precisión en frecuencia	1%
Relación señal/ruido	80 dB
Distorsión armónica total	-40 dB
Ruido blanco (100 Hz – 16 kHz)	
Característica plana en banda de paso	$\pm 2$ dB
Periodo mínimo de repetición	5 s
Ruido rosa	
Frecuencia de corte	1 kHz
Pendiente en banda de atenuación	40 dB/década
Ruido banda estrecha (centrado en frec. tono)	
Factor de calidad	3,55
Potencia constante por octava	
Señales externas (micrófono, cinta, CD)	
Amplificación programable	0 a 2
Relación señal/ruido	60 dB
Distorsión armónica total	-40 dB
Diafonía entre canales	-70 dB

Tabla 7.2 Especificaciones del sistema audiométrico

### 7.6.1 Diagrama de bloques

La Fig. 7.65 muestra los bloques de los que consta el circuito integrado mixto. Los únicos elementos del sistema que se han implementado de forma externa son los atenuadores de potencia que atacan a los altavoces o auriculares. El tono puro sinusoidal se genera por síntesis digital directa, utilizando un divisor programable que va recorriendo las muestras de una senoide almacenadas en una ROM. Las señales de ruido se obtienen a partir de un generador de ruido blanco implementado digitalmente con un registro generador de secuencias pseudo aleatorias. Los dos tipos de señales digitales se pasan a continuación al dominio analógico con convertidores D/A de 10 bits basados en divisores resistivos. La salida de estos convertidores es de  $2 V_{pp}$ . Una serie de filtros permiten filtrar la señal del tono y convertir el ruido blanco en los otros tres tipos de ruido disponibles (ruido rosa, ruido de banda estrecha —centrado a la misma frecuencia del tono puro— y ruido vocal).

En su etapa de salida el sistema consta de dos canales independientes (derecho e izquierdo) que reciben, además de las dos señales de audio internas (tono y ruido de enmascaramiento) tres posibles entradas externas. Es posible especificar, para cada canal, una señal digital que controla el volumen de la salida audio y otra señal de control de amplitud, que se utiliza para realizar dos tipos de modulaciones (SISI y DLI) que permiten detectar unas determinadas patologías auditivas. Ambos controles son de tipo digital y se convierten a señales de control analógicas (RA y RS, respectivamente) mediante sendos convertidores D/A de 7 bits basados en divisores resistivos. Estas dos señales controlan los atenuadores de potencia externos. Cada uno de los canales contiene además un selector de la entrada externa que puede incorporarse a la salida de audio (esto se utiliza para añadir patrones auditivos pregrabados), cuya amplitud se controla mediante un amplificador de ganancia programable (PGA) para adaptar estas señales a

la misma amplitud de  $2 V_{pp}$  de los tonos y el ruido generado en la sección analógica del CI. Finalmente, un convertidor A/D de 8 bits, basado en divisores resistivos y aproximaciones sucesivas, se utiliza para indicar el nivel de señal mediante un indicador de nivel (VUmetro).

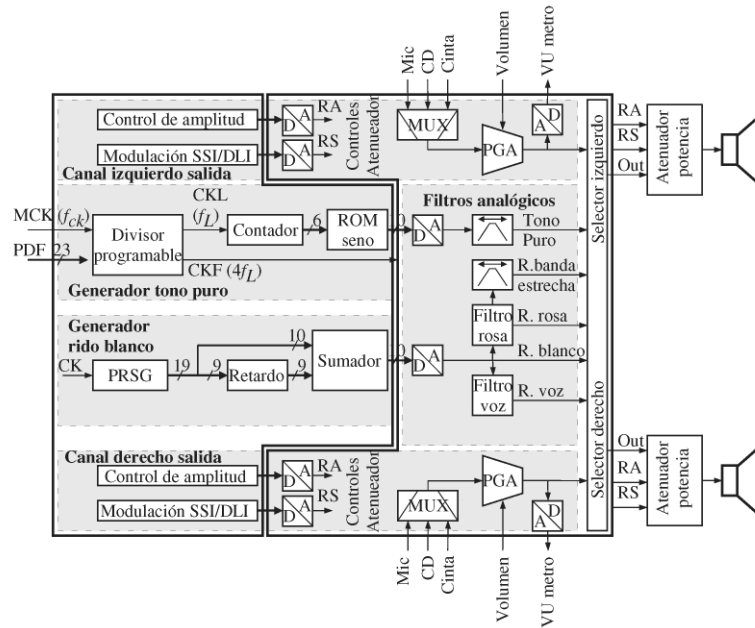


Fig. 7.65 Diagrama de bloques del sistema integrado para la realización de tests audiométrico

## 7.6.2 Generador digital de señales

### a) Generador del tono puro

Las muestras de un periodo de senoide se almacenan en una ROM de  $64 \times 10$  bits. La frecuencia de la senoide generada está relacionada con la frecuencia a la que el contador recorre la ROM ( $f_L$ ). La frecuencia del contador se obtiene a partir de un divisor programable con una palabra de 23 bits (PDF) que proporciona el controlador del sistema. El factor por el que se divide realmente es algo superior a PDF, pues es necesario generar también una frecuencia igual a  $4f_L$  (CKF) para los filtros de capacidades conmutadas de la sección analógica del CI. En concreto, la expresión que permite determinar el valor de la frecuencia de la senoide a partir de la frecuencia de reloj es:

$$f_s = \frac{f_{ck}}{n_s k \text{PDF}} \quad (7.33)$$

donde  $n_s$  es el número de muestras de la senoide almacenadas en la ROM (64 en nuestro caso),  $k = 8$ , la frecuencia del reloj  $f_{ck} = 40$  MHz y PDF debe ser un número entero. La limitación de esta forma de obtener  $f_s$  es que, para la máxima frecuencia requerida, 20 kHz, la resolución es de 3906,25 Hz (tres órdenes de magnitud superior a la que necesitamos). Por ello, es necesario realizar una división de la frecuencia del reloj por un número real. La palabra PDF constará de una parte entera, PDI, y de una parte fraccional 1/PDD (donde PDI y PDD son números enteros). Para determinar el número de bits que se necesitan para PDI,

basta con calcular el valor entero máximo por el que hay que dividir la frecuencia de reloj para obtener la mínima frecuencia de la sinusoide. El número de bits necesarios para PDD vendrá dado por el incremento mínimo necesario para obtener 1 Hz de resolución en el peor caso, que será para la máxima frecuencia  $f_s$ . En este caso basta calcular cuál sería el valor para PDF = PDI+1/PDD necesario para 20 kHz y el de 19999 kHz y realizar la resta para ver cuál es la máxima variación de 1/PDD (que se corresponde con la mínima variación de la parte decimal de PDF). Estos cálculos se resumen en las siguientes expresiones:

$$n_{\text{PDI}} = \log_2 \left. \frac{f_{ck}}{n_s k f_s} \right|_{f_s=100 \text{ Hz}} \cong 10 \quad n_{\text{PDD}} = \log_2 \left. \frac{n_s k f_s (f_s - 1)}{f_{ck}} \right|_{f_s=20 \text{ kHz}} \cong 13 \quad (7.34)$$

De la expresión (7.34) se extrae que PDF es una palabra digital de 23 bits, 10 de los cuales codifican la parte entera y 13 la parte fraccional del divisor de la frecuencia de reloj. Para implementar una división por un número no entero se utiliza un método original presentado por los autores del trabajo [37] basado en el uso de un *modulador sigma-delta*. El diagrama de bloques del divisor fraccional de frecuencia se muestra en la Fig. 7.66. La parte entera de PDF, PDI, se utiliza para generar una referencia (REF) que se compara con la salida de un contador. Cada vez que el contador llega a alcanzar el valor de REF, el comparador inicializa el contador a cero. La salida del contador se conecta al divisor por  $k$ , que genera la frecuencia del contador que recorre la ROM ( $f_L$ ) y una frecuencia cuatro veces mayor para los filtros de capacidades conmutadas. La parte fraccional del divisor (PDD) se conecta a la entrada del modulador  $\Sigma\Delta$ . Este modulador, como ya se ha visto en el capítulo 6, genera una secuencia de unos y ceros. Si el número de ciclos de reloj es suficientemente largo (en este caso mayor o igual a  $2^{13}$ ), la salida del modulador  $\Sigma\Delta$  puede verse como una señal en la que la

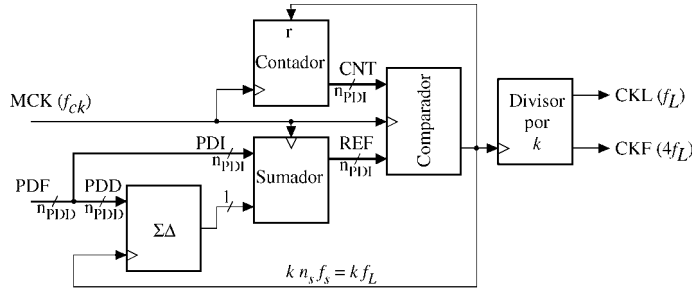


Fig. 7.66 Diagrama de bloques del divisor programable

densidad de ‘unos’ viene determinada por el valor de la entrada. La salida del modulador se añade al valor de PDI para calcular la referencia del comparador. Esto quiere decir que la referencia unas veces valdrá PDI y otras PDI+1. En media la referencia valdrá  $\text{PDI} + 1/\text{PDD}$ . Por tanto, unas muestras de la sinusoide estarán separadas por  $T_0 = (k\text{PDI})/f_{ck}$  y otras por  $T_1 = (k(\text{PDI}+1))/f_{ck}$ . La frecuencia final de la sinusoide será la suma de  $n_s$  intervalos que pueden tener duración  $T_0$  o  $T_1$ . Según el valor de PDI, habrá más muestras de duración  $T_0$  que de  $T_1$  o viceversa. De esta forma se obtiene el valor adecuado en promedio para  $f_s$ . El mecanismo de generación mediante esta técnica se ilustra en la Fig. 7.67. La distorsión armónica y el ruido de fase introducidos por la no-uniformidad del muestreo son despreciables. Con esta técnica es posible conseguir una resolución de 1 Hz para frecuencias de 20 kHz y de 15  $\mu\text{Hz}$  para frecuencias de 100 Hz.

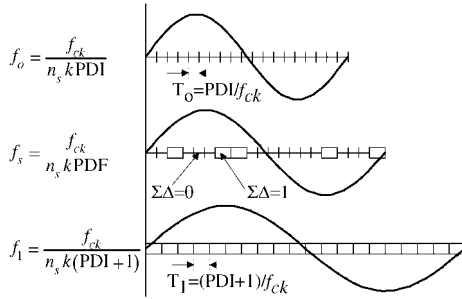


Fig. 7.67 Efecto del modulador sigma-delta

## b) Generador de ruido blanco

El ruido blanco es la segunda fuente de audio esencial en cualquier test audiométrico, y a partir de él se obtienen los otros tipos de ruido necesarios. El ruido blanco tiene una distribución plana, dado que proviene de una variación aleatoria. En este caso se ha optado por utilizar un generador de secuencias pseudo aleatorias (PRSG) como el de la Fig. 7.68. Las especificaciones de los test audiométricos requieren que las secuencias tengan un periodo de repetición superior a los 5 s. Dado que la frecuencia de entrada del PRSG es de 32 kHz la secuencia debe tener al menos  $1.6 \times 10^5$  muestras de longitud. Esta secuencia puede obtenerse con el siguiente polinomio generador de orden 18:

$$P(x) = 1 \oplus x^7 \oplus x^{18} \quad (7.35)$$

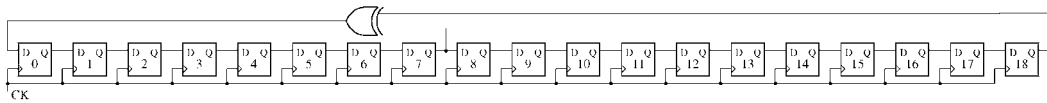


Fig. 7.68 Implementación del polinomio de (7.35) mediante un PRSG

La secuencia de salida del PRSG, a la que llamaremos N, es de 19 bits de longitud y debe ser procesada digitalmente hasta obtener los 10 bits que se utilizan para convertir la señal al dominio analógico mediante el convertidor D/A. Un truncamiento de la palabra de salida no es suficiente, pues produce un filtrado paso-bajo del espectro de la señal. Para solucionarlo se añade un filtro de compensación paso-alto, obtenido al combinar los 19 bits de la secuencia según la siguiente expresión:

$$\text{OUT}[9:0] = N[9:0] + N[18:10](1 - z^{-1}) \quad (7.36)$$

## 7.6.3 Sección analógica

## a) Filtros del tono y del ruido blanco

Tras la conversión digital a analógica, la señal del tono puro es tratada mediante un filtro paso-banda para eliminar cualquier tono espúreo superpuesto con la forma de onda sinusoidal generada. El filtro se implementa mediante la conexión en cascada de dos etapas *biquad* paso-banda de capacidades conmutadas centradas en la frecuencia de la sinusoidal ( $f_s$ ) y con frecuencia de muestreo  $256f_s$ . El factor de calidad de estos filtros es  $Q = 3,55$ . Este filtro se diseña a partir de la estructura *biquad* en el dominio continuo de la Fig. 7.69, substituyendo las resistencias por capacidades conmutadas. Al tratarse de un filtro paso-banda las ramas con capacidad de valor G y resistencia de valor  $\omega_0/Ga_1$  se eliminan. Esto implica que las capacidades  $K_1C_1$  y  $K_3C_2$  del circuito SC de la Fig. 7.70 también desaparecen. Identificando el resto de componentes entre los dos circuitos, es sencillo completar el diseño de este filtro. La función de transferencia genérica de un filtro paso-banda realizado mediante la estructura *biquad* tiene la siguiente forma:

$$H_{pB}(s) = \frac{Ga_2 s}{s^2 + \left(\frac{\omega_0}{Q}\right)s + \omega_0^2} \quad (7.37)$$

Si la ganancia en la banda de paso ha de valer uno, el producto  $Ga_2$  debe ser igual a  $(\omega_0/Q)$ . Utilizando la equivalencia de resistencias para los filtros de capacidades conmutadas ( $R_{eq} = T/C_{eq}$ , donde  $T$  es el inverso de la frecuencia de muestreo del filtro) es sencillo completar el diseño del filtro a partir de las especificaciones anteriores substituyendo las resistencias por capacidades e interruptores en la estructura del filtro. Sabiendo que el producto  $\omega_0 T = 2\pi/256$ , los parámetros de diseño para el circuito de la Fig. 7.70 se muestran en la Tabla 7.3.

El resto de filtros se utilizan para generar las señales de ruido. El ruido blanco debe filtrarse también tras el convertidor D/A para generar los otros tipos de ruido. Para el ruido de voz se utiliza una celda *biquad* SC paso-bajo con frecuencia de corte 1 kHz y frecuencia de muestreo 80 kHz. Este filtro se implementa con la misma estructura de la Fig. 7.70 utilizando un factor de calidad  $Q = 1/\sqrt{2}$  y ahora con un producto  $\omega_0 T = 2\pi 1 \times 10^3 / 80 \times 10^3$ . Los parámetros de diseño se muestran en la Tabla 7.4. El ruido rosa se obtiene con un filtro no convencional debido a los requerimientos en frecuencia de este tipo de ruido. No daremos aquí detalles de este filtro, pero el lector puede encontrar información detallada en el artículo de los autores de este sistemas [41]. Por último, el ruido de banda estrecha se obtiene filtrando el ruido blanco con un filtro idéntico al utilizado para filtrar el tono puro.

Parámetros	Expresión	Valor
$K_2$	$1/Q$	0,2817
$K_1 = K_3 = 0$		
$K_4$	$\omega_0 T$	0,0245
$K_5$	$\omega_0 T$	0,0245
$K_6$	$1/Q$	0,2817

Tabla 7.3 Diseño de las etapas biquad SC del filtro paso-banda del tono puro

Parámetros	Expresión	Valor
$K_1$	$\omega_0 T$	0,0785
$K_2 = K_3 = 0$		
$K_4$	$\omega_0 T$	0,0785
$K_5$	$\omega_0 T$	0,0785
$K_6$	$1/Q$	0,7071

Tabla 7.4 Diseño de las etapas biquad SC del filtro paso-bajo del ruido de voz

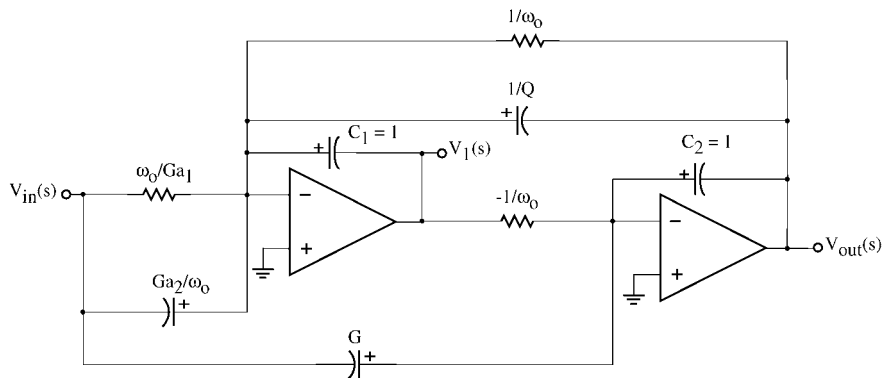


Fig. 7.69 Filtro activo RC biquad en el dominio continuo

b) *Amplificador de ganancia programable (PGA)*

El amplificador de ganancia programable, cuyo esquema se muestra en la Fig. 7.71, se utiliza en los canales izquierdo y derecho para ajustar el nivel de las señales externas (micrófono, CD y cinta magnetofónica). El circuito consta de un convertidor de entrada unipolar a diferencial seguido de un transconductor cuyos transistores de entrada  $M_{10}$  y  $M_{11}$  operan en la región óhmica. La etapa de salida es un convertidor de corriente a tensión. La ganancia del PGA se ajusta cambiando la transconductancia de la etapa diferencial mediante una tensión externa variable ( $V_A$ ) que se aplica al drenador de los transistores que operan en la región óhmica. Una variación de esta tensión de 0 a 180mV permite modificar la ganancia entre cero y dos.

La etapa de entrada es un amplificador diferencial con entrada PMOS. Una de las entradas se fija a  $V_{DD}/2$  y la otra se conecta a la tensión unipolar de entrada. Los transistores  $M_3$  y  $M_4$  conectados como un diodo actúan de fuentes de corriente que, junto con las resistencias  $R_1$ ,  $R_2$ ,  $R_3$  y  $R_4$ , establecen el punto de trabajo de esta etapa. La ganancia de esta etapa, asumiendo que es perfectamente simétrica, se calcula como en el anteriormente visto amplificador diferencial:

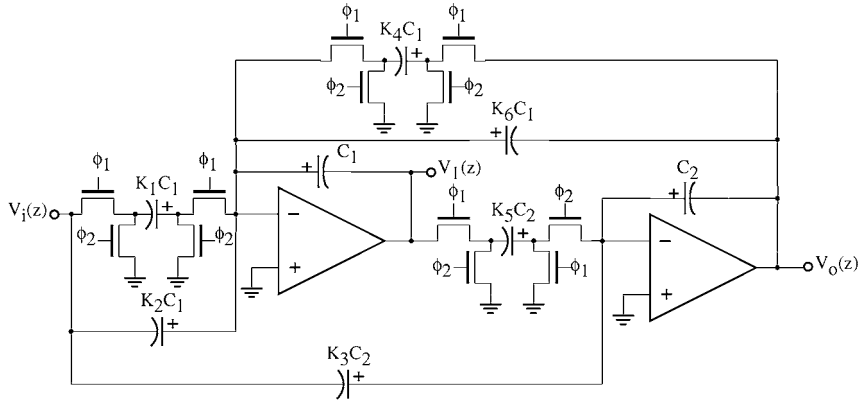


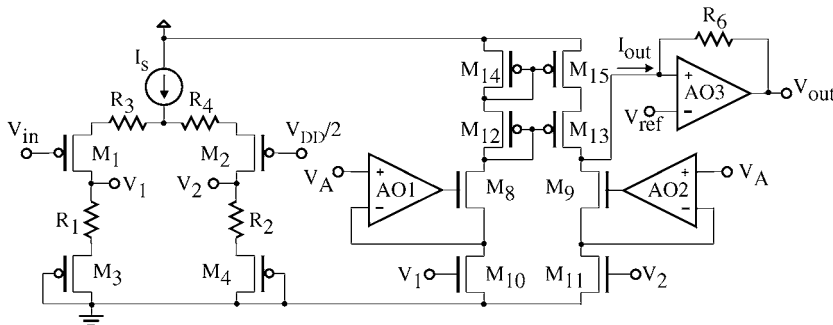
Fig. 7.70 Filtro biquad de capacidades conmutadas para factores de calidad ( $Q$ ) grandes

$$V_{out\_1^{a}etapa} = V_1 - V_2 = g_{m1}(r_{o1} || R_L) \left( V_{in} - \frac{V_{DD}}{2} \right) \quad (7.38)$$

donde  $r_{o1}$  es la resistencia de salida vista desde el drenador de  $M_1$  y  $R_L$  la resistencia de carga compuesta por  $R_1$  en serie con la resistencia vista desde el surtidor de  $M_3$ . La resistencia  $r_{o1}$  corresponde a la resistencia de drenador de una etapa drenador común con surtidor degenerado (ver el apartado correspondiente a los amplificadores del capítulo 6) y aproximadamente puede expresarse como:

$$r_{o1} \cong r_{ds1}(1 + g_{m1}R_3) \quad (7.39)$$

La etapa transconductora tiene entrada diferencial y proporciona una corriente de salida proporcional a la diferencia de tensiones en su entrada ( $V_1 - V_2$ ) con una ganancia que depende de la transconductancia de los transistores de entrada  $M_{10}$  y  $M_{11}$ , que a su vez depende del punto de trabajo. Este punto de trabajo se controla mediante la tensión  $V_A$  de la siguiente forma: los amplificadores ope-

$$\begin{aligned} V_{out} &= V_{ref} + R_6 g_{ds10} \left[ g_{m1}(r_{o1} || R_{L_1}) \left( V_{in} - \frac{V_{D10}}{2} \right) \right] \\ A_v[V_A] &= \frac{v_{out}}{v_{in}} = R_6 g_{m10}[V_A] g_{m1}(r_{o1} || R_{L_1}) \end{aligned} \quad (7.40)$$
$$g_{m10} = \frac{\mu_n \epsilon_{SiO_2}}{t_{ox}} \frac{W_{10}}{L_{10}} V_{DS10} = \frac{\mu_n \epsilon_{SiO_2}}{t_{ox}} \frac{W_{10}}{L_{10}} V_A \quad (7.41)$$


#### 7.6.4 Implementación del sistema

El sistema integrado para la realización de tests audiométricos se ha integrado utilizando una tecnología CMOS de 0,8  $\mu\text{m}$  con dos niveles de polisilicio y dos de metalización. La fotografía del chip se muestra en la Fig. 7. 72. El tamaño del circuito integrado es de 24,2 mm<sup>2</sup> y consume 45 mW. Las partes analógicas se han colocado agrupadas y separadas de la circuitería digital. De todas formas, dada la banda de frecuencias de audio (100 Hz a 20 kHz), no es crítico el ruido que pueda acoplarse desde la circuitería digital, ya que ésta opera a frecuencias mucho mayores (40 MHz). Para evitar diafonía entre los dos canales, las etapas de salida se han situado en lados opuestos del chip, consiguiéndose un aislamiento de -99 dB entre canales. El error en frecuencia de los tonos puros en todo el rango de frecuencias es de  $\pm 15$  ppm y la distorsión armónica total (THD) es de -80 dB, con una relación señal/ruido (SNR) de 90 dB.

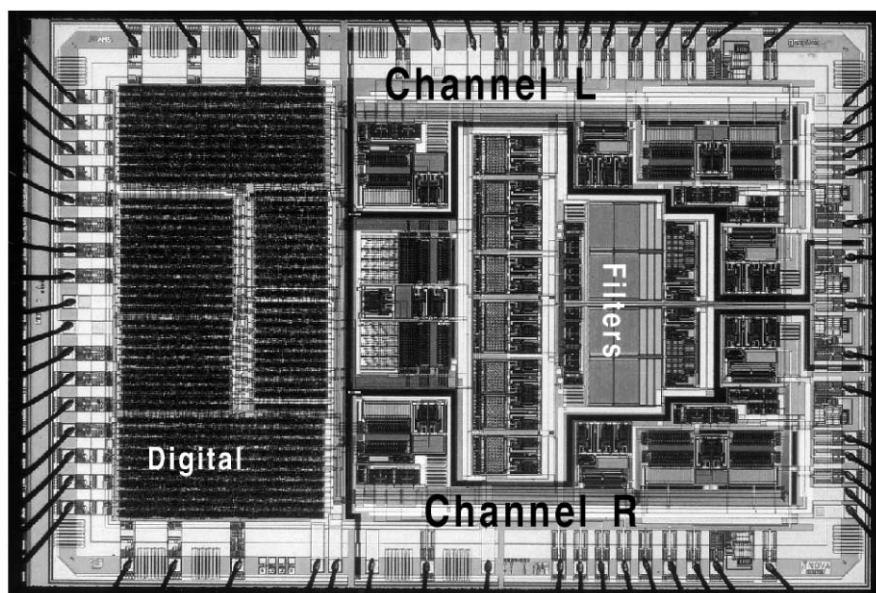


Fig. 7.72 Fotografía del sistema generador de estímulos para tests audiométricos

### 7.7 Ejemplo 4: Receptor monolítico de teléfonos inalámbricos para la normativa DECT

Como ilustración de un circuito integrado para comunicaciones a continuación se presenta un receptor para señales con una portadora de 1,9 GHz que cumplan la normativa DECT (*Digital Enhanced Cordless Telecommunications*) para telefonía inalámbrica [38]. El circuito presenta como aspectos más destacados su alto nivel de integración, y su arquitectura basada en un proceso de conversión doble con frecuencia intermedia (IF) de banda amplia. Esta arquitectura permite una fácil adaptación a otros estándares de comunicación en la banda de radiofrecuencia (RF).

Anteriormente en el apartado 7.3 de este mismo capítulo, se han examinado las posibles arquitecturas para la implementación de receptores de radiofrecuencia. Se vio que las dos arquitecturas más comunes son la superheterodina o de conversión simple, y la homodina o de conversión directa. Para permitir la total integración CMOS, la primera presenta el problema del rechazo de la frecuencia imagen, y las dos tienen el problema de la integración de un oscilador local sintonizable con un bajo ruido de fase.

La arquitectura elegida para este ejemplo presenta el diagrama de bloques de la fig. 7.73. El primer oscilador es de frecuencia fija, de forma que todos los canales son transferidos a la banda de frecuencia intermedia. Es por ello que se denomina receptor de banda intermedia ancha. Será un segundo oscilador sintonizable el que centra el canal deseado a banda base. Es entonces cuando un filtrado permite eliminar los canales no deseados. La selección de canal en banda base permite la utilización de filtros integrados programables digitalmente, lo que a su vez permite la utilización del receptor para diferentes estándares de transmisión. Además, el hecho de que la primera mezcla se realice con una frecuencia fija permite implementar su obtención con un oscilador a cristal con el que es posible obtener un bajo ruido de fase. En cuanto a la frecuencia sintonizable, el hecho de que ésta se encuentre a frecuencias intermedias permite relajar los parámetros de diseño necesarios, y facilitar la integración del correspondiente VCO.



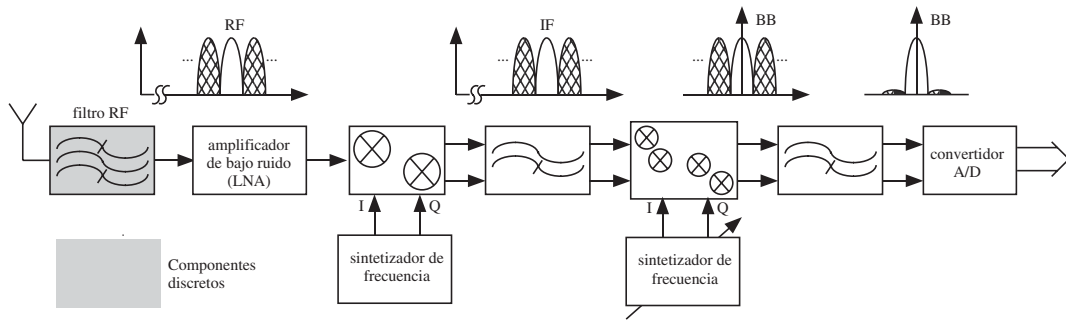


Fig. 7.73 Arquitectura de un receptor de doble conversión con una banda de frecuencia intermedia amplia

Las especificaciones del circuito para la recepción en el sistema DECT se muestran en la Tabla 7.5. En el caso concreto que vamos a analizar, el circuito se ha realizado en una tecnología CMOS de  $0,6\ \mu\text{m}$  y se alimenta a una tensión de 3,3 V.

Especificación	Valor
Ancho de banda del canal	1,728 MHz
Frecuencia portadoras	1,881 – 1,897 GHz
Sensibilidad	-83 dBm
Nivel de entrada mínimo	-26 dBm
Tasa de error de bits máxima	$10^{-3}$
Figura de ruido mínima	19 dB
Frecuencias intermedias	181 – 197 MHz
Rechazo de la frecuencia imagen	70 dB

Tabla 7.5 Especificaciones del receptor DECT.

### 7.7.1 Diagrama de bloques

En la Fig. 7.74 se muestra el diagrama de bloques del detector implementado. Como se puede comprobar, el único bloque del receptor que debe ser realizado con componentes discretos es el filtro de entrada en la banda RF. Asimismo, externamente se realiza la conversión a diferencial de las señales provenientes de la entrada y de los osciladores, de forma que todo el procesado se realiza de forma diferencial. Con esto se garantiza máxima inmunidad al ruido y se minimizan los acoplamientos entre bloques. La arquitectura de los dos mezcladores en cascada ha sido diseñada con el propósito de cancelar la banda imagen y de esta forma ahorrar su filtrado. Esta arquitectura así como el resto de bloques será analizada posteriormente con más detalle.

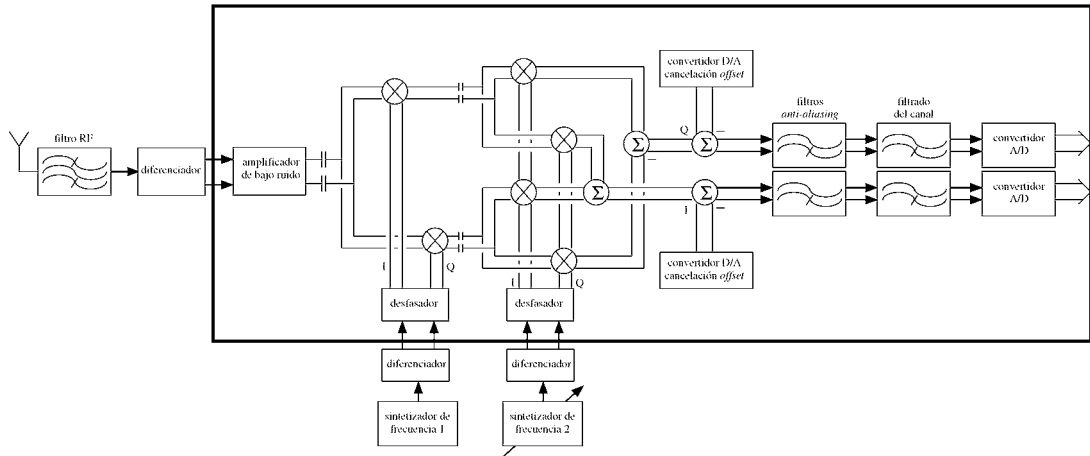


Fig. 7.74 Diagrama de bloques del receptor descrito.

Con el fin de eliminar el *offset* en las primeras etapas, la señal pasa de uno a otro bloque a través de capacidades serie. Asimismo, para la cancelación del *offset* en banda base que pueda haber sido introducido por el segundo mezclador, se utiliza un convertidor D/A programable que suma su salida a la señal demodulada. La posterior eliminación de los canales no deseados se realiza a través de un filtro *anti-aliasing*, y un filtro de capacidades conmutadas de octavo orden para la selección del canal propiamente dicha. Por último, la señal es digitalizada a través de un convertidor A/D de 10 bits tipo *pipeline*.

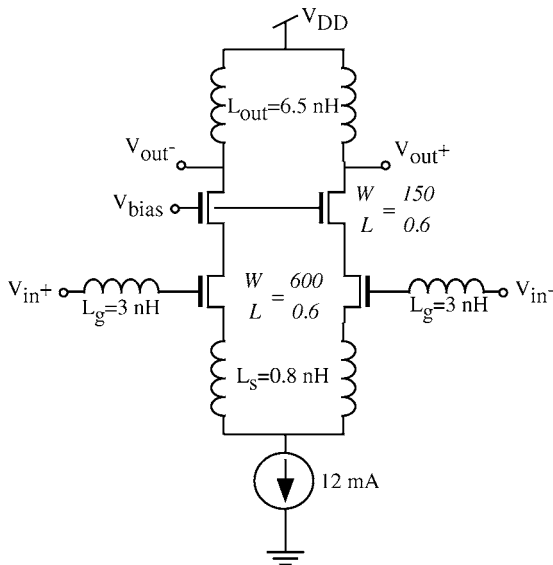


Fig. 7.75 Amplificador de bajo ruido implementado en el receptor.

## 7.7.2 Análisis de los bloques del sistema

### a) Amplificador de bajo ruido (LNA)

Las condiciones que debe cumplir este amplificador son baja figura de ruido, alta linealidad, adaptación de impedancias, bajo consumo y ganancia moderada. En el caso que nos ocupa, la linealidad vendrá determinada por las etapas posteriores, por lo que ésta es una condición menor importancia. La arquitectura elegida es la de un amplificador con fuente común degenerada inductivamente, cuyas características básicas se presentaron en el apartado 7.3. El esquema completo del amplificador implementado se muestra en la Fig. 7.75, donde se observa la topología diferencial elegida con el propósito de aumentar el rechazo en modo común y la inmunidad al ruido acoplado a través del sustrato.

Para la realización de las inductancias  $L_g$  se ha aprovechado la autoinductancia parásita de las conexiones al encapsulado (*bonding wires*), de valor unos pocos nH. Las inductancias  $L_s$  y  $L_{out}$  se han implementado *on-chip* con inductores planos en espiral, combinando los dos niveles superiores de metalización para reducir la resistencia serie.

#### b) Mezcladores y eliminación de offset.

La arquitectura de los mezcladores para la demodulación a frecuencia intermedia y banda base se muestra en la Fig. 7.74. Esta es una versión mejorada de los mezcladores de Hartley o Weaver vistos en el apartado 7.3. La sucesiva multiplicación por las componentes en fase y cuadratura de los osciladores locales, y una adecuada suma y diferencia, permiten obtener las componentes en fase y cuadratura de la señal en banda base a la vez que la cancelación de los términos debidos a la frecuencia imagen, lo que permite prescindir del filtro previo al mezclador. Por razones tecnológicas, la frecuencia del primer oscilador local es de 1,7 GHz, por lo que la frecuencia intermedia se sitúa entre 181 y 197 MHz. La implementación de cada etapa mezcladora se realiza con una clásica celda de Gilbert [39] realizada con dispositivos MOS, añadiendo transistores cascode para mejorar el aislamiento.

Para la eliminación de los productos de intermodulación tras la primera mezcla, es suficiente el filtro paso-bajo formado por la resistencia de salida del primer mezclador y la capacidad parásita en el nodo de frecuencia intermedia. Dado que la salida de los mezcladores es en modo corriente, la suma y diferencia de componentes no necesita de circuitería alguna.

En cuanto a la cancelación de *offset*, además de los condensadores serie a la entrada de cada etapa, se utilizan corrientes de compensación obtenidas mediante convertidores D/A, uno para la componente I y otro para la componente Q. Lógicamente la mejor estructura en este caso es la de un convertidor por escalado de corriente, y con una resolución de 6 bits resulta suficiente. El control del convertidor lo realiza un DSP que ejecuta un algoritmo a partir de la señal obtenida en banda base.

#### c) Filtrado del canal en banda base.

Una vez realizada la demodulación, es necesario filtrar el canal seleccionado para eliminar los canales adyacentes. Dado que esta función la realizará un filtro con capacidades conmutadas, se hace necesario la inclusión previa de un filtro *anti-aliasing* para eliminar la energía interferida al canal como consecuencia del muestreo inherente a la conmutación de capacidades.

Se elige una frecuencia de conmutación de capacidades de 31,1 MHz, y dado que el ancho de banda del canal es de 700 kHz el filtro *anti-aliasing* debe eliminar energía por encima de los 30,4 MHz. La atenuación mínima vendrá dada por las especificaciones de la transmisión DECT. Una tasa de error de bits de como máximo  $10^{-3}$  implica una relación portadora a ruido (CNR) de 10,3 dB. Por otra parte, el receptor debe ser capaz de recibir una portadora de -80 dBm en presencia de señales adyacentes de -23 dBm. La atenuación mínima se calcula entonces a partir de la siguiente expresión

$$CNR \geq \text{nivel\_portadora} - (\text{nivel\_adyacente} - \text{atenuación}) \quad (7.42)$$

obteniendo como resultado del orden de 70 dB de atenuación. Para conseguirlo se implementa un filtrado de cuarto orden, ilustrado en la Fig. 7.76. El primer polo se consigue con una capacidad de 28 pF conectada a la salida del mezclador, que junto a su resistencia de salida forma un primer filtro. A continuación la señal es amplificada 3 dB a través de un amplificador no-inversor, y filtrada primero por una red pasiva RC, y por último por un filtro Sallen-Key de segundo orden. La inclusión de la etapa amplificadora permite reducir el ruido aportado por el filtro. Las resistencias de los filtros se

implementan con difusiones de tipo P+, mientras que las capacidades se realizan con dos niveles de polisilicio.

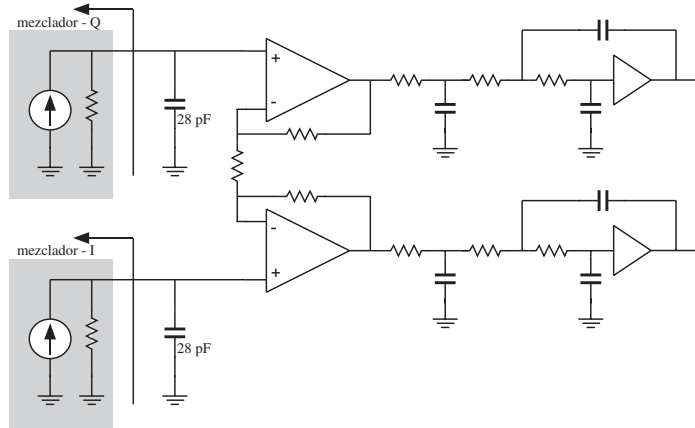


Fig. 7.76 Esquema del filtro anti-aliasing.

El filtro con capacidades conmutadas se realiza con cuatro etapas biquadráticas en cascada, las tres primeras para el filtrado del canal, mientras que el cometido de la cuarta etapa es la compensación de fase [40]. El hecho de que el canal sea amplificado progresivamente mientras que la energía adyacente es atenuada permite escalar las capacidades en cada etapa, reduciendo el ruido de cada etapa y ahorrando un 40% de la potencia consumida. El filtro en su conjunto presenta una frecuencia de corte de  $-3$  dB de 700 kHz.

#### d) Conversión A/D

La última etapa de la recepción es la digitalización realizada por un convertidor A/D. En el circuito que nos ocupa se ha implementado una arquitectura *pipeline* con una resolución total de 10 bits, y una frecuencia de muestreo de  $10,37 \times 10^6$  muestras/s. Como se recordará, un convertidor de este tipo se compone de una serie de etapas en cascada, cada una de las cuales contiene un muestreador, un convertidor A/D *flash* de  $k$  bits, un convertidor D/A, la sustracción de la tensión muestreada y la salida de éste último convertidor, y la amplificación del residuo resultante por un factor  $2^k$ . Uno de los principales problemas de este tipo de convertidores es que el *offset* de los comparadores en las primeras etapas debe ser muy inferior a la resolución del convertidor, en nuestro caso inferior a 1 mV. La utilización de convertidores con un bit extra en cada etapa,  $k+1$ , permite relajar los requerimientos de *offset* de sus comparadores. En concreto, se ha elegido una arquitectura de 9 etapas con una resolución  $k+1$  de 2 bits cada una de ellas, que en su conjunto proporciona al convertidor una resolución medida de 10 bits. En la Fig. 7.77 se puede ver el esquema del convertidor implementado [41].

En un convertidor *pipeline* convencional con convertidores de  $k$  bits por etapa y amplificación por  $2^k$ , cualquier error introducido por el bloque A/D o D/A interno resulta en una distorsión, ya que la tensión a la salida del amplificador comprende todo el rango dinámico de entrada de la etapa siguiente. Al introducir un bit extra en la conversión A/D y D/A de cada etapa, pero no así en la amplificación, se deja espacio para que un error de *offset* no distorsione la señal. De hecho, al no haber distorsión, la información de un posible error es pasado a la etapa siguiente –introducir un bit extra permite transmitir más información–, y ésta puede detectar el error y corregirlo mediante técnicas de corrección digital. En el circuito que se analiza el convertidor *flash* de cada etapa tiene en realidad tan sólo 2 comparadores, que proporcionan 3 posibles valores al convertidor D/A, por lo que se dice que la resolución de cada etapa es de 1,5 bits.

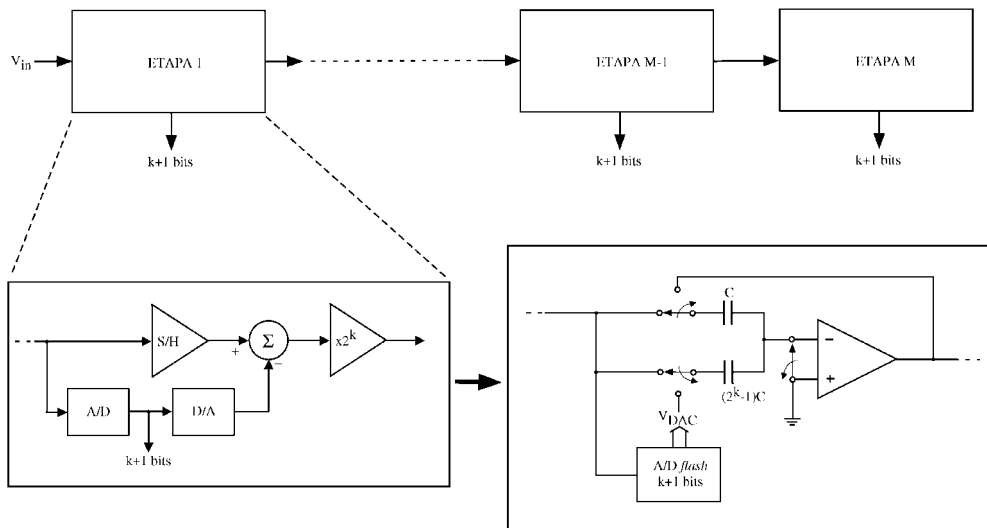


Fig. 7.77 Esquema del convertidor A/D pipeline [41].

El amplificador utilizado presenta una arquitectura de conmutación de capacidades. Conmutando las capacidades entre la tensión de entrada de la etapa y la tensión de salida del convertidor D/A, se obtiene inherentemente la amplificación de la diferencia de ambas tensiones. Por otra parte, para implementar el convertidor D/A basta con dividir la capacidad  $(2^k-1)C$  en capacidades unitarias de valor  $C$ , cada una de ellas conmutadas a  $V_{ref}$  o  $-V_{ref}$  en función del resultado de convertidor A/D flash. Todo ello permite implementar cada una de las etapas del convertidor de forma tremendamente compacta.

La alimentación de 3,3 V implica una mejora de consumo pero también un empeoramiento de prestaciones, de forma que el diseño de algunos elementos se hace más complejo para solventar esta limitación. En concreto, para mejorar la ganancia del amplificador operacional se hace necesaria la incorporación de una etapa pre-amplificadora de banda ancha. Asimismo, para mejorar la conmutación de los interruptores, los pulsos de 3,3 V son convertidos a 5 V a través de bombas de carga similares a las vistas en el capítulo 5 (Fig. 5.66), técnica de la que ya se habló en el apartado de capacidades conmutadas del capítulo 6.

Al igual que en el filtrado con capacidades conmutadas, las capacidades de muestreo también se van escalando a medida que se avanza en las etapas del convertidor *pipeline*. Ello es posible ya que en este tipo de convertidores los requerimientos de resolución y ruido se relajan en cada etapa, permitiendo por lo tanto una reducción de tamaño y en consecuencia un ahorro de potencia, ya que la capacidad de entrada de cada etapa se ve reducida.

### 7.7.3 Implementación

El receptor descrito se ha implementado utilizando un proceso CMOS de 0,6  $\mu\text{m}$ , con doble nivel de polisilicio y tres niveles de metalización. El tamaño del circuito integrado es de 7,5 mm por 6,5 mm, y su consumo de 198 mW. El circuito se ha alimentado a una tensión de 3,3 V, y se han utilizado bombas de carga para conseguir tensiones superiores a 3,3 V o inferiores a 0 V allí donde haya sido necesario. Para reducir el efecto de las inductancias parásitas asociadas a los terminales de cualquier encapsulado, se ha

utilizado la tecnología de chip sobre placa (*chip-on board*), consistente en el montaje directo del chip sobre la placa de circuito impreso. En la Fig. 7.78 se puede ver una fotografía del circuito receptor montado sobre la placa. Observar como los cables de unión (*bonding wires*) van directamente desde los *pads* del integrado hasta las pistas de metal del circuito impreso. Cada uno de los *pads* de entrada o salida del circuito integrado cuenta con diodos de protección contra descargas electrostáticas, realizados con uniones PN. Asimismo, la superficie inferior del chip está adherida a través de una resina conductora a un plano metálico puesto a tierra en la placa de circuito impreso, lo que garantiza una excelente polarización del sustrato y minimiza los problemas de acoplo eléctrico. El acoplo a través del sustrato es un problema especialmente grave en circuitos como el que nos ocupa, donde hay que procesar una señal analógica muy débil que puede ser perturbada por la parte digital o por otras señales de muy alta frecuencia en el mismo chip. Recordemos que, además de este sistema de encapsulado particular, el circuito incorpora otras medidas para reducir los efectos del ruido acoplado, como son una circuitería íntegramente diferencial, o el uso de una única fuente de corriente autopolarizada replicada a lo largo de las partes de radiofrecuencia y frecuencia intermedia. Además, en los *pads* correspondientes a las salidas digitales de los convertidores A/D se utiliza lógica acoplada por fuente (*source-coupled logic*), caracterizada por un consumo constante de corriente, a diferencia de la lógica CMOS convencional. Al ser la corriente constante, desaparecen los picos de consumo que originan ruido de conmutación en los nodos de alimentación.

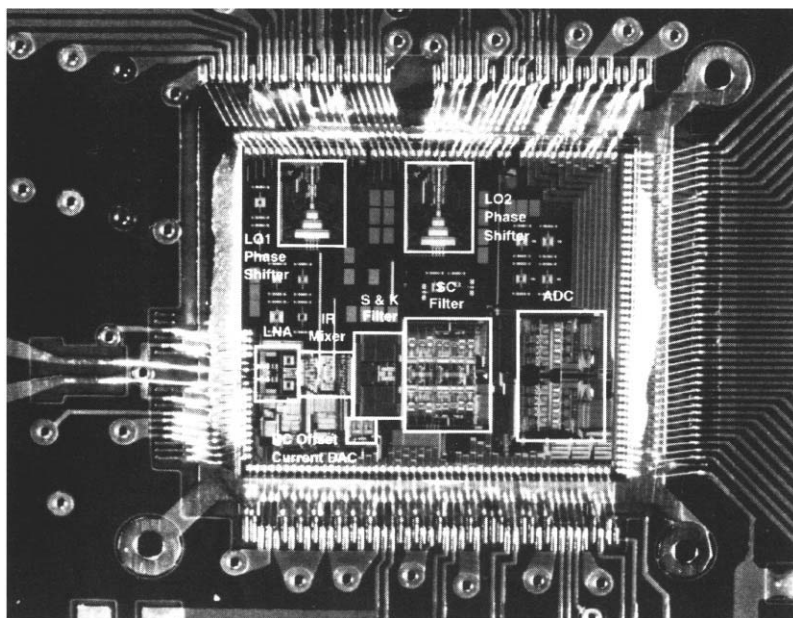


Fig. 7.78 Imagen del circuito receptor montado directamente sobre la placa de circuito impreso

## 7.8 Ejemplo 5: Sistema en Chip (SoC) para aplicaciones *Bluetooth*

En el campo del desarrollo de sistemas de funcionalidad compleja, un procedimiento actualmente dominante es el correspondiente a las denominadas tecnologías *Sistema en un Chip* (SoC, *System on Chip*). En esta tecnología se conciben los sistemas a partir de una arquitectura de bloques funcionales de complejidad media/alta que son integrados en un circuito integrado CMOS. Estos bloques, usualmente se manejan

en forma de una descripción funcional/estructural de alto nivel, concepto que se denomina *Propiedad Intelectual (IP, Intellectual Property)*. Así, estos bloques pueden ser sintetizados sobre una tecnología concreta y ubicados dentro de la arquitectura del *SoC*. Muchos de los bloques *IP* son modulares o reconfigurables, permitiendo ser incrustados (*embedded*) en una arquitectura *SoC* concreta.

Las entidades de los bloques más usuales son microprocesadores, generalmente de tipo *RISC (Reduced Instruction Set Computer)*, procesadores digitales de señal *DSP (Digital Signal Processor)*, bloques de memorias RAM y ROM y periféricos (UARTS, PCMCIA, I<sup>2</sup>C, USB, ...). La tecnología *SoC* es una interesante alternativa a las tecnologías *ASIC*, que desarrollan el circuito con una arquitectura específica, o a las habituales tecnologías *hardware/software*. En algunos lugares la tecnología de sistemas *SoC* se ve también denominada como *SoCware*. Existe acceso a un amplio conjunto de librerías de *IPs*, que permiten el desarrollo de sistemas de funcionalidad compleja de una manera muy eficiente, manteniendo un concepto de arquitectura y con una capacidad de ser implementados sobre la tecnología más adecuada en cada momento.

El área del diseño y test de *SoC* es muy activo en la actualidad, debido a las oportunidades que implica y a la necesaria participación de los grupos de investigación en la búsqueda de soluciones a los retos y dificultades que entabla. Las dificultades más importantes nacen de las consideraciones de diseño de bajo consumo, diseño de bajo ruido y test de los sistemas *SoC*, de hecho los circuitos *SoC* son un caso de circuitos mixtos de gran interés industrial.

*Bluetooth* es un estándar *de facto* para comunicaciones sin hilos entre elementos de proceso residentes en un espacio geográfico reducido (inferior a 10 metros), lo que se denomina *Personal Area Network (PAN)*.

En esta sección se muestran diversos ejemplos de implementación física de un sistema *Bluetooth* mostrándose en su versión más avanzada un sistema *SoC* completo.

### 7.8.1 Introducción a *Bluetooth*

Los primeros precedentes de la tecnología *Bluetooth* aparecen en 1994, cuando Comunicaciones Móviles Ericsson inició un estudio de viabilidad para el desarrollo de un enlace radio de bajo coste y bajo consumo entre teléfonos móviles y sus accesorios. El objetivo era eliminar cables entre los teléfonos móviles, ordenadores, módems, micrófonos, etc.

En febrero de 1998, cinco compañías: Ericsson, Nokia, IBM, Toshiba e Intel forman el *Special Interest Group (SIG)*, con el objetivo de desarrollar un estándar universal para que un equipo se comunique con sus periféricos vía radio sin la necesidad de cables. El objetivo inicial era que el coste de fabricación de un dispositivo que implementase la tecnología *Bluetooth* fuera el mismo que el de los cables a los que reemplaza: unos 5€. Actualmente el *SIG* está formado por un extenso conjunto de empresas del mundo de la electrónica, comunicaciones e informática, tanto *software* como *hardware*.

Los diferentes dispositivos conectados mediante esta tecnología forman lo que se denomina *pico-redes*, es decir, redes de comunicación de reducidas dimensiones. Una pico-red puede estar formada por un máximo de 7 dispositivos. Las características técnicas más importantes de esta tecnología son: alcance nominal: 10 m, con una potencia de emisión máxima de 0 dBm (1 mW). Alcance máximo opcional: 100 m, con una potencia máxima de emisión de 20 dBm (100 mW). La potencia de emisión ha de estar comprendida entre -30 dBm y 20 dBm. La sensibilidad del receptor ha de ser de -70 dBm. Para que el uso sea internacional, se utiliza una banda de frecuencias que no está regulada en la mayoría de países: la banda ISM centrada en 2,4 GHz, para la que no hay que pedir licencias para operar en ella. Esta banda de frecuencias puede ser utilizada por diferentes sistemas: microondas, sistemas de comunicación privados... ello implica que el sistema ha de ser robusto frente a las interferencias. Por ello se utiliza una comunicación de conmutación de paquetes y se utiliza la técnica que se denomina *frequency hopping* (salto de frecuen-

cia), consistente en variar 1600 veces por segundo la frecuencia de la portadora, siguiendo una secuencia conocida. La velocidad máxima de transferencia de bits es de 1 Mb/s. En el presente apartado nos centraremos en los aspectos electrónicos de esta tecnología. El lector puede ampliar la información sobre los diferentes protocolos de comunicaciones utilizados por esta tecnología a partir de las referencias que hay al final del presente capítulo [42][43][44][45][46].

La arquitectura de *Bluetooth* puede resumirse en el diagrama de bloques de la Fig. 7.79.

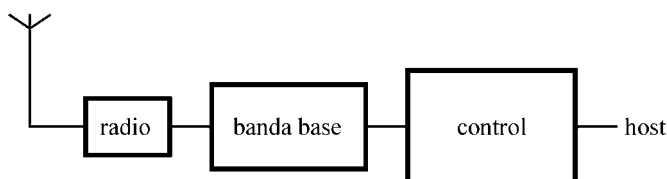


Fig. 7.79 Elementos principales de una unidad *Bluetooth*.

En la Fig. 7.80 se muestra la pila de protocolos que dan soporte a *Bluetooth*. El control de la comunicación se implementa a varios niveles por tres protocolos: el protocolo de gestión del enlace (LMP), el protocolo de aplicaciones y control del enlace lógico (L2CAP) y el interface de control del *host* (HCI). El LMP es responsable de establecer y supervisar conexiones y enlaces lógicos entre las unidades *Bluetooth* y se encarga de configurar el tipo de paquetes de los enlaces, de su secuenciación temporal (*scheduling* en inglés) y maneja los modos de bajo consumo y la supervisión de la calidad del enlace. También se encarga de aspectos de seguridad y autenticación. Las funciones del protocolo L2CAP incluyen la multiplexación de los distintos servicios, la segmentación y ensamblaje de los paquetes, por ejemplo paquetes de tipo IP<sup>3</sup> y la supervisión de aspectos de calidad del servicio. El HCI forma el interface con el *host* (por ejemplo un PC o un teléfono móvil). Proporciona al *host* los procedimientos de acceso a la radio *Bluetooth*. El nivel de enlace radio (RF) implementa los receptores/transmisores para la señal modulada en la banda ISM de 2,4 GHz. En el nivel de banda base los datos provenientes de niveles superiores o la señal de voz digitalizada son organizados en paquetes que se envían mediante el enlace radio del nivel inferior. A este nivel se realizan ciertas funciones de encriptado y control de errores.

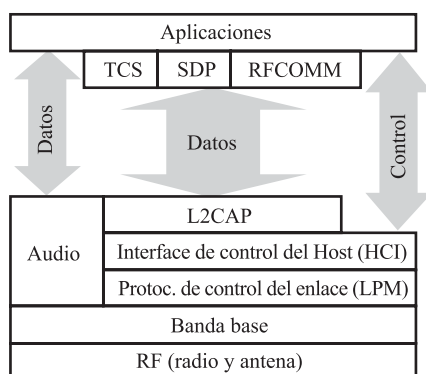


Fig. 7.80 Pila de protocolos de *Bluetooth*

<sup>3</sup> Los paquetes de tipo IP son los que se utilizan en protocolos de comunicación basados en el estándar ISO como el TCP-IP.



Para la implementación de la pila de protocolos de *Bluetooth* para las distintas aplicaciones, modelos de uso o dispositivos concretos primero hay que decidir qué parte de la arquitectura es necesaria. Por ejemplo, en un dispositivo auricular inalámbrico para teléfonos móviles únicamente es necesario utilizar la parte de la arquitectura que soporta la comunicación de voz, esto es, la capa de enlace por radio (RF), la banda base y el protocolo de audio. Incluso la banda base podría implementarse de forma reducida incluyendo sólo aquellas funciones que vayan a ser utilizadas en ese dispositivo. Una vez establecido qué parte de la arquitectura es necesario incluir para una aplicación concreta se ha de realizar una partición entre *software* y *hardware* para implementar la arquitectura necesaria. Finalmente el protocolo *Bluetooth* se implementará en un módulo que se podrá añadir a equipos ya existentes mediante un puerto de conexión estándar (RS232, USB, etc.). Existen partes de la arquitectura que claramente se corresponden con elementos *hardware* como el nivel de enlace radio (RF). Algunas de las funciones de la banda base y del gestor del protocolo de enlace (LPM), que necesitan realizarse en tiempo real sobre la secuencia de bits recibida o a transmitir también requieren de implementación con lógica dedicada. El resto de elementos de la pila de protocolos podrían implementarse mediante lógica dedicada o bien mediante código ejecutado por un microprocesador, que podría ser incrustado en el módulo *Bluetooth*, o bien en la CPU del ordenador o equipo móvil al que se conecte el módulo *Bluetooth* (*host* en inglés). También es posible que parte del código se ejecute en un microprocesador local en el módulo *Bluetooth* y parte en la CPU del equipo *host*. Todas estas estrategias van encaminadas a reducir al máximo el coste del módulo *Bluetooth* que como hemos visto debe ser muy reducido. La implementación óptima para el módulo *Bluetooth* consistirá en un solo CI realizado con tecnología CMOS, la más competitiva existente hoy en día, incorporando únicamente aquellas partes de la arquitectura *Bluetooth* que requieran *hardware* específico y velocidad de proceso elevadas y dejando el resto de arquitectura para ser implementada mediante código residente en la CPU del *host*.

### 7.8.2 Implementación de módulos *Bluetooth*

La implementación de la tecnología *Bluetooth* permite varias alternativas, aunque no hay que olvidar que reducir el coste es el objetivo prioritario por lo que cuantos menos componentes sean necesarios mejor. Los primeros prototipos disponibles comercialmente se basan en una solución en dos chips. Un circuito integrado utiliza tecnología bipolar o BiCMOS para la radio que incluye, además del circuito de silicio que integra el receptor y el emisor de RF, componentes externos que no es posible integrar de forma monolítica. Un segundo circuito integrado CMOS formado por un solo chip o por varios en un módulo multichip (MCM) integra el procesador de banda base y la lógica de control. Ejemplos de esta alternativa son el módulo *Bluetooth* de Ericsson mostrado en la Fig. 7.81 - que incorpora tres chips: la radio RF, el procesador de banda base (BB) y una memoria *flash* para almacenar el *software* de control que se ejecuta en un microprocesador ARM incrustado en el chip de banda base - o el módulo de PHILIPS, Fig. 7.81 también, que se basa en dos chips ya que la memoria *flash* se integra en el CI de banda base.

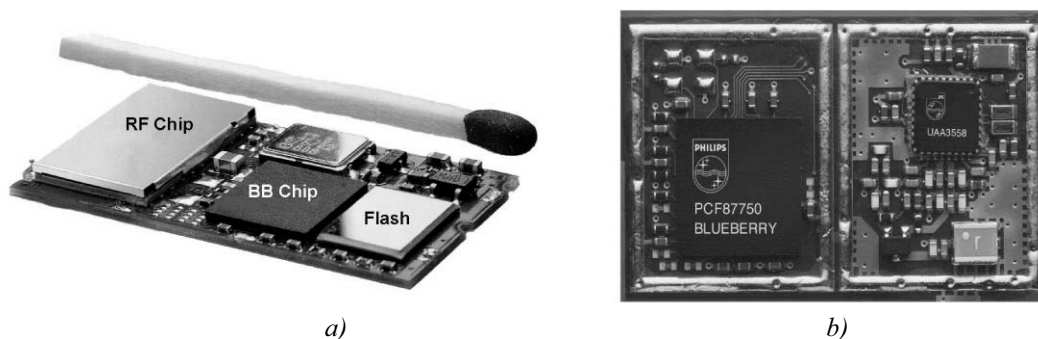


Fig. 7.81 Módulos Bluetooth comerciales: (a) Ericsson VWS26003 Bbchip + memoria flash + TrueBlue radio, (b) PHILIPS Blueberry procesador banda base + UAA3558 radio.

En los siguientes apartados, pasaremos a hacer un breve análisis de diferentes bloques *hardware* que implementan un módulo *Bluetooth*, indicando diferentes concepciones, desde la formada por diferentes circuitos integrados hasta la formada por un único SoC.

#### a) Procesador de banda base:

La Fig. 7.82 muestra el diagrama de bloques del procesador de banda base *Blueberry*. Este circuito integrado es un buen ejemplo de las tendencias actuales de diseño. Excepto algunos bloques analógicos, como un módulo de control del consumo que incluye un convertidor interno DC/DC y mixtos como el oscilador y los convertidores A/D y D/A del codificador-decodificador (CODEC) que permiten trabajar con voz o señales analógicas directamente, el resto del circuito son digitales, la mayoría de ellos bloques *IP* (*Intellectual Property*) incrustados que pueden ser reutilizados en otros diseños. Los módulos más importantes son los siguientes:

- Bloque de lógica específica que contiene parte del procesador de banda base (PBC) basado en el núcleo *Bluetooth* de Ericsson EBC. Este bloque es una *IP* incrustada en el circuito integrado y es el responsable de realizar las tareas con requerimientos temporales más estrictos del nivel de banda base: controlador del enlace, encriptado, comprobación y generación de CRC, codificación y decodificación FEC.
- Núcleo incrustado del microprocesador ARM7TDMI conectado a 384 kbytes de memoria *flash* (etiquetada MTP en el diagrama de bloques) y a 64 kbytes de memoria RAM internas.
- Soporte de voz: un CODEC [47] que permite captar y reproducir voz analógica y una interface (PCM) que permite incorporar voz digitalizada y transferirla directamente al controlador de banda base (PCB) mediante un codificador de voz CVSD [48].
- Interfaces estándar: toda una serie de módulos que permiten conectar buses estándar de transferencia de datos: USB, UART, I<sup>2</sup>C, SPI y entradas y salidas de propósito general.

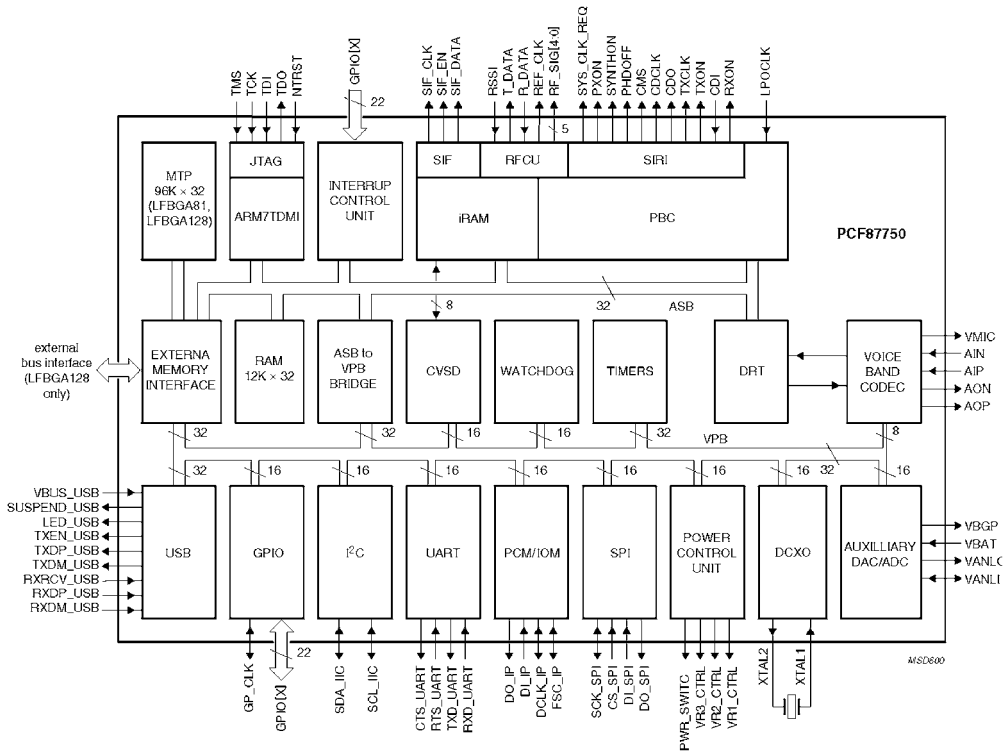


Fig. 7.82 Diagrama de bloques del procesador de banda base Blueberry (PCF87750E) de PHILIPS.

### b) Radio

El diseño e implementación de la radio es la parte más compleja de la tecnología *Bluetooth*, dado que el objetivo es implementarla con el menor número posible de componentes externos. El diagrama de bloques general de la radio *Bluetooth* presentada en [50] se muestra en la Fig. 7.83. El transmisor se encuentra en la parte inferior de la figura, mientras que el receptor se encuentra en la parte superior.

En los prototipos comerciales disponibles en el momento de escribir este texto los componentes externos necesarios son, por una lado los inductores necesarios para la circuitería de generación del reloj y filtros, y por otro el interruptor de la antena y el filtro de salida de la banda de ISM debido a que debe tener un elevado factor de calidad. Este filtro se puede ver claramente en la esquina inferior derecha de la radio *Bluetooth* de PHILIPS de la Fig. 7.81b. Otro bloque que se encuentra en los módulos *Bluetooth* comerciales como componente externo es el amplificador de potencia del emisor de RF. Sin embargo ya se han presentado en congresos internacionales prototipos en fase de industrialización que aumentan el grado de integración, incorporando los inductores [49][50], así como el amplificador de potencia [51], realizados con tecnología CMOS, y dejando únicamente el filtro de banda ISM, algunos condensadores, resistencias y el interruptor de antena como componentes externos (aunque en [49] incluso el interruptor de antena se integra en el propio chip).

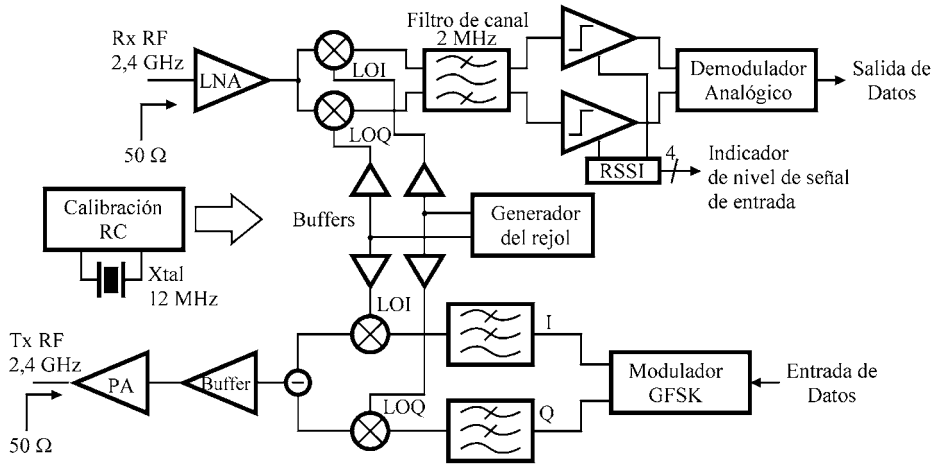


Fig. 7.83 Diagrama de bloques de una radio Bluetooth integrada en un solo chip [51]

El transmisor (en la mitad inferior de la Fig. 7.83) utiliza una estructura de conversión directa para conseguir un bajo consumo y un elevado grado de integración. Un oscilador en cuadratura genera la señal FSK de modulación continua [52] en banda base a partir de la secuencia binaria de entrada. A continuación se realiza un filtrado paso bajo Gaussiano en las componentes fase (I) y cuadratura (Q) para conformar el espectro y limitar su banda a 1 MHz, tal y como especifica la normativa *Bluetooth*. Esta alternativa para implementar la modulación GFSK elimina los convertidores A/D que se utilizan en los moduladores clásicos, y con ello se consigue reducir el consumo de potencia. Posteriormente el espectro GFSK en banda base es transportado directamente a la banda de 2,4 GHz mediante mezcladores de tipo Gilbert. La señal de RF es entregada a la antena por un amplificador de potencia (PA) de tipo AB, consistente en un preamplificador y una etapa *driver* que proporciona 5dBm sobre una carga de 50 Ω. La adaptación de impedancias se consigue con una red de adaptación *on-chip* consistente en una red LC con componentes pasivos integrados.

En el diseño del amplificador de potencia es muy importante tener en cuenta dos aspectos: la adaptación a la carga y el control de su consumo ya que debe ajustarse en los modos de *power-down*. La Fig. 7.84 muestra es esquema a nivel de transistor del amplificador implementado. Para las cargas de drenador de los transistores y en los circuitos de adaptación se utilizan inductores integrados, que permiten una polarización DC mientras hay una carga en RF. La reducción del consumo se consigue mediante una red de interruptores MOS que generan distintos valores de la tensión de polarización ( $V_{BIAS}$ ) de las dos etapas del amplificador lo que permite ajustar su ganancia (y por tanto su consumo de potencia) en pasos de 7dB. Nótese que a medida que se van conectando más ramas mediante las señales de control  $V_{P1}$  a  $V_{P4}$ , la corriente por cada rama disminuye y por tanto la tensión  $V_{BIAS}$  también lo hará. La topología del amplificador es completamente diferencial lo que reduce su sensibilidad al ruido.

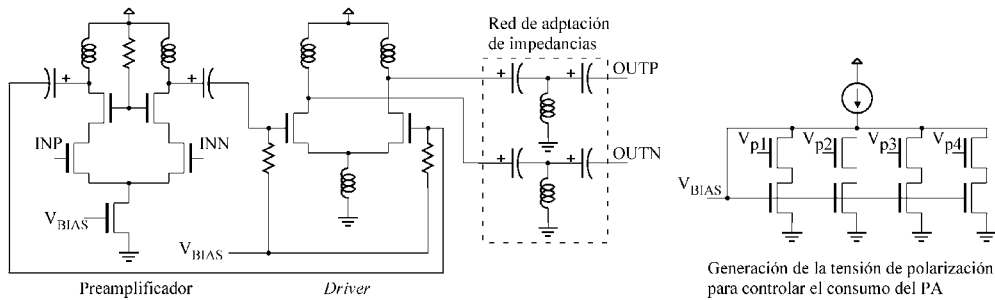


Fig. 7.84 Estructura del amplificador de potencia PA con control de su consumo de potencia

El mismo generador de reloj se puede utilizar para el transmisor y para el receptor, puesto que nunca operan simultáneamente. Dicho generador de reloj, cuyo diagrama de bloques se muestra en la Fig. 7.85, se implementa a partir de un lazo de bloqueo de fase (PLL) con un VCO (oscilador controlado por tensión) que se centra a una frecuencia diferente de la del PA, para minimizar las interferencias entre uno y otro. En el esquema de la radio que nos ocupa, el VCO oscila a una frecuencia nominal  $f_{VCO} = 1,6$  GHz. Esta misma frecuencia se divide por dos y se separa en dos componentes fase y cuadratura desfasadas  $90^\circ$  que se vuelven a combinar con sendos mezcladores con la frecuencia del VCO, dando como resultado una frecuencia a la entrada de los mezcladores del transmisor y del receptor en la banda de los 2,4 GHz. Los *buffers* que se intercalan antes de los mezcladores del transmisor y el receptor son necesarios para filtrar los espurios que aparecen debido a los mezcladores del generador de frecuencias. Estos espurios están, no obstante, separados al menos 1,6 GHz de la frecuencia de reloj de 2,4 GHz, y son fácilmente filtrados mediante circuitos LC *on-chip* con un factor de calidad de los inductores  $Q \approx 5,5$  que se incorporan a los *buffers* y a los propios mezcladores del transmisor y el receptor.

La selección de frecuencias se realiza en el PLL controlando la frecuencia del VCO a partir de una referencia de 12 MHz que se divide por 18 y comparándola con la frecuencia del VCO dividida por un factor N que es programable.

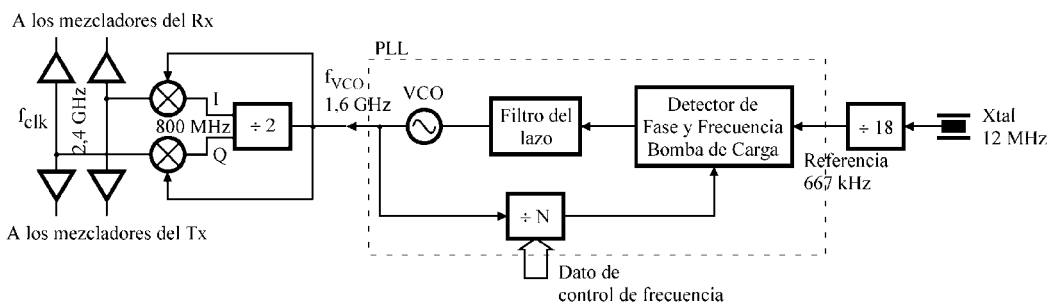


Fig. 7.85 Diagrama de bloques del generador de reloj basado en un PLL con frecuencia de salida programable

La radio *Bluetooth* que hemos analizado ha sido implementada con tecnología CMOS de  $0,35 \mu\text{m}$ , un nivel de polisilicio y cuatro niveles de metal. La Fig. 7.86 muestra una fotografía del circuito donde se indican los distintos bloques de los que hemos ido hablando. Obsérvese el gran número de inductores integrados implementados mediante espiras circulares planas que ocupan una gran parte del área junto

con los condensadores de los filtros. El circuito de la figura integra completamente la radio y sólo unos pocos componentes externos son necesarios: un condensador para adaptar impedancias en la entrada del LNA, el cristal de 12 MHz y unas pocas resistencias para establecer la corriente de polarización. La tensión de alimentación es 2,7 V. En el modo de bajo consumo el circuito consume menos de 50  $\mu$ W. En el modo activo el receptor consume 46 mA y tiene una sensibilidad de -82dBm y el transmisor proporciona una potencia de salida de 4dBm y consume 47mA, de los cuales 15 mA corresponden al VCO y el sintetizador de frecuencias y 12 mA corresponden al generador del reloj.

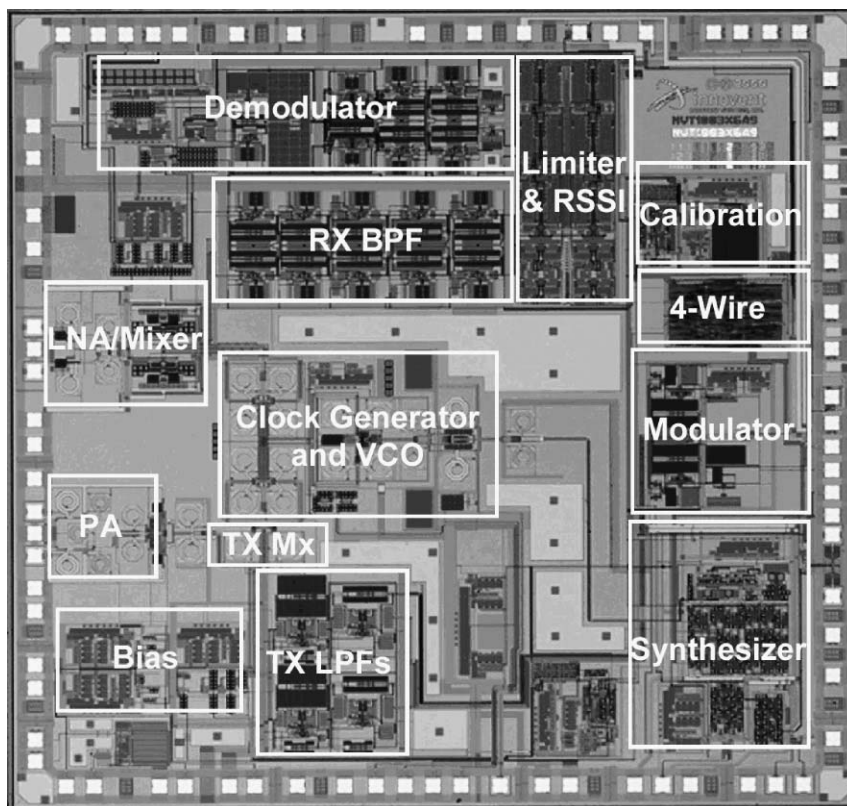


Fig. 7.86 Fotografía de una radio Bluetooth totalmente integrada en un solo circuito [50]

c) Integración de la radio y la banda base en un solo chip (SOC Bluetooth):

Los objetivos de precio de mercado para *Bluetooth* requieren una integración de bajo coste del sistema. En [53] se presenta una implementación de un sistema *Bluetooth* integrado en un solo chip CMOS. El circuito es compatible con la versión V.0.1.b. del estándar (una versión previa a la de [45]). El circuito está construido alrededor de cuatro bloques fundamentales, como se indica en la Fig. 7.87:

- El núcleo principal del circuito está compuesto por un sistema microprocesador incrustado que consta, además del microprocesador (un ARM7), de 48 KB de RAM, 256 KB de memoria *flash* y una memoria ROM de arranque. En esta parte del circuito se implementan todas las capas de *software* hasta el Interface de Control del Host (HCI). Como el código se

almacena en la memoria *flash* del microprocesador éste puede ser fácilmente modificado o adaptado a nuevas versiones del estándar *Bluetooth* o personalizarse para aplicaciones concretas.

- Otro de los bloques es un Procesador Digital para la Banda Base. Este procesador que contiene *hardware* dedicado se utiliza para las tareas temporalmente críticas de las capas físicas del protocolo.
- La radio RF está también completamente integrada en el chip.
- El resto de bloques implementan diversas interfaces estándar de entrada y salida: voz, UART, SPI, además de varias entradas/salidas de propósito general (GPIO) que pueden ser libremente programadas.

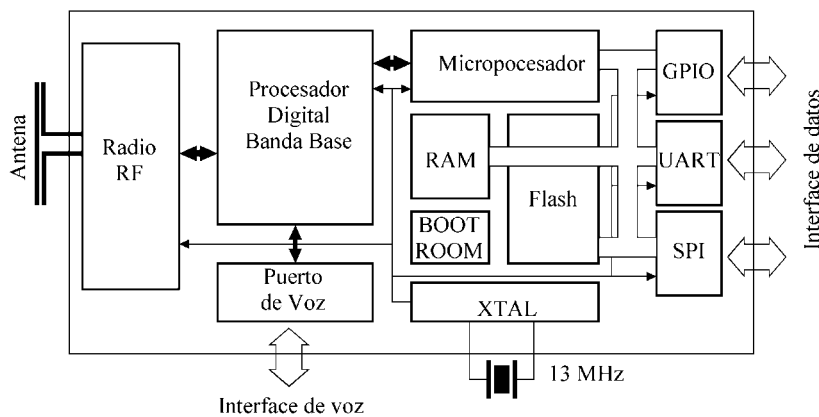


Fig. 7.87 Diagrama de bloques del CI que integra el sistema Bluetooth en un solo chip (SOC Bluetooth)

El CI está pensado en principio para funcionar como un módem *Bluetooth* para datos y/o voz. Sin embargo, el código implementado deja espacio libre en la *Flash* que permite implementar aplicaciones específicas.

El circuito ha sido fabricado con una tecnología CMOS de 0,25  $\mu\text{m}$  y ocupa 40 mm<sup>2</sup>. La Fig. 7.88 muestra una fotografía del circuito integrado. Prácticamente el 40% del área queda ocupado por la memoria RAM de 48 KB. La tensión de alimentación es 2,5 V y los consumos son: en modo de bajo consumo, 10  $\mu\text{A}$ , cuando se activa el microprocesador, 20 mA, durante la recepción 50 mA y durante la transmisión 70 mA. El circuito fue diseñado totalmente en 18 meses. El circuito es un claro ejemplo de Sistema en un Chip (SoC) mixto integrando partes digitales, analógicas y de RF realizado en una tecnología CMOS. Únicamente han sido necesarias unos pasos adicionales en el proceso de fabricación estándar que permiten realizar la memoria *Flash*. El problema más importante que se ha tenido que resolver es el del acoplamiento del ruido vía sustrato. Por ello toda la topología de los circuitos analógicos de la radio es completamente diferencial.

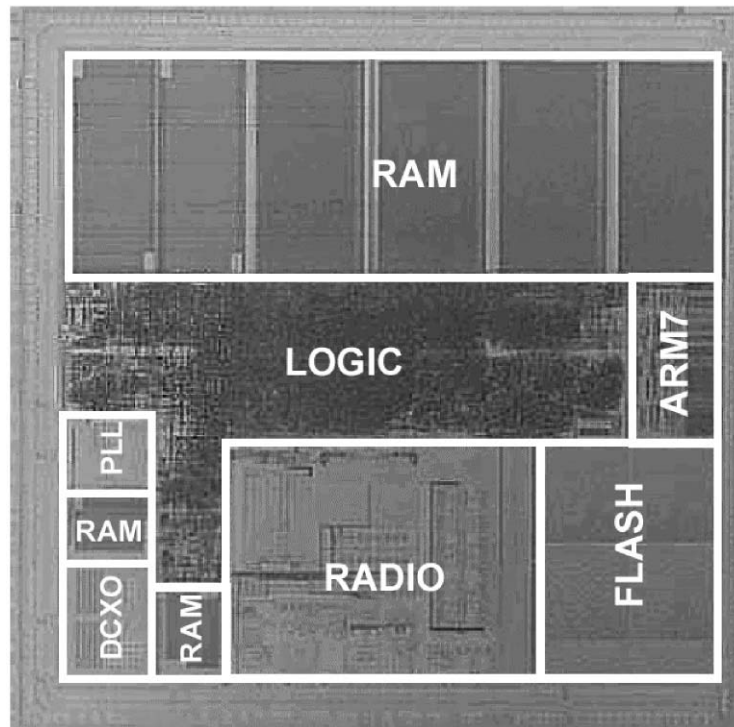


Fig. 7.88 Fotografía de un prototipo fabricado del SOC Bluetooth [53]

## Problemas

- P 7.1 Imaginemos que la membrana del Ejemplo 1 está formada por 3 capas de aluminio, óxido y silicio, en este orden. Averiguar los coeficientes de dilatación de estos materiales y analizar las deformaciones existentes para un margen de  $\pm 60^{\circ}\text{C}$  alrededor de la temperatura ambiental ( $25^{\circ}\text{C}$ ).
- P 7.2 Dibujar los dos circuitos Receptor y Transmisor del Ejemplo 1 independientemente y establecer las características de cada bloque funcional de manera lo más completa posible. Cuando los valores no puedan ser derivados del texto asignar valores adecuados.
- P 7.3 Analizar el funcionamiento de las dos etapas de amplificación de la Fig. 7.45. Diseñar las dos etapas de OTA y proceder a la simulación SPICE del circuito global.
- P 7.4 Comprobar que el diseño de las etapas del ejercicio P 7.3 presenta una fase de  $0^{\circ}$ .
- P 7.5 Diseñar un circuito completo que implemente el detector de pendiente descrito en el Ejemplo 1.
- P 7.6 Diseñar el autómata que implementa el algoritmo de auto-seguimiento del Ejemplo 1.



## Referencias

- [1] R. Jacob Baker et al., *CMOS circuit design, layout and simulation*. IEEE Press, 1998.
- [2] Paul R. Gray and Robert G. Meyer, *Análisis y diseño de circuitos integrados analógicos*, Prentice Hall, 1995.
- [3] M. Madihian et al., "A 5-GHz Band Multifunctional BiCMOS Transceiver Chip for GMSK Modulation Wireless Systems", *IEEE J. of Solid-State Circuits*, vol. 34, num. 1, January 1999, pp. 25-32.
- [4] H. Hofstee et al., "A 1GHz Single-Issue 64b PowerPC Processor ", *Proc. Int. Solid-State Cir. Conference*, February 2000, pp. 120-127.
- [5] M.L. Alles, "Thin-film SOI emerges", *IEEE Spectrum*, June 1997, pp. 37-45.
- [6] I. Aller et al., "CMOS Circuit Technology for Sub-Ambient Temperature Operation", *Proc. Int. Solid-State Cir. Conference*, February 2000, pp. 221-223.
- [7] T. Buchholtz et al., "A 660 MHz 64b SOI Processor with Cu Interconnects", *Proc. Int. Solid-State Cir. Conference*, February 2000, pp. 210-214.
- [8] W. H. Knausenberger and L.W. Schaper, "Interconnection costs of various substrates-The Myth of Cheap Wire", *IEEE Trans. Components, Hybrids, Manuf. Technol.*, vol. CHMT-7, no. 3, September 1984, pp. 261-267.
- [9] A.A. Evans and J.K. Hagge, "Advanced Packaging Concepts- Microelectronics Multiple Chip Modules utilizing Silicon Substrates", *Proc. 1<sup>st</sup>. Int. SAMPE Electron. Conf.*, pp. 37-45, 1987.
- [10] Williams S. Trimmer Ed. *Micromechanisms and MEMS*, IEEE Press, 1997.
- [11] K. W. Markus and K. J. Gabriel, "MEMS: The Systems Function Revolution", *IEEE Computer*, October 1999, pp. 25-31.
- [12] J. Bryzek et al., "Micromachines made of silicon", *IEEE Spectrum*, vol. 31, no. 5, May 1994, pp. 20-31.
- [13] <http://tima.imag.fr/gallery/Mcs/gallery.html>
- [14] <http://daytona.ca.sandia.gov/LIGA/8mm.html>
- [15] MS 6100 2g-accelerometer, <http://www.csem.ch/microsystems/>
- [16] Derek K. Shaeffer, Thomas H. Lee, "A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier", *IEEE J. Solid-State Circuits*, vol. 32, no. 5, pp. 745-759, May 1997.
- [17] *The Design of CMOS Radio-Frequency Integrated Circuits*, Thomas H. Lee, Cambridge University Press, 1998.
- [18] E. Säcklinger, W. C. Fischer, "A 3-GHz 32-dB CMOS Limiting Amplifier for SONET OC-48 Receivers", *IEEE J. Solid-State Circuits*, vol. 35, no. 12, pp. 1884-1888, December 2000.
- [19] A. N. Karanicolas, "A 2.7-V 900-MHz CMOS LNA and Mixer", *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 1939-1944, December 1996.
- [20] P.J. Sullivan, B.A. Xavier, W.H. Ku, "Low Voltage Performance of a Microwave CMOS Gilbert Cell Mixer", *IEEE J. Solid-State Circuits*, vol. 32, no. 7, pp. 1151-1155, July 1997.
- [21] P.Y. Chan, A. Rofougaran, K.A. Ahmed, A.A. Abidi, "A Highly Linear 1-GHz CMOS Downconversion Mixer", *Proceedings of the IEEE European Solid-State Circuits Conference, ESSCIRC'93*, pp. 210-213, 1993.
- [22] J. Crols, M. Steyaert, "A 1.5 GHz Highly Linear CMOS Downconversion Mixer", *IEEE J. Solid-State Circuits*, vol. 30, no. 7, pp. 736-742, July 1995.
- [23] J. Cranineckx, M.S. Steyaert, "A CMOS 1.8 GHz Low-Phase-Noise Voltage-Controlled Oscillator with Prescaler", *Proceedings of the IEEE International Solid State Circuits Conference, ISSCC'95*, pp. 266-267, 1995.

- [24] C. Kuratli and Q. Huang, "A fully integrated self-calibrating transmitter/receiver IC for an ultrasound presence detector microsystem", *IEEE J. of Solid State Circuits*, vol. 33, no. 6, June 1998, pp. 832-841.
- [25] O. Brand et al., "Membrane resonators in bipolar and CMOS IC technology", *Proceedings of Transducers 93*, Japan, 1993, pp. 646-649
- [26] C. Kuratli, "Realization of silicon based ultrasound micro-systems", PhD dissertation, Integrated Systems Laboratory, Swiss Federal Institute of Technology (ETH), Zurich, 1998.
- [27] S. K. Mendis, S. E. Kemeny, R. C. Gee, B. Pain, C. O. Staller, Q. Kim, E. R. Fossum, "CMOS Active Pixel Image Sensors for Highly Integrated Imaging Systems", *IEEE J. of Solid State Circuits*, vol. 32, no. 2, February 1997.
- [28] S. Decker, D. McGrath, K. Brehmer, C. G. Sodini, "256x256 CMOS Imaging Array with Wide Dynamic Range Pixels and Column-Parallel Digital Output", *IEEE J. of Solid State Circuits*, vol. 33, no. 12, December 1998.
- [29] S. M. Sze, *Physics of Semiconductor Devices*, Wiley & Sons, 1981.
- [30] D. Halliday, R. Resnick, *Physics*, Wiley & Sons, 1978
- [31] C.H. Aw, B. Wooley, "A 128x128-Pixel Standard-CMOS Image Sensor with Electronic Shutter", *IEEE J. of Solid State Circuits*, vol. 31, no. 12, December 1996, pp. 1922-1930.
- [32] G. Chapinal, M. Moreno, S. Bota, G. Hornero, A. Herms, "Design and test of a CMOS camera with analog memory for synchronous image capture", *Proceedings of SPIE, Sensors, cameras, and systems for scientific/industrial applications*, vol. 3649, (1999), 126-133.
- [33] R. H. Nixon, S. E. Kemeny, B. Pain, C. O. Staller, E. R. Fossum, "256x256 CMOS Active Pixel Image Sensor Camera on-a-Chip", *IEEE J. of Solid State Circuits*, vol. 31, no. 12, December 1996.
- [34] Y. Degerli, F. Lavernhe, P. Magnan, J. Farré, "Non-Stationery Noise Responses of Some Fully Differential On-Chip Readout Circuits Suitable for CMOS Image Sensors", *IEEE Trans. on Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 46, no.12, December 1999.
- [35] S. Brigati, F. Francesconi, G. Grassi, P. Malcovati, M. Poletti, and F. Maloberti, "Generation of Analog Signals for Audiometric Tests", *Proc. of World Multiconf. on Systemics, Cybernetics and Informatics*, Orlando, USA, pp. 231-236, 1998.
- [36] S. Brigati, F. Francesconi, G. Grassi, D. Lissoni, A. Nobile, P. Malcovati, F. Maloberti, and M. Poletti, "An 0.8- $\mu$ m CMOS Mixed Analog-Digital Integrated Audiometric System", *IEEE Intl. Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, USA, pp. 116-117, February 1998.
- [37] S. Brigati, F. Francesconi, G. Grassi, D. Lissoni, A. Nobile, P. Malcovati, F. Maloberti, and M. Poletti, "An 0.8- $\mu$ m CMOS Mixed Analog-Digital Integrated Audiometric System", *IEEE J. of Solid-State Circuits*, vol. 34, no. 8, August 1999.
- [38] J.C. Rudell, Jia-Jiunn Ou, T. Byunghak Cho, G. Chien, F. Brianti, J.A. Weldon, P.R. Gray, "A 1.9-GHz Wide-Band IF Double Conversion CMOS Receiver for Cordless Telephone Applications", *IEEE J. Solid-State Circuits*, vol. 32, no. 12, pp. 2071-2088, December 1997.
- [39] B. Gilbert, "A Precise Four-Quadrant Multiplier with Subnanosecond Response", *IEEE J. Solid-State Circuits*, vol. SC-3, pp. 365-373, December 1968.
- [40] T.B.Cho, G. Chien, F. Brianti, P.R. Gray, "A Power-Optimized CMOS Baseband Channel Filter and ADC for Cordless Applications", *1996 Symposium on VLSI Circuits Digest of Technical Papers*, pp. 64-65.
- [41] Thomas B. Cho, *Low-Power Low-Voltage Analog-to-Digital Conversion Techniques Using Pipeline Architectures*, PhD Thesis, Univ. California at Berkeley, 1995.

- [42] Página web del grupo de interés del *IEEE* sobre la normativa 802.11:  
<http://grouper.ieee.org/groups/802/11/index.html>
- [43] Página web de la tecnología HOME-RF: <http://www.homerf.org/>
- [44] Página web oficial del SIG: <http://www.bluetooth.org>
- [45] Bluetooth Special Interest Group, "Specifications of the Bluetooth System: Core", *Versión 1.1*, February 22, 2001.
- [46] Bluetooth Special Interest Group, "Specifications of the Bluetooth System: Profiles", *Versión 1.1*, February 22, 2001.
- [47] Saunders, J.; Spinks, S., "Design and integration of a voice codec cell on a Bluetooth™ baseband IC", *IEE Workshop on Systems on a Chip*, 2000, pp. 4/1 -4/7
- [48] Jun Yang; Chongxi Feng; Kun Tang; Ling Nu , "An all-digital code conversion technique between 32 kbps CVSD and 64 kbps PCM", *Proceedings of the 1993 IEEE Region 10 Conference on Computer, Communication, Control and Power Engineering*, Vol. 3, 1993, pp 37 -40.
- [49] Aruna Ajikuttira, et al., "A Fully-Integrated CMOS RFIC for Bluetooth Applications", *Proceedings of the IEEE International Symposium on Solid-State Circuits*, 2001, pp. 198-199, 446.
- [50] H. Darabi, et al., " A 2.4 GHz CMOS Tranceiver for Bluetooth", *Proceedings of the IEEE International Symposium on Solid-State Circuits*, 2001, pp. 200-201, 447.
- [51] Y.J.E. Chen, M. Hamai, D. Heo, A. Sutono, S. Yoo, J. Laskar, "RF Power Amplifier Integration in CMOS Technology", *Proceedings of 2000 IEEE MTT-S*, pp. 545-548.
- [52] A. Bruce Carlson, *Communication Systems*, 3<sup>rd</sup> edition, McGraw-Hill International Editions, New York, 1986.
- [53] Frank Op't Eynde, et al., "A Fully-Integrated Single-Chip SOC for Bluetooth", *Proceedings of the IEEE International Symposium on Solid-State Circuits*, 2001, pp. 206-207.