

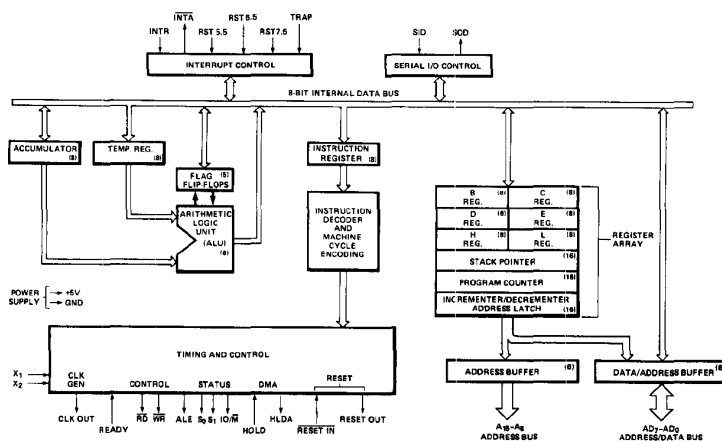
A mitjans dels 70 va aparèixer el **Intel 8085**, l'antecessor directe del 8088, que millorava el chip d'Intel 8080.

1. **Busos de dades, d'adreces i de control (20%)**. El 8085, al igual que el 8088, té el bus AD7-AD0 multiplexat en el temps (quan el senyal de control ALE=1 indica que AD7-AD0 conté la part baixa de les adreces; quan ALE=0, hi ha dades.) El bus de control està format bàsicament per tres senyals RD_L (=0 si hi ha cicle lectura), WR_L (=1 si hi ha cicle d'escriptura) i IO/M_L (=1 si ha accés a E/S i =0 si hi ha accés a memòria).

a) Omple justificadament la taula següent (10%):

Especificacions	8085
Amplada del bus de dades (en bits)	8
Amplada del bus d'adreces (en bits)	16
Memòria màxima adreçable (en Kbytes)	

b) Determina les expressions lògiques dels següents senyals en funció dels bussos del 8085 (10%): IOR_L (=0 quan hi ha un cicle de lectura a E/S i sinó), IOW_L (=0 quan hi ha un cicle d'escriptura a E/S i sinó), MEMR_L (=0 quan hi ha un cicle de lectura a memòria i sinó), MEMW_L (=0 quan hi ha un cicle d'escriptura a memòria i sinó),



2. **Arquitectura (10%)**. Es demana: marcar a la figura adjunta l'unitat de control i l'unitat de dades;

3. **Cicles d'instruccions (40%)**. Es disposa de la següent descripció d'una porció del conjunt d'instruccions del **8085**:

Mnemònic	Llargària en bytes	Cicles de rellotge	Operació simbòlica	Codi d'operació							
				7	6	5	4	3	2	1	0
OUT nn	2	10T ⁺	[nn] ← A*	1	1	0	1	0	0	1	1
INR r	1	5T	r ← r+1	0	0	D	D	D	1	0	0

DDD	Reg
000	B
101	L
111	A

+ T=Període de la senyal de rellotge; * [nn]= dada a la casella de E/S on apunta nn

Es demana: a) (5%) completar el següent programa

Adreça	Codi màquina ¹			Instrucció	Comentaris ²
	Codi d'operació	Operands			
0600H				OUT 05	
				INR A	

1 ESPECIFICAR EL CÒDI MÀQUINA EN HEXADECIMAL

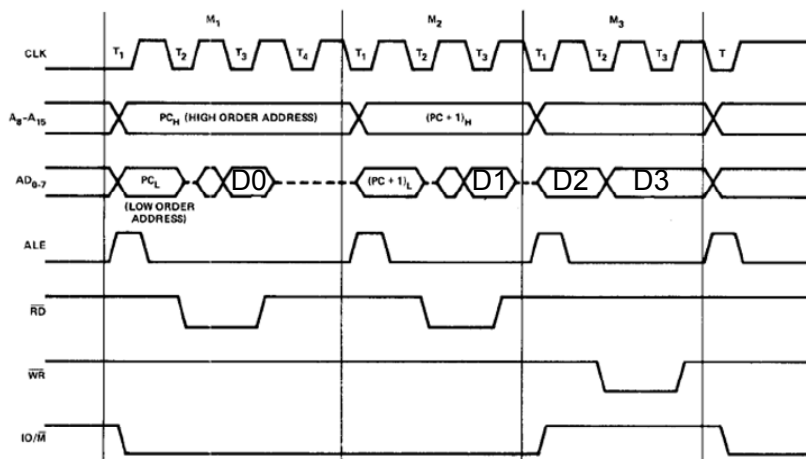
2 DETALLAR EL SIGNIFICAT DE CADA INSTRUCCIÓ D'ACORD AMB LA FUNCIONALITAT DEL PROGRAMA; EN EL CAS D'INTRUCCIONS QUE TRASNFEREIXEN DADES. INDICAR EL TIPUS D'ACREÇAMENT QUE ES FA SERVIR (DIRECTE, ETC.)

b) (5%) Determinar justificadament la llargària del espai d'E/S del 8085

A la figura de la dreta es mostra el cicle d'instrucció d'una de les dues instruccions del programa de l'apartat a.

c) (5%) A quina de les dues pertany? Perquè?

d) (10%) Quines operacions es fan als cicles màquina M1, M2 i M3? Per què?

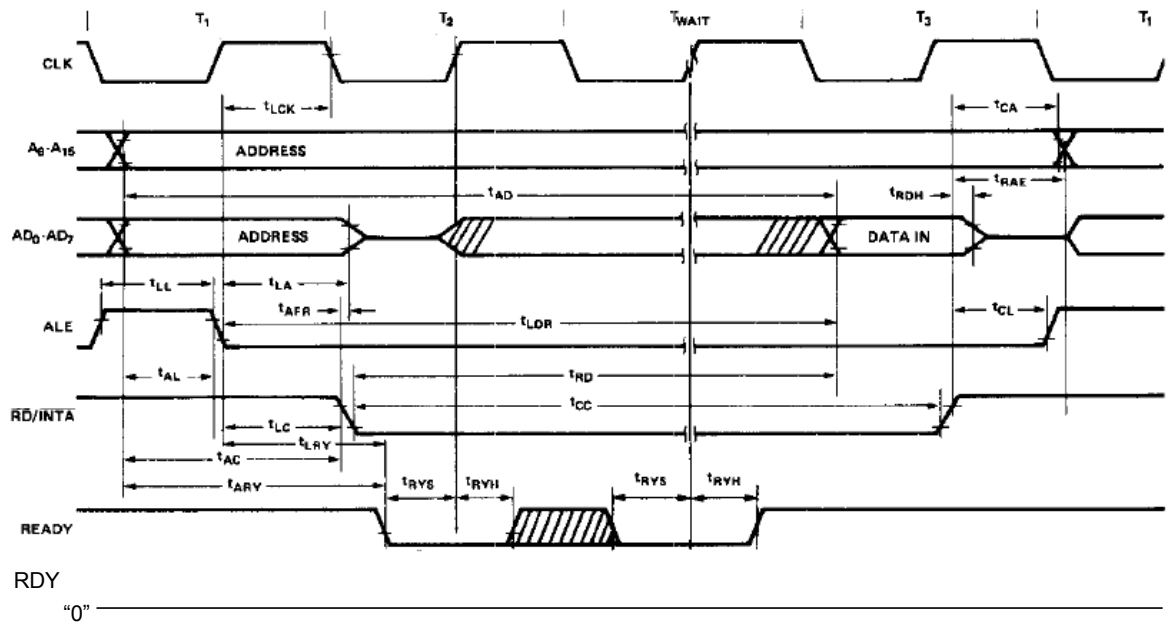


e) (5%) Quin és el valor de la part alta del bus d'adreces (A8-A15) en M1 i M2? Perquè?

f) (10%) Quin és el valor de D0, D1, D2 i D3? Per què?

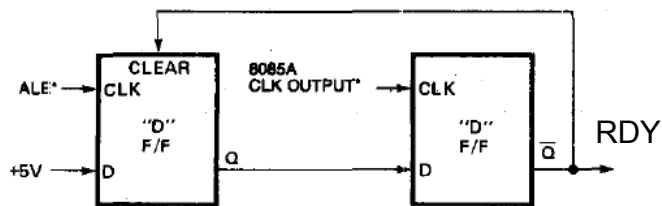
4. Cicle de bus de lectura (30%). A la figura de la dreta es mostra un cicle de lectura a una dada d'un byte a memòria amb l'inclusió dels estats d'espera (Twait).

a) (10%) Determinar justificadament les tres restriccions temporals (incloent valors en ns) que hauria de complir una memòria connectada al 8085 per tal de que aquest pogués llegir una dada correctament a la seva entrada.



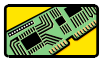
b) (5%) si el 8085 rep pel seu senyal d'entrada READY un "0" lògic prolonga indefinidament l'estat Twait, quan mostreja aquest senyal per tal d'inserir o no l'estat Twait? Per què?

c) (10%) Dibuixar a la figura de dalt el senyal RDY del següent dispositiu basat en dos Flip-flops D amb senyal Clear asíncrona i activa per nivell baix (suposar els temps de propagació del flip-flop igual a zero)



d) (5%) Si el senyal RDY es connectés a l'entrada READY del 8085, quants estats d'espera (mesurat en períodes del senyal de rellotge) s'inseririen i perquè? Proposar una modificació al circuit basat en F/F D per tal d'inserir un estat d'espera més.

Symbol	Parameter	8085A ⁽²⁾	
		Min.	Max.
t_{CYC}	CLK Cycle Period	320	2000
t_1	CLK Low Time (Standard CLK Loading)	80	
t_2	CLK High Time (Standard CLK Loading)	120	
t_r, t_f	CLK Rise and Fall Time		30
t_{XKR}	X_1 Rising to CLK Rising	30	120
t_{XKE}	X_1 Rising to CLK Falling	30	150
t_{AC}	A ₈₋₁₅ Valid to Leading Edge of Control ⁽¹⁾	270	
t_{ACL}	A ₀₋₇ Valid to Leading Edge of Control	240	
t_{AD}	A ₀₋₁₅ Valid to Valid Data In		575
t_{AFR}	Address Float After Leading Edge of READ (INTA)		0
t_{AL}	A ₈₋₁₅ Valid Before Trailing Edge of ALE ⁽¹⁾	115	
t_{ALL}	A ₀₋₇ Valid Before Trailing Edge of ALE	90	
t_{ARY}	READY Valid from Address Valid		220
t_{CA}	Address (A ₈₋₁₅) Valid After Control	120	
t_{CC}	Width of Control Low (RD, WR, INTA) Edge of ALE	400	
t_{CL}	Trailing Edge of Control to Leading Edge of ALE	50	
t_{DW}	Data Valid to Trailing Edge of WRITE	420	
t_{HABE}	HLDA to Bus Enable		210
t_{HABF}	Bus Float After HLDA		210
t_{HACK}	HLDA Valid to Trailing Edge of CLK	110	
t_{HDH}	HOLD Hold Time	0	
t_{HDS}	HOLD Setup Time to Trailing Edge of CLK	170	
t_{INH}	INTR Hold Time	0	
t_{INS}	INTR, RST, and TRAP Setup Time to Falling Edge of CLK	160	
t_{LA}	Address Hold Time After ALE	100	
t_{LC}	Trailing Edge of ALE to Leading Edge of Control	130	
t_{LCK}	ALE Low During CLK High	100	
t_{LDR}	ALE to Valid Data During Read		460
t_{LDW}	ALE to Valid Data During Write		200
t_{LL}	ALE Width	140	
t_{LRY}	ALE to RDY Stable		110
t_{RAE}	Trailing Edge of READ to Re-Enabling of Address	150	
t_{RD}	READ (or INTA) to Valid Data		300
t_{RV}	Control Trailing Edge to Leading Edge of Next Control	400	
t_{RDH}	Data Hold Time After READ INTA ⁽⁷⁾	0	
t_{RYH}	RDY Hold Time	0	
t_{RYS}	RDY Setup Time to Leading Edge of CLK	110	
t_{WD}	Data Valid After Trailing Edge of WRITE	100	
t_{WDL}	LEADING Edge of WRITE to Data Valid		40



CISE 4 (GRUP 10)

Abril 2007

A mitjans dels 70 va aparèixer el **Intel 8085**, l'antecessor directe del 8088, que millorava el chip d'Intel 8080.

1. **Busos de dades, d'adreces i de control (20%).** El 8085, al igual que el 8088, té el bus AD7-AD0 multiplexat en el temps (quan el senyal de control ALE=1 indica que AD7-AD0 conté la part baixa de les adreces; quan ALE=0, hi ha dades.) El bus de control està format bàsicament per tres senyals RD_L (=0 si hi ha cicle lectura), WR_L (=1 si hi ha cicle d'escriptura) i IO/M_L (=1 si ha accés a E/S i =0 si hi ha accés a memòria).

a) Omple justificadament la taula següent (10%):

Especificacions	8085
Amplada del bus de dades (en bits)	8
Amplada del bus d'adreces (en bits)	16
Memòria màxima adreçable (en Kbytes)	64

2^16*8bits=64Kbytes

b) Determina les expressions lògiques dels següents senyals en funció dels bussos del 8085 (10%): IOR_L (=0 quan hi ha un cicle de lectura a E/S i sinó), IOW_L (=0 quan hi ha un cicle d'escriptura a E/S i sinó), MEMR_L (=0 quan hi ha un cicle de lectura a memòria i sinó), MEMW_L (=0 quan hi ha un cicle d'escriptura a memòria i sinó),

$$IOR_L = RD_L + \overline{IO/M_L}$$

$$IOW_L = WR_L + \overline{IO/M_L}$$

$$MEMR_L = RD_L + IO/M_L$$

$$MEMW_L = WR_L + IO/M_L$$

2. **Arquitectura (10%).** Es demana: marcar a la figura adjunta l'unitat de control i l'unitat de dades;

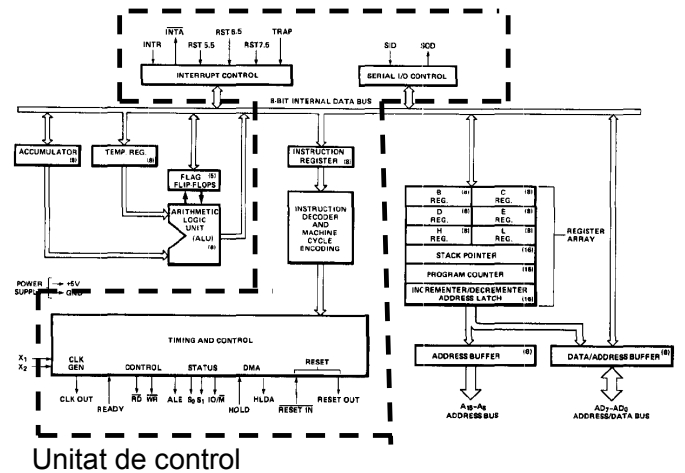
NOTA: La resta de la part marcada és l'unitat de dades.

3. **Cicles d'instruccions (40%).** Es disposa de la següent descripció d'una porció del conjunt d'instruccions del **8085**:

Mnemònic	Llargària en bytes	Cicles de rellotge	Operació simbòlica	Codi d'operació							
				7	6	5	4	3	2	1	0
OUT nn	2	10T*	[nn] ← A*	1	1	0	1	0	0	1	1
INR r	1	5T	r ← r+1	0	0	D	D	D	1	0	0

* T=Període de la senyal de rellotge; * [nn]= dada a la casella de E/S on apunta nn

DDD	Reg
000	B
101	L
111	A



Es demana: a) (5%) completar el següent programa

Adreça	Codi màquina ¹				Instrucció	Comentaris ²
	Codi d'operació	Operands				
0600H	D3	05			OUT 05	Treu el contingut de l'accumulator A per l'adreça de l'E/S 05H
0602H	3C				INR A	Incrementa en una unitat el contingut d'A

1 ESPECIFICAR EL CÒDI MÀQUINA EN HEXADECIMAL

2 DETALLAR EL SIGNIFICAT DE CADA INSTRUCCIÓ D'ACORD AMB LA FUNCIONALITAT DEL PROGRAMA; b) (5%) Determinar justificadament la llargària del espai d'E/S del 8085

Com l'adreça E/S ocupa segons l'instrucció 1byte tenim a l'espai E/S un total de 2⁸ caselles d'una amplada igual a la del bus de dades 8 bits (256bytes).

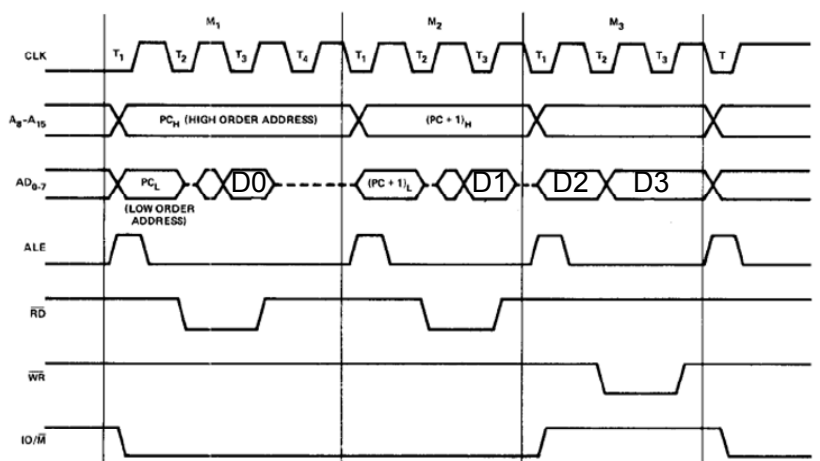
A la figura de la dreta es mostra el cicle d'instrucció d'una de les dues instruccions del programa de l'apartat a.

c) (5%) A quina de les dues pertany? Perquè?

Pertany a OUT 05 perquè dura 10T.

d) (10%) Quines operacions es fan als cicles màquina M1, M2 i M3? Per què?

A M1 comença el cicle d'instrucció es fa la captura del codi d'operació a memòria (a T1 es treu l'adreça ja que ALE=1, a T2 i T3 es fa la lectura ja que RD_L=0 i IO/M_L=0) i en T4 es decodifica ja que RD_L=WR_L=1; A M2 es captura de memòria l'operand de l'instrucció OUT 05H ja que un cop es treu l'adreça a T1 en T2 i T3 s'activa RD_L=0 i IO/M_L=0; A M3



Symbol	Parameter	8085A ⁽²⁾	
		Min.	Max.
t _{CYC}	CLK Cycle Period	320	2000
t ₁	CLK Low Time (Standard CLK Loading)	80	
t ₂	CLK High Time (Standard CLK Loading)	120	
t _{r1}	CLK Rise and Fall Time		30
t _{XKR}	X ₁ Rising to CLK Rising	30	120
t _{XKF}	X ₁ Rising to CLK Falling	30	150
t _{AC}	A ₀₋₁₅ Valid to Leading Edge of Control ⁽¹⁾	270	
t _{ACL}	A ₀₋₇ Valid to Leading Edge of Control	240	
t _{AD}	A ₀₋₁₅ Valid to Valid Data In		575
t _{AFR}	Address Float After Leading Edge of READ (INTA)		0
t _{AL}	A ₀₋₁₅ Valid Before Trailing Edge of ALE ⁽¹⁾	115	
t _{ALL}	A ₀₋₇ Valid Before Trailing Edge of ALE	90	
t _{ARY}	READY Valid from Address Valid		220
t _{CA}	Address (A ₀₋₁₅) Valid After Control	120	
t _{CC}	Width of Control Low (RD, WR, INTA)		
t _{CE}	Edge of ALE	400	
t _{CL}	Trailing Edge of Control to Leading Edge of ALE	50	
t _{DW}	Data Valid to Trailing Edge of WRITE	420	
t _{HABE}	HLDA to Bus Enable		210
t _{HABF}	Bus Float After HLDA		210
t _{HACK}	HLDA Valid to Trailing Edge of CLK	110	
t _{HDH}	HOLD Hold Time	0	
t _{HDS}	HOLD Setup Time to Trailing Edge of CLK	170	
t _{INH}	INTR Hold Time	0	
t _{INS}	INTR, RST, and TRAP Setup Time to Falling Edge of CLK	180	
t _{IA}	Address Hold Time After ALE	100	
t _{LC}	Trailing Edge of ALE to Leading Edge of Control	130	
t _{LCK}	ALE Low During CLK High	100	
t _{LDR}	ALE to Valid Data During Read		480
t _{LOW}	ALE to Valid Data During Write		200
t _{L1}	ALE Width	140	
t _{LRY}	ALE to READY Stable		110
t _{RAE}	Trailing Edge of READ to Re-Enabling of Address	150	
t _{RD}	READ (or INTA) to Valid Data		300
t _{RV}	Control Trailing Edge to Leading Edge of Next Control	400	
t _{RDH}	Data Hold Time After READ INTA ⁽⁷⁾	0	
t _{RYH}	READY Hold Time	0	
t _{RYS}	READY Setup Time to Leading Edge of CLK	110	
t _{DW}	Data Valid After Trailing Edge of WRITE	100	
t _{DWI}	LEADING Edge of WRITE to Data Valid		40