

Notes provisionals: 25/01/2006

Límit al·legacions: 27/01/2006 a les 14 h.

Notes definitives: 30/01/2006

Quadrimestre Tardor 2005-06

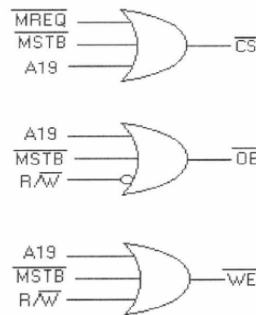
19 de Gener de 2006

**S'ha de respondre en els mateixos fulls. No es poden lliurar fulls addicionals**

**Temps: 2,5 hores**

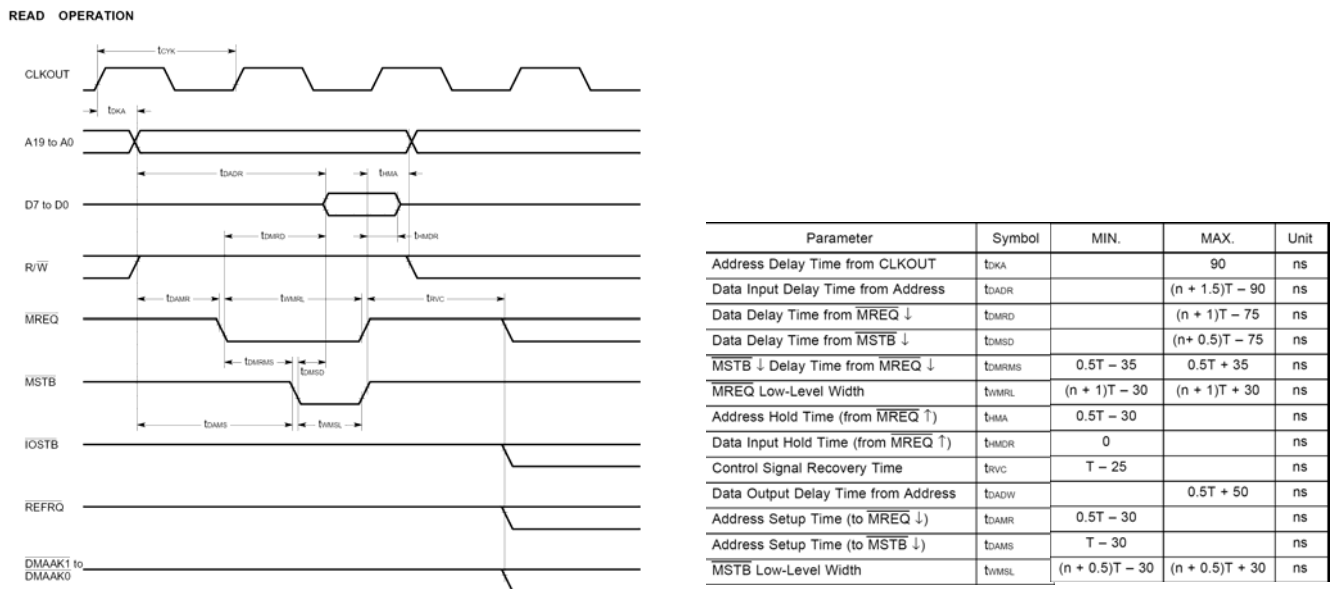
**PROBLEMA 1 (45 %. Totes les preguntes puntuen per igual)**

S'ha fet una sèrie de mesures amb Analitzador Lògic (AL), en un sistema basat en el V25. En aquest sistema les línies d'Adreces i els Busos de Dades de la memòria i demés dispositius estan connectats directament (sense cap *buffer* o circuit intermig) a les corresponents línies dels Busos d'Adreces i Dades del V25. La descodificació dels senyals de RAM és la següent:



**Figura 1: Descodificació de la RAM.**

El V25 és un sistema síncron, i per tant les seves sortides varien en flancs de rellotge (amb un cert retard associat) i les seves entrades són llegides també en flanc de rellotge. El seu cicle de lectura en memòria subministrat pel fabricant és el que s'exposa a la figura 2, amb la corresponent taula de temps.



**Figura 2 : Cicle de lectura en memòria del V25**

## REMARQUES IMPORTANTS SOBRE LES SEGÜENTS IMATGES DE PANTALLES D'A.L.:

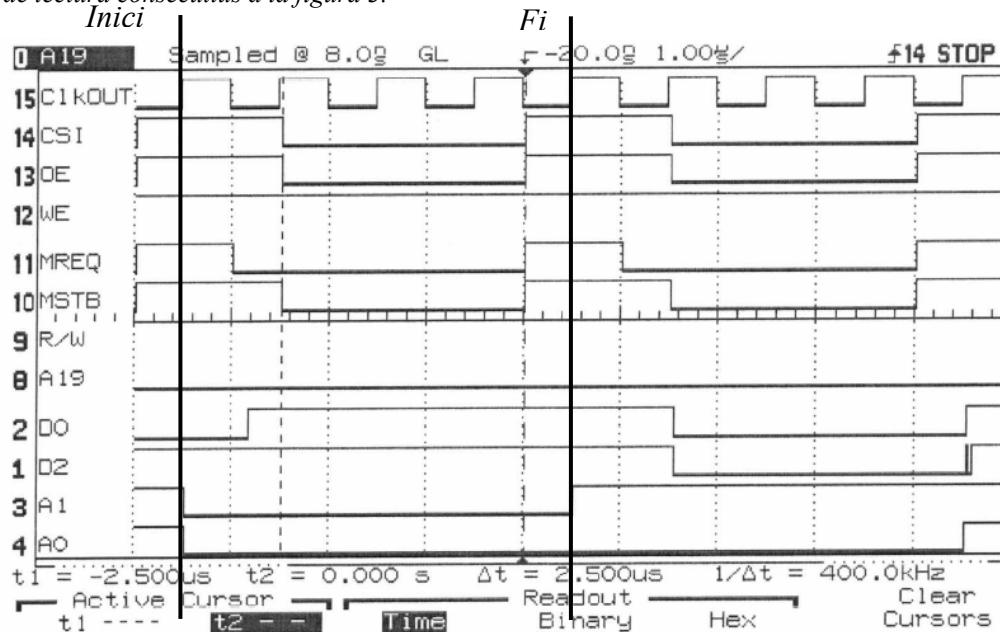
1) Observeu que, per tal de mesurar els intervals de temps que es demanen, es disposa de l'escala de cada mesura a la part superior dreta de cada imatge (ex: 50.0ns/ = 50 ns per divisió de línies verticals a punts de la pantalla de l'AL). I per una millor precisió de mesura es disposa d'un regle horitzontal, al centre de la pantalla, amb 5 subdivisions per cada divisió.

2) Les línies verticals dels cursors, que apareixen a cada imatge de pantalla de l'AL, són aleatòries i **NO** tenen cap significat respecte les preguntes que es demanen.

### Qüestions:

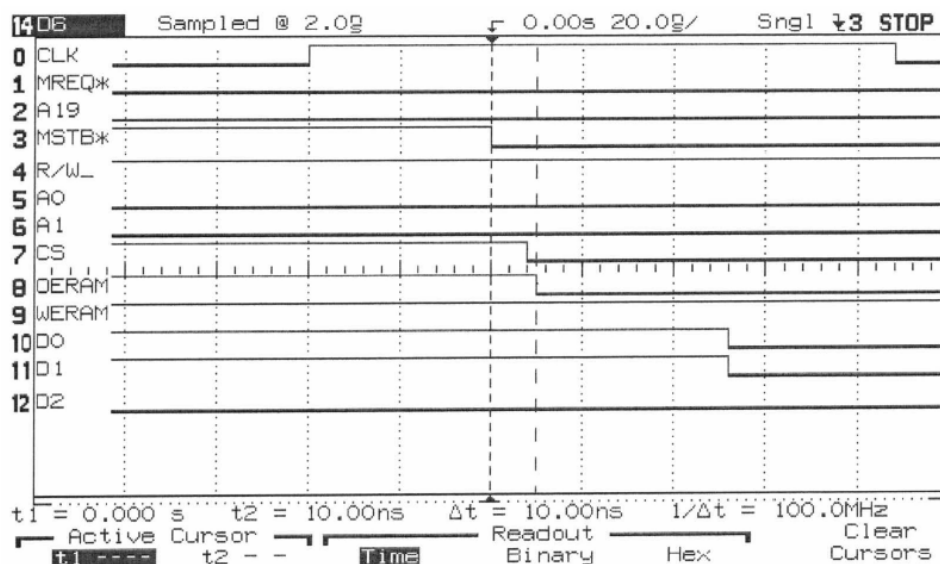
- a) A la figura 3 es poden veure dos accessos a RAM per part del V25. Indiqueu quin nombre de cicles d'espera ha posat el microcontrolador, sabent que si no hi ha cicles d'espera el V25 fa un accés a memòria en 2 cicles de rellotge. Justifiqueu-ho.

El cicle s'inicia amb la sortida d'adreces (veure fig. 2), en un flanc de pujada. L'amplada de MSTB,  $t_{WMSL}$ , (veure Fig. 2) és de  $0.5T \pm 30 \text{ ns}$  quan el nombre de cicles d'espera és 0 ( $n=0$ ). Per tant hi ha 2 cicles d'espera a cada cicle de bus. Hi ha dos cicles de lectura consecutius a la figura 3.



**Figura 3**

- b) Indiqueu clarament a la figura 3 (sobre el mateix dibuix) l'inici i el fi d'un cicle de bus.  
A la fig. 2 veiem que el cicle comença quan surten les adreces (les quals sortiran amb un retard màxim del flanc de rellotge de 90ns). Per tant, el primer cicle de bus de la figura 3 comença i acaba a on està indicat.
- c) A partir del cronograma de la figura 4, doneu la màxima informació possible sobre els tres temps d'accés **reals** de la RAM en lectura:  $t_{ADD}$ ,  $t_{CS}$ ,  $t_{OE}$ .



**Figura 4**

$t_{ADD}$ : No es pot dir res significatiu, perquè no veiem canvi d'adreces a la figura.

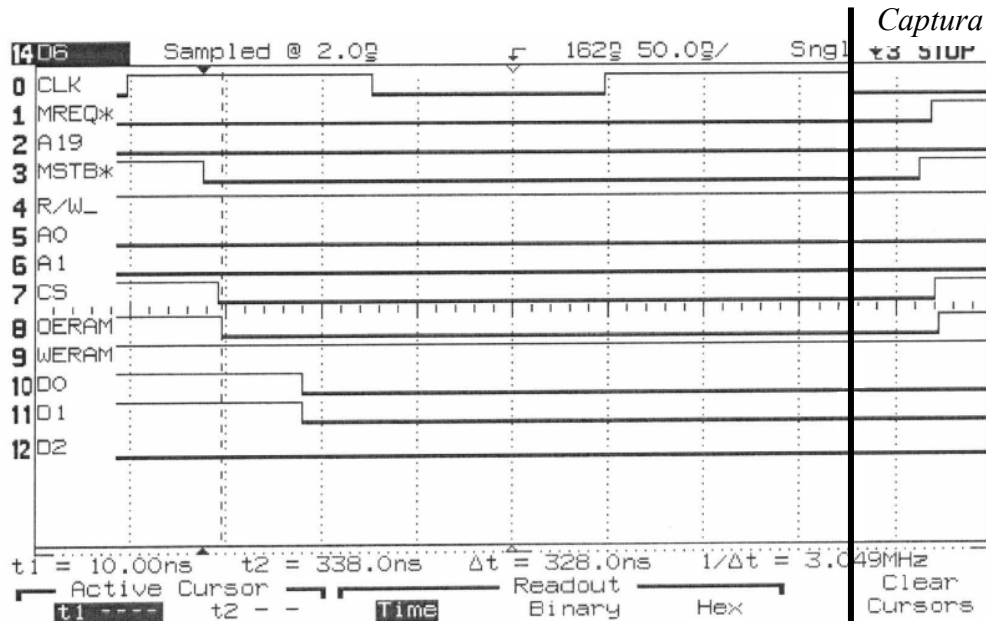
$t_{CS} : \leq 44 \text{ ns}$  (temps entre activació de CS\* i sortida de dades)

$t_{OE} : \leq 42 \text{ ns}$  (temps entre activació de OE\* i sortida de dades)

d) A partir de la figura 4 feu una estimació del retard de les sortides del V25. Justifiqueu-ho.

*Aproximadament 40 ns (temps de retard entre flanc de rellotge i activació MSTB\*)*

e) Marqueu a la figura 5 l'instant de captura de dades per part del V25 en aquest cicle de lectura. Justifiqueu-ho.



**Figura 5**

*El flanc de rellotge immediatament anterior a la desactivació dels strobos (MSTB\* i MREQ\*). Si ho fes en un flanc anterior, el V25 estaria desapareixent mig període de rellotge o més temps.*

*Si ho fes en un flanc posterior, la dada podria no ser-hi (s'han desactivat els strobos).*

f) Feu una estimació del temps de retard de la lògica de descodificació a partir de la figura 5. Justifiqueu-ho.

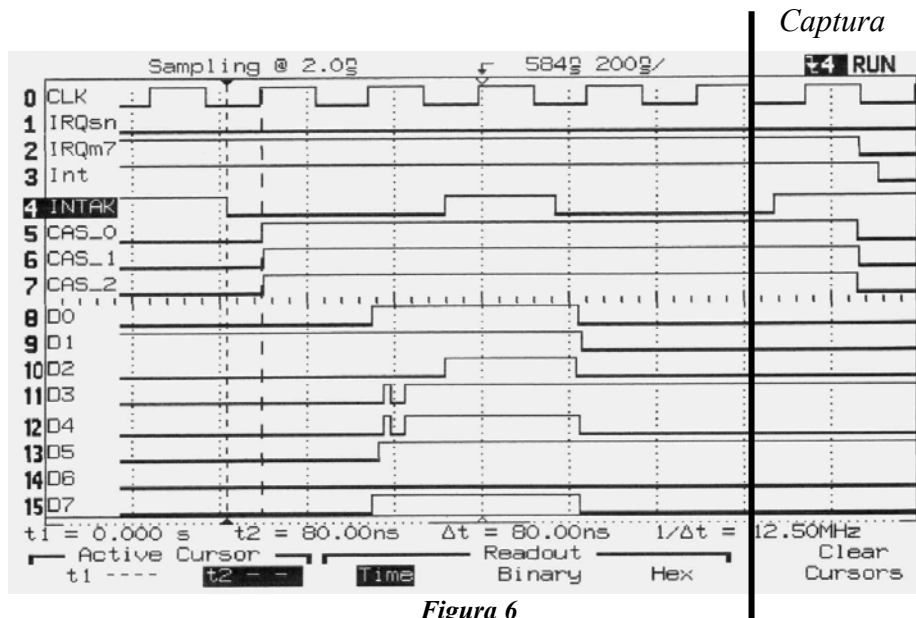
*Aproximadament uns 8-10 ns: retard entre activació de MSTB\* i de CS\* o OE\*, (o retard entre desactivació MSTB\* i desactivació de CS\* i OE\*). Això és així per com s'ha fet la descodificació, utilitzant el MSTB\* i perquè és aquest senyal l'últim en activar-se, (i el primer en desactivar-se, dels senyals que van a les portes de descodificació).*

g) A partir de la informació dels cronogrames d'AL anteriors, es pot saber el temps de **setup** del V25 ? Justifiqueu la resposta.

*No. El temps de setup és el temps que les dades han de ser estables abans del flanc de rellotge de captura. Això per tant és una propietat interna del  $\mu C$  que no es pot conèixer a partir dels cronogrames d'A.L. de les figures.*

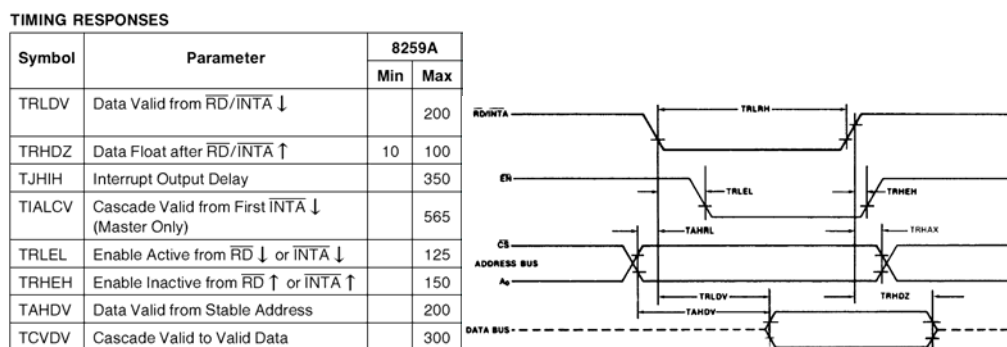
h) A la figura 6 teniu un cicle de reconeixement d'interrupció del V25 dirigit a un controlador d'interrupcions extern 8259. Tenint en compte que la cessió del vector es fa durant el segon pols d'INTAK, indiqueu a la figura l'instant de captura del vector per part del V25. Justifiqueu-ho.

*El flanc de rellotge anterior a la desactivació del INTAK (mateix raonament que a l'apartat e).*



**Figura 6**

i) A la figura 7 es poden veure les especificacions temporals que dona el fabricant del 8259 pel cycle de reconeixement d'interrupció. Feu una estimació del temps de retard del vector per part del 8259, a la figura 6, i compareu-la amb la seva especificació (indiqueu el nom del temps, tal com surt a la figura 7).



**Figura 7:** Especificacions temporals del 8259 durant la cessió de vector d'interrupcions (segon pols d'INTA), i durant un accés de lectura normal.

El temps de retard del 8259 (ve a ser un temps d'accés) és d'uns 70-80 ns. El temps especificat pel fabricant és TRLDV i el seu màxim és de 200ns. Per tant, el temps real compleix l'especificació del fabricant (amb un marge d'uns 130ns o 120ns).

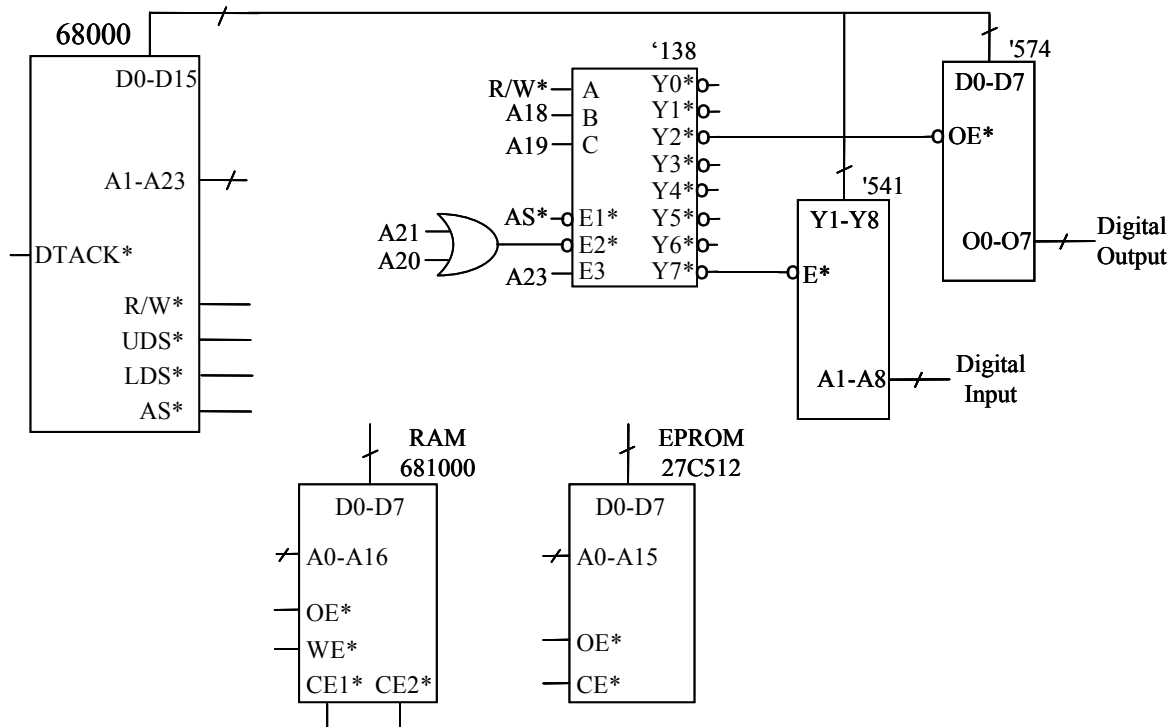
j) Amb referència als apartats en els que es mostren (i/o es demanen) diversos temps de retard i d'accés, si fèssim successives captures d'AL, serien exactament iguals els resultats obtinguts? Justifiqueu-lo.

Les mesures amb molta probabilitat donarien temps diferents. Aquests temps solen ser aleatoris (depenen de la temperatura i d'altres condicions d'operació). En el cas de memòries, a més poden dependre de l'adreça llegida. Per últim, a més, recordem que l'analitzador lògic posa un llindar (per exemple 2.5V) per discernir el '0' i el '1'. El soroll afegit al senyal analògic (o el conegut efecte de 'ringing') fa que aquest llindar sigui traspassat abans o després.

En qualsevol cas la freqüència de mostreig de la mesura (per exemple a la figura 6 de 2ns), òbviament obliga a que la diferència entre mesures d'un mateix temps sigui sempre múltiple del període de mostreig. (a la fig. 6 de 2 ns).

## PROBLEMA 2 (35%)

L'esquema de la figura mostra un sistema basat en un microprocessador amb característiques semblants a les d'un 68000 al qual se li han connectat dos *latches*, un d'entrada ('541) i un de sortida ('574), per tal d'intercanviar informació amb l'exterior. Tot dos *latches* estan connectats a la part baixa del bus de dades (D0-D7) ignorant sempre el contingut de la part alta (D8-D15) en les operacions d'E/S i la seva activació es fa per mitjà d'un descodificador '138 on l'entrada C és la de més pes (MSB).



En el sistema anterior es vol afegir 384 kwords de memòria SRAM i 128kwords de memòria EPROM utilitzant xips de 128kBx8 de RAM (681000) i xips de 64kBx8 de EPROM (27C512).

Es demana:

- 1) El(s) rang(s) d'adreces que ha d'usar el microprocessador per tal d'escriure en el *latch* de sortida '574?
- 2) El(s) rang(s) d'adreces que ha d'usar el microprocessador per tal de llegir en el *latch* d'entrada '541?
- 3) Quants xips del tipus 681000 i quants del tipus 27C512 són necessaris per tal de satisfer el requisits de memòria del sistema?

4) Utilitzant un descodificador '138 i portes lògiques de fins a tres entrades, genereu els senyals d'activació dels xips de memòria RAM i EPROM amb la condició d'ubicar la memòria EPROM a partir de la posició 000000H i la memòria RAM a continuació de l'última posició l'EPROM. Eviteu l'aparició de zones imatge.

5) Dibuixeu el mapa de memòria del microprocessador indicant la posició inicial i final de cada xip i *latch* emprat.

6) Connecteu els xips de memòria RAM i EPROM al sistema fent servir els senyals d'activació de les memòries generats a l'apartat 4).

7) Genereu el senyal DTACK\* del microprocessador suposant que les memòries i la lògica emprada són prou ràpides. Quina característica de sortida ha de tenir la lògica emprada per a la generació del senyal DTACK\*?

## Solució Problema 2

1)

A23	A22	A21	A20	A19	A18	A17....A1	A0	Rangs
1	X	0	0	0	1	X.....X	X	0x840000- 0x87FFFF 0xC40000- 0xC7FFFF

2)

A23	A22	A21	A20	A19	A18	A17....A1	A0	Rangs
1	X	0	0	1	1	X.....X	X	0x8C0000- 0x8FFFFFFF 0xCC0000- 0xCFFFFFFF

3)

SRAM: 384kwords --> 768kbytes --> 6 xips de 128kbytes  
 EPROM: 128kwords --> 256kbytes --> 4 xips de 64 kbytes

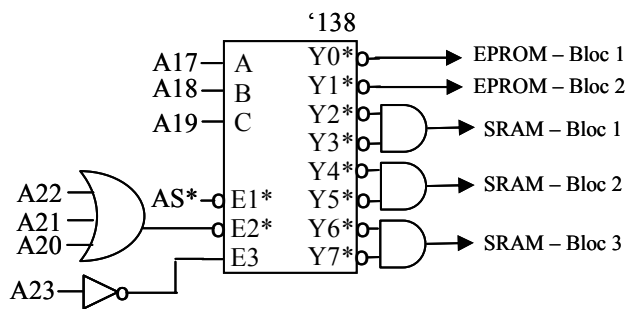
4)

0x000000	EPROM – Bloc 1
0x01FFFF	
0x020000	EPROM – Bloc 2
0x03FFFF	
0x040000	SRAM – Bloc 1
0x07FFFF	
0x080000	SRAM – Bloc 2
0x0BFFFF	
0x0C0000	SRAM – Bloc 3
0x0FFFFFFF	
0x100000	Lliure
0x83FFFF	
0x840000	Latch de sortida ‘574
0x87FFFF	
0x880000	Lliure
0x8BFFFF	

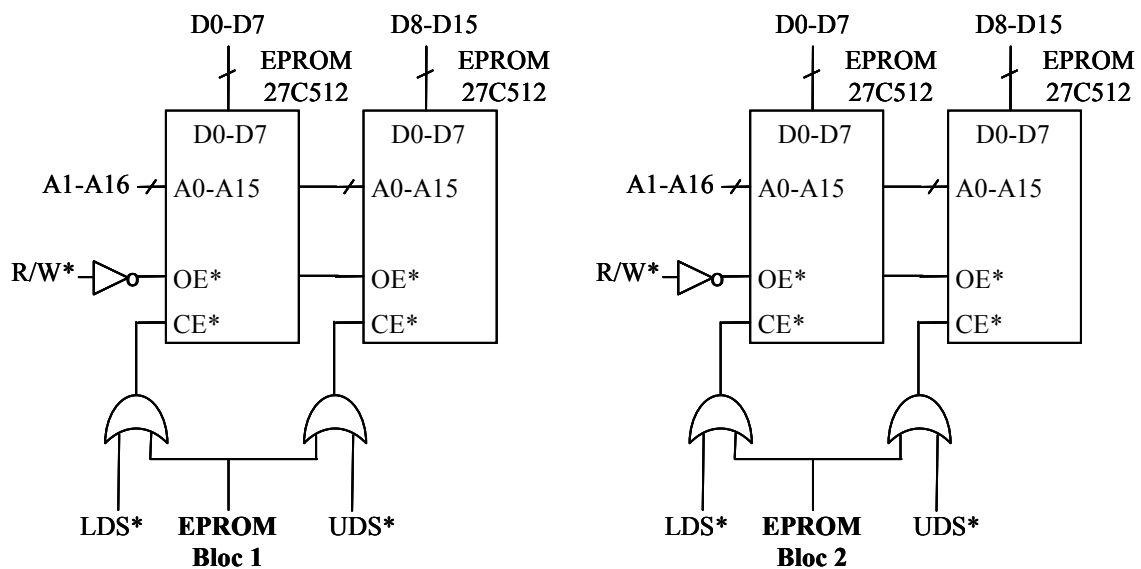
0x8C0000	Latch d’entrada ‘541
0x8FFFFFFF	
0x900000	Lliure
0xC3FFFF	
0xC40000	Latch de sortida ‘574
0xC7FFFF	
0xC80000	Lliure
0xCBFFFF	
0xCC0000	Latch d’entrada ‘541
0xCFFFFFFF	
0xD00000	Lliure
0xFFFFF	

5)

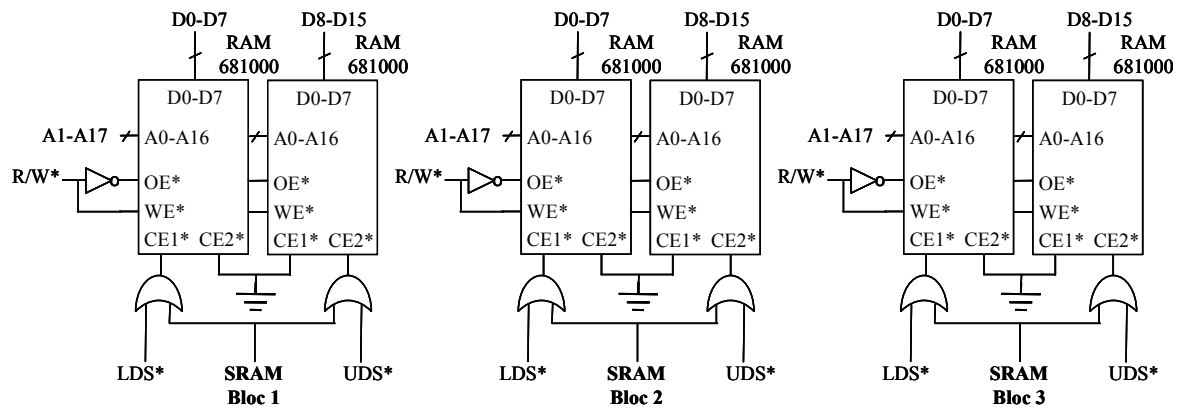
A2 3	A2 2	A2 1	A2 0	A1 9	A1 8	A1 7	A16....A 1	A0	Rangs
0	0	0	0	0	0	0	X..... X	X	0x000000- 0x01FFFF EPROM – Bloc 1
0	0	0	0	0	0	1	X..... X	X	0x020000- 0x03FFFF EPROM – Bloc 2
0	0	0	0	0	1	X	X..... X	X	0x040000- 0x07FFFF SRAM – Bloc 1
0	0	0	0	1	0	X	X..... X	X	0x080000- 0x0BFFFF SRAM – Bloc 2
0	0	0	0	1	1	X	X..... X	X	0x0C0000- 0x0FFFFF SRAM – Bloc 3



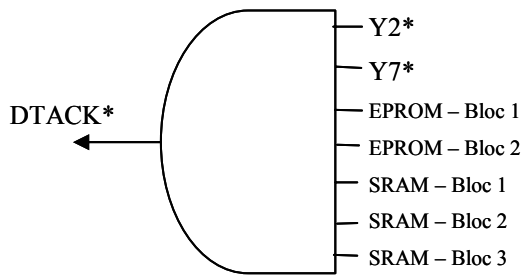
6)



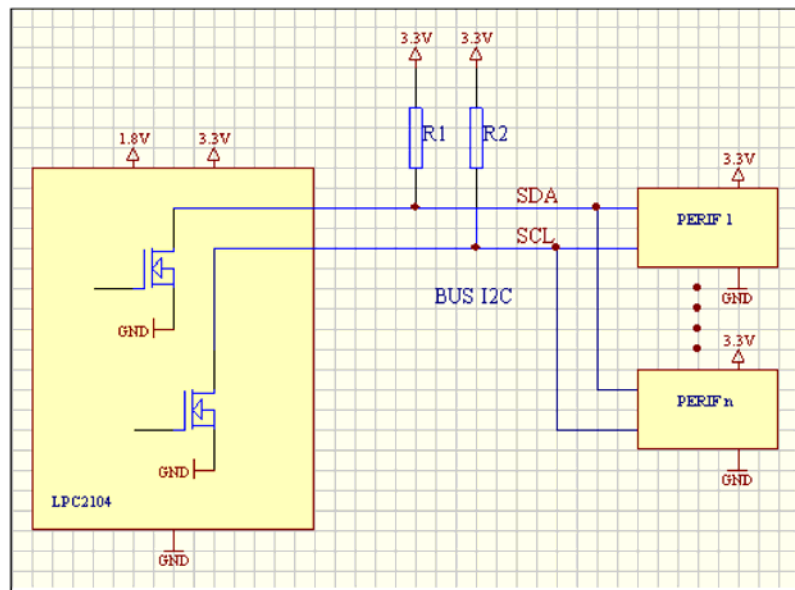




7)



**PROBLEMA 3 (20 %.** Totes les qüestions puntuen per igual)



El  $\mu\text{C}$  LPC2104 està format per una CPU RISC de 32 bits ARM7TDMI, i un conjunt de perifèrics adaptats a aplicacions de control i comunicació. El nucli (*CORE*) està alimentat a 1.8V, per reduir la dissipació i la circuiteria connectada a pins d'E/S està alimentada a 3.3V, per facilitar la utilització de lògica i dispositius perifèrics d'aquesta alimentació.

Considerem les dues línies que conformen el bus sèrie I2C (transmissió de dades bit a bit, on SDA és la línia de dades i SCL el rellotge que sincronitza la transmissió de cada bit). Suposem, per simplificar, que les etapes de sortida de SDA i SCL estan formades per transistors MOS en drenador obert (i per tant que requereixen una resistència de *pull-up* exterior per fixar el nivell lògic de sortida)

Paràmetre	MIN	MAX
$V_{IH}$ perifèrics	2.0V	---
$V_{IL}$ perifèrics	---	0.8V
$I_{IH}$ perifèrics	---	10 $\mu\text{A}$
$I_{IL}$ perifèrics	---	-100 $\mu\text{A}$
$V_{OL}$ @ 3mA IOL	---	0.4V
$I_{OH}$	---	1 $\mu\text{A}$

A aquest bus I2C podem connectar diversos perifèrics en paral·lel, com a receptors de dades, segons l'estructura de la figura adjunta. A la vista d'aquest diagrama i de les dades de la taula adjunta, cal que respongueu als punts següents:

Q1) A partir de la informació disponible, determinar el valor màxim de les resistències de *pull-up* de SDA i SCL, per a un **marge de soroll de 0.4V** i **10 perifèrics** connectats al bus I2C.

En tots els apartats, és indiferent utilitzar les línies SDA o SCL.

El valor màxim de R correspon al nivell alt de sortida:

$$I_{OH} + N * I_{IH} = I_R$$

$$I_R = \frac{V_{CC} - V_{OH}}{R} \quad \text{d'on} \quad V_{CC} - I_R * R = V_{OH} \geq 2,4V$$

$$R \leq \frac{3.3V - 2.4V}{I_{OH} + N * I_{IH}} \quad \text{i substituint pels valors nominals}$$

$$R \leq \frac{3.3V - 2.4V}{0,101mA} = 8,91K\Omega$$

Q2) Determinar el valor mínim de les resistències per a les mateixes condicions de l'apartat anterior.

El valor mínim serà per al nivell baix de sortida:

$$I_{OL} = \frac{V_{CC} - V_{OL}}{R} - N * I_{IL} \leq 3mA, \text{ amb } I_{IL} \text{ negativa}$$

$$\text{això ens porta a que } R \geq \frac{3.3V - 0.4V}{3mA - N * 0,1mA} \quad \text{és a dir}$$

$$R \geq 1,45K\Omega$$

Suposant que escollim el valor de **4,7k (1/8 W)** per a les resistències de *pull-up*:

Q3) Quants dispositius perifèrics podrem connectar com a màxim al bus I2C, si mantenim el mateix marge de soroll de 0.4V? Indiqueu clarament per a quin nivell lògic de la connexió (H/L) es dona aquesta limitació.

De les equacions anteriors, tenim:

$$\text{Per al nivell alt de sortida: } N = (0,9V - 4,7K\Omega * 0,001mA) / (4,7K\Omega * 0,1mA) = 19$$

$$\text{I per al nivell baix de sortida : } N = (3mA * 4,7K\Omega - 2,9V) / (0,1mA * 4,7K\Omega) = 23 \text{ (el corrent no ha d'excedir dels 3mA)}$$

Per tant, la limitació serà pel nivell alt: N = 19

Q4) En el cas de produir-se un curtcircuit a massa (GND) de la línia SCL, quin dispositiu resultaria malmès? Justificar la resposta.

**Cap dispositiu resultarà malmès** per la connexió de drenador obert que no força mai un nivell alt subministrador de corrent per la sortida, si no un nivell baix que ja està present pel curtcircuit. El corrent per R1 o R2 seria de  $3,3V/4,7K\Omega = 0,7mA$  que es derivaria a massa.

Es pot fer, com a molt, el càlcul de la potència dissipada a R.

$$(3,3)^2 / 4700 = 0,00232W < 1/8W = 0,125W \text{ (ni s'apropa al consum perillós)}$$