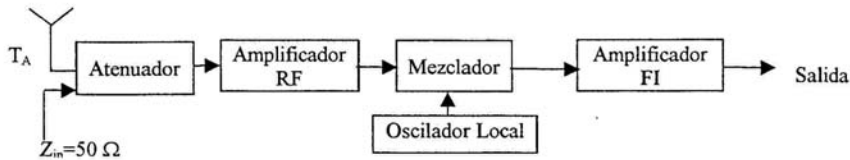


ESCOLA TÈCNICA SUPERIOR D'ENGINYERIA DE TELECOMUNICACIÓ
EMISSORS I RECEPTORS

Examen Final

Barcelona, 25 de Juny 2002

Problema 1: Se desea caracterizar a nivel de ruido y de distorsión el amplificador de RF de la siguiente cadena receptora, sintonizada a la frecuencia de 50 MHz.



Los parámetros que caracterizan este receptor son:

Frecuencia intermedia: 2 MHz

Atenuador: $L=8$ dB.

Mezclador: $G_m=-6$ dB, $NF_m=8$ dB, $IP_{i,m}=10$ dBm (productos de 3r orden)

Amplificador de FI: $G_{FI}=16$ dB, $NF_{FI}=15$ dB, $IP_{i,FI}=-10$ dBm (productos de 3r orden)
 $B_{FI}=50$ kHz ($\ll B_{RF}$)

Impedancias de entrada/salida de todos los cuadripolos: 50 Ω

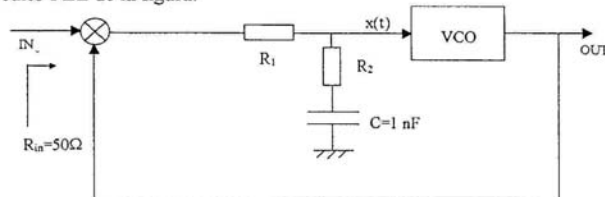
$K=1.38 \cdot 10^{-23}$ J/K Temperatura física del receptor: $T_0=290$ °K

a) Para caracterizar el dispositivo a nivel de ruido, se efectúan dos medidas de la potencia a la salida, en ausencia de señal útil de entrada. Cuando la temperatura de antena T_A es de 290 °K, se mide un nivel de potencia total de -91.83 dBm, y cuando la temperatura de antena es de 3000 °K, la potencia medida resulta ser de -90.21 dBm. Calcular el factor de ruido y la ganancia del amplificador de RF.

b) Para caracterizar el dispositivo a nivel de distorsión, se introducen a la entrada del receptor dos tonos puros de igual potencia, a las frecuencias $f_1=50.1$ MHz y $f_2=50.2$ MHz, y se mide la potencia de salida a la frecuencia intermedia del receptor. Progresivamente se incrementa la potencia de los dos tonos hasta que la potencia de salida es igual al nivel de ruido (para $T_A=290$ °K). Cuando esto ocurre, el nivel de potencia de las señales a la entrada resulta ser de -55.28 dBm. ¿ Cual es el punto de intercepción para los productos de intermodulación de tercer orden del amplificador de RF ?

(3.5 puntos)

Problema 2: Se desea diseñar un circuito recuperador de portadora para un receptor de comunicaciones basándose en el circuito PLL de la figura:



Datos:

Oscilador en emisión: $f_s=900$ MHz, $\epsilon_s=10^{-6}$

Oscilador local del receptor: $f_{OL}=830$ MHz, $\epsilon_{OL}=10^{-6}$

VCO: Estabilidad $\epsilon_{VCO}=10^{-4}$; Sensibilidad: $K_2=2\pi \cdot 10^6$ rad/sV;

$\xi=0.7$

a) Sabiendo que se desea que el PLL trabaje siempre dentro del margen de Lock-in y que disponga de un margen de Hold-in de 50 kHz, determinar los valores de las resistencias R_1 y R_2 .

b) El VCO se diseña mediante un oscilador LC con capacidad controlada por la tensión de entrada $x(t)$ según $C(t)=C_0+C_1+C_2x(t)$, con $C_0=C_1=2\text{nF}$. Determinar los valores de L y de C_2 .

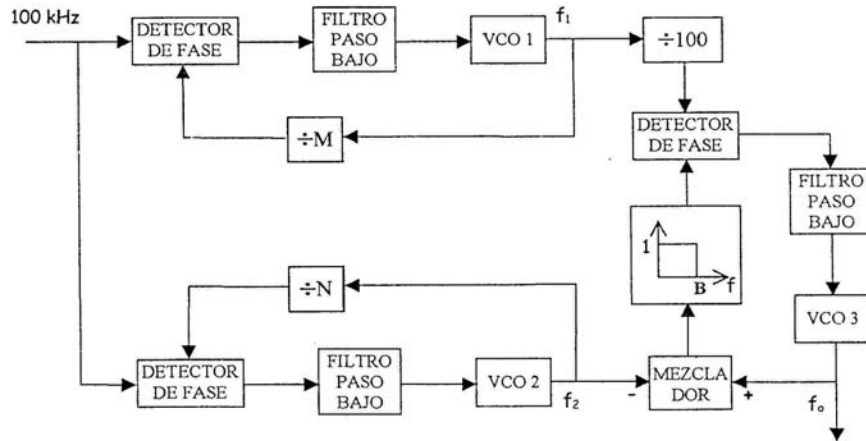
Notas: $\frac{1}{\sqrt{1+x}} \approx 1 - \frac{x}{2} + \frac{3x^2}{8} + \dots$

(3 puntos)

Problema 3: Se desea diseñar un sintetizador de frecuencias mediante PLL para cubrir el margen de 88 a 108 MHz en pasos de 1 kHz y con tiempos de conmutación entre frecuencias T_{eT} menores que 0.15 ms. Se dispone de un oscilador de referencia de 100 kHz y se supone que cualquier incremento de frecuencia realizado en el sintetizador está dentro del margen de Lock-in del PLL utilizado.

a) Razonar si es posible diseñar este sintetizador utilizando un único PLL.

b) Diseñar el sintetizador a partir del esquema de la figura encontrando los valores de M , N y B .



Nota: En todos los PLL considérese la frecuencia natural de los mismos igual a una décima parte de su frecuencia de referencia: $f_n \approx f_r/10$

Y: $T_{eT} = T_{e3} + \max(T_{e1}, T_{e2})$

siendo T_{e1} , T_{e2} y T_{e3} los tiempos de conmutación de PLL1, PLL2 y PLL3 respectivamente. ($T_{e1} \approx 10/f_n$)

(3.5 puntos)