

Problema 2 (2.5 punts)

Tenim un processador de 32 bits amb adreces de 16 bits que té una memòria cache de 4Kbyte amb les següents característiques:

- Mapeig Directe
- 64 bytes per línia
- política de escriptura: write through + write no allocate

a) Suposant que la cache està inicialment buida, empleneu la següent taula indicant per cada referència, la línia de memòria principal que s'està referenciant (#línia MP) la línia de memòria cache on es mapeja (#línia MC), el TAG (etiqueta) corresponent, si es encert (hit) o fallo (miss), el nombre de bytes que es llegeixen de MP en cas que sigui necessari, el nombre de bytes que s'escriuen a MP en cas que sigui necessari, i la línia reemplaçada quan correspongui.

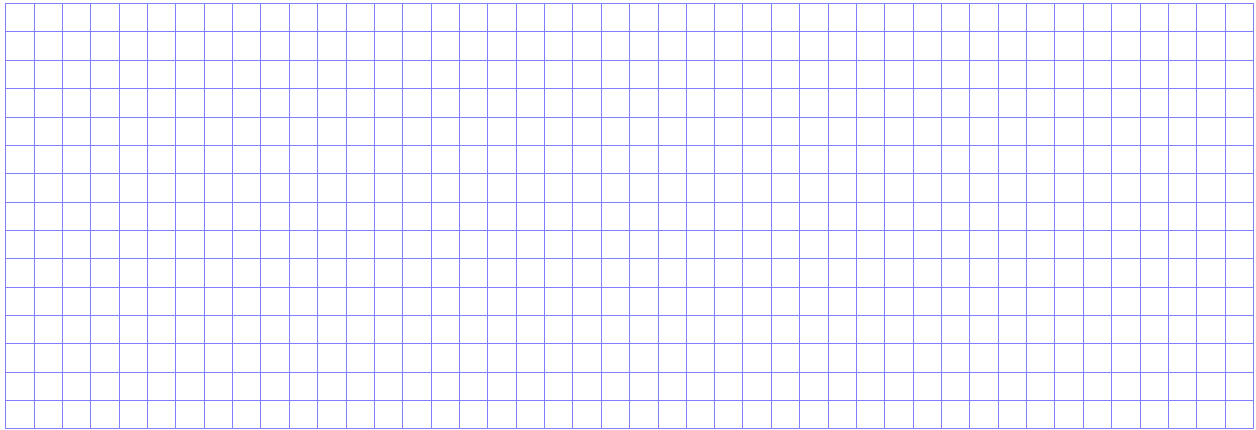
adreça (hex)	#línia MP (hex)	#línia MC (hex)	TAG (hex)	hit o miss	lectura de MP	escriptura a MP	# línia reemplaçada
lect byte 0A0F							
lect word 1A15							
lect long 0A24							
lect byte 1A3F							
lect long 0A00							
lect long 3B20							
escr word 5B27							
lect byte 3B08							
escr word E530							
lect long E530							

b) A aquesta cache se li afegeix una cache de víctimes de 2 línies amb reemplaçament FIFO

Suposant que totes dues caches estan inicialment buides, empleneu la següent taula indicant per cada referència, la línia de memòria principal que s'està referenciant (#línia MP), si es encert (hit) o fallo (miss) a la cache directa (MD), si es encert (hit) o fallo (miss) a la cache de víctimes (VC), el nombre de bytes que es llegeixen de MP en cas que sigui necessari, el nombre de bytes que s'escriuen a MP en cas que sigui necessari, si hi ha lectura de la VC, si hi escriptura a la VC i la línia reemplaçada quan correspongui (entenent com a reemplaçada qualsevol línia expulsada del sistema format per les dues caches).

adreça (hex)	#línia MP (hex)	hit/miss MD	hit/miss VC	mida lectura de MP	mida escriptura a MP	lectura de VC	escriptura a VC	# línia reemplaçada
lect byte 0A0F								
lect word 1A15								
lect long 0A24								
lect byte 1A3F								
lect long 0A00								
lect long 3B20								
escr word 5B27								
lect byte 3B08								
escr word E530								
lect long E530								

c) Indica si hi ha cap problema amb la cache al fer un accés de **lectura** i mida **long** a l'adreça **1AFF**, i en cas afirmatiu de quin es tracta?

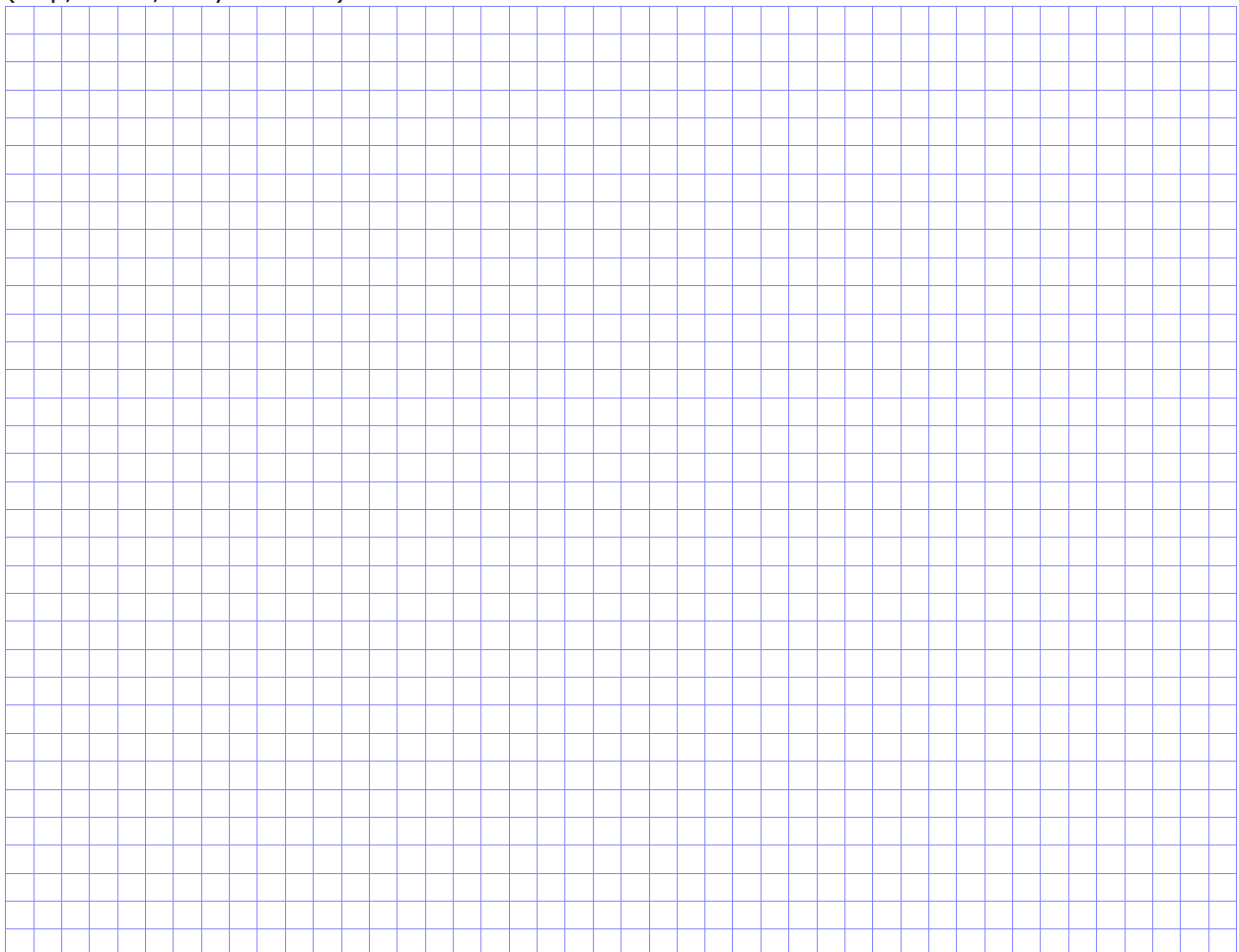


Problema 3 (1 punto)

Disponemos de un sistema de memoria principal con las siguientes características:

- 1 DIMM con 16 chips de memoria DDR.
- Cada chip tiene una capacidad de 64 Mbytes.
- Cada chip dispone de 4 bancos de memoria.
- Cada banco dispone de 8192 filas y 2048 columnas (de 1 byte cada una)
- La datos están entrelazados a nivel de chip. Posiciones consecutivas de memoria están en chips diferentes.
- Dentro del chip los datos NO están entrelazados.

Dada la dirección de memoria (de 30 bits) 0x1A328D93 **debéis calcular** su ubicación exacta: chip, banco, fila y columna, identificando en la tira de bits cuáles corresponden a cada elemento de memoria (chip, banco, fila y columna)



Problema 4 (2 puntos)

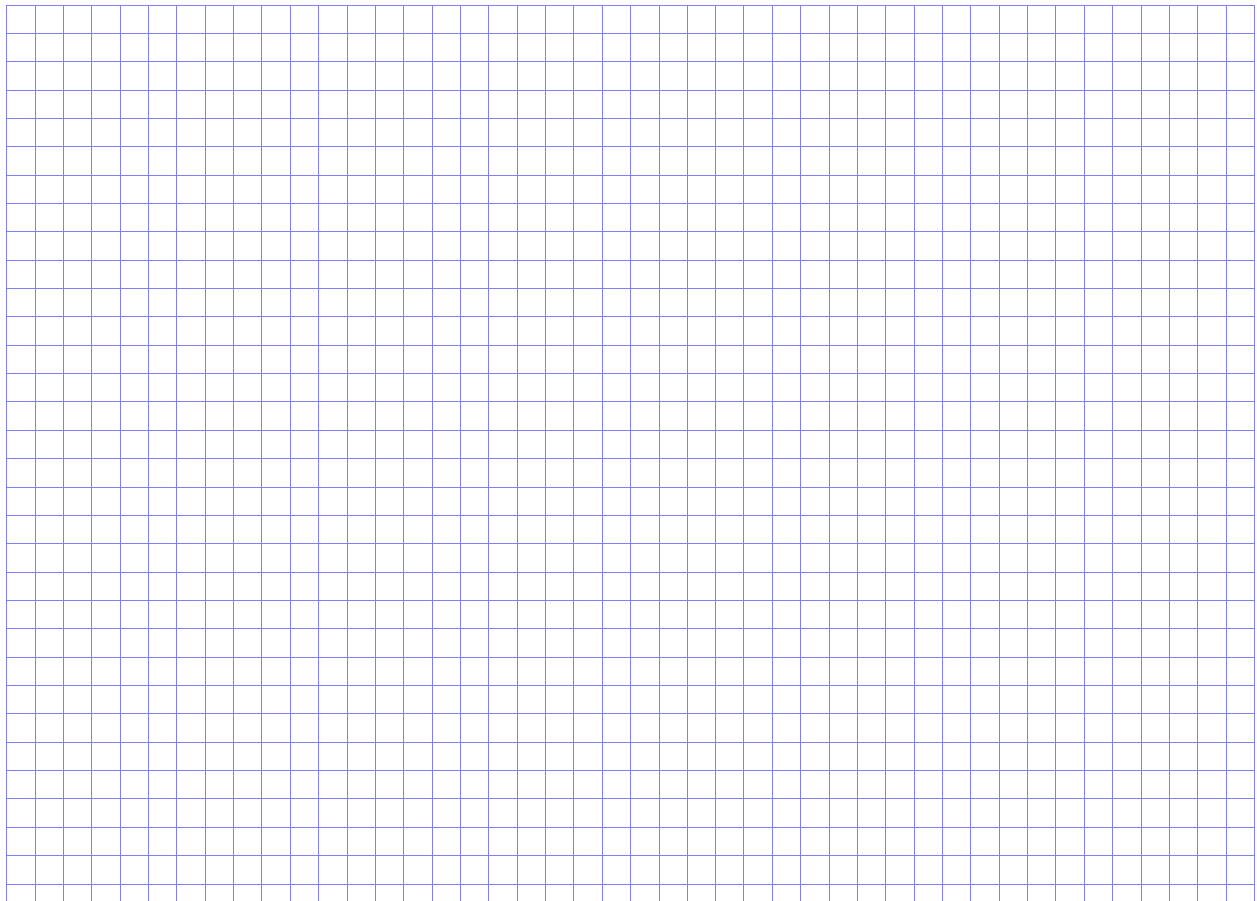
Disponemos de un procesador de 32 bits con las siguientes características:

- CPI ideal: 1.5 ciclos por instrucción
- Tiempo de ciclo (T_c): 1ns
- Número de referencias por instrucción (nr): 1.4
- Caches de instrucciones y datos separadas

Las características de las dos caches son:

Característica	MC Instrucciones	MC Datos
Número de referencias por instrucción (nr)	1	0.4
Tasa de fallos (m)	2%	10%
Política de escritura	-	copy back + write allocate
Penalización en caso de fallo al reemplazar una línea NO modificada ($tpfNOMOD$)	15	11
Penalización en caso de fallo al reemplazar una línea modificada ($tpfMOD$)	---	21
Tiempo de servicio en caso de acierto (t_{sa})	1	1
Porcentaje de líneas modificadas	0%	25%

- 1) Tma de la cache de instrucciones
- 2) Tma de la cache de datos
- 3) Tiempo de ejecución de un millón (10^6) de instrucciones.
- 4) Teniendo en cuenta que la memoria principal es común a ambas memorias cache, da una explicación al hecho de que la penalización en caso de fallo al reemplazar una línea no modificada sea menor en la cache de datos que en la cache de instrucciones.
- 5) ¿Porque no hemos indicado ninguna política de escritura en la cache de instrucciones?



Problema 5 (2 puntos)

Dado el siguiente código escrito en ensamblador del IA32:

```
movl $0x80000000, %ebx
xorl %esi, %esi
xorl %eax, %eax
for: cmpl $2*16*1024, %esi
     jge end
     addl (%ebx, %esi, 4), %eax
     addl 16(%ebx, %esi, 4), %eax
     addl 65536(%ebx, %esi, 4), %eax
     addl 65552(%ebx, %esi, 4), %eax
     addl $2, %esi
     jmp for
end:
```

Teniendo en cuenta exclusivamente los accesos a datos, **calculad** los siguientes parámetros:

- 1) Número de operaciones de Escritura y de Lectura en Memoria (indicadlas por separado).
- 2) Número de páginas accedidas por el programa, suponiendo tamaño de página de 4 Kbytes
- 3) Número de fallos en un TLB con 8 entradas, completamente asociativo, con reemplazo LRU y páginas de 4 Kbytes.
- 4) Número de fallos en una Memoria Cache directa de 2Kbytes con líneas de 32 bytes.



Pregunta 6 (1 punto)

Para cada una de las siguientes afirmaciones, **indicad** si son ciertas (**C**) o falsas (**F**). Hay que contestarlas todas (1 fallo: 0.75 puntos, 2 fallos: 0.5 puntos, 3 fallos: 0.25, más fallos: 0 puntos).

- ☐ La memoria principal es RAM estática.
- ☐ 1 MHz son 2^{20} Herzios.
- ☐ Una DRAM que se direcciona con n bits de fila y n bits de columna tiene $(2n)^2$ bits de datos
- ☐ En una DRAM se mantienen los datos mientras esté alimentada eléctricamente, y se borran cuando la alimentación desaparece
- ☐ Al realizar una escritura en una cache directa se busca simultáneamente en la memoria de etiquetas mientras se escribe en la de datos
- ☐ Si la cache de primer nivel es directa, la de segundo nivel nunca lo es
- ☐ Los algoritmos de reemplazo de página de la memoria virtual son similares en complejidad a los de reemplazo de línea de la memoria cache.