

M. Domínguez

# CISE IV Control: 16/04/2009 Temps: 1 hora

## PROBLEMA

A la figura 1 es mostren els corresponents models dels següents elements:

- $\mu P$  V25
- Memòria EPROM 27C1001 de 128K x 8.  $t_{ACA}(\text{Adreces}) = 70\text{ns}$ ,  $t_{ACC}(\text{CS}^*) = 70\text{ns}$ ,  $t_{ACO}(\text{OE}^*) = 35\text{ns}$
- Memòria SRAM 68100 de 64K x 8. Temps d'accés de lectura:  $t_{ACA}(\text{Adreces}) = 50\text{ns}$ ,  $t_{ACC}(\text{CS}^*) = 50\text{ns}$ ,  $t_{ACO}(\text{OE}^*) = 20\text{ns}$ . Temps d'accés d'escriptura  $t_{CW} = 50\text{ns}$  (Veure definició més avall)

A més d'aquests elements, només es poden fer servir portes que tenen un retard màxim de  $t_R = 3\text{ns}$ .

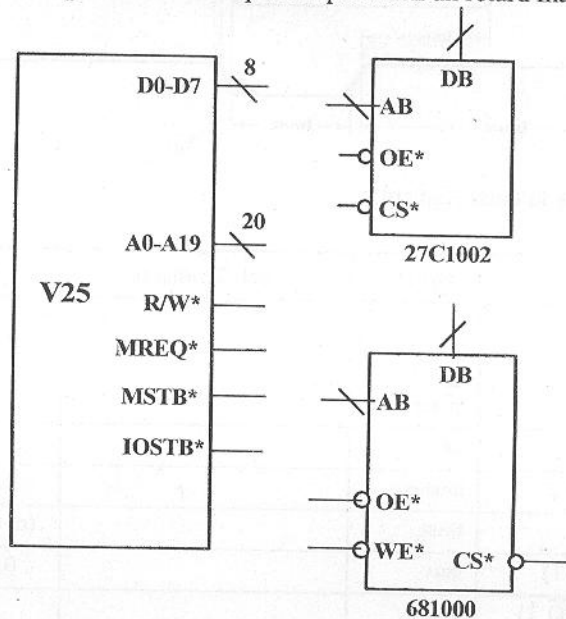
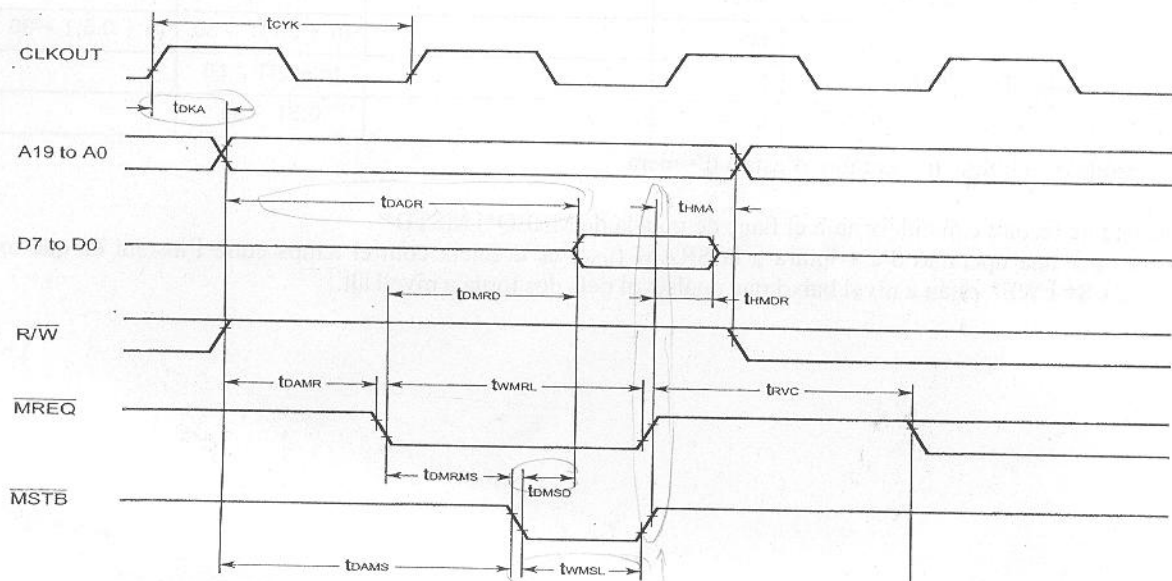


Fig. 1

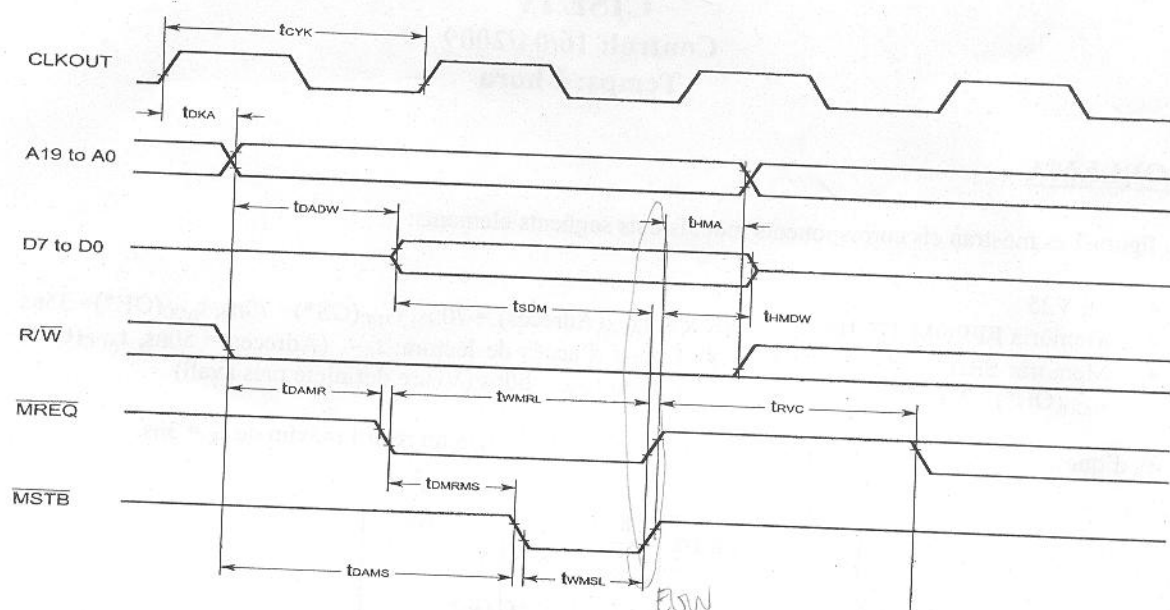
La freqüència de rellotge és de 20 MHz. Els cronogrames de lectura i escriptura són:

## READ OPERATION



lectura

# WRITE OPERATION



Els valors dels temps son els de la taula següent:

Parameter	Symbol	Test Conditions	MIN.	MAX.	Unit
Address Delay Time from CLKOUT	$t_{DKA}$				
Data Input Delay Time from Address	$t_{DADR}$			90	ns
Data Delay Time from $\overline{MREQ} \downarrow$	$t_{DMRD}$			$(n + 1.5)T - 90$	ns
Data Delay Time from $\overline{MSTB} \downarrow$	$t_{DMSD}$			$(n + 1)T - 75$	ns
$\overline{MSTB} \downarrow$ Delay Time from $\overline{MREQ} \downarrow$	$t_{DMRMS}$			$(n + 0.5)T - 75$	ns
$\overline{MREQ}$ Low-Level Width	$t_{WMRL}$		$0.5T - 35$	$0.5T + 35$	ns
Address Hold Time (from $\overline{MREQ} \uparrow$ )	$t_{DMA}$		$(n + 1)T - 30$	$(n + 1)T + 30$	ns
Data Input Hold Time (from $\overline{MREQ} \uparrow$ )	$t_{HMDR}$		$0.5T - 30$		ns
Control Signal Recovery Time	$t_{RVC}$		0		ns
Data Output Delay Time from Address	$t_{DADW}$		$T - 25$		ns
Address Setup Time (to $\overline{MREQ} \downarrow$ )	$t_{DAMR}$			$0.5T + 50$	ns
Address Setup Time (to $\overline{MSTB} \downarrow$ )	$t_{DAMS}$		$0.5T - 30$		ns
$\overline{MSTB}$ Low-Level Width	$t_{WMSL}$		$T - 30$		ns
Data Output Setup Time (to $\overline{MSTB} \uparrow$ )	$t_{SDM}$		$(n + 0.5)T - 30$	$(n + 0.5)T + 30$	ns
Data Output Hold Time (from $\overline{MSTB} \uparrow$ )	$t_{HMDW}$		$(n + 1)T - 50$		ns
			$0.5T - 30$		ns

T= període de rellotge. n = nombre d'estats d'espera

L'instant de lectura coincideix amb el flanc de pujada de  $\overline{MREQ}$  i  $\overline{MSTB}$

L'accés per una operació d'escriptura a la SRAM ( $t_{cw}$ ) es defineix com el temps entre l'instant en que tots dos senyals  $\overline{CS}$  i  $\overline{WE}$  estan a nivell baix i que qualsevol dels dos torna a nivell alt.