 <p><b>Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona</b></p> <p>UNIVERSITAT POLITÈCNICA DE CATALUNYA DEPARTAMENT D'ENGINYERIA ELECTRÒNICA</p>	<b>CISE IV</b>
	9 de Gener de 2008
	Data notes provisionals: 22 de Gener
	Límit d'al·legacions: 25 de Gener a les 14h.
	Data notes revisades: 29 de Gener
<p>Professors: Manel Domínguez, Francesc Masana, Clemente Pol, Jordi Salazar</p> <p>Informacions addicionals:</p> <ul style="list-style-type: none"> <li>Duració de l'examen: 2,5 hores.</li> <li>S'ha de respondre en aquests mateixos fulls d'enunciat als problemes 2 i 3.</li> <li>S'han de lliurar els problemes per separat.</li> </ul>	

## PROBLEMA 1 (40%)

A la figura 1 es mostren els corresponents models dels següents elements:

- $\mu P$  V25
- Memòria EPROM 27C1001 de 128K x 8.  $t_{ACA}$  (Adreces) = 100ns,  $t_{ACC}$  (CS\*) = 100ns,  $t_{ACO}$  (OE\*) = 50ns
- Memòria SRAM 68200 de 256K x 8. Temps d'accés de lectura:  $t_{ACA}$  (Adreces) = 70ns,  $t_{ACC}$  (CS\*) = 70ns,  $t_{ACO}$  (OE\*) = 25ns. Temps d'accés d'escriptura:  $t_{CW}$  = 60ns (Veure definició més avall)
- Controlador E/S amb 4 registres de 8 bits. Temps d'accés per lectura o escriptura:  $t_{ACC}$  (Adreces, CS\*, R/W\*) = 100ns
- Descodificador de 3 a 8.  $t_R$  = 10ns. La entrada A és la de menys pes i les entrades d'habilitació (E1\*, E2\*, E3) han d'estar totes actives per tal que el descodificador funcioni.

A més d'aquests elements, només es poden fer servir portes de dues entrades i inversors, tots amb  $t_R$  = 5ns.

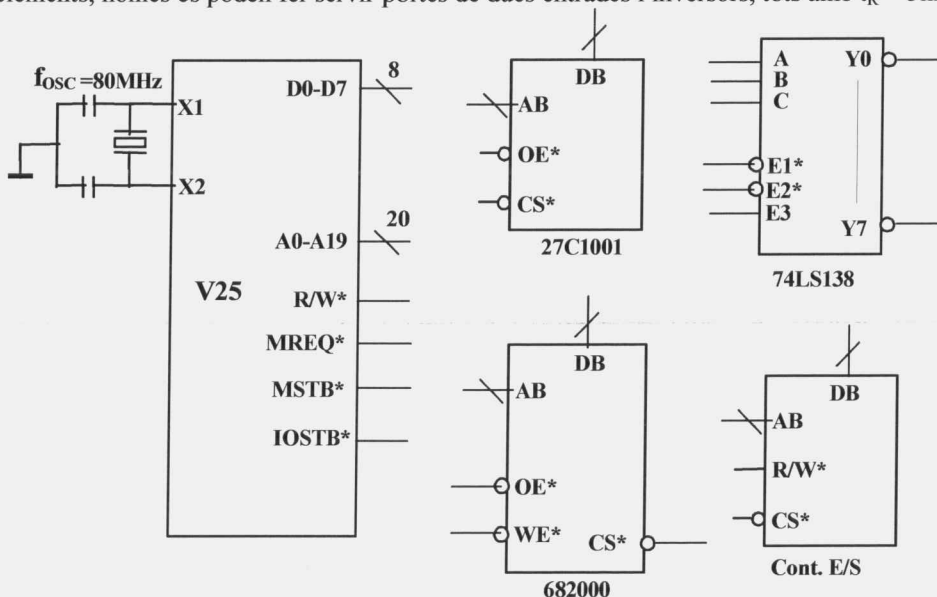


Fig. 1

El cristall del oscil·lador és de 80 MHz, el contingut del registre PRC és 09H i el significat d'aquest registre és:

7	6	5	4	3	2	1	0	
-	-	-	-	-	-	PCK1	PCK0	
						PCK1	PCK0	Freqüència de rellotge $f_{CLK}$
						0	0	$f_{CLK} = 0.5 \times f_{OSC}$
						0	1	$f_{CLK} = 0.25 \times f_{OSC}$
						1	0	$f_{CLK} = 0.125 \times f_{OSC}$
						1	1	no permès

Els senyals del V25 en un cicle màquina sense estats d'espera (lectura o escriptura) són els de la figura 2 (suposar que els canvis es produeixen amb coincidència amb  $\frac{1}{2}$  període de CLOCK).

L'instant de lectura coincideix amb el flanc de pujada de MREQ\* i MSTB\* o bé de IOSTB\*.

L'accés per una operació d'escriptura a la SRAM ( $t_{CW}$ ) es defineix com el temps entre l'instant en que tots dos senyals CS\* i WE\* estan a nivell baix i que qualsevol dels dos torna a nivell alt.

1. Construir un sistema que tingui 640K d'EPROM a les adreces més altes, 256K de SRAM a les adreces més baixes i pugui contenir, en el mapa d'E/S, fins a vuit controladors com l'indicat. La descodificació de memòria ha de ser completa. La d'E/S no, i el més senzilla possible. En els accessos d'E/S només són vàlides les 16 adreces menys significatives del  $\mu P$ .
2. Calcular la freqüència de rellotge del  $\mu P$ .
3. Programar, raonant la resposta, el registre WTC del V25 per tal de que la temporització del sistema, tant en lectura com en escriptura, funcioni correctament.

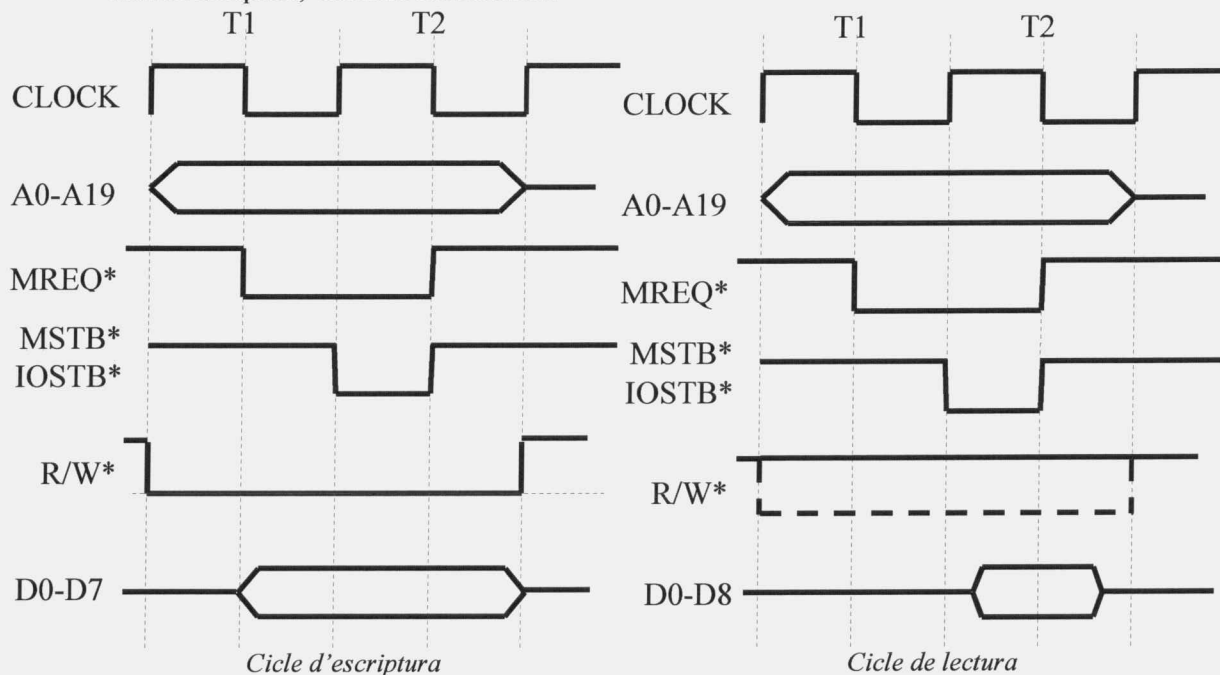
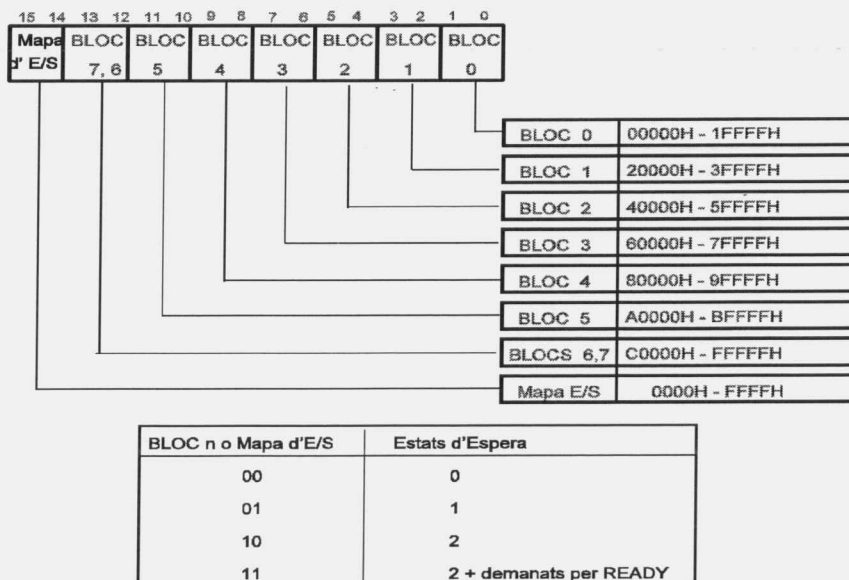


Fig. 2

El significat del registre WTC és el següent:



4. Afegir, de la manera més senzilla i en el mapa de memòria, un nou perifèric amb la mateixa estructura que els de la figura 1 però amb 256 registres de 8 bits, tots ells accessibles per llegir i escriure, i un  $t_{ACC}(\text{Adreces, CS}^*, \text{R/W}^*) = 100\text{ns}$ . Indicar quines adreces ocupa i el nombre de zones imatge que té.
5. Reprogramar, si cal, el registre WTC i donar el nou valor.

## Solució Problema 1 del Examen del QT\_07/08

### 1. La descodificació de la Memòria requereix les següents connexions:

#### EPROM:

Bus d'adreces  $\rightarrow$  A0 : A16

OE\*  $\rightarrow$  NOT ( R/W\*)

CS\*  $\rightarrow$  Y3\* : Y7\* del descodificador de Memòria ( Veure mes avall)

#### RAM:

Bus d'adreces  $\rightarrow$  A0 : A17

OE\*  $\rightarrow$  NOT ( R/W\*)

WE\*  $\rightarrow$  R/W\*

CS\*  $\rightarrow$  Y0\* AND Y1\* del descodificador de Memòria ( Veure mes avall)

#### E/S:

Bus d'adreces  $\rightarrow$  A0 : A1

R/W\*  $\rightarrow$  R/W\*

CS\*  $\rightarrow$  Y0\* : Y7\* del descodificador de E/S ( Veure mes avall)

#### Descodificador de Memòria:

A  $\rightarrow$  A17 ; B  $\rightarrow$  A18 ; C  $\rightarrow$  A19

E1\*  $\rightarrow$  MREQ\*

E2\*  $\rightarrow$  GND ( ó MSTB\*)

E3  $\rightarrow$  VCC

#### Descodificador de E/S:

A  $\rightarrow$  A13 ; B  $\rightarrow$  A14 ; C  $\rightarrow$  A15

E1\*  $\rightarrow$  IOSTB\*

E2\*  $\rightarrow$  GND

E3  $\rightarrow$  VCC

### 2. Freqüència de rellotge:

Els bits del divisor son 01 i per tant  $f_{clock} = 80 * 0.25 = 20$  MHz

### 3. Programació del registre WTC

Si només s'ha fet servir el senyal MREQ\* en el descodificador de Memòria, el nombre d'estats d'espera és:

RAM = 1 ; EPROM = 2 ; E/S = 2 , i per tant:

WTC = 1010101010xx0101

Si s'ha fet servir també el senyal MSTB\* en el descodificador de Memòria, el nombre d'estats d'espera és:

RAM = 2 ; EPROM = 2 ; E/S = 2 , i per tant:

WTC = 1010101010xx1010

### 4. E/S afegida al mapa de Memòria:

Bus d'adreces  $\rightarrow$  A0 : A7

R/W\*  $\rightarrow$  R/W\*

CS\*  $\rightarrow$  Y2\* del descodificador de Memòria ( Veure mes amunt)

Nombre de Zones Imatge = 512

### 5. Reprogramació del registre WTC

L'E/S necessita 2 estats d'espera i per tant, el nou valor del registre WTC serà:

WTC = 1010101010xx0101 o bé WTC = 1010101010101010

**Nota:** Hi han altres possibilitats de descodificació que, si bé s'han considerat al corregir, és impossible posar-les totes com a solució. Tanmateix, la més directa és la que s'indica.

### PROBLEMA 2 (35%)

Es vol dissenyar un sistema amb en el microcontrolador S3C44B0X de 32 bits de Samsung, basat en el microprocessador ARM7TDMI. Disposa dels següents senyals per controlar els cicles de bus a memòries:

A0-A24: Bus d'adrees

D0-D31: Bus de dades

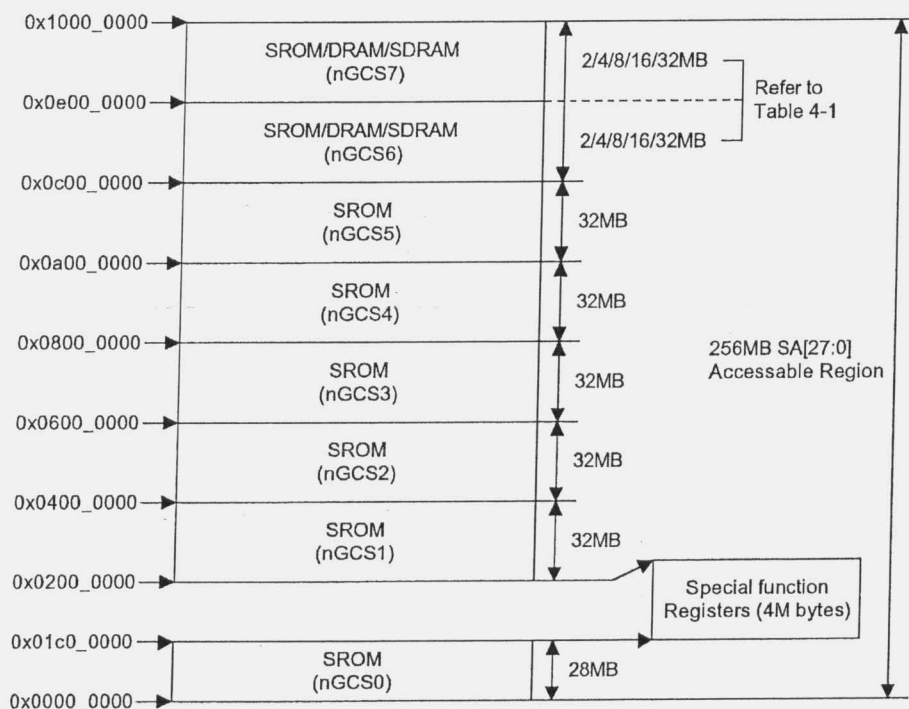
nGCS0-7: 8 senyals actius a nivell baix generats per a connectar a CS\* de memòries.

nWE0-3: 4 senyals d'escriptura actius a nivell baix relacionats respectivament amb D0-D7, D8-D15, D16-D23, D24-D31.

nOE: Senyal global d'habilitació de lectura, actiu a nivell baix.

nWE: Senyal global d'habilitació d'escriptura, actiu a nivell baix.

Aquest microcontrolador genera senyals (nGCSx, nWEx, etc.) que es connecten directament als senyals corresponents dels xips de memòria del sistema. Els senyals nGCSx són activats depenent de l'adreça a la que estiguem accedint segons la següent taula:



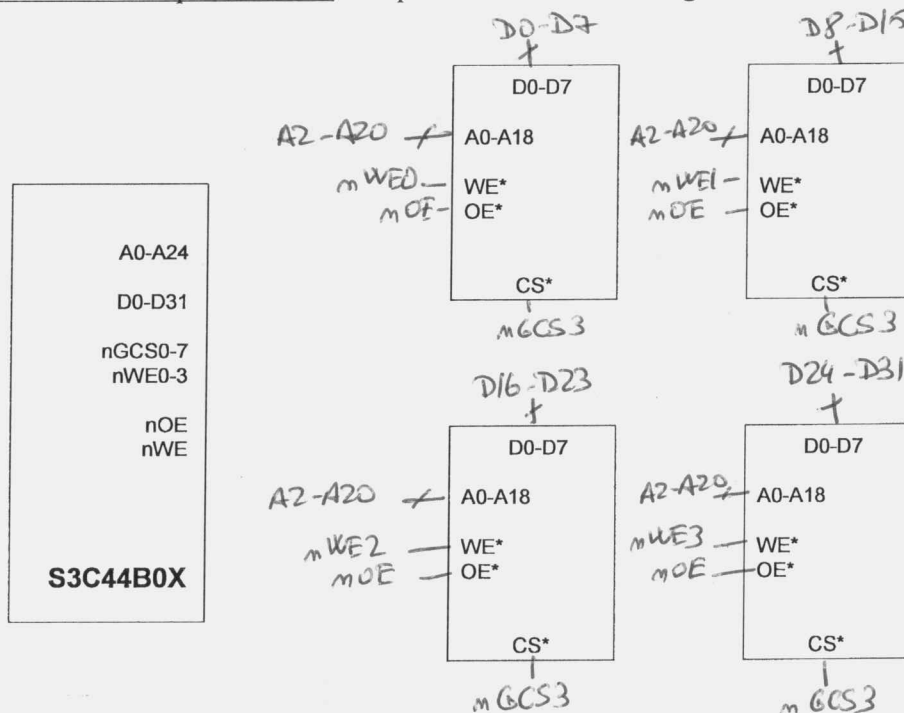
**NOTA:** Per exemple si accedim a la posició 0x0a12 3456 s'activarà el senyal nGCS5 i no s'activaran nGCS0-4, ni nGCS6-7. SROM pot ser memòria RAM estàtica o ROM. MB vol dir Megabyte.

Una altra característica d'aquest processador és que permet accedir a dispositius externs de 8, 16 o 32 bits al bus de dades. Per a cada bloc de memòria accedit per un senyal nGCSx és possible especificar al microprocessador, per programa, si el o els dispositius connectats poden fer transferències en un cicle de bus de 8, 16 o 32 bits.

- *Mode de 8 bits*: les transferències **només** es poden realitzar per D0-D7 en el bus de dades del microprocessador. L'adreça s'especifica a A0-A24.
- *Mode de 16 bits*: les transferències **només** es poden realitzar per D0-D15 en el bus de dades del microprocessador. L'adreça s'especifica a A1-A24.
- *Mode de 32 bits*: les transferències es poden realitzar per D0-D31 en el bus de dades del microprocessador. L'adreça s'especifica a A2-A24.

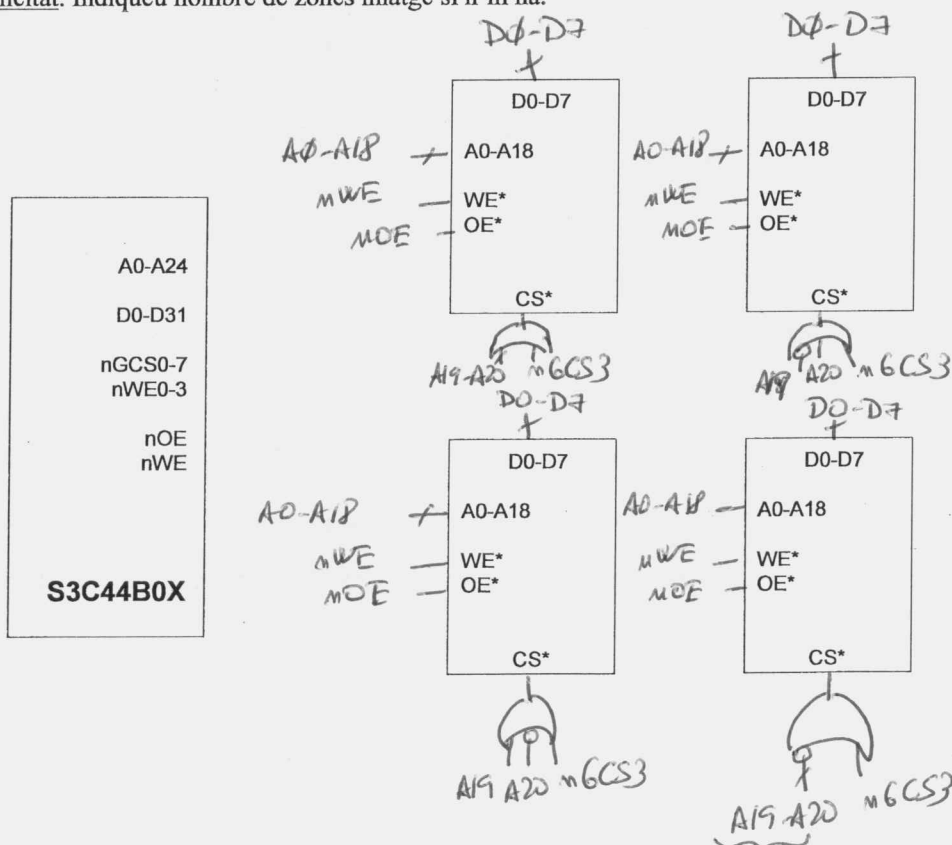
Es precisament per aquesta raó que el bus d'adreces comença amb el bit A0 (en comptes del típic A2 d'un microprocessador de 32 bits al bus de dades). Tenint en compte això:

- a) (2 punts) Feu totes les connexions dels 4 xips de memòria RAM als senyals del microprocessador, sense afegir cap porta, per tal que estiguin situades a les adreces 0x0600 0000 – 0x07FF FFFF, si el microprocessador està programat en Mode de 32 bits a tot el mapa de memòria. Indiqueu nombre de zones imatge si n'hi ha.



nº z.i.:  $2^4 = 16$

- b) (2 punts) Feu el mateix que a l'apartat anterior, però ara tenint en compte que el microprocessador ha estat programat en Mode de 8 bits a tot el mapa de memòria. Podeu afegir portes a l'esquema, el mínim nombre possible i amb màxima simplicitat. Indiqueu nombre de zones imatge si n'hi ha.



nº z.i.:  $2^4 = 16$

El cronograma en lectura del microprocessador es pot veure a la següent figura.

També es pot fer servir A0, A1 per descodificació externa i A2-A20 per interna dels xips.

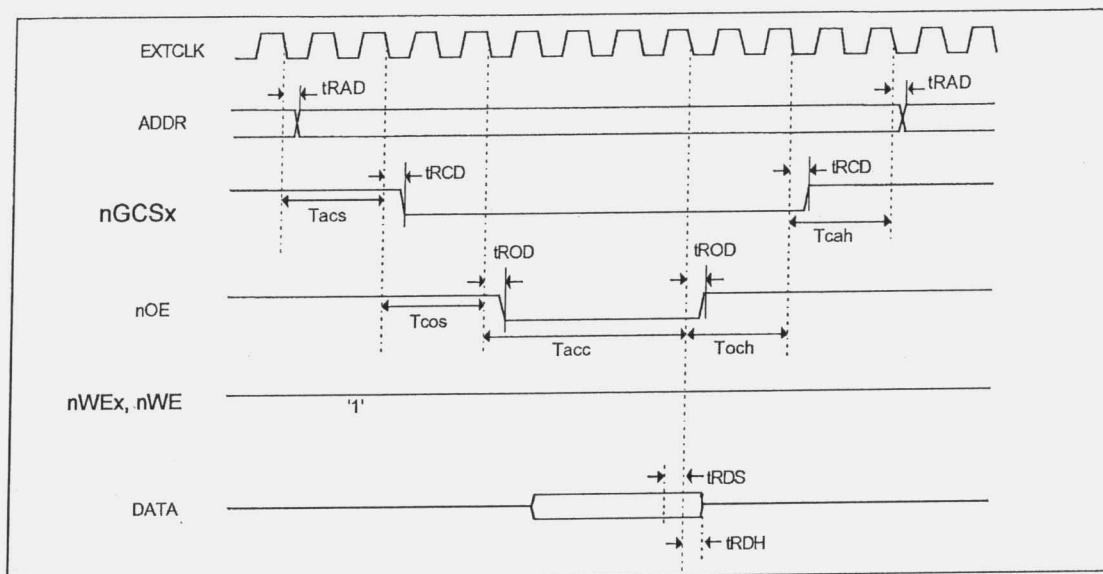


Figure 19-12. ROM/SRAM READ Timing (I)  
(Tacs=2, Tcos=2, Tacc=4, Toch=2, Tcah=2)

(VDDP: 3.3V, VDDI: 2.5V, Ta = 25°C, PLCAP = 70pf, max/min = typ ± 30%)

Parameter	Symbol	Min	Typ	Max	Unit
ROM/SRAM Address Delay	$t_{RAD}$	—	12	—	ns
ROM/SRAM Chip select Delay	$t_{RCD}$	—	11	—	ns
ROM/SRAM Output enable Delay	$t_{ROD}$	—	11	—	ns
ROM/SRAM read Data Setup time.	$t_{RDS}$	—	1	—	ns
ROM/SRAM read Data Hold time.	$t_{RDH}$	—	5	—	ns
ROM/SRAM Byte Enable Delay	$t_{RBED}$	—	13	—	ns
ROM/SRAM Write Byte Enable Delay	$t_{RWBED}$	—	14	—	ns
ROM/SRAM output Data Delay	$t_{RDD}$	—	14	—	ns
ROM/SRAM external Wait Setup time	$t_{WS}$	—	1	—	ns
ROM/SRAM external Wait Hold time	$t_{WH}$	—	5	—	ns
ROM/SRAM Write enable Delay	$t_{RWD}$	—	14	—	ns

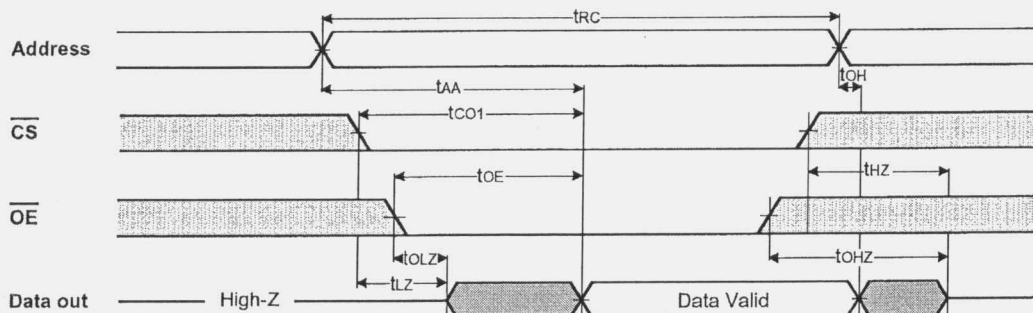
**NOTA:** Fixeu-vos que els valors màxims i mínims són un +30% o -30% del valor típic. Per exemple, el valor màxim de  $t_{RAD}$  és  $12+3.6ns=15.6ns$  i el valor mínim és  $12-3.6ns=8.4ns$ .

La principal característica dels temps Tacs, Tcos, Tacc, Toch i Tcah és que es pot programar quants cicles de rellotge duren, escrivint en uns registres interns del microprocessador (BANKCON0-7):

BANKCONn	Bit	Description
Tacs	[14:13]	Address set-up before nGCSn 00 = 0 clock      01 = 1 clock 10 = 2 clocks     11 = 4 clocks
Tcos	[12:11]	Chip selection set-up nOE 00 = 0 clock      01 = 1 clock 10 = 2 clocks     11 = 4 clocks
Tacc	[10:8]	Access cycle 000 = 1 clock      001 = 2 clocks 010 = 3 clocks     011 = 4 clocks 100 = 6 clocks     101 = 8 clocks 110 = 10 clocks    111 = 14 clocks
Toch	[7:6]	Chip selection hold on nOE 00 = 0 clock      01 = 1 clock 10 = 2 clocks     11 = 4 clocks
Tcah	[5:4]	Address holding time after nGCSn 00 = 0 clock      01 = 1 clock 10 = 2 clocks     11 = 4 clocks

c) (5 punts) Tenint en compte el cronograma de lectura de les memòries SRAM que hem fet servir, i les connexions que heu fet a l'apartat a), indiqueu els valors òptims del temps  $T_{acs}$ ,  $T_{cos}$ ,  $T_{acc}$ ,  $T_{och}$  i  $T_{cah}$ , que puguin ser programats, per accedir correctament a les memòries a màxima velocitat. Justifiqueu la resposta. Freqüència de rellotge del microprocessador 50MHz.

TIMING WAVEFORM OF READ CYCLE(2) ( $\overline{WE}=V_{IH}$ )



Parameter List		Symbol	70ns	
			Min	Max
Read	Read cycle time	$t_{RC}$	70	-
	Address access time	$t_{AA}$	-	70
	Chip select to output	$t_{CO}$	-	70
	Output enable to valid output	$t_{OE}$	-	35
	Chip select to low-Z output	$t_{LZ}$	10	-
	Output enable to low-Z output	$t_{OLZ}$	5	-
	Chip disable to high-Z output	$t_{HZ}$	0	5
	Output disable to high-Z output	$t_{OHZ}$	0	5
	Output hold from address change	$t_{OH}$	10	-

una altra solució  
acceptada.

Cronograma lectura memòria RAM

- (0)  $T_{acs}$ : 0 (el temps  $t_{AA} = t_{CO}$ , per tant no té sentit  $T_{acs} > 0$ )
- (0)  $T_{cos}$ :  $T_{cos} + T_{acc} - \frac{\text{Max}(t_{ROD})}{11\mu s + 313ms = 143ms} \geq \frac{t_{CO}}{70ns} + \frac{t_{setup}(max)}{t_{RDS}(max) = 113ms}$
- (6)  $T_{acc}$ :  $T_{acc} - \frac{\text{Max}(t_{ROD})}{143ms} \geq \frac{t_{OE}}{35ms} + \frac{t_{setup}(max)}{113ms} \Rightarrow \boxed{T_{acc} = 3T}$   
 $\Downarrow \checkmark$   
 $\boxed{T_{cos} = 2T}$
- (0)  $T_{och}$ : 0
- (0)  $T_{cah}$ : 0 { no hay ningún problema de hold de datos o "bus contention" }

d) (1 punt) Comproveu que amb els valors trobats a l'apartat anterior es compleix el requisit de hold del bus de dades en lectura per part del microprocessador.

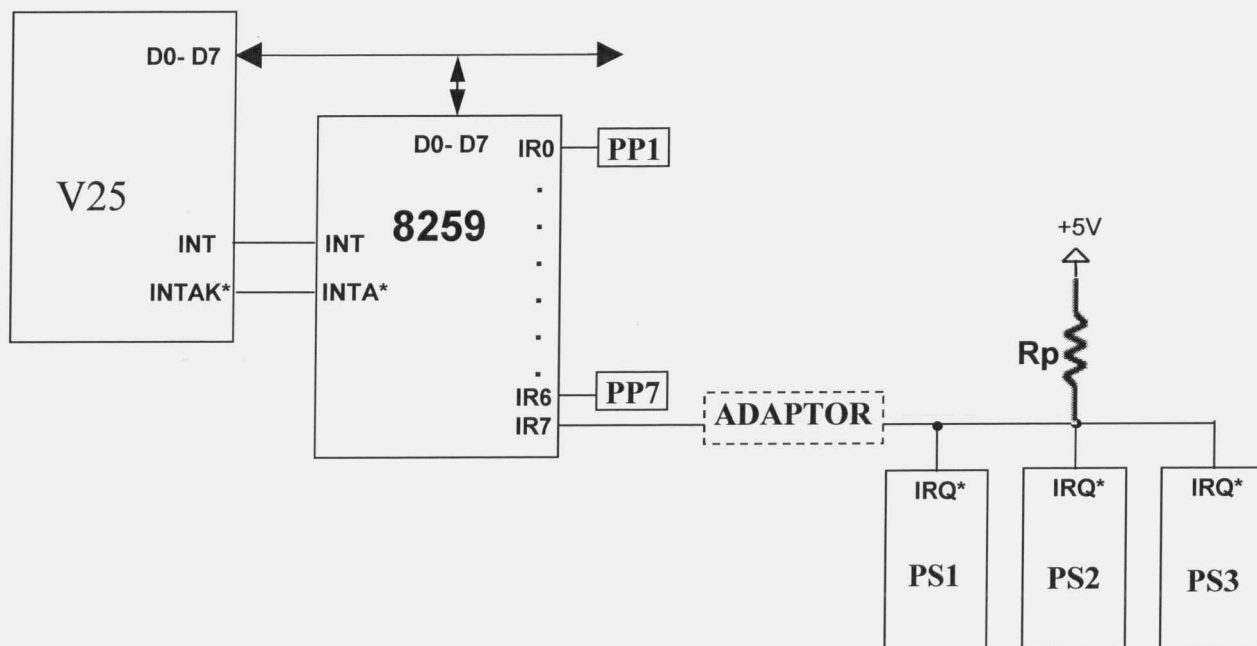
$$\underbrace{\text{Max}(t_{RDH})}_{615ms} < \underbrace{\text{Min}(t_{RAD}, t_{RCD}, t_{ROD})}_{717ms}$$

OK.

**PROBLEMA 3 (25%)**

La figura següent presenta una part de les connexions d'un circuit digital basat en el  $\mu P$  V25 de NEC i que utilitza el Controlador d'Interrupcions amb Prioritat (PIC) 8259 d'Intel per, en principi, només atendre a les interrupcions vectoritzades i amb un ordre de prioritat de 7 perifèrics (PP1-7) que disposen d'una sortida de petició d'interrupció (activa a "1") compatible amb les entrades IR0-6 del 8259.

Més tard es va necessitar atendre les interrupcions de 3 perifèrics més (PS1-3) que disposen d'una sortida IRQ\*, de petició d'interrupció, en **col·lector obert**. Per això es va aprofitar l'entrada lliure IR7 del PIC i amb el propòsit de canviar el mínim possible del *hardware* ja fet.



Es demana:

a) Davant una petició d'interrupció, com distingirà el V25 si ha estat demanada per un determinat perifèric de PP1-7 en particular o pel conjunt de perifèrics PS1-3? I, en conseqüència, quina serà la diferència en l'atenció del V25 a cada una d'aquestes demandes? (2p)

*El V25 distingirà entre les diferents demandes per la lectura, al Bus de Dades, de cada vector d'interrupció que emetrà el controlador 8259 a cada cicle de reconeixement d'interrupció (INTAK) del mateix V25.*

*La diferència en l'atenció a cada petició d'interrupció vindrà donada per la diferent RSI (Rutina de Servei d'Interrupció) que executarà el V25 per a cada perifèric (o grup de perifèrics) corresponent a cada vector d'interrupció.*

b) Podria distingir el V25 entre les interrupcions demanades pels perifèrics PS1-3 pel mateix procés que a l'apartat anterior? Per què? (1p)

*No podria distingir-les ja que totes 3 demandes corresponen al mateix vector d'interrupció (lligat a l'única entrada IR7 del 8259)*

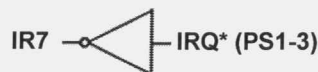
c) Tenint en compte que quan demani interrupció un dels perifèrics PS1-3 canviarà l'estat d'un bit del seu Registre d'Estat, accessible per lectura, com podria distingir el V25 entre les interrupcions demanades per aquests perifèrics? (1p)

*A l'inici de la RSI corresponent a la petició per IR7 hauria de fer-se un "polling" o consulta entre els tres perifèrics, tot llegint els Registres d'Estat de PS1-3, determinar quin ha demanat la interrupció, i saltar a una subrutina que doni servei a aquest perifèric*

d) Dissenyar el circuit adaptador necessari (marcat a la figura com el bloc ADAPTOR) per tal de fer compatible la connexió de les sortides (IRQ\*) col·lector obert dels perifèrics PS1-3 i la resistència Rp amb l'entrada IR7 (activa a "1") del PIC 8259. Per aquest circuit es pot disposar de qualsevol porta lògica (inversor inclòs), ja sigui amb sortida digital estàndard o de col·lector obert. (1p)

*Només caldria un INVERSOR estàndard per tal de fer compatible la sortida de col·lector obert de PS1-3 (Rp i Vcc incloses) amb l'entrada IR7 del controlador 8259.*





e) Calcular els límits vàlids de la resistència  $R_p$  de la connexió de les sortides de col·lector obert dels perifèrics PS1-3 amb un requisit de marges de soroll de  $NML = NMH = 0,4V$ . (3p)

Les característiques elèctriques de les sortides IRQ\* dels perifèrics PS1-3 són:

$$V_{OL} = 0,4V \quad I_{OL} = 12mA \quad I_{OH} = 80 \mu A$$

Considereu que les característiques d'entrada del circuit adaptador de l'aparat anterior (sigui el que sigui o encara que no s'hagi dissenyat res) són:  $V_{IH} = 2V$   $V_{IL} = 0,8V$   $I_{IL} = -1,6mA$   $I_{IH} = 40 \mu A$

**Connexió a nivell alt ("1"):**

$$R_{p_{max}} = (V_{cc} - (V_{IH} + NMH)) / (3 \cdot I_{OH} + I_{IH}) = 2,6V / 0,28mA = 9,286K\Omega$$

**Connexió a nivell baix ("0"):** pitjor cas quan només 1 perifèric demana interrupció

$$R_{p_{min}} = (V_{cc} - (V_{IL} - NML)) / (I_{OL} - I_{IL}) = 4,6V / 10,4mA = 442,3\Omega$$

**Una altra possible solució (si tenim en compte les pèrdues  $I_{OH}$  dels transistors tallats de sortida dels 2 controladors que no demanen interrupció:**

$$R_{p_{min}} = (V_{cc} - (V_{IL} - NML)) / (I_{OL} - I_{IL} + 2 \cdot I_{OH}) = 4,6V / 10,56mA = 435,6\Omega$$

**Que és un límit menys restrictiu i basat en unes dades poc fiables ( $I_{OH}$ ) de pèrdues.**

**Per tant, el marge de valors vàlid més restrictiu de  $R_p$  és:**  $9,3286K\Omega \geq R_p \geq 442,3\Omega$

f) Trobeu una solució millor que la proposada per atendre als perifèrics PP1-7 i PS1-3 considerant ara que podem fer una placa nova (amb tots els components que calguin). Es pot prendre com a referència el circuit utilitzat a la 2a pràctica del Laboratori. (No cal dibuixar el circuit complet sinó només la part afegida i les seves connexions fonamentals amb els xips del circuit original). (2p)

**Per tal que PS1-3 siguin atesos independentment, cadascú amb el seu vector d'interrupció, es podria dissenyar una estructura "Master - Slave" amb 2 controladors 8259 (similar a la de la 2a Pràctica de Laboratori) i connectar aquests perifèrics a les 3 primeres entrades del Slave, deixant els altres perifèrics PP1-7 com ja estaven abans connectats a les entrades IR0-6 del Master.**

