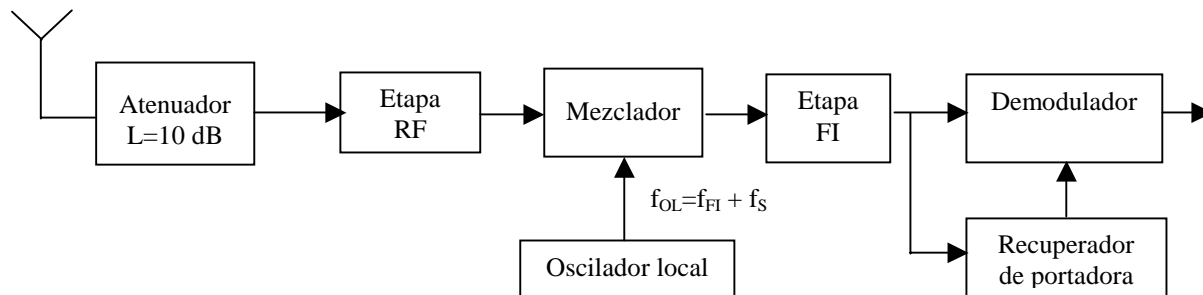


Problema 1

Se desea diseñar un receptor superheterodino de conversión simple basado en la siguiente figura:



Los parámetros característicos son los siguientes:

- Margen de frecuencias de entrada (f_s) 90 a 110 MHz, con una estabilidad del oscilador emisor de $\epsilon_s = 5 \cdot 10^{-7}$
- Estabilidad del oscilador local $\epsilon_{OL} = 5 \cdot 10^{-7}$
- Frecuencia intermedia: $f_{FI} = 1$ MHz.
- Ancho de banda de FI: $B_{FI} = 20$ kHz
- Temperatura equivalente de ruido de la antena: $T_A = 10^3$ K
- $K = 1.38 \cdot 10^{-23}$ J/K Temperatura física del receptor: $T_o = 290$ K
- Etapa de RF: $G_{RF} = 10$ dB, $IP_{i,RF} = -10$ dBm (prod. de 3r orden)
- Mezclador: $G_m = -6$ dB, $IP_{i,m} = -4$ dBm (prod. de 3r orden), $NF_m = 15$ dB
- Etapa de FI: $G_{FI} = 36$ dB, $NF_{FI} = 10$ dB

Para el demodulador se cumple que $\left(\frac{S}{N}\right)_o = \frac{25}{3} \left(\frac{S}{N}\right)_i$ siendo $(S/N)_i$ y $(S/N)_o$ las relaciones señal a ruido a la entrada y la salida, respectivamente.

El recuperador de portadora está basado en un circuito PLL de 2º orden cuyo detector de fase presenta una resistencia de entrada de $10 \text{ K}\Omega$ y una ganancia $K_1 = \sqrt{8} / \pi$. El VCO presenta una estabilidad en frecuencia de valor $\epsilon_{VCO} = 5 \cdot 10^{-5}$.

Las condiciones de diseño a garantizar son las siguientes:

- 1.- Sensibilidad del receptor de -100 dBm para $(S/N)_o = 20$ dB a la salida del demodulador.
- 2.- Margen dinámico libre de espúreos: 70 dB
- 3.- El PLL debe trabajar bajo cualquier condición dentro del margen de Lock-in.
- 4.- La portadora generada por el PLL debe tener un jitter máximo de 3° .
- 5.- El PLL debe ser capaz de seguir cualquier salto de la frecuencia recibida con error de fase nulo.

Se pide calcular:

- 1) El factor de ruido de la etapa de RF.
- 2) El punto de intercepción de la etapa de FI para los productos de intermodulación de 3r orden.
- 3) La frecuencia en reposo del VCO del PLL.
- 4) Escoger el valor del factor de amortiguación del PLL que minimice el jitter de fase a la salida.
- 5) El margen de valores que puede tomar la frecuencia natural del PLL. Escoger el valor que minimice el tiempo de enganche.
- 6) Sabiendo que se dispone de un condensador de 100 nF, proponer el diseño del filtro de lazo $F(s)$ del PLL, indicando el valor de todos los elementos necesarios. Dicho filtro debe atenuar cualquier señal residual a la frecuencia intermedia como mínimo 40dB.
- 7) La sensibilidad del VCO.

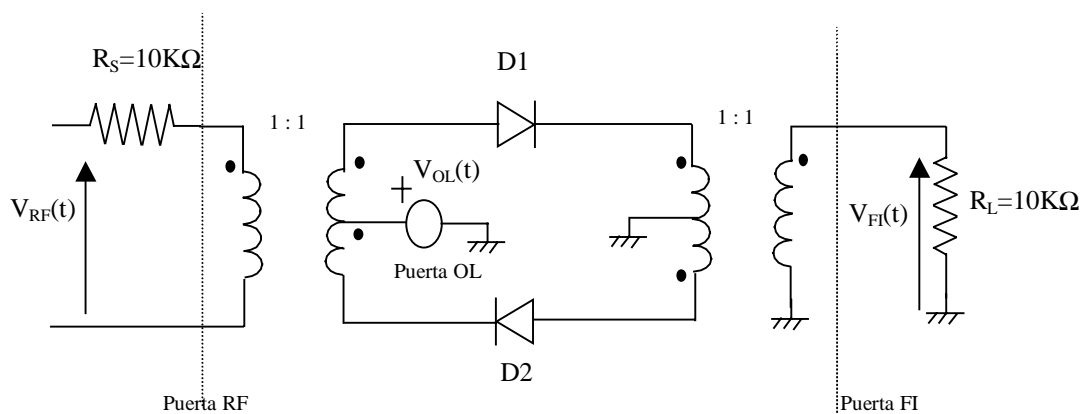
Notas:

Para un PLL de 2º orden se cumplen las siguientes relaciones:

$$\omega_n = \sqrt{\frac{AK}{\tau_1}} \quad \xi = \frac{1}{2} \omega_n \tau_2 \quad B_L(Hz) = \frac{\omega_n}{2} \left(\xi + \frac{1}{4\xi} \right)$$

Problema 2

Considérese el circuito mezclador de la figura.



Datos: $V_{RF}(t) = g(t) \cos 2\pi f_s t$ $V_{OL}(t) = V \operatorname{sgn} [\cos 2\pi f_{OL} t]$ con $V \gg |g(t)|$

La resistencia de los diodos en conducción se puede considerar despreciable ($r_d \approx 0$)

Calcular:

- 8) La ganancia de conversión.
- 9) El aislamiento RF-FI.
- 10) El aislamiento OL-FI.

Nota:

$$\operatorname{sgn}[\cos(\omega_{OL} t)] = \frac{4}{\pi} \sum_{n=0}^{\infty} (-1)^n \frac{\cos[(2n+1)\omega_{OL} t]}{2n+1}$$