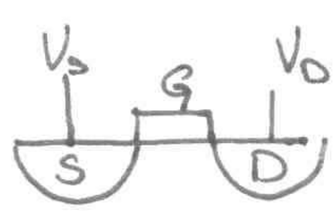
TRANSISTOR MOS



2 tipus { NMOS $\leftrightarrow V_D > V_S$; PMOS $\leftrightarrow V_D < V_S$

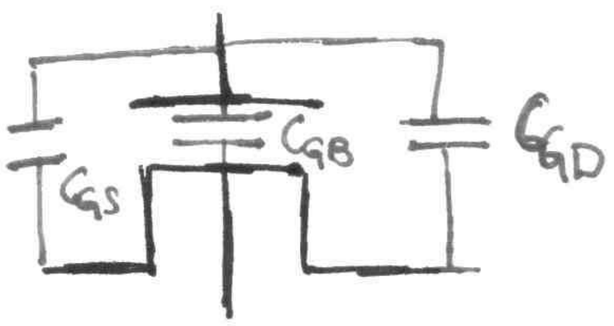
$I_G = 0$

$K' = \mu_{ob} \cdot C_{ox} = \mu_{ob} \frac{\varepsilon_{SiO_2}}{t_{ox}} \hat{=} (\text{TRANSCONDUCTÀNCIA})$; $K = K' \cdot \frac{W}{L}$

NMOS PMOS

	CANAL LLARG	CANAL CURT
TALL $V_{GS} \leq V_{TN}$ $V_{GS} \geq V_{TN}$	$I_D = 0$	$I_D = 0$
CONDUCCIÓ $V_{GS} \geq V_{TN}$ $V_{GS} \leq V_{TP}$	OHMICA $0 \leq V_{DS} \leq V_{GS} - V_T$ $0 \geq V_{DS} \geq V_{GS} - V_T$ $I_D = I_D = K' \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$	$I_D = K' \frac{W}{L} \left[(V_{GS} - V_T) V_{max\,min} - \frac{V_{max\,min}^2}{2} \right] (1 + \lambda \lvert V_{DS} \rvert)$ on $V_{max\,min} = \min(V_{DS}, V_{GS} - V_T, V_{DSsat})$ (OHMICA, SAT C. LLARG, SAT C. CURT) $V_{DSsat} = L \cdot E_{sat} = L \frac{v_{sat}}{\mu_{ob}} = -L \cdot E_{sat}$ amb $v_{sat} \approx 10^5$ m/s
	SATURACIÓ $0 \leq V_{GS} - V_T \leq V_{DS}$ $0 \geq V_{GS} - V_T \geq V_{DS}$ $I_D = K' \frac{W}{L} \frac{(V_{GS} - V_T)^2}{2} (1 + \lambda V_{DS})$ $I_D = K' \frac{W}{L} \frac{(V_{GS} - V_T)^2}{2} [1 + \lambda \lvert V_{DS} \rvert]$	

CAPACITATS MOS

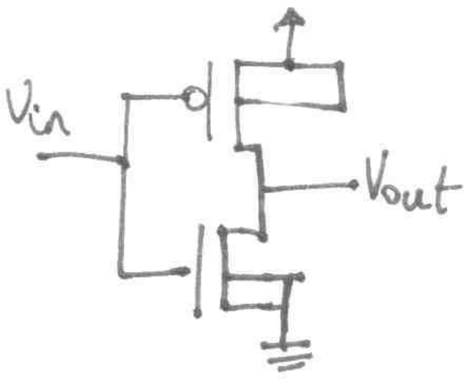


TALL: Predomina $C_{GB} = \varepsilon_{SiO_2} \frac{W \cdot L}{t_{ox}}$; C_{GB}

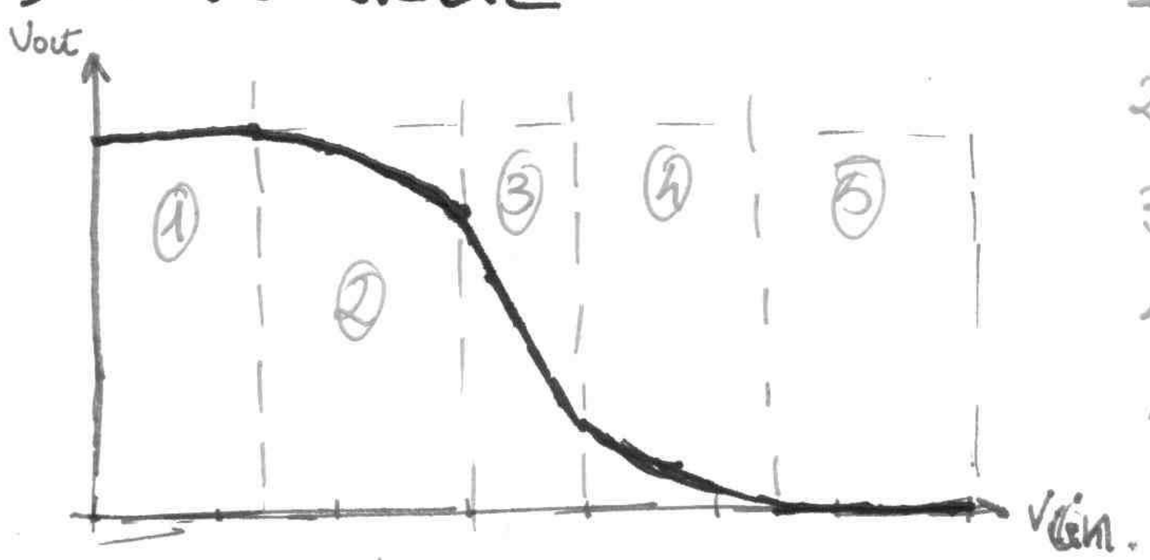
OHMICA: Predomina C_{GD} i C_{GS} $C_{GD} = C_{GS} = C_{overlap} + \frac{1}{2} \varepsilon_{SiO_2} \frac{W \cdot L}{t_{ox}} = C_{overlap} + \frac{C_{GB_T}}{2}$

SAT: Predomina C_{GS} $C_{GS} = C_{GS_{overlap}} + \frac{2}{3} \varepsilon_{SiO_2} \frac{W \cdot L}{t_{ox}} = C_{GS_{overlap}} + \frac{2}{3} C_{GB_{TALL}}$

INVERSOR MOS



→ Anàlisis estàtic

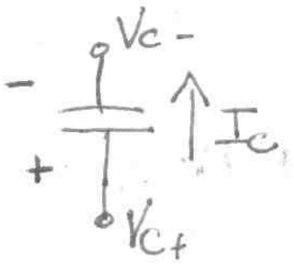


1. NMOS corte, PMOS óhmica
2. NMOS sat, PMOS óhmica
3. NMOS sat, PMOS sat
4. NMOS óhmica, PMOS sat
5. NMOS sat, PMOS corte

$$V_{TH} = \left[V_{TN} + \sqrt{\frac{K_p'}{K_n'} \frac{(W/L)_P}{(W/L)_N}} (V_{DD} + V_{TP}) \right] \Big/ \left(1 + \sqrt{\frac{K_p'}{K_n'} \frac{(W/L)_P}{(W/L)_N}} \right)$$

Mos amb condensadors

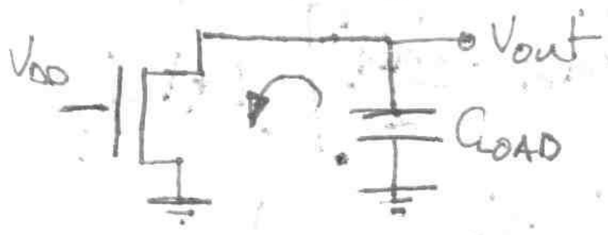
1. Es relaciona I_D amb corrents del condensadors
2. Es fa suposició o aviriguem estat condensador → Determina I_D
3. $I_c = C \dfrac{d(V_{C+} - V_{C-})}{dt} = d\Delta V_c$ ↔ Equació corrent a través del condensador



4. S'integra l'expressio i es determina constants integració amb coneixements

Anàlisis dinàmic CMOS

- Si hi ha connexió entre portes lògiques es treu capacitat equivalent: $C_{LOAD} = C_{int} + \sum C_{GN} + \sum C_{GP}$
- Temps propagació ≙ temps que triga bon senyal en arribar a $V_{DD}/2$ → t_{PHL}, t_{PLH}

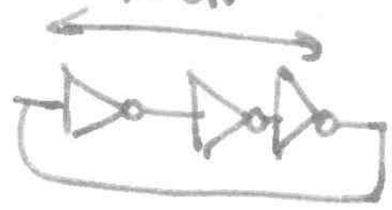


$$t_{HL} = -C_{LOAD} \cdot \int_{V_{DD}}^{\frac{V_{DD}}{2}} \frac{dV_{out}}{I_{NMOS}} \rightarrow t_{HL} \simeq \cdot \frac{C_{LOAD}}{K_n' \frac{W}{L}(V_{DD} - V_{TN})}$$

- $f_{max} \propto \dfrac{1}{t_{PHL} + t_{PLH}} \propto \dfrac{K\frac{W}{L}(V_{DD} - V_T)}{C_L}$

Potència util $\overline{P} = f \cdot V_{DD}^2 \cdot C_L \cdot n \cdot \gamma$ amb $\begin{cases} n = \#\text{portes} \\ \gamma = \text{factor utilització} \end{cases}$

Oscilador en cadena



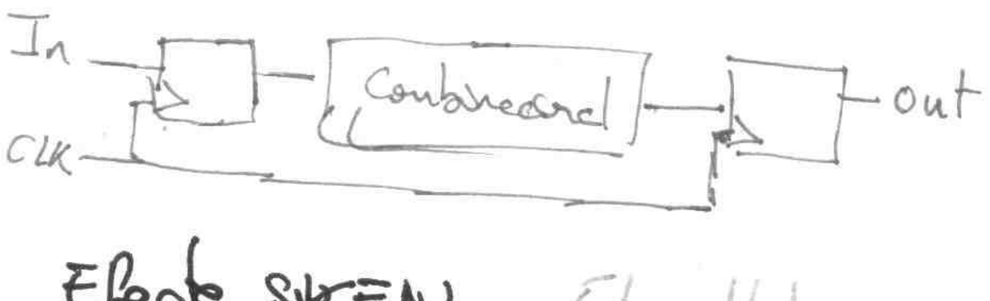
$$f_{OS} = \left[N \cdot (t_{HL} + t_{LH})\right]^{-1}$$

Potència dissipada

- útil $\overline{P}$
- corrent curtcircuit: $P_{cc} = \dfrac{V_{DD} \cdot I_{PEAK} \cdot t_{sc}}{T}$
- estàtic: $P_{est} = V_{DD} \cdot I_{LEAKAGE}$

$$P_{total} = \overline{P} + P_{cc} + P_{est}$$

Estructura sistema sincron

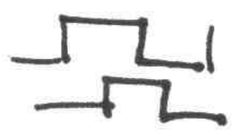
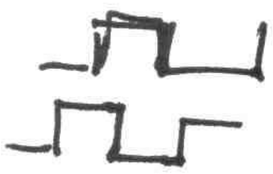


$$T_{CLK} - t_{su} > t_{PCQ} + t_{Pcombinacional}$$

⇒ Marge combinacional

Efecte SKEW

El rellotge sopeix ≠ retards

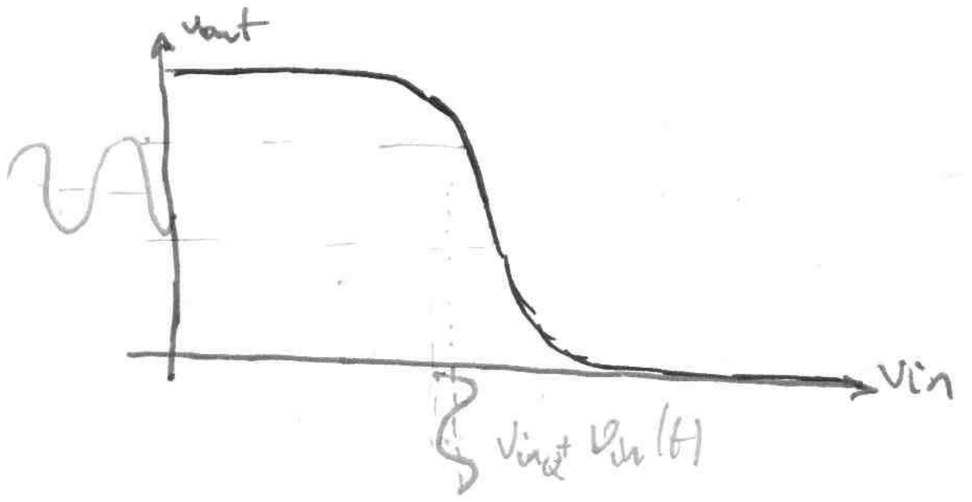
- Positiu:  : $T_{CLK} > t_{PCQ} + t_{Pcomb} + t_{su} - t_{SKEW}$
- Negatiu  : $T_{CLK} > t_{PCQ} + t_{Pcomb} + t_{su} + t_{SKEW}$

Regle temps setup: $T_{CLK} > t_{pcq_{max}} + t_{Pcomb_{max}} + t_{su} - t_{SKEW_{min}}$

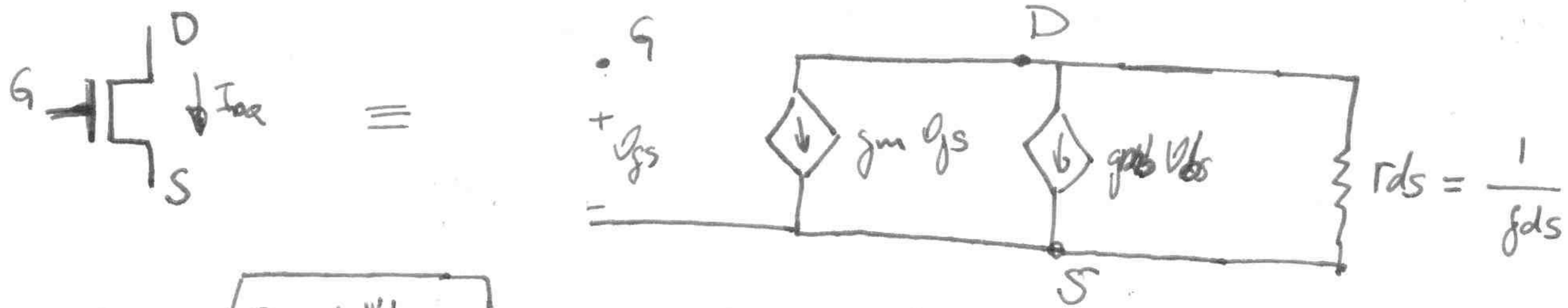
Regle temps hold: $T_{pcq_{min}} + t_{pcomb_{min}} > t_{hold} + t_{SKEW_{max}}$

CONCEPTES PETIT SENYAL

Disseny amplificador { Circuiteria polarització ; Resposta del circuit a petit senyal



⇒ Model circuit petit senyal



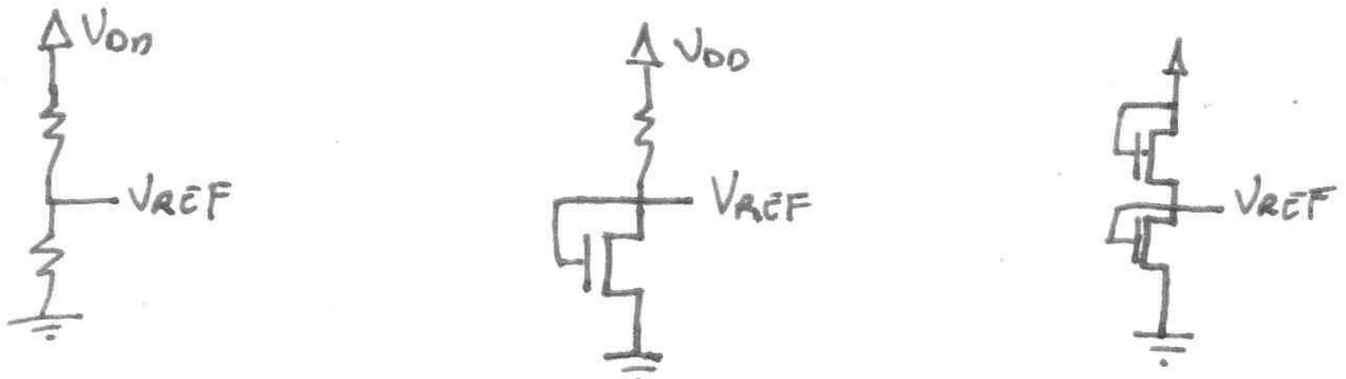
$g_m = \sqrt{2K'\frac{W}{L}I_{DQ}}$; $r_{ds} = \frac{1}{\lambda I_{DQ}} \propto \frac{L}{I_{DQ}}$; $g_{mb} = \frac{g_m \gamma}{2\sqrt{2\phi_0 - V_{BSQ}}} \simeq 0$

$g_{m_{canal\,curt}} = K'\frac{W}{L}V_{DSsat}$

⇒ Referència de tensió

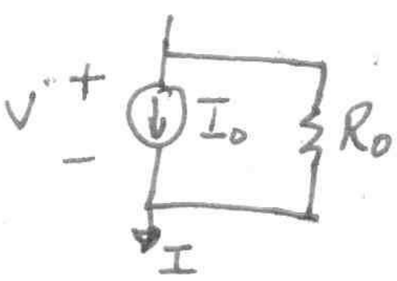
Proporciona una tensió de referència constant i estable vers amb DV tensió

És poder aconseguir mitjançant 2 resistències o 1 resistència just un MOS saturat o 2 MOS saturats



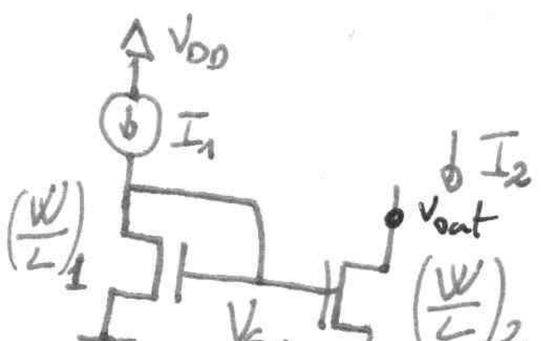
Per a estudiar estabilitat han de fer el model en petit senyal del circuit i obtindre la relació V_{ref}/V_{dd} suposant V_{DD} font ideal xo amb variacions petites $v_{dd}(t)$

⇒ Fonts de corrent

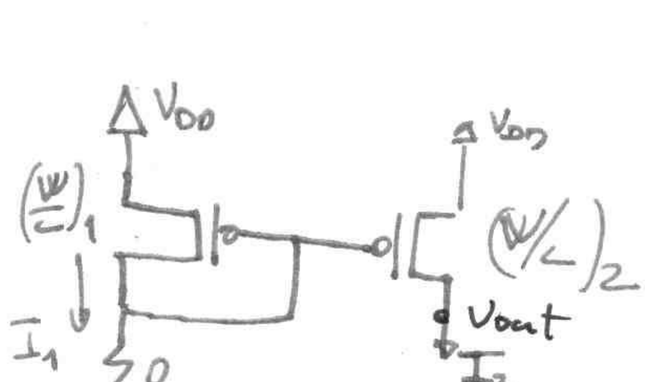


$I = I_0 + \frac{V}{R_0}$ amb $R_0 \hat{=}$ Resistència sortida

▲ Mirall de corrent : Es copia un corrent amb un factor multiplicatiu N

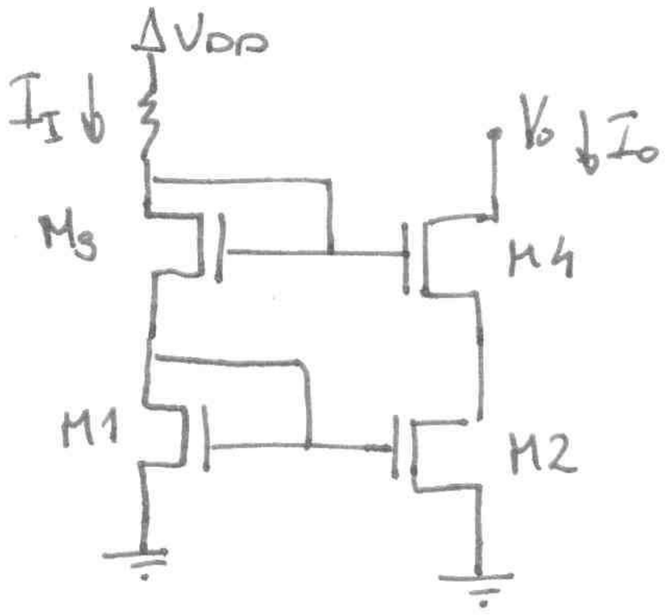


$\frac{I_2}{I_1} = \frac{(W/L)_2}{(W/L)_1} = N$



V_{GN} és un grau de llibertat { Vout interessa que sigui mínim possible xo amb $\frac{W}{L}$ raonables ; Rout interessa màxim possible $R_{out} = \frac{1}{\lambda I_2}$

▲ Forts Cascode

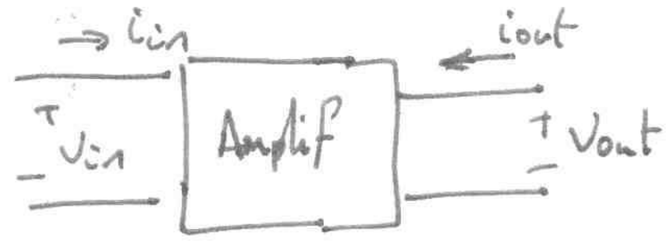


$$\frac{I_I}{I_o} = \frac{(W/L)_{M2}}{(W/L)_{M1}} = \frac{(W/L)_{M4}}{(W/L)_{M3}}$$

$$V_{omin} = 2V_{GS} - V_{TN}$$

$$R_o = \frac{v_o}{i_o} = 2\,r_{ds} + g_{m4} \cdot r_{ds}^2$$

ETAPES AMPLIFICADORES BÀSIQUES



▲ Amplif tensió: $G_V = \frac{V_{out}}{V_{in}}$

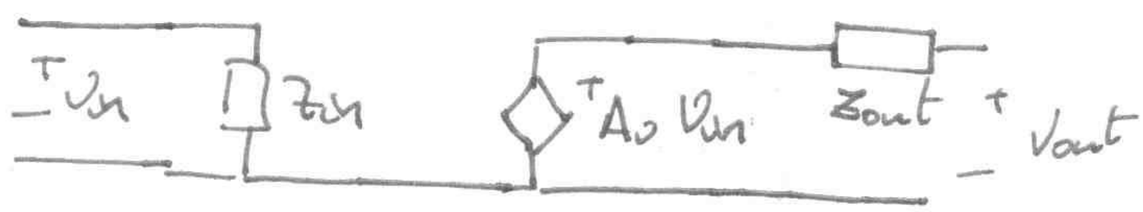
▲ Amplif corrent: $G_I = \frac{i_{out}}{i_{in}}$

▲ Amplif de transresistència: $G_R = \frac{v_{out}}{i_{in}}$ (Ω)

▲ Amplif de transconductància: $G_G = \frac{i_{out}}{v_{in}}$ (Ω^{-1})

- $Z_{in} = \left.\frac{v_{in}}{i_{in}}\right|_{amb\ Z_L\ i\ sense\ Z_S}$
- $Z_{out} = \left.\frac{v_{out}}{i_{out}}\right|_{amb\ Z_S\ i\ sense\ Z_L,\ V_f,\ i_S}$

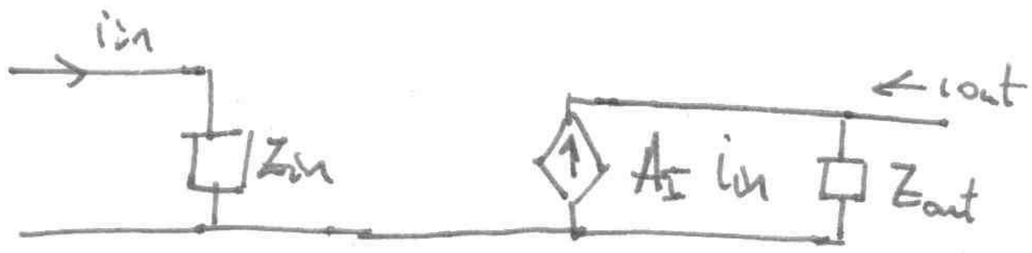
$\Rightarrow A_V = \frac{V_{out}}{V_{in}}$



$Z_S = 0$

$Z_L = \infty$

$\Rightarrow A_I = \frac{i_{out}}{i_{in}}$



$Z_S = \infty$

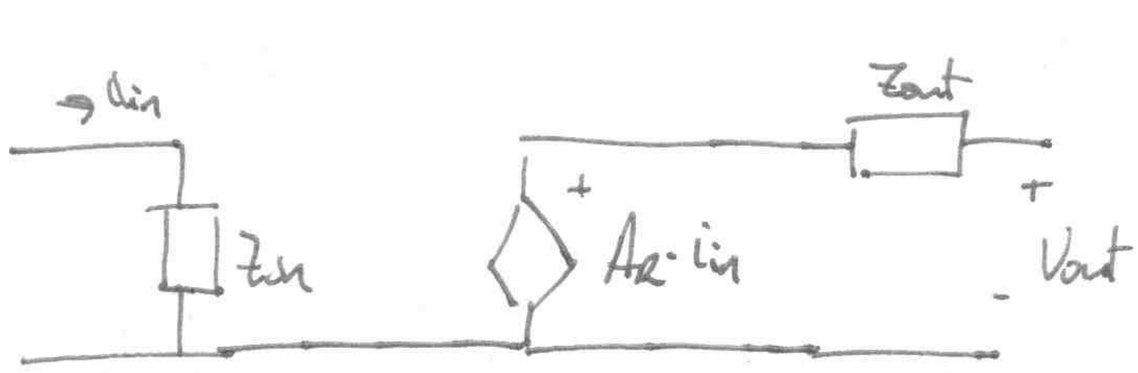
$Z_L = 0$

$\Rightarrow A_G = \frac{i_{out}}{V_{in}}$

$Z_S = 0$

$Z_L = 0$

$\Rightarrow A_R = \frac{V_{out}}{i_{in}}$

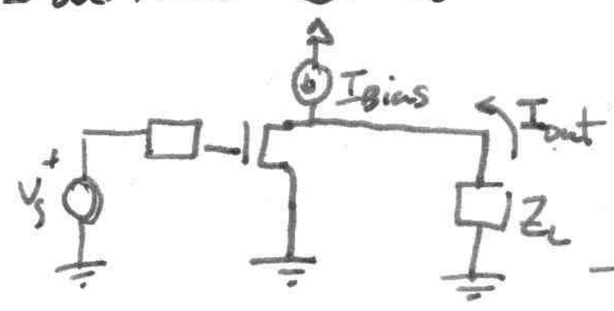


$Z_S = \infty$

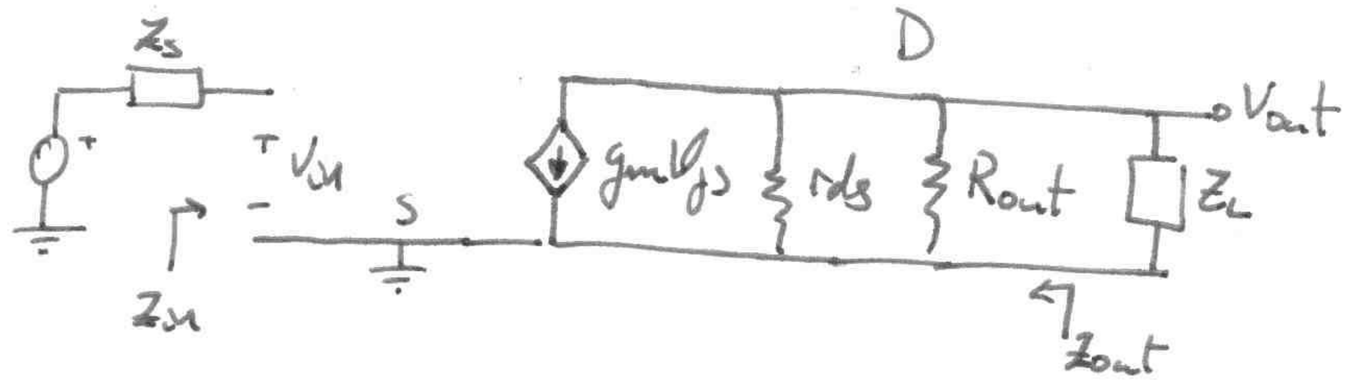
$Z_L = \infty$

⇒ Configuracions bàsiques

▲ Surtidor comú

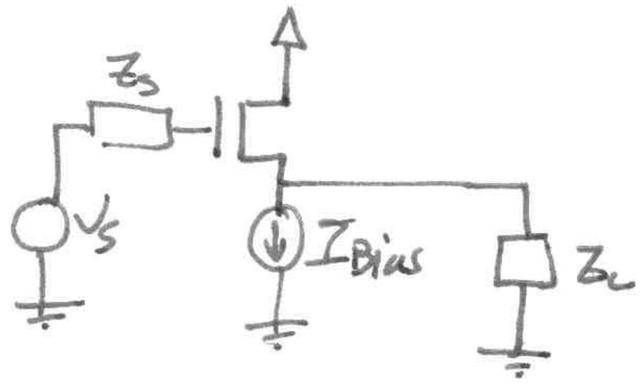


$\equiv$

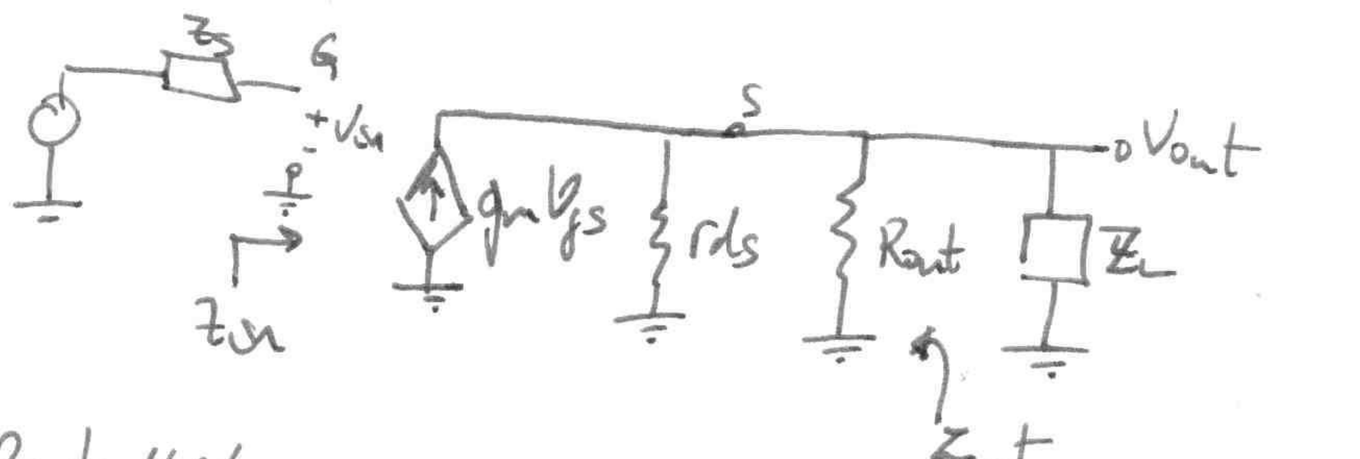


$Z_{in} = \infty$; $Z_{out} = r_{ds} // R_{out}$; $G_V = g_m \cdot [r_{ds} // R_{out} // Z_L]$

▲ Drenador comú

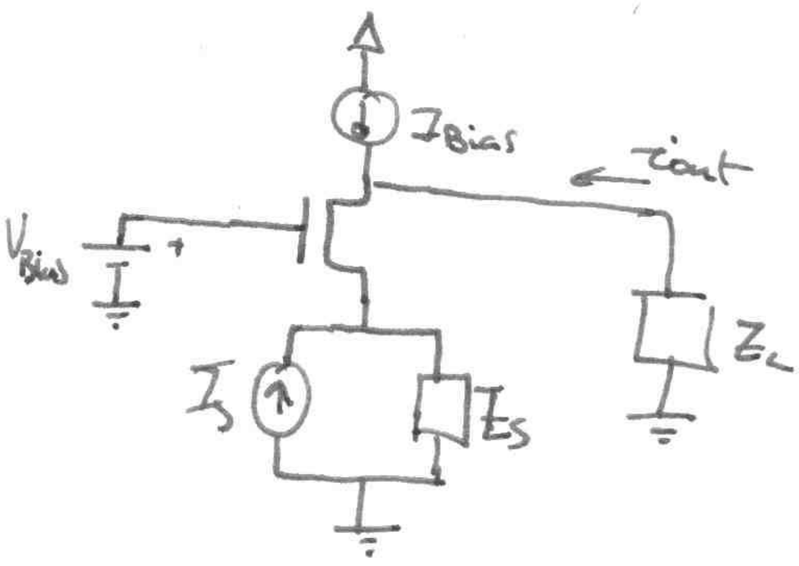


$\equiv$

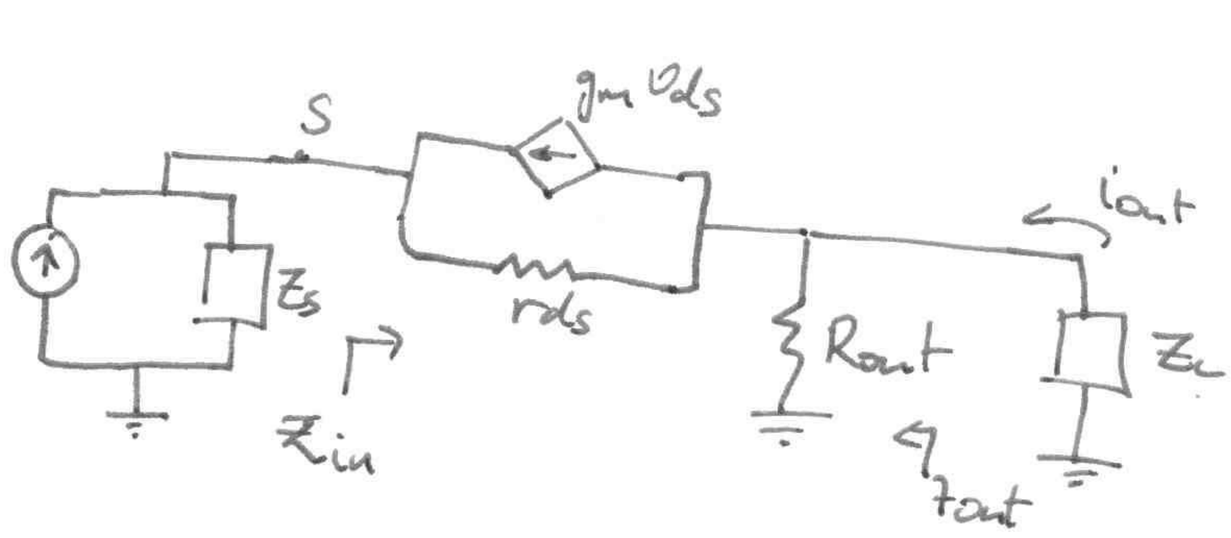


$Z_{in} = \infty$; $Z_{out} = r_{ds} // R_{out} // 1/g_m$; $G_V = \dfrac{g_m (r_{ds} // R_{out} // Z_L)}{1 + g_m (r_{ds} // R_{out} // Z_L)} < 1$

▲ Porta comú

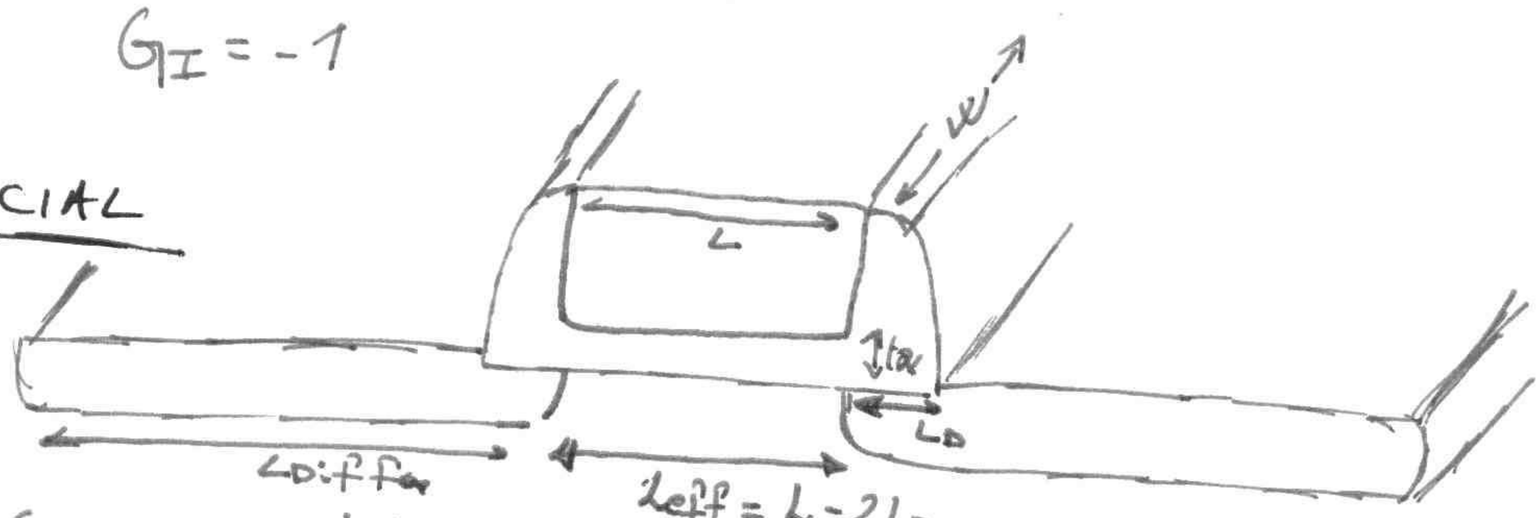


$\equiv$



$Z_{in} \cong 1/g_m$ $\qquad G_I = -1$

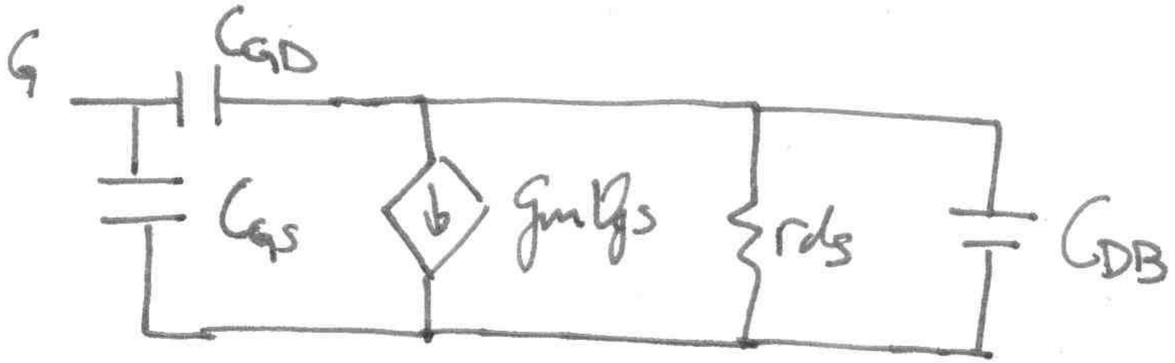
RESPOSTA FREQUENCIAL



En saturació:

$$C_{GS} = C_{GD_{overlap}} + \frac{2}{3} C_G = \varepsilon_{SiO_2} \frac{L_D W}{t_{ox}} + \frac{2}{3} \varepsilon_{SiO_2} \frac{L_{eff} \cdot W}{t_{ox}}$$

$$C_{DB} = \frac{C_j \cdot L_{dif} \cdot W}{\left(1 + \frac{V_{DB}}{\phi_n}\right)^m}$$



$$f_T = \frac{g_m}{2\pi C_{GS}}$$

$\cong$

$r_{ds} \uparrow\uparrow$

$C_{GS} \gg C_{GD}, C_{DB}$