Examen FINAL Estructura de Computadores II

curso 2005-2006 Q2

- La duración del examen es de 3 horas.
- Contestad en las hojas de respuestas.
- Las notas finales se publicarán el **29 de junio**.
- La revisión se realizará el **4 de julio**.

Problema 1 (1 punto)

Dado el siguiente código escrito en C:

```
typedef struct {
   char f[9];
   char c1;
   short int us1;
   int i1;
   short int vu[5];
   int *p;
   char c2;
   char *pc;
}ss;
ss *ps;  // el puntero ps está en el registro %ebx
int i;   // la variable i está en el registro %esi
```

a) **Dibuja** cómo quedaría la estructura de datos en Linux, indicando claramente los desplazamientos con respecto a la dirección de inicio de la estructura, el tamaño de cada campo y el tamaño de la estructura.

b) **Traduce con 1 única instrucción** de IA32 la siguiente asignación:

```
(*ps).f[i] = '#';
```

c) **Traduce con sólo 2 instrucciones** de IA32 la siguiente asignación:

```
ps->pc = &(ps->f[i+1]);
```

d) **Traduce con 1 única instrucción** de IA32 la siguiente asignación:

```
ps->vu[i+1] = ps->vu[i+1]>>3;
```

Problema 2 (0,5 puntos)

Traduce literalmente a ensamblador del IA32 la siguiente función escrita en C:

```
int ind(int v[100], int i) {
  return v[i];
}
```

Problema 3 (1,5 puntos)

Dado el siguiente código escrito en C:

```
int ec2(int M[100][100], int i, int *j) {
  int tmp; // Almacenad esta variable en el registro %ecx,
           // sin reservar espacio en la pila para él
  int v[100];
  ...
  (1) if (*j >= 0x7fffff)
        *j = *j + v[i];
      else
        v[0] = -1;
  ...
  (2) M[30][15] = ind(v, *j); //ind es la función del problema anterior
  ...
  (3) for (tmp=0; tmp <100; tmp++)
        v[tmp] = M[tmp][tmp] & (*j)
  ...
}
```

Se pide:
a) **Traduce literalmente** a ensamblador de IA32 la sentencia (1).
b) **Traduce literalmente** a ensamblador de IA32 la sentencia (2).
c) **Traduce de forma ÓPTIMA** a ensamblador de IA32 la sentencia (3).

Problema 4 (1 punt)

Tenim un processador de 32 bits amb adreces de 16 bits amb un sistema de memòria cache (**MC**) format per una cache de mapeig directe i una cache de víctimes amb les següents característiques:

- Cache de Mapeig Directe (**MD**)
  - Mida: 4Kbytes
  - Mida línia: 64 bytes
  - Política de escriptura: write through + write no allocate
- Cache de víctimes (**VC**)
  - Mida: 2 línies
  - Reemplaçament: FIFO

Suposant que el sistema **MC** està inicialment buit, empleneu la següent taula indicant per cada referencia:

- la línia de memòria principal que s'està referenciant (**#línia MP**)
- la línia de la memòria cache directa on es mapeja (**#línia MD**)
- si és hit (**h**) o miss (**m**) a la **MD**
- si és hit (**h**) o miss (**m**) a la **VC**
- si és hit (**h**) o miss (**m**) al sistema **MC**
- el nombre de bytes que es llegeixen de **MP** en cas que sigui necessari
- el nombre de bytes que s'escriuen a **MP** en cas que sigui necessari
- la línia reemplaçada de **MD** quan correspongui (identificada amb **#línia MP**).

adreça (hex)	#línia MP (hex)	#línia MD (hex)	hit/miss MD	hit/miss VC	hit/miss MC	mida lectura de MP	mida escriptura a MP	#línia reemplaçada de MD
lect byte 210F								
lect word 1115								
lect long 2124								
lect byte 113F								
lect long 2100								
lect long 3B20								
escr word 5B27								
lect byte 3B08								
escr word E530								
lect long E530								

Pregunta 5 (1 punt)

Tenim un sistema de memòria principal (de 29 bits d'adreça) amb les següents característiques:

- 1 DIMM amb 8 xips de memòria SDRAM.
- Cada xip te una capacitat de 64 Mbytes.
- Cada xip te 16 bancs de memòria.
- Cada banc te 4096 files i 1024 columnes (de 1 byte cada una)
- Les dades estan entrellaçades a nivell de xip. Posicions consecutives de memòria estan a xips diferents.
- Dintre del xip les dades no estan entrellaçades. Posicions consecutives de xip estan al mateix banc.

1) Identifica a la tira de bits quins corresponen a cada camp de l'adreça (chip, banc, fila i columna)

28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

2) Donat un acces al byte 0x1A320793 calcula (en hexa) la seva ubicació exacta (xip, banc, fila i columna).

Pels dos accessos següents indica si hi ha cap problema al accedir el DIMM. En cas afirmatiu, de quin problema es tracta?

3) acces al long 0x00FFFFFC
4) acces al long 0x00FFFFF7

Problema 6 (1 punt)

Donat el següent codi escrit en ensamblador del IA32:

```
      xorl %esi, %esi
for:  cmpl $16*1024, %esi
      jge end
a:    movl (,%esi, 4), %eax
b:    addl 16(,%esi, 4), %eax
c:    movl %eax, 0x80000000(,%esi, 4)
      incl %esi
      jmp for
end:
```

Tenint en compte únicament els accessos a dades, **calcula** els següents paràmetres:

1) Nombre d'operacions de lectura.
2) Nombre d'operacions d'escriptura.
3) Nombre de pàgines acccedides pel programa, suposant una mida de pàgina de 2 Kbytes.
4) Nombre de fallos de TLB, suposant un TLB de 4 entrades totalment associatiu i reemplaçament LRU.
5) Per cada un dels accessos (etiquetes a, b i c), **indica si es produirà miss (m) o hit (h)** en cada una de les 10 primeres iteracions, suposant una cache directa de 4 Kbytes amb línies de 16 bytes, Write Through i **NO Write Allocate**.

	0	1	2	3	4	5	6	7	8	9
a										
b										
c										

6) Nombre de fallos a la cache anterior.
7) Per cada un dels accessos (etiquetes a, b i c), **indica si es produirà miss (m) o hit (h)** en cada una de les 10 primeres iteracions, suposant una cache directa de 4 Kbytes amb línies de 16 bytes Write Through i **Write Allocate**.

	0	1	2	3	4	5	6	7	8	9
a										
b										
c										

8) Nombre de fallos a la cache anterior.

Pregunta 7 (3 punts)

Para cada uno de los siguientes grupos de 5 afirmaciones, **indica** si son ciertas (**C**) o falsas (**F**). Hay que contestarlas todas. Cada grupo vale 1 punto. (En cada grupo: 1 fallo: 0.5 puntos, 2 o más fallos: 0 puntos).

E/S

	El protocolo handshaking sólo puede usarse en conexiones punto a punto porque es muy lento
	Los buses síncronos son mejores que los asíncronos porque pueden ser muy rápidos y largos a la vez
	Un HD de 40 MB tiene menos capacidad de almacenamiento que una memoria RAM de 40 MB
	RAID 0 (disk striping) no es tolerante a fallos
	Para acceder a los registros de E/S mapeados en memoria es necesario utilizar instrucciones especiales de LM, como *in* y *out*

Lenguaje Máquina

	La instrucción mov (%eax), 6(%ebx,%ecx,2) puede producir un error de "segmentation fault" en tiempo de ejecución
	El registro %ecx no se puede modificar en el interior de una subrutina si no es previamente salvado y restaurado por la propia subrutina
	El rango de un int es -2^{32} .. 2^{32} -1
	La instrucción pushl suma 4 al valor del registro %esp
	El registro %dh es un registro de 16 bits

Jerarquía de memoria

	El TLB es un mecanismo de traducción de direcciones físicas a direcciones lógicas
	El tamaño de una línea de la memoria principal depende del entrelazado de la memoria principal
	La memoria cache es RAM estática
	En una cache asociativa por conjuntos se busca simultáneamente en la memoria de etiquetas y en la de datos
	El TLB almacena el contenido de las páginas que han sido accedidas más recientemente

Pregunta 8 (0.5 puntos)

Dibuja el esquema de arbitraje centralizado paralelo, indicando claramente el nombre de las señales que circulan por cada línea.

Pregunta 9 (0.5 puntos)

Haz un dibujo de cómo se distribuyen los datos en cada disco en un sistema RAID 5 de 5 discos numerados del 1 al 5. Si falla el disco 3, indica el cálculo que hay que hacer para recuperar la información