

Nom i Cognoms:

Examen final de CISE IV Juny 2001

Problema 1 (25%)(Per contestar en aquest mateix full)

La figura adjunta mostra un sistema basat en dos microprocessadors que tenen accés a una memòria comú de 64Kwords, formada per dos xips de memòria amb una organització de 64Kx8bits.

Els dos microprocessadors funcionen de forma totalment asíncrona, cada un amb el seu propi rellotge, tenen els bussos separats i tenen el seu propi banc de memòria local, juntament amb els recursos d'entrada/sortida. L'accés a la memòria comú es fa a través de buffers de tres estats.

El problema real, quan es dissenya un sistema de memòria compartida, cau sobre el mecanisme de selecció que gestiona i dona permís a un microprocessador per accedir a la memòria compartida. Amb l'objectiu d'evitar un accés simultani d'ambdós microprocessadors a la memòria comú, el sistema disposa d'un bloc d'arbitratge amb dos canals de servei (1 i 2) que decideix quin microprocessador accedeix al bloc de memòria compartida. El funcionament de l'àrbitre és el següent:

- a) L'activació del senyal de sortida BUFFER_ENABLE* de cada canal es produeix directament quan s'activa l'entrada corresponent MEM_REQ* del mateix. Això, sempre que no s'estigui accedint a la memòria comú, en aquest instant i mitjançant l'altra canal.
- b) Si qualsevol dels dos microprocessadors intenta accedir a la memòria comú, activant el senyal MEM_REQ* del seu canal al mateix temps en que l'altre hi està accedint, l'àrbitre respondrà immediatament activant el senyal WAIT del seu canal. Una vegada la memòria comú queda lliure, el senyal WAIT es desactiva i s'activa la sortida BUFFER_ENABLE* corresponent al seu canal.
- c) En cas d'activació simultània pels dos microprocessadors, l'àrbitre resol el conflicte donant-li prioritat de servei al canal 1.

Es demana:

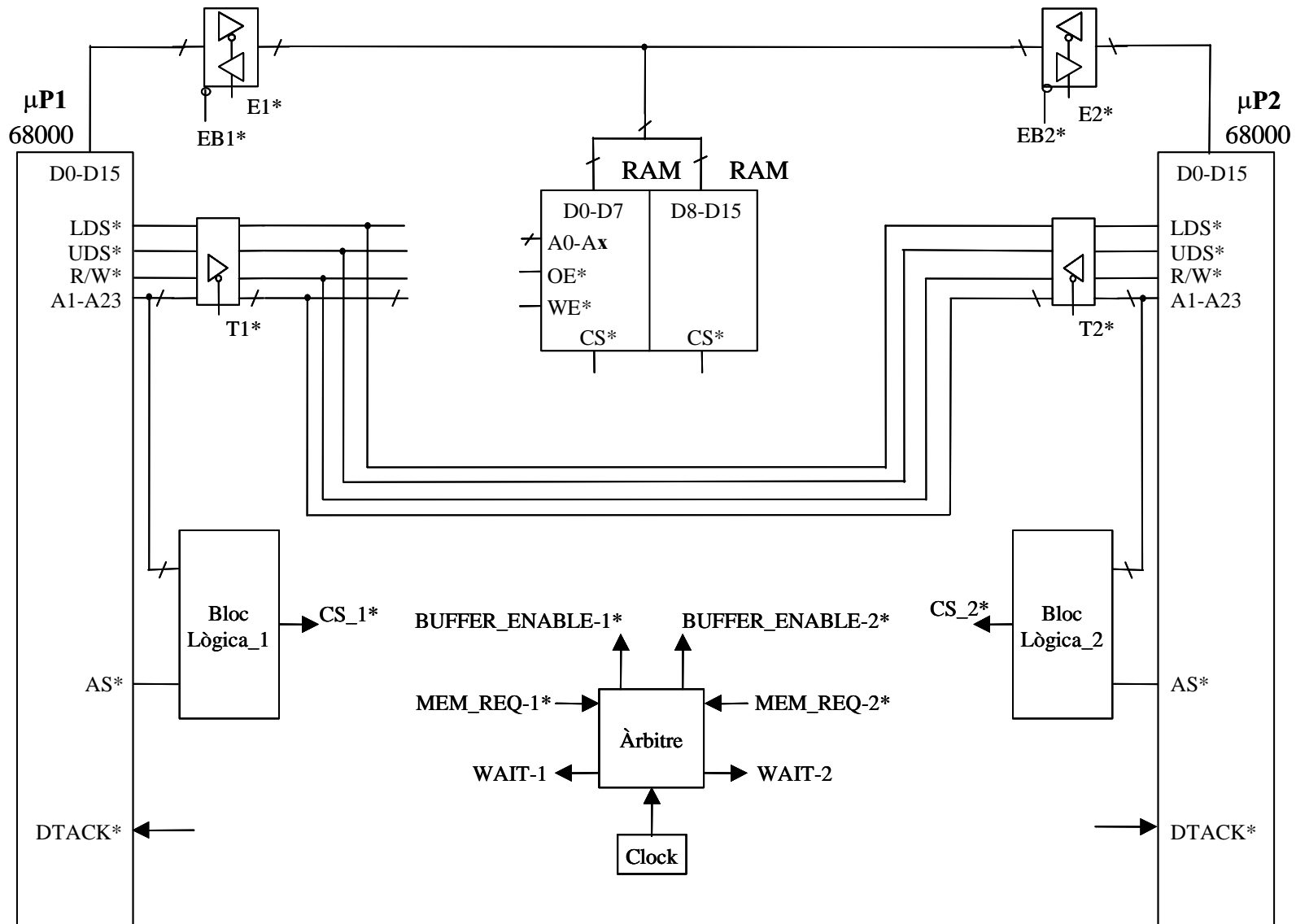
1.- Trobar el valor de x i connectar correctament els pins $A_0 - A_x$ de la memòria comú. (10%)

2.- Dissenyar els blocs de lògica 1 i 2, generant els senyals CS_1* i CS_2* respectivament, perquè la memòria comú comenci a l'adreça 040000_H del mapa de memòria del $\mu P1$ i acabi a l'adreça 09FFFF_H del mapa del $\mu P2$. La **descodificació ha de resultar completa**. (30%)

3.- A partir dels senyals disponibles d'ambdós microprocessadors, els blocs de lògica i l'àrbitre, dissenyar els circuits més senzills possibles per generar adequadament els senyals següents: (60%)

- 3.1. E1* EB1* T1* E2* EB2* i T2* corresponents als buffers.
- 3.2. MEM_REQ-1* i MEM_REQ-2* de l'àrbitre
- 3.3. Senyal de reconeixement de la transferència (DTACK*) d'ambdós microprocessadors
- 3.4. CS* WE* i OE* de la memòria RAM comú

Nom i Cognoms:



Nom i Cognoms:

Problema 2 (20%)(Per contestar en aquest mateix full)

La figura 1 presenta un circuit on quatre controladors d'E/S (P1...P4) estan connectats en una cadena de prioritat (*daisy-chain*) depenent de la posició, que propaga la sortida de reconeixement d'interrupció IACK* d'un microprocessador. Aquesta cadena és circular, de manera que la sortida de P4 va a l'entrada de P1, però les connexions es fan a través d'una porta AND que permet seleccionar l'estat de cada IACKIN* en funció del estat de les entrades I1...I4.

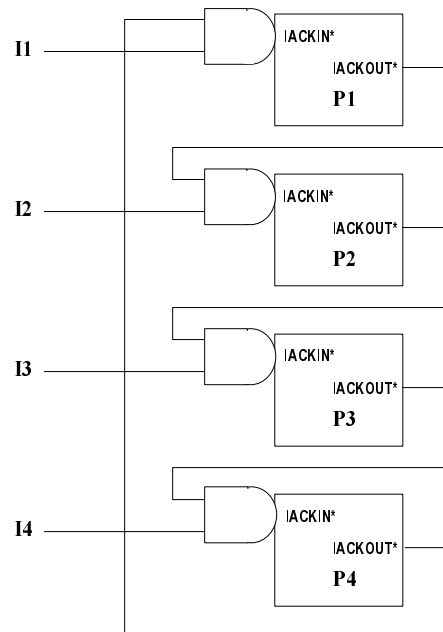


Fig. 1

El funcionament d'aquest circuit és el següent:

Quan es produeix una interrupció per part de qualsevol dels controladors i el microprocessador l'accepta, activa la seva sortida IACK*. Aquesta sortida del microprocessador entra al circuit anterior i es propaga per la cadena, començant pel més prioritari dels controladors. Si un controlador no ha demanat la interrupció propaga el senyal IACK* de manera que el seu IACKIN* surt pel seu IACKOUT*. Si ha demanat la interrupció, atura el IACK* i posa IACKOUT* a nivell alt per tal de que els següents controladors no la rebin. A continuació posa el seu vector d'interrupció en el bus de dades del microprocessador.

1. Es demana connectar les entrades I1...I4 per tal que el controlador més prioritari sigui P2 (ordre de prioritat: P2, P3, P4, P1) (25%)

Nom i Cognoms:

Ara volem que la prioritat sigui programable pel microprocessador, de manera que les entrades I1...I4 es puguin configurar dinàmicament per establir en cada moment quin dels controladors és el més prioritari, en el ben entès que a partir d'aquest, l'ordre de prioritat és cíclic. Per poder-ho fer, utilitzarem dues línies d'un port de sortida del microprocessador, anomenades MP0 i MP1 i un descodificador de 2 a 4 amb habilitació com a la figura 2, on A i B són les entrades de selecció i A és la de menor pes. E0, E1* i E2* són les entrades d'habilitació, i han de ser totes vàlides per tal que el descodificador funcioni.

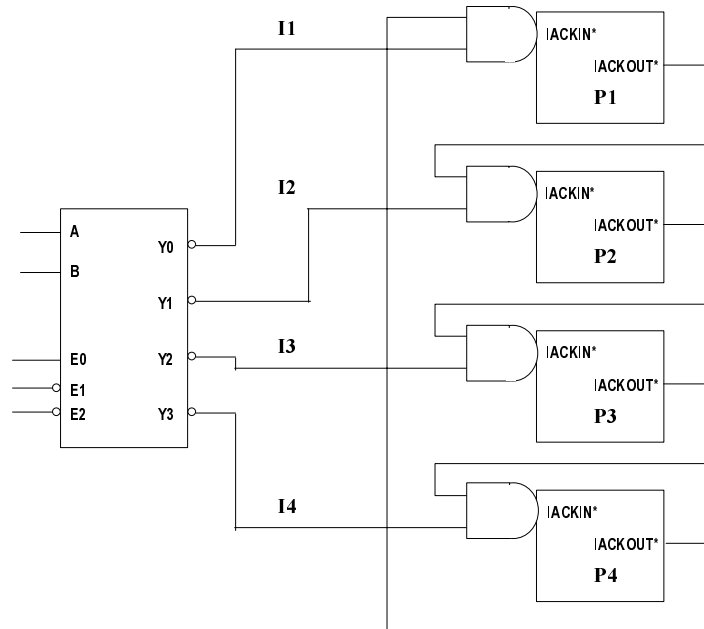


Fig. 2

2. Es demana connectar correctament les entrades del descodificador per realitzar la funció requerida.(50%)

Nom i Cognoms:

Si el cicle de reconeixement d'interruptió del microprocessador és el de la figura 3, on el vector present a D0-D7 es llegeix al flanc de baixada de T2 i els retards del circuit són:

- Portes AND = 5 ns
- Descodificador = 5 ns
- Retard entre IACKIN* i IACKOUT* = 20 ns
- Retard entre IACKIN* vàlid i la sortida del vector = 10 ns
- Temps de *setup* de lectura de les dades = 5 ns

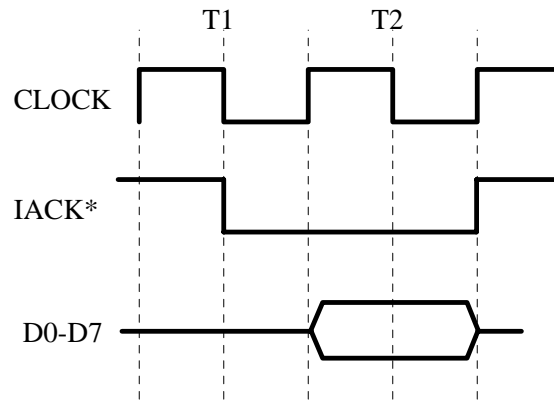


Fig. 3

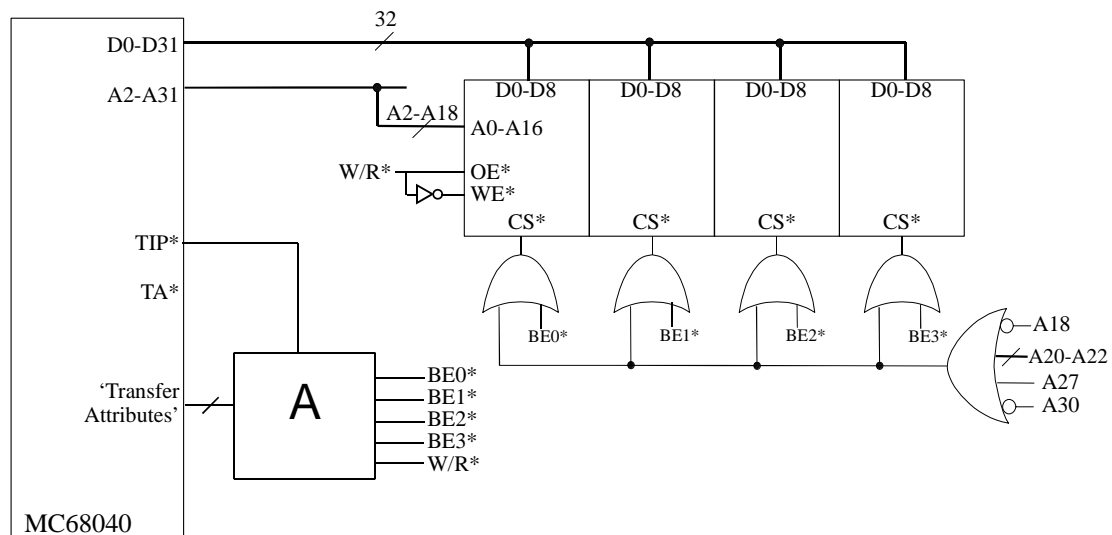
3. Es demana el valor mínim del període de rellotge del microprocessador per tal que el sistema funcioni correctament en qualsevol cas.(25%)

Nom i Cognoms:

Problema 3 (40%)(Per contestar en aquest mateix full)

S'ha dissenyat un sistema basat en el μ P MC68040 de Motorola. La interfície d'aquest microprocessador és:

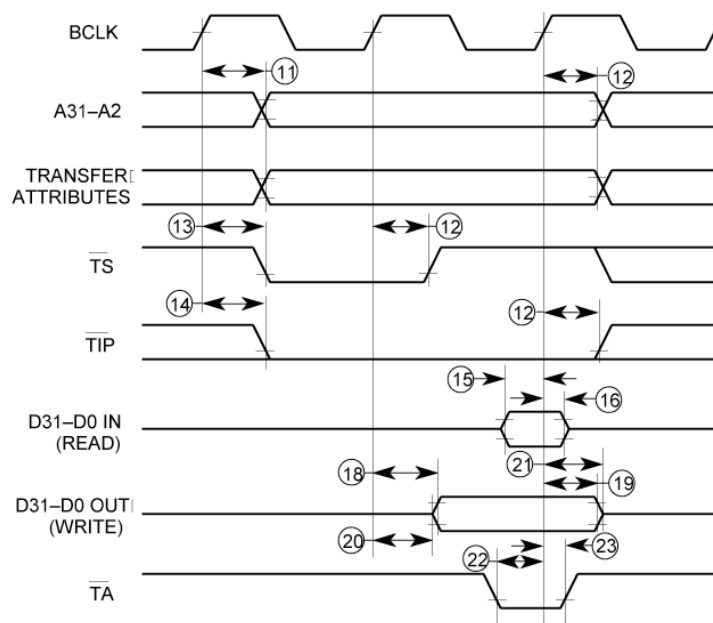
- A2-A31: Bus d'adreces
- D0-D31: Bus de dades (4 bytes)
- TIP*: *Transfer in Progress* (equivalent a AS*)
- TA*: *Transfer Acknowledge* (equivalent a DTACK*)
- "**Transfer Attributes**": conjunt de senyals que donen informació respecte el cicle de bus en curs



El sistema, mitjançant el bloc de lògica A, obté a partir del conjunt de senyals "Transfer Attributes" i el senyal TIP* els senyals auxiliars:

- BE0*-BE3*: Data Strobes de cadascun dels bytes que conformen el bus de dades
- W/R*: Senyal d'escriptura-lectura

El cronograma del cicle de lectura/escriptura del microprocessador és el següent:



Nom i Cognoms:

Les taules de temporització del microprocessador són:

Num	Characteristic	20 MHz		25 MHz		33 MHz		Unit
		Min	Max	Min	Max	Min	Max	
11	BCLK to Address, CIOUT, LOCK, LOCKE, PSTx, R/W, SIzX, TLNx, TMx, TTx, UPAX Valid (Transfer Attributes)	11.5	35	9	30	6.5	25	ns
12	BCLK to Output Invalid (Output Hold)	11.5	—	9	—	6.5	—	ns
13	BCLK to TS Valid	11.5	35	9	30	6.5	25	ns
14	BCLK to TIP Valid	11.5	35	9	30	6.5	25	ns
18	BCLK to Data-Out Valid	11.5	37	9	32	6.5	27	ns
19	BCLK to Data-Out Invalid (Output Hold)	11.5	—	9	—	6.5	—	ns
20	BCLK to Output Low Impedance	11.5	—	9	—	6.5	—	ns
21	BCLK to Data-Out High Impedance	11.5	25	9	20	6.5	17	ns

Num	Characteristic	20 MHz		25 MHz		33 MHz		Unit
		Min	Max	Min	Max	Min	Max	
15	Data-In Valid to BCLK (Setup)	6	—	5	—	4	—	ns
16	BCLK to Data-In Invalid (Hold)	5	—	4	—	4	—	ns
17	BCLK to Data-In High Impedance (Read Followed by Write)	—	61	—	49	—	36.5	ns
22	TA Valid to BCLK (Setup)	12.5	—	10	—	10	—	ns
23	BCLK to TA, TEA, TCI, TBI Invalid (Hold)	2.5	—	2	—	2	—	ns

El retard introduït pel bloc de lògica A és de **7ns** i el retard de porta és de **3ns**. La freqüència de rellotge del sistema és de **25MHz**.

Es demana:

- De tota la RAM instal·lada al sistema, quina quantitat és accessible per al microprocessador ? Justifiqueu la resposta. (10%)
- Número total de zones imatge. Rang d'adreces ocupat per la primera zona imatge (la d'adreces més baixes). (20%)

Nom i Cognoms:

- c) Temps de *setup* de les dades. Temps de setup del senyal TA*.(10%)

Temps de *setup* dades =

Temps de *setup* TA* =

- d) Avalueu si és correcta la temporització del cicle de lectura al sistema. Justifiqueu la resposta. Per això tingueu en compte que el temps d'accés de la RAM des de CS* i des de les Adreces és de 40ns, i que el temps d'accés des de OE* és de 10ns. (30%)

- e) Avalueu, justificant la resposta, si és correcta la temporització del cicle d'escriptura al sistema si les dades de la RAM per escriptura són les següents: (30%)

$t_{AW}=40\text{ns}$, $t_{CW}=40\text{ns}$, $t_{WE}=30\text{ns}$, $t_{DW}=25\text{ns}$. Aquests són els temps mínims que han de ser-hi les adreces, el CS*, WE* i les dades respectivament, abans de que WE* o CS* siguin desactivats (finalització cicle d'escriptura). Considerem que el retard de les portes i del bloc de lògica A és fixa, constant al llarg del temps i sempre igual per a tots els senyals.

Nom i Cognoms:

Qüestions (15%) (Per contestar en aquest mateix full)

Q1.- A partir del cronograma de lectura/escriptura del μP MC68040 que hi ha al problema 3 i les taules de temps corresponents, es pot afirmar que el senyal TS*.

- A) És d'entrada perquè els temps 13 i 12 són temps de *setup*.
- B) És de sortida perquè els temps 13 és un temps de retard i el temps 12 és el temps mínim en què es manté la sortida activa després de flanc de rellotge.
- C) És d'entrada perquè els temps 13 i 12 són temps de *hold*.
- D) És de sortida perquè els temps 13 és un temps de *setup* i el temps 12 és un temps de *hold* en lectura.

NOTA: No cal llegir l'enunciat del problema 3 per a respondre aquesta qüestió.

Q2.- Marqueu els programes integrats a l'entorn Paradigm que es fan servir a les pràctiques:

- 1. Editor de programes
- 2. Compilador i muntador (*linker*), ambdós només de C
- 3. Compilador de C i muntador (*linker*)
- 4. Compilador de C++ i muntador (*linker*)
- 5. Simulador de la placa microcontroladora del V25
- 6. Emulador de la placa del V25
- 7. PDREMOTE en la EPROM de la placa del V25
- 8. PDREMOTE en la SRAM de la placa del V25
- 9. Depurador independent i separat d l'entorn
- 10. Depurador integrat sobre la mateixes finestres d'Edició dels programes

Q3.- En la programació de la placa de pràctiques , amb el V25,

- a) quina diferència hi ha entre l'execució de la instrucció - *disable()*; - i l'efecte de programar a "1" el bit 6 del registre TBIC (8 bits: del 0 al 7) ?

- b) En la funció : `setvect(PARAM1, PARAM2);`

què són PARAM1 i PARAM2 ? Indiqueu-lo molt breument, però amb precisió.

Q4.- Calculeu el valor **límit** (màxim o mínim a determinar) de la resistència de *pull-up* connectada entre l'alimentació de 5V i l'entrada INT* d'un μP ($V_{I\text{limax}}=1\text{V}$, $I_{I\text{limax}}=10\mu\text{A}$) si entre els dispositius que poden demanar interrupció n'hi ha de dos tipus: de col·lector obert ($I_{O\text{limax}}=16\text{mA}$, $V_{O\text{limax}}=0,2\text{V}$) i de drenador obert ($I_{O\text{limax}}=10\text{mA}$, $V_{O\text{limax}}=0,5\text{V}$), i es vol disposar d'un marge de soroll $NML_{\text{min}}=0,5\text{V}$?

Q5.- En el microcontrolador V25, quins són els registres programables que constitueixen el Port P0 (o el P1 o el P2) i quina funció té cadascú d'ells ?

Problema 2

1.- I2 la connectem a IACK* i la resta I1, I3, I4 a la tensió d'alimentació ("1" lògic)

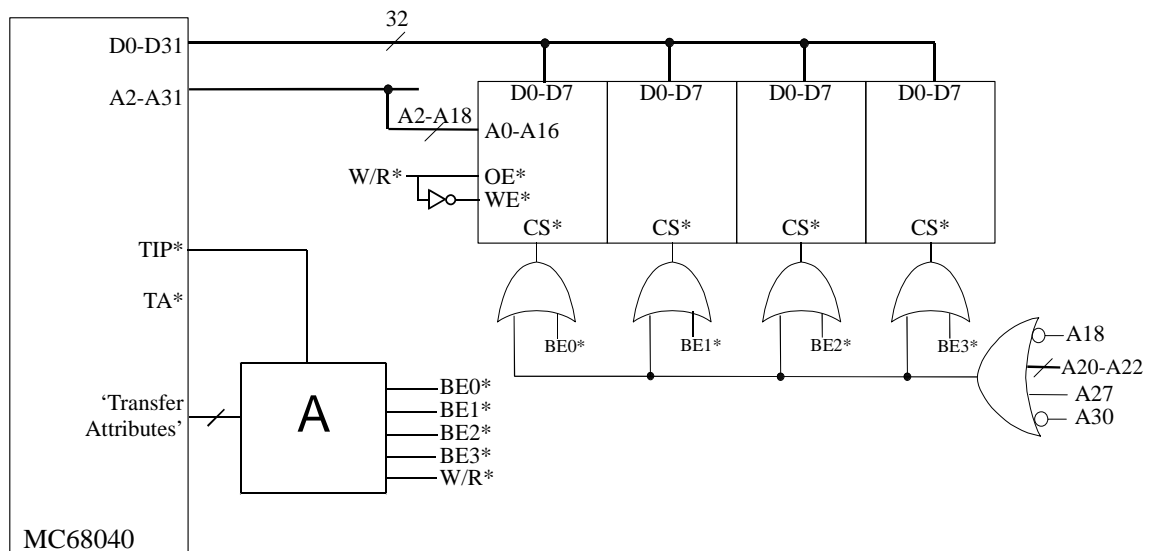
2.- Una possible solució es la connexió de les entrades A i B a les línies MP0 i MP1 del port del microprocessador. IACK* la utilitzarem per activar el descodificador i la connectem a E1* per exemple. Els altres dos enables es connecten un a la massa i l'altre a la tensió d'alimentació.

3.- $\text{Període} \geq \text{Descod} + 3 \times (\text{porta} + \text{Retard IACKIN-IACKOUT}) + \text{Porta} + \text{Sortida vector} + \text{Setup} = 100 \text{ ns.}$

Problema 3.

S'ha dissenyat un sistema basat en el μ P MC68040 de Motorola. La interfície d'aquest microprocessador és:

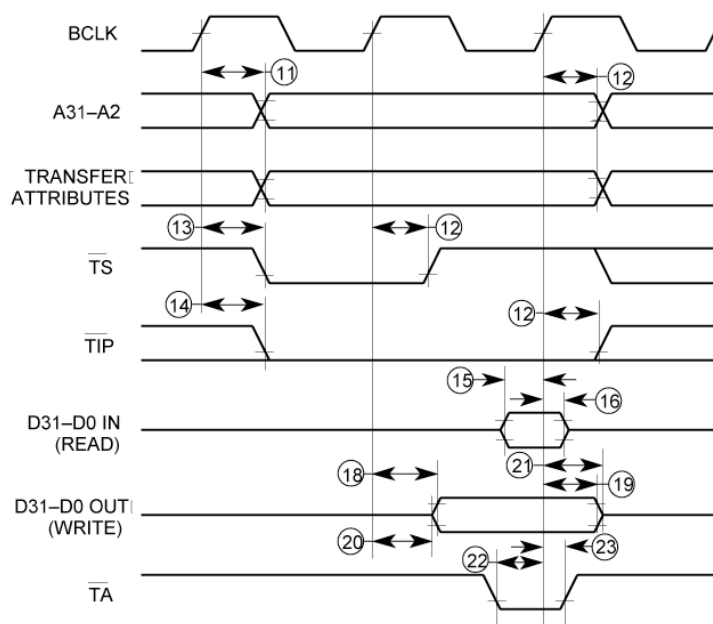
- A2-A31: Bus d'adreces
- D0-D31: Bus de dades (4 bytes)
- TIP*: *Transfer in Progress* (equivalent a AS*)
- TA*: *Transfer Acknowledge* (equivalent a DTACK*)
- "**Transfer Attributes**": conjunt de senyals que donen informació respecte el cicle de bus en curs



El sistema, mitjançant el bloc de lògica A, obté a partir del conjunt de senyals "Transfer Attributes" i el senyal TIP* els senyals auxiliars:

- BE0*-BE3*: Data Strobes de cadascun dels bytes que conformen el bus de dades
- W/R*: Senyal d'escriptura-lectura

El cronograma del cicle de lectura/escriptura del microprocessador és el següent:



Les taules de temporització del microprocessador són:

Num	Characteristic	20 MHz		25 MHz		33 MHz		Unit
		Min	Max	Min	Max	Min	Max	
11	BCLK to Address, CIOU, LOCK, LOCKE, PSTx, R/W, SIzX, TLNx, TMx, TTx, UPAX Valid (Transfer Attributes)	11.5	35	9	30	6.5	25	ns
12	BCLK to Output Invalid (Output Hold)	11.5	—	9	—	6.5	—	ns
13	BCLK to TS Valid	11.5	35	9	30	6.5	25	ns
14	BCLK to TIP Valid	11.5	35	9	30	6.5	25	ns
18	BCLK to Data-Out Valid	11.5	37	9	32	6.5	27	ns
19	BCLK to Data-Out Invalid (Output Hold)	11.5	—	9	—	6.5	—	ns
20	BCLK to Output Low Impedance	11.5	—	9	—	6.5	—	ns
21	BCLK to Data-Out High Impedance	11.5	25	9	20	6.5	17	ns

Num	Characteristic	20 MHz		25 MHz		33 MHz		Unit
		Min	Max	Min	Max	Min	Max	
15	Data-In Valid to BCLK (Setup)	6	—	5	—	4	—	ns
16	BCLK to Data-In Invalid (Hold)	5	—	4	—	4	—	ns
17	BCLK to Data-In High Impedance (Read Followed by Write)	—	61	—	49	—	36.5	ns
22	TA Valid to BCLK (Setup)	12.5	—	10	—	10	—	ns
23	BCLK to TA, TEA, TCI, TBI Invalid (Hold)	2.5	—	2	—	2	—	ns

El retard introduït pel bloc de lògica A és de **7ns** i el retard de porta és de **3ns**. La freqüència de rellotge del sistema és de **25MHz**.

Es demana:

- a) De tota la RAM instal·lada al sistema, quina quantitat és accessible per al microprocessador ? Justifiqueu la resposta. (10%)

256Kbyte. La quantitat total és de 512Kbyte però al haver connectat A18 a la descodificació interna i a l'externa es perd la meitat.

- b) Número total de zones imatge. Rang d'adreces ocupat per la primera zona imatge (la d'adreces més baixes). (20%)

Número zones imatge: $2^8=256$

Rang adreces: 40040000-4007FFFF

- c) Temps de *setup* de les dades. Temps de *setup* del senyal TA*.(10%)

Temps de *setup* dades = 5 ns

Temps de *setup* TA* = 10 ns

- d) Avalueu si és correcta la temporització del cicle de lectura al sistema. Justifiqueu la resposta. Per això tingueu en compte que el temps d'accés de la RAM des de CS* i des de les Adreces és de 40ns, i que el temps d'accés des de OE* és de 10ns. (30%)

$$T_{captura} = 2T = 80ns$$

$$t_{setup} = 5ns$$

$$MAX t_{CS}(RAM) = t_{14} + t_A + t_p = 30ns + 7ns + 3ns = 40ns$$

$$MAX t_{Add}(RAM) = t_{11} = 30ns$$

$$MAX t_{Din}(\mu P) = MAX t_{CS}(RAM) + t_{CS} = 40ns + 40ns = 80ns > T_{captura} - t_{setup} = 75ns$$

K.O.

- e) Avalueu, justificant la resposta, si és correcta la temporització del cicle d'escriptura al sistema si les dades de la RAM per escriptura són les següents: (30%)

$t_{AW}=40ns$, $t_{CW}=40ns$, $t_{WE}=30ns$, $t_{DW}=25ns$. Aquests són els temps mínims que han de ser-hi les adreces, el CS*, WE* i les dades respectivament, abans de que WE* o CS* siguin desactivats (finalització cicle d'escriptura). Considerem que el retard de les portes i del bloc de lògica A és fixa, constant al llarg del temps i sempre igual per a tots els senyals.

$$T_{final-escriptura}(min) = 2T + t_{12}(min) + 2t_p = 80ns + 9ns + 6ns = 95ns \text{ (camí de CS*)}$$

$$MAX t_{CS}(RAM) = 40ns$$

$$MAX t_{Add}(RAM) = 30ns$$

$$MAX t_{WE}(RAM) = t_{13} + t_A + t_p = 30ns + 7ns + 3ns = 40ns$$

$$MAX t_{Din}(RAM) = T + t_{18} = 40ns + 32ns = 72ns$$

$$\Delta CS = 95ns - 40ns = 55ns > 40ns$$

$$\Delta Add = 95ns - 30ns = 65ns > 40ns$$

$$\Delta WE = 95ns - 40ns = 55ns > 30ns$$

$$\Delta Din = 95ns - 72ns = 23ns < 25ns \text{ (no es compleix)}$$

(una altra consideració és que les dades desapareixen abans de la finalització del cicle d'escriptura: $MIN t_{Din-OFF}(RAM) = 2T + t_{19}(min) = 89ns < 95ns$, invalidant per tant el cicle d'escriptura) (passa el mateix amb les adreces: $MIN t_{Add-OFF}(RAM) = 2T + t_{12}(min) = 89ns < 95ns$)

K.O.

Qüestions (Solucions)

Q1.- A partir del cronograma de lectura/escriptura del μP MC68040 que hi ha al problema 3 i les taules de temps corresponents, es pot afirmar que el senyal TS*:

- A) És d'entrada perquè els temps 13 i 12 són temps de *setup*.
- ☒ B) És de sortida perquè els temps 13 és un temps de retard i el temps 12 és el temps mínim en què es manté la sortida activa després de flanc de rellotge.
- C) És d'entrada perquè els temps 13 i 12 són temps de *hold*.
- D) És de sortida perquè els temps 13 és un temps de *setup* i el temps 12 és un temps de *hold* en lectura.

NOTA: No cal llegir l'enunciat del problema 3 per a respondre aquesta qüestió.

Q2.- Marqueu els programes integrats a l'entorn Paradigm que es fan servir a les pràctiques:

- ☒ 1. Editor de programes
- 2. Compilador i muntador (*linker*), ambdós només de C
- ☒ 3. Compilador de C i muntador (*linker*)
- 4. Compilador de C++ i muntador (*linker*)
- 5. Simulador de la placa microcontroladora del V25
- 6. Emulador de la placa del V25
- ☒ 7. PDREMOTE en la EPROM de la placa del V25
- 8. PDREMOTE en la SRAM de la placa del V25
- 9. Depurador independent i separat d l'entorn
- ☒ 10. Depurador integrat sobre la mateixes finestres d'Edició dels programes

Q3.- En la programació de la placa de pràctiques, amb el V25,

- a) quina diferència hi ha entre l'execució de la instrucció - *disable()*; - i l'efecte de programar a "1" el bit 6 del registre TBIC (8 bits: del 0 al 7) ?

- ***disable ()*; emmascara, i per tant impedeix, totes les interrupcions del V25**
- **el bit 6 del TBIC només emmascara les interrupcions de la Base de Temps**

- b) En la funció : `setvect(PARAM1, PARAM2);`

què són PARAM1 i PARAM2 ? Indiqueu-lo molt breument, però amb precisió.

PARAM1 és el número de vector d'interrupció del dispositiu que la demana
PARAM2 és el nom (adreça associada) de la funció d'inici de la RSI corresponent

Q4.- Calculeu el valor **límit** (màxim o mínim a determinar) de la resistència de *pull-up* connectada entre l'alimentació de 5V i l'entrada INT* d'un μP ($V_{Ilmax}=1V$, $I_{Ilmax}=-10\mu A$) si entre els dispositius que poden demanar interrupció n'hi ha de dos tipus: de col·lector obert ($I_{Olmax}=16mA$, $V_{Olmax}=0,2V$) i de drenador obert ($I_{Olmax}=10mA$, $V_{Olmax}=0,5V$), i es vol disposar d'un marge de soroll $NML_{min}=0,5V$?

Cas pitjor: 1 sol dispositiu sortida en drenador obert (té la I_{Olmax} més baixa) demana la interrupció.

$$R_{p(c.o.)} = (5V-0,2V)/(16mA+10\mu A) = 300 \Omega ; R_{p(d.o.)} = (5V-0,5V)/(10mA+10\mu A) = 450 \Omega$$

$R_{pmin(cas pitjor)} = R_{p(d.o.)} = 450 \Omega$

Q5.- En el microcontrolador V25, quins són els registres programables que constitueixen el Port P0 (o el P1 o el P2) i quina funció té cadascú d'ells ?

P0: Registre de Dades ; PM0: Registre de control d'E/S ;
PMC0: Registre de mode port/control (per senyals internes del V25)