

  <p>Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona</p> <p>UNIVERSITAT POLITÈCNICA DE CATALUNYA DEPARTAMENT D'ENGINYERIA ELECTRÒNICA</p>	<p>Circuits i Sistemes Electrònics IV 16 de Juny de 2006</p> <p>Data notes provisionals: 27 de Juny Període d'al·legacions: 28 a 29 de Juny Data notes revisades: 30 de Juny</p>
--	---

Professors: F. Masana, S. Bermejo, J. Cabestany, M. Domínguez, C. Pol, J. Salazar

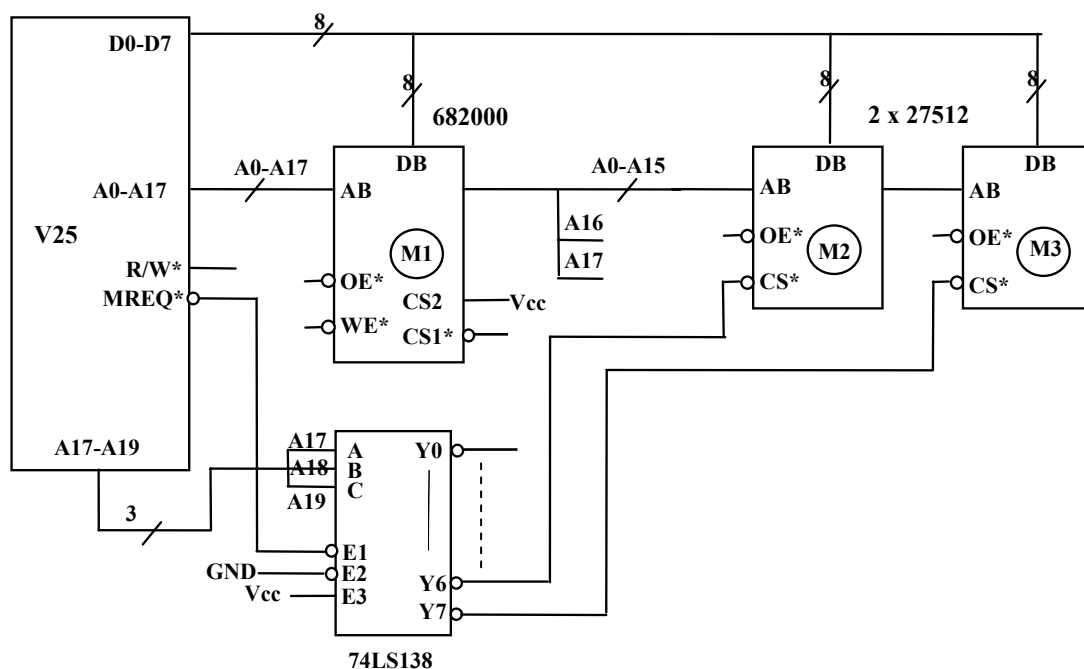
Informacions addicionals:

- Duració: 2hores 15'.
- Les respostes dels diferents problemes es lliuraran en fulls separats.

PROBLEMA 1 (percentatge: 20 %)

Completar el disseny del mapa de memòria d'un sistema amb un μP V25 amb els següents condicionants:

- Els xips de memòria EPROM disponibles són del tipus 27512 de 512Kb, amb una organització de 64K x 8.
- El xip de memòria SRAM disponible és del tipus 682000 de 2Mb, amb una organització de 256K x 8.
- Per descodificar s'utilitza un 74LS128 tal com s'indica a la figura.
- Vectors d'interrupció del V25 a partir de la posició 0x00000 del seu mapa de memòria.



Nota: Es poden fer servir portes i inversors.

1. Connectar adequadament les entrades CS1*, OE* i WE* de la SRAM. Indicar entre quines adreces es troba. (2p)

RAM: (la situem a partir de l'adreça 0x00000 per tal que contingui els vectors d'interrupció)

$$CS^* = (Y0^*) \cdot (Y1^*)$$

$$OE^* = (R/W^*)^*$$

$$WE^* = R/W^*$$

2. Connectar l'entrada OE* de l'EPROM M2 per què ocupi les posicions C0000-CFFFF del espai de memòria del V25 i que no presenti zones imatge. (4p)

Una solució és: OE*=A16

3. Connectar l'entrada OE* de l'EPROM M3 per què inclogui l'adreça que emet el V25 després d'un *RESET* (VR: *Vector Reset*), que ve donada per $VR = PS * 16 + PC$, on:

PC = 0000H

PS = FFFFH

i que no presenti zones imatge. (4p)

Una solució és: OE*=(A16)*

D'aquesta manera el rang de memòria serà: 0xF0000-0xFFFFF. El vector de reset està inclòs dins el marge (0xFFFF0)

PROBLEMA 2 (percentatge: 45 %)

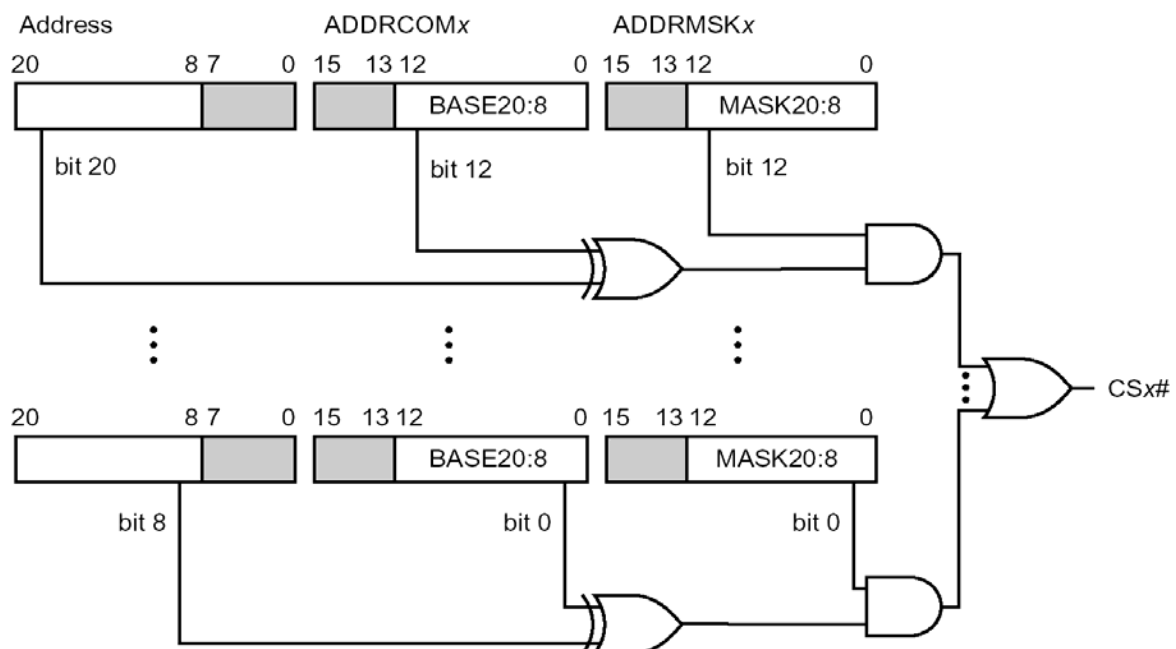
S'ha dissenyat un sistema basat en el μC 88CO196EC d'Intel. Aquest microcontrolador disposa dels següents senyals:

- A20:0 Bus d'adreces (21 bits)
- AD15:0 Bus de dades (16 bits)
- CS2:0* 3 senyals de chip select per a memòries externes (actius a nivell baix)
- RD* Senyal de lectura (actiu a nivell baix)
- WR* Senyal d'escriptura (actiu a nivell baix)
- BHE* Senyal actiu a nivell baix que indica accés a part alta del bus de dades (AD15:8)

Els senyals CS2:0* permeten fer la descodificació de memòries sense haver d'afegir cap porta externa i s'activen quan el microcontrolador fa accessos a determinats rangs de memòria que són configurables per l'usuari. D'altra banda els senyals BHE* i A0 determinen si la transferència en un cycle de bus és de 8 bits (ja sigui la part alta AD15:8 o baixa del bus AD7:0) o de 16 bits (AD15:0), segons la següent taula:

BHE*	A0	
0	0	AD15:0 (2 bytes)
0	1	AD15:8 (1 byte)
1	0	AD7:0 (1 byte)
1	1	No possible

Per tal de configurar el rang d'adreces de memòria que generen l'activació d'un senyal CSx* específic, el microcontrolador fa servir aquest esquema internament:



Nota: CSx# és el mateix que CSx*.

Per generar cadascun dels senyals CSx* (CS2*, CS1*, CS0*) es fan servir 2 registres interns del microcontrolador: ADDRCOMx i ADDRMSKx, tots 2 de 16 bits, i l'adreça a la que el programa vol accedir (ADDRESS, de 21 bits). Tal i com ho indica la figura anterior, cada senyal CSx* es genera de la següent manera:

$$CSx^* = ((ADDRCOMx[0] \oplus ADDRESS[8]) \bullet ADDRMSKx[0]) + \\ + ((ADDRCOMx[1] \oplus ADDRESS[9]) \bullet ADDRMSKx[1]) + \\ \dots \\ + ((ADDRCOMx[11] \oplus ADDRESS[19]) \bullet ADDRMSKx[11]) \\ + ((ADDRCOMx[12] \oplus ADDRESS[20]) \bullet ADDRMSKx[12])$$

on \oplus és l'operació XOR (dóna '0' només quan els bits són iguals), + és l'operació OR, i \bullet és l'operació AND. Es demana:

1. Si el registre ADDRCOM0=0x1234 i ADDRMSK0=0xFF00 per quin rang d'adreces s'activarà CS0* ? (1 punt)

0x120000-0x12FFFF

2. Què passaria si ADDRCOM0=0x1234 i ADDRMSK0=0x00FF ? (1 punt)

El CS0* s'activaria per $2^5=32$ rangs de memòria de 256 bytes cadascun. El primer és 0x003400-0x0034FF i l'últim 0x1F3400-0x1F34FF

Es vol dissenyar un sistema basat en aquest microcontrolador que tingui 256Kbytes de RAM en total, situats a partir de l'adreça 0x000000. A tal efecte, es disposa de 2 xips de 128Kx8. **Volem fer la descodificació dels xips amb el senyal CS0*.**

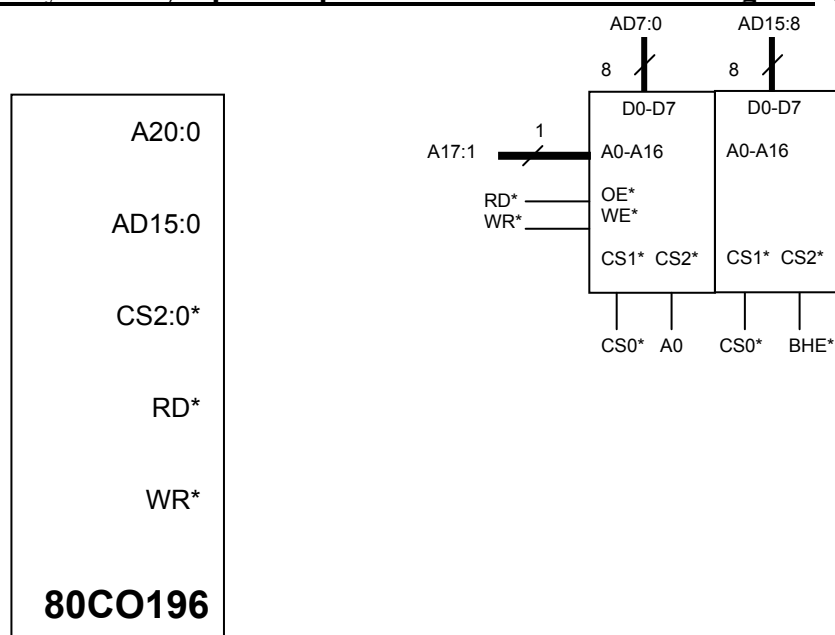
3. Doneu un valor a ADDRCOM0 i ADDRMSK0 per tal que CS0* s'activi pel rang 0x000000-0x03FFFF (els primers 256Kbytes de memòria), sense zones imatge. (1 punt)

Solució general (en binari):

ADDRCOM0 = xxx0 00xx xxxx xxxx b

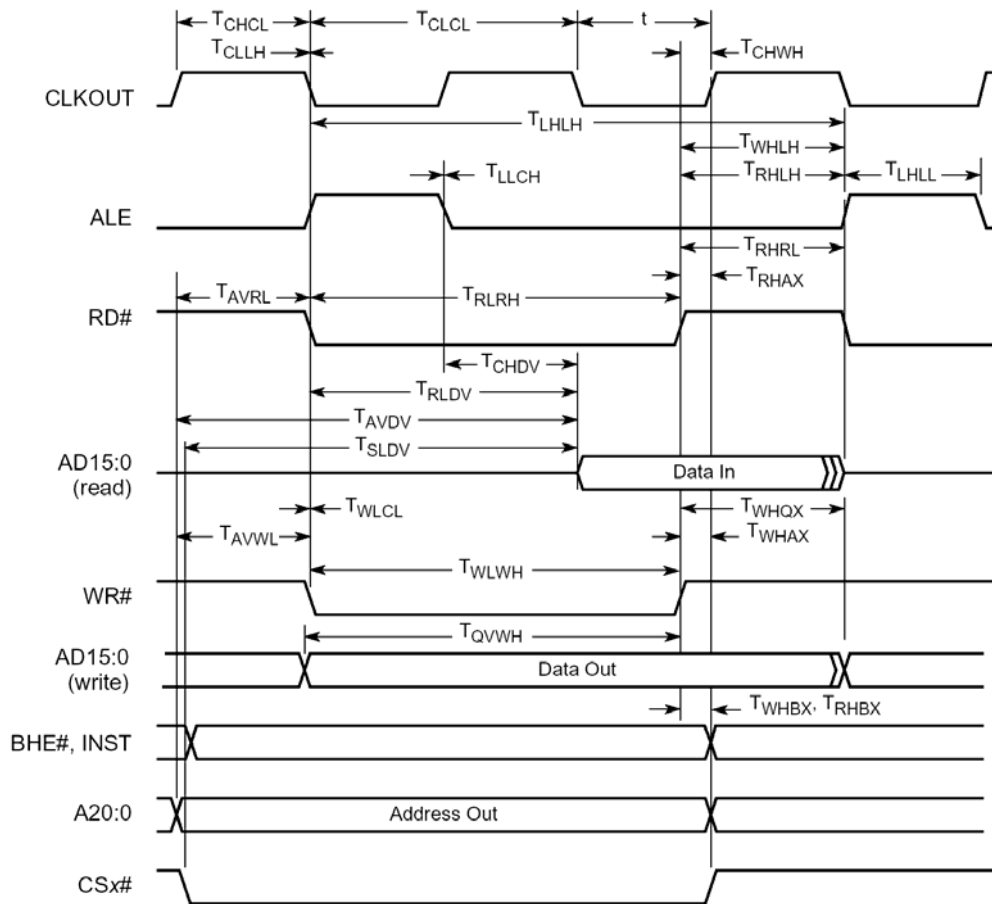
ADDRMSK0 = xxx1 1100 0000 0000 b

4. Completeu la descodificació de les memòries a la figura següent, **sense afegir cap porta a l'esquema, i fent servir el senyal CS0*, suposant que ha estat correctament configurat.** (2 punts)



Nota: Per habilitar els xips de memòria és necessari activar els dos senyals CS1* i CS2* (a nivell baix).

A partir del cronograma de lectura/escriptura del μC 88CO196EC, i de les descripcions dels temps crítics del microprocessador que hi ha a les taules, es demana:



Symbol	Parameter	Min	Max	Units
T_{WLWH}	WR# Low to WR# High	$3t - 18$		ns (3)
T_{WHQX}	Output Data Hold after WR# High	$t - 2$	$t + 20$	ns
T_{WHLH}	WR# High to ALE High	$t - 5$	$t + 10$	ns (3)
T_{WHBX}	BHE#, INST Hold after WR# High	$t - 5$		ns
T_{WHAX}	A20:0, CSx# Hold after WR# High	0		ns
T_{RHBX}	BHE#, INST Hold after RD# High	$t - 5$		ns
T_{RHAX}	A20:0, CSx# Hold after RD# High	0		ns
T_{AVYV}	A20:0 Valid to READY Setup		$3t - 45$	ns (6)
T_{CLYX}	READY Hold after CLKOUT Low	0	$2t - 36$	ns (7,8,9)
T_{YLYH}	READY Low to READY High	No Upper Limit		ns

Symbol	Parameter	Min	Max	Units
F_{XTAL1}	Frequency on XTAL1, PLL in 1x mode (disabled)	16	40	MHz (1,2)
	Frequency on XTAL1, PLL in 4x mode	6	10	MHz
f	Operating frequency, $f = F_{XTAL1}$; PLL in 1x mode (disabled)	16	40	MHz
	Operating frequency, $f = 2F_{XTAL1}$; PLL in 4x mode	24	40	MHz
t	Period, $t = 1/f$	25	62.5	ns
T_{AVDV}	Address Valid to Input Data Valid		$4t - 40$	ns (3)
T_{RLDV}	RD# Low to Input Data Valid		$3t - 35$	ns (3)
T_{AVWL}	Address Valid to WR# Low	t		ns
T_{AVRL}	Address Valid to RD# Low	$t - 8$		ns
T_{SLDV}	BHE#, CS# Low to Input Data Valid		$4t - 40$	ns (3)
T_{CHDV}	CLKOUT High to Input Data Valid		$2t - 35$	ns (4)
T_{RHRL}	Read High to Read Low	$t - 5$		ns
T_{RXDX}	Data Hold after RD# Inactive	0		ns
T_{XHCH}	XTAL1 High to CLKOUT High or Low	3	50	ns (4)
T_{CLCL}	CLKOUT Cycle Time	$2t$		ns (4)
T_{CHCL}	CLKOUT High Period	$t - 10$	$t + 15$	ns (4)
T_{CLLH}	CLKOUT High ALE Low	-10	10	ns (4)
T_{LLCH}	ALE High to CLKOUT Low	-15	15	ns (4)
T_{LHLH}	ALE Cycle Time	$4t$		ns (3,5)
T_{LHLL}	ALE High Period	$t - 10$	$t + 10$	ns
T_{RLCL}	RD# Low to CLKOUT Low	-15	5	ns (4)
T_{RLRH}	RD# Low to RD# High	$3t - 18$		ns (3)
T_{RHLH}	RD# High to ALE Low	$t - 4$	$t + 15$	ns (5)
T_{WLCL}	WR# Low to CLKOUT Low	-15	5	ns (4)
T_{QVWH}	Output Data Stable to WR# High	$3t - 25$		ns (5)
T_{CHWH}	CLKOUT High to WR# High	-11	10	ns (4)

5. Feu una estimació del temps de setup del bus de dades en lectura del microcontrolador. (1 punt)

$$\text{Setup} \leq t_{RLRH}(\text{min}) - t_{RLDV}(\text{max}) = 3t - 18 - (3t - 35) = 17\text{ns}$$

o

$$\text{Setup} \leq t_{AVRL}(\text{min}) + t_{RLRH}(\text{min}) - t_{AVDV}(\text{max}) = 14\text{ ns}$$

6. El temps d'accés de les memòries des de CS1* o CS2* és $t_{CO}=80\text{ns}$ i des de OE* és de $t_{OE}=60\text{ns}$. Determineu la freqüència màxima de funcionament del microcontrolador per tal que les lectures a memòria siguin correctes ($f=1/t=2/T_{CLCL}$). (2 punts)

$$t_{RLDV}(\text{max}) = 3t - 35 \geq t_{OE} = 60\text{ ns} \quad \rightarrow \quad f \leq 31.57\text{ MHz}$$

$$t_{SLDV}(\text{max}) (\text{CS0}^*, \text{BHE}^*) = t_{AVDV}(\text{max}) (\text{A0}) = 4t - 40 \geq t_{CO} = 80\text{ ns} \quad \rightarrow \quad f \leq 33.33\text{ MHz}$$

Freq. Màxima. 31.57 MHz

7. Els temps mínims d'escriptura de la memòria respecte la finalització d'escriptura (la desactivació de WE* o CS1* o CS2*) són des de WE* $t_{WE}=75\text{ns}$ i desde dades $t_{DW}=75\text{ns}$. Quina és la freqüència màxima de funcionament del microcontrolador ($f=1/t=2/T_{CLCL}$)? (2 punts)

La finalització d'escriptura ve determinada per la desactivació de WR* (perquè $t_{WHBX}(\text{min})=t-5>0$ i $t_{WHAX}(\text{min})=0\text{ns}$). Per tant:

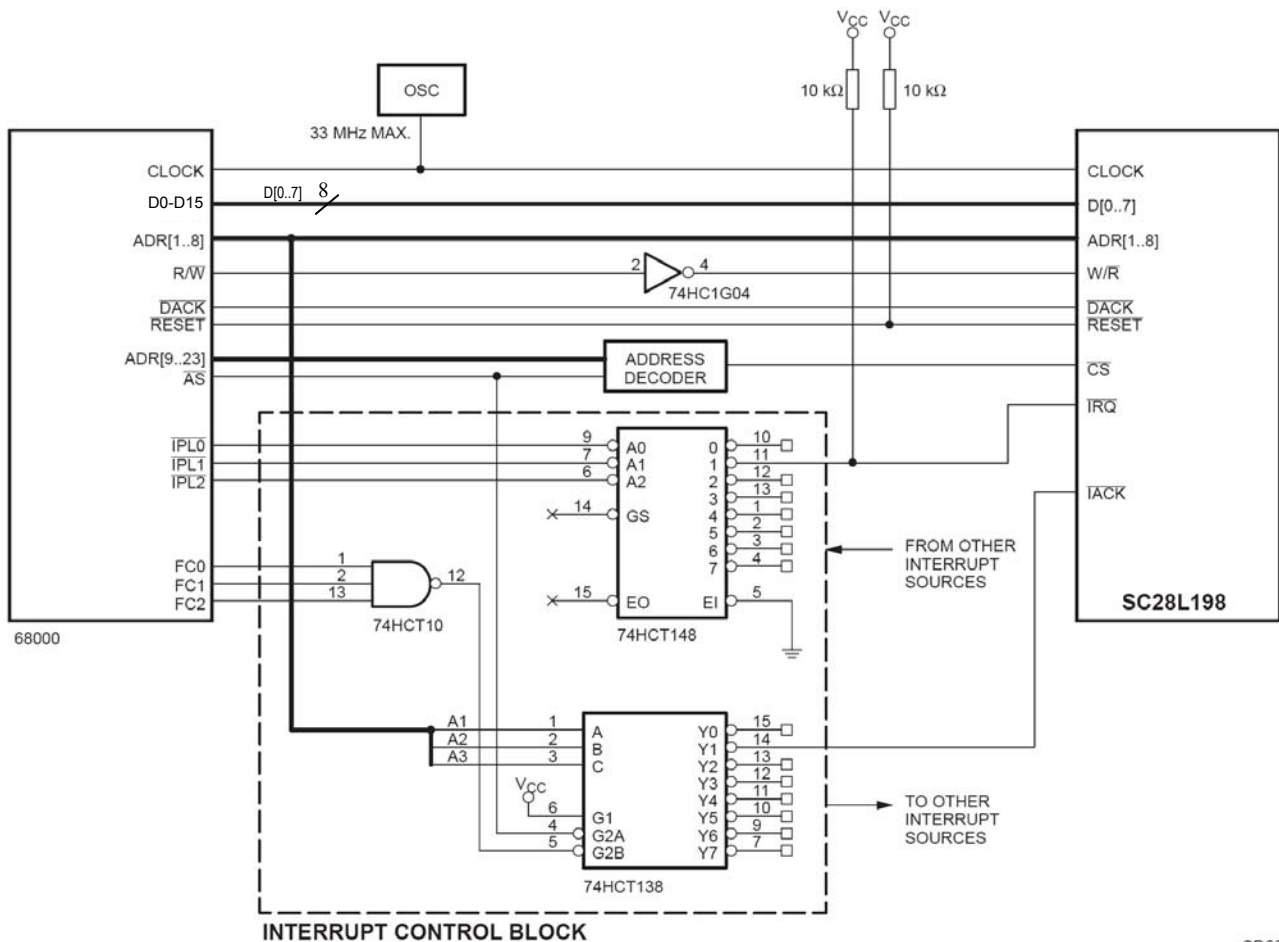
$$t_{WLWH}(\text{min}) = 3t - 18 \quad \geq \quad t_{WE} = 75\text{ ns} \quad \rightarrow \quad f \leq 32.25\text{ MHz}$$

$$t_{QVWH}(\text{min}) = 3t - 25 \quad \geq \quad t_{DW} = 75\text{ ns} \quad \rightarrow \quad f \leq 30\text{ MHz}$$

Freq. Màxima: 30 MHz

PROBLEMA 3 (percentatge: 35%)

La següent figura mostra una connexió d'interfície típica entre l'UART (*Universal Asynchronous Receiver Transmitter*), de 8 canals, SC28L198 de Philips i el microprocessador 68000 de Motorola . (No es mostren totes les línies de connexió dels dos dispositius).



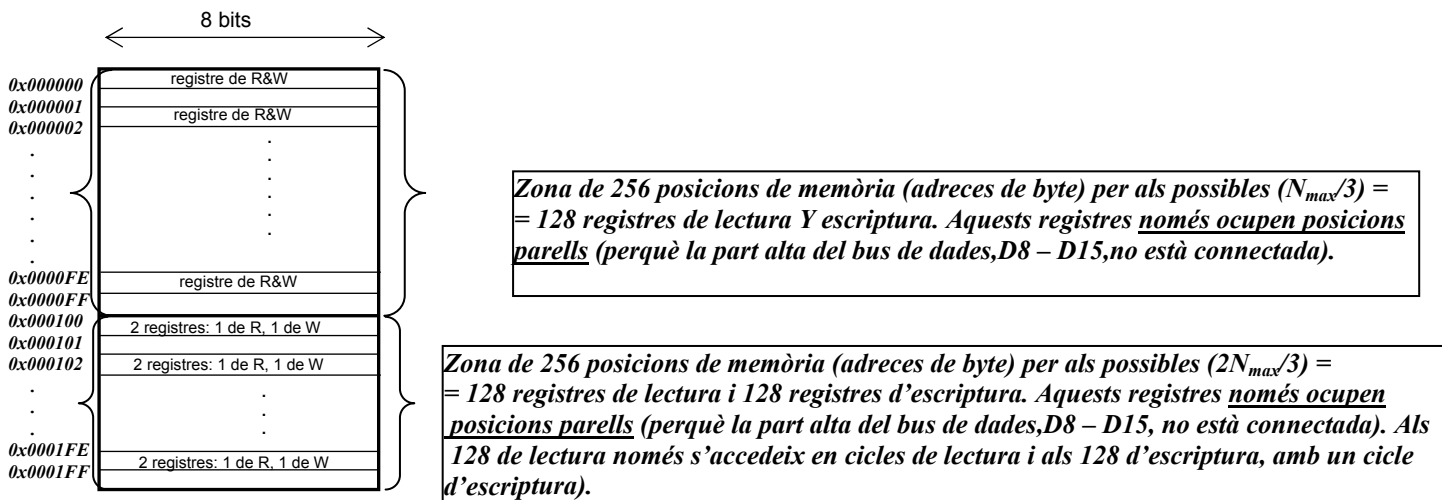
SD00713

1. a) Tenint en compte les connexions de ADR[1..8] i W/R*, quants registres interns de la UART, com a màxim (N_{\max}), podria adreçar el 68000 si suposem que un terç d'ells ($N_{\max}/3$) són de lectura/escriptura, un altre terç només de lectura, i l'altre terç només d'escriptura. (2 punts)

Amb ADR[1..8] i W/R (9 línies binàries) podríem seleccionar $2^9=512$ registres de lectura O escriptura, o bé $2^8=256$ registres de lectura Y escriptura (la línia W/R* no compta per a seleccionar registres diferents). Així, el nostre cas serà un cas intermedi entre aquests dos extrems. Si partim del cas de 9 línies de selecció, cada registre de lectura Y escriptura ocuparia 2 adreces ($W/R^* = 1,0$) i cada registre de lectura O escriptura ocuparia una adreça. Així,*

$$512 = 2 \cdot (N_{\max}/3) + (N_{\max}/3) + (N_{\max}/3) \Rightarrow \boxed{N_{\max} = 3 \cdot 512 / 4 = 384 \text{ registres}}$$

- b) Si el CS* de la UART només s'activa quan $A_{23}=A_{22}=A_{21}= \dots = A_9 = 0$, indiqueu el més clarament possible, en un mapa de memòria en bytes del 68000, com queden distribuïts els registres de l'apartat anterior, tot sabent que són de 8 bits. (2 punts)



NOTA: Qualsevol reordenació del mapa anterior (però sense ocupar mai posicions senars) és vàlida.

2. a) Si $V_{cc} = 5V$ i les dades elèctriques dels dos xips connectats són a les dues taules que es mostren a la pàgina següent, comproveu que la resistència de 10K des de V_{cc} a la connexió entre la sortida IRQ* (OD: *Open Drain*) de la UART i l'entrada 1 (pin 11) del codificador 74HCT148 es troba dintre del marge de valors de resistències (R_{pmax} i R_{pmin} que cal calcular) vàlid per a una connexió que presenti uns marges de soroll de $NMH = NML = 0,4V$. (1.5 punts)

Amb les dades de sortida “Open Drain” de la UART i les entrades del codificador 74HCT148 a $T_A = 25^\circ C$ (també es podria escollir el 74HCT per a l'interval $-40^\circ C \leq T_A \leq +85^\circ C$ i, per això, es posa algun valor alternatiu entre claus) i que hem remarcat a les taules de la següent pàgina, tenim:

A nivell alt (“1”)

$$V_{cc} - R_p \cdot (I_{ODH} + I_{IN}) \geq V_{IH} + NM_H$$

o sigui,

$$5V - R_p \cdot (10\mu A + 0,1\mu A \{o 1\mu A\}) \geq 2V + 0,4V = 2,4V$$

per tant,

$$R_p \leq 2,6V / 10,1\mu A \{o 11\mu A\} = 257,4K\Omega \{o 236,4K\Omega\} \geq 10K\Omega$$

A nivell baix (“0”)

$$(V_{cc} - V_{OL}) / R_p \leq (I_{OL} + I_{IL}) \quad \text{amb } V_{OL} = 0,4V \text{ (veiem que compleix NML)}$$

o sigui,

$$(14mA - 0,1\mu A \{o 1\mu A\}) \leq (5V - 0,4V) / R_p$$

(menyspreable)

per tant,

$$R_p \geq 4,6V / 14mA = 329\Omega \leq 10K\Omega$$

- b) Quins marge de soroll a nivell alt (NMH) té aquesta connexió amb la resistència de 10K? (1 punt)

$$NM_H = V_{cc} - R_p \cdot (I_{ODH} + I_{IN}) - V_{IH} = 5V - 10K\Omega \cdot (10\mu A + 0,1\mu A \{o 1\mu A\}) - 2V = 3V - 0,101V \{o 0,11V\}$$

$$NM_H = 2,899V \{o 2,89V\} \sim 2,9V$$

SC28L198 Octal UART

DC ELECTRICAL SPECIFICATIONS FOR COMMERCIAL AND INDUSTRIAL (5V)

$V_{CC} = 5.0 \text{ volts} \pm 10\%$; $T_A = -40 \text{ to } 85^\circ\text{C}$; unless otherwise specified

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS			UNIT
			MIN	TYP ¹	MAX	
V_{IL} V_{IH} V_{IH}	Input low voltage ² Input high voltage (except X1/CLK) Input high voltage (X1/CLK)		V_{SS} 2.0 $0.8V_{CC}$		0.8 V_{CC} V_{CC}	V
V_{OL} ³ V_{OH}	Output low voltage ⁴ Output high voltage (except OD outputs)	$I_{OL} = 4.0 \text{ mA}$ $I_{OH} = -400 \mu\text{A}$ $I_{OL} = -100 \mu\text{A}$	$0.8V_{CC}$ $0.9V_{CC}$	0.15	0.4	V V
V_{OL} ³	Open Drain low voltage	$I_{OL} = 14.0 \text{ ma}$		<0.25	0.4	V
I_{IL} I_{IH}	Input current low, I/O pins Input current high, I/O pins	$V_{IN} = 0$ $V_{IN} = V_{CC}$	-10	<0.1 <0.1	10	μA
I_L	Input leakage current	$V_{IN} = 0 \text{ to } V_{CC}$	-5	<1	5	μA
I_{ILCKX1} I_{IHCKX1}	X1/CLK input low current X1/CLK input high current	$V_{IN} = V_{SS}, X2 = \text{Open}$ $V_{IN} = V_{CC}, X2 = \text{Open}$	-450		450	μA
I_{OZH} I_{OLZ}	Output off current high, 3-state data bus Output off current low, 3-state data bus	$V_{IN} = V_{CC}$ $V_{IN} = 0$	-10	<.1 <.1	10	μA μA
I_{ODL}	Open-drain output low current in off state	$V_{IN} = 0$	-10	<.1		μA
I_{ODH}	Open drain output high current in off state	$V_{IN} = V_{CC}$		<.1	10	μA
I_{CC}	Power supply current Operating mode 33 MHz Static Power down (No clocks, Open drains off, inputs at V_{SS} or V_{CC})	TTL Input levels CMOS input levels CMOS input levels		100 26 0.6	150 40 5	mA mA μA

74HCT148 8-3 Line Priority Encoder

DC Electrical Characteristics $V_{CC} = 5V \pm 10\%$ (unless otherwise specified)

Symbol	Parameter	Conditions	T _A = 25°C		74HCT	54HCT	Units
					T _A = −40°C to +85°C	T _A = −55°C to +125°C	
			Typ	Guaranteed Limits			
V _{IH}	Minimum High Level Input Voltage			2.0	2.0	2.0	V
V _{IL}	Maximum Low Level Input Voltage			0.8	0.8	0.8	V
V _{OH}	Minimum High Level Output Voltage	V _{IN} = V _{IH} or V _{IL} I _{OUT} = 20 μA I _{OUT} = 4.0 mA, V _{CC} = 4.5V I _{OUT} = 4.8 mA, V _{CC} = 5.5V	V _{CC} 4.2 5.7	V _{CC} − 0.1 3.96 4.98	V _{CC} − 0.1 3.84 4.84	V _{CC} − 0.1 3.7 4.7	V V V
V _{OL}	Maximum Low Level Voltage	V _{IN} = V _{IH} or V _{IL} I _{OUT} = 20 μA I _{OUT} = 4.0 mA, V _{CC} = 4.5V I _{OUT} = 4.8 mA, V _{CC} = 5.5V	0 0.2 0.2	0.1 0.26 0.26	0.1 0.33 0.33	0.1 0.4 0.4	V V V
I _{IN}	Maximum Input Current	V _{IN} = V _{CC} or GND, V _{IH} or V _{IL}		±0.1	±1.0	±1.0	μA
I _{CC}	Maximum Quiescent Supply Current	V _{IN} = V _{CC} or GND I _{OUT} = 0 μA V _{IN} = 2.4V or 0.5V (Note 4)		8.0 2.0	80 2.9	160 3.0	μA mA

3. A la vista de les connexions a l'entrada IACK* (reconeixement d'interrupció) de la UART i a les entrades IPL2*-IPL0* (petició d'interrupció amb prioritat) del 68000: (0.5 punts)

- a) Quin combinació dels bits de codificació d'estats (FC2 – FC0) del 68000 indica el reconeixement d'interrupció? Per què?

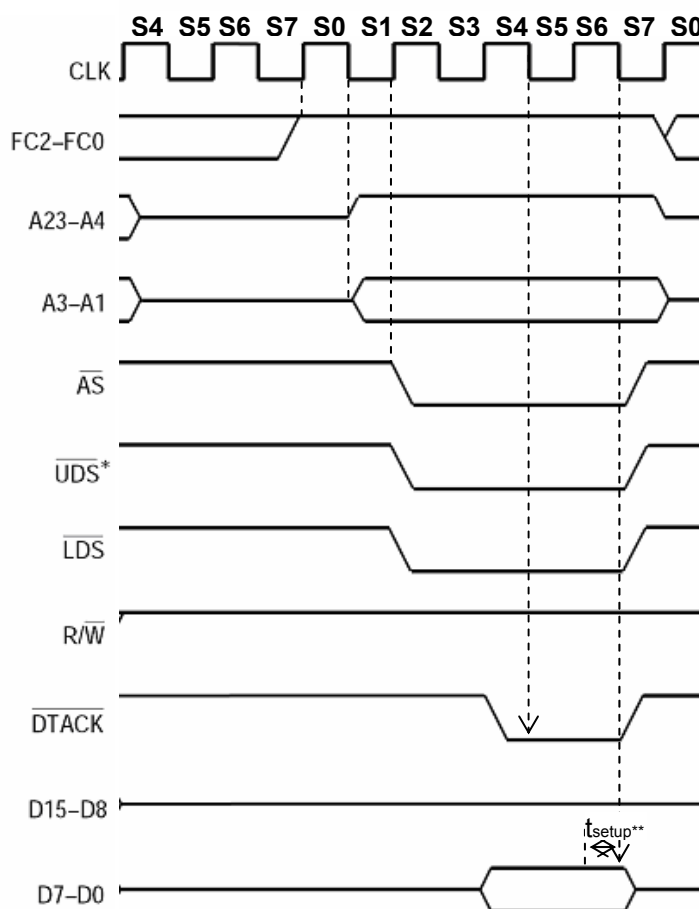
$FC2\ FC1\ FC0 = 111$, perquè així, mitjançant la porta NAND 74HCT10, s'activa l'entrada de selecció (o habilitació) G2B del descodificador 74HCT138 i, per tant, permetrà activar el senyal d'IACK* que comunicarà (i controlarà) el cicle de reconeixement d'interrupció a la UART.

- b) Quin nivell de prioritat d'interrupció demana l'UART (que li és reconegut pels bits d'adreces A3 – A1 en el cicle de reconeixement d'interrupció de resposta del 68000)?

$A3\ A2\ A1 = 001$, que activarà la sortida Y1 del descodificador 74HCT138 (senyal IACK* de la UART) i que es correspon amb el nivell 1 de prioritat d'interrupció del 68000 (que respon així a la petició d'interrupció $IPL0*IPL1*IPL0* = 110$, complementada a 1 o invertida, per l'IRQ* de la UART i l'entrada 1 del codificador amb prioritat 74HCT148)

4. Es tracta ara de **determinar el nombre d'estats d'espera** necessaris per a la captura del vector d'interrupció durant el cicle de reconeixement d'interrupció. Al 68000 els estats d'espera vénen determinats pel comportament del senyal d'entrada DTACK* (el DACK* de la primera figura) que és llegit pel microprocessador al flanc de baixada del rellotge entre S4 i S5; si és '0' es segueix amb el següent estat, si és '1' s'introdueix un període de espera (dos estats Sw) i es torna a llegir el DTACK* a la fi d'aquest període d'espera, repetint la mateixa operació si cal. Les dades a considerar són les següents:

68000 IACK Cycle Timing Diagram (Vector Number Acquisition)



* The processor does not recognize anything on data lines D8 through D15 at this time.

** $t_{\text{setup}} = 5\text{ns}$.

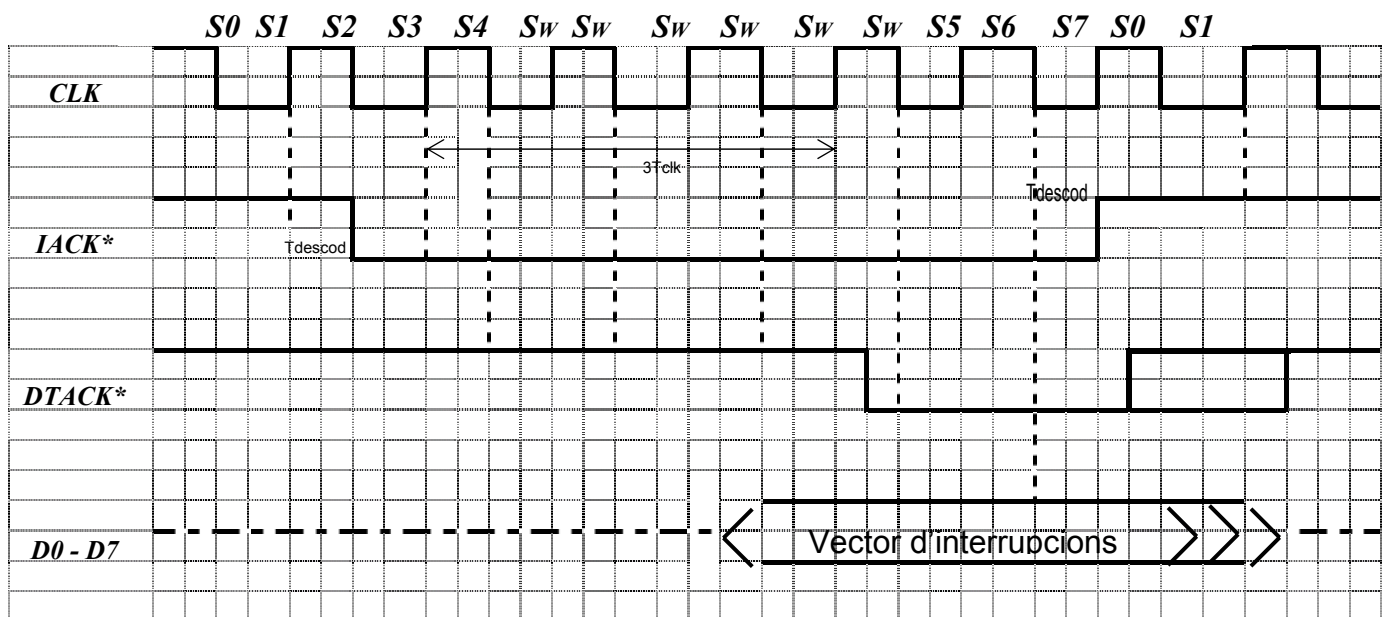
No tingueu en compte els temps de flanc dels senyals

El circuit de l'UART és un **circuit síncron que treballa per flancs de pujada de rellotge**. El retard associat a les seves sortides, respecte aquests flancs, és de 15ns.

- Llegeix el senyal d'entrada $IACK^*$ als flancs de pujada de rellotge (que és el mateix que el del 68000) i manté la seva sortida $DTACK^* = 1$ mentre $IACK^* = 1$ (desactivat).
- En el moment que detecta que $IACK^* = 0$ (activat), respon donant el vector d'interrupcions al cap de 2 cicles de rellotge i activant el $DTACK^*$ al cap de 3 (un després d'haver donat el vector).
- Posteriorment, quan detecti la desactivació de $IACK^* (= 1)$, posarà el $DTACK^* = 1$ i deixarà el Bus de Dades en Alta Impedància.

Preneu $f_{CLK} = f_{SCLK} = 20\text{MHz}$ com freqüència de rellotge, 25ns com el temps de retard del descodificador 74HCT138.

1. Dibuixeu un diagrama temporal amb el comportament real dels senyals CLK, $IACK^*$, $DTACK^*$ i el Bus de Dades des de l'estat S0 (origen del cicle de $IACK^*$) fins al S7 a la fi d'aquest cicle, definint clarament els estats S0-S7 i els **Sw d'espera** i l'instant de captura del vector d'interrupció. Quants cicles d'espera hi ha ? (2 punts)



Nota: Per facilitar de dibuix, el retard de 15 ns de les sortides de la UART s'ha pres com a $T_{CLK}/4$. Com es veu al diagrama, **hi ha 3 cicles d'espera (6 estats SW)** amb $T_{CLK} = 50\text{ns}$.

2. És correcta la captura del vector per part del microprocessador ? Justifiqueu-ho. (1 punt)

La captura del vector d'interrupció es dona entre el S6 i el S7 del 68000, i la dada ha aparegut $2,5 \cdot T_{CLK} - 15\text{ns} = 110\text{ns}$ abans. Així, es compleix amb escriure el tsetup de 5ns. Per tant, la captura del vector d'interrupció és correcta.