

## 2o Control Estructura de Computadores II

curso 2007-2008 Q1

Apellidos: . . . . . Nombre: . . . . .

### Problema 1 (2 puntos)

Tenim un processador de 8 bits amb adreces de 16 bits que te una memòria cache de 4Kbyte amb les següents característiques:

- Mapeig Directe
- 64 bytes per línia
- política de escriptura: write through + write allocate

a) Suposant que la cache està inicialment buida, empleneu la següent taula indicant per cada referència, la línia de memòria principal que s'està referenciant (#línia MP) la línia de memòria cache on es mapeja (#línia MC), el TAG (etiqueta) corresponent, si es encert (hit) o fallo (miss), el nombre de bytes que es llegeixen de MP en cas que sigui necessari, el nombre de bytes que s'escriuen a MP en cas que sigui necessari, i la línia reemplaçada quan correspongui.

adreça (hex)	#línia MP (hex)	#línia MC (hex)	TAG (hex)	hit o miss	mida lectura de MP	mida escriptura a MP	# línia reemplaçada
lect byte 020F							
lect word 3235							
escr word AA35							
lect long AA30							
lect long 022A							
lect byte 323F							
lect long 0211							
lect long B520							
escr word 5523							
lect byte B528							

b) A aquesta cache se li afegeix una cache de víctimes de 2 línies amb reemplaçament FIFO

Suposant que totes dues caches estan inicialment buides, empleneu la següent taula indicant per cada referència, la línia de memòria principal que s'està referenciant (#línia MP), si es encert (hit) o fallo (miss) a la cache directa (MD), si es encert (hit) o fallo (miss) a la cache de víctimes (VC), el nombre de bytes que es llegeixen de MP en cas que sigui necessari, el nombre de bytes que s'escriuen a MP en cas que sigui necessari, si hi ha lectura de la VC, si hi escriptura a la VC i la línia reemplaçada quan correspongui (entenent com a reemplaçada qualsevol línia expulsada del sistema format per les dues caches).

adreça (hex)	#línia MP (hex)	hit/miss MD	hit/miss VC	mida lectura de MP	mida escriptura a MP	lectura de VC	escriptura a VC	# línia reemplaçada
lect byte 020F								
lect word 3235								
escr word AA35								
lect long AA30								
lect long 022A								
lect byte 323F								
lect long 0211								
lect long B520								
escr word 5523								
lect byte B528								

## Problema 2 (2 puntos)

Dado el siguiente código escrito en ensamblador del IA32:

```
    movl $0, %esi
for: cmpl $1000, %esi
    jge end
(a)  movl (%esi,4), %eax
(b)  movl %eax, 8*1024(%esi,4)
(c)  addl %eax, 32(%esi,4)
    incl %esi
    jmp for
end:
```

Suponiendo una memoria cache de datos con **mapeo directo**, escritura **copy back + write allocate** de **8 Kbytes** y **líneas de 16 bytes**, responde a las siguientes preguntas:

1) Para cada uno de los accesos (etiquetas a, b, c), indica a qué línea de la memoria cache se accede en cada una de las 16 primeras iteraciones.

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
a																
b																
c																

2) Calcula la cantidad de **fallos**, en todo el bucle, para la

referencia (a)	
referencia (b)	
referencia (c)	

Suponiendo una memoria cache de datos con **mapeo directo**, escritura **write through + write NO allocate** de **2 Kbytes** y **líneas de 16 bytes**, responde a las siguientes preguntas:

3) Para cada uno de los accesos (etiquetas a, b, c), indica a qué línea de la memoria cache se accede en cada una de las 16 primeras iteraciones.

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
a																
b																
c																

4) Calcula la cantidad de **aciertos**, en todo el bucle, para la

referencia (a)	
referencia (b)	
referencia (c)	

## Problema 3 (1 punto)

Disponemos de un sistema de memoria principal con las siguientes características:

- 1 DIMM con 8 chips de memoria DDR.
- Cada chip dispone de 32 bancos de memoria.
- Cada banco dispone de 4096 filas y 1024 columnas de 1 byte cada una.
- La datos están entrelazados a nivel de chip. Posiciones consecutivas de memoria están en chips diferentes. Dentro del chip los datos NO están entrelazados.

Asi mismo disponemos de una cache con las siguientes características:

- 64 Kbytes de capacidad.

- [illegible]

[illegible][illegible][illegible][illegible]

[illegible]

Dibuja una memoria cache a nivel de bloques con las siguientes características: 2-asociativa, 32 conjuntos, 64 bytes por línea, y procesador con direcciones de 28 bits. Indica claramente las conexiones entre los diferentes bloques, mostrando claramente la anchura en bits de todos los buses.

This image shows a full page of blank graph paper. The background is a uniform light gray color. Overlaid on this background is a grid of thin, light blue horizontal and vertical lines. These lines intersect to form a series of small, identical squares across the entire page, providing a guide for drawing or writing. There are no margins, text, or other markings present.[illegible]

## Pregunta 6 (1 punto)

**Responded** a las siguientes afirmaciones poniendo una X en el recuadro correspondiente (en la columna C si la afirmación es cierta o en la columna F si la afirmación es falsa). Cada respuesta correcta SUMA 0,1 puntos. **Cada respuesta incorrecta RESTA 0,1 puntos.** Las respuestas no contestadas no se tienen en cuenta.

C	F	Afirmación
		Una BEDO RAM es una memoria DRAM que no necesita que se le envíen direcciones de columna consecutivas ya que tiene un contador interno para generar la nueva dirección de columna.
		Una memoria DDR es una memoria DRAM asíncrona que proporciona 2 datos por ciclo.
		Una celda de una memoria DDR es idéntica a una celda de una memoria SDRAM.
		La memoria principal es RAM estática.
		La memoria DDR2 es como una DDR pero proporciona 4 datos por ciclo en lugar de 2.
		Para el mismo programa y el mismo tamaño de memoria cache, siempre es mejor la cache con las líneas más grandes.
		La memoria cache hace que los programas tengan localidad espacial y localidad temporal.
		Para el mismo tamaño de cache, el mismo tamaño de línea y el mismo programa siempre tendrá peor tasa de fallos la cache con mayor asociatividad.
		En una memoria cache completamente asociativa, primero se lee la memoria de etiquetas y a continuación la de datos.
		Para el mismo tamaño de memoria, una memoria cache directa tiene un tiempo de acceso menor que una memoria cache asociativa por conjuntos.

## Problema 7 (2 puntos)

Disponemos de un sistema formado por:

Un procesador de 32 bits con las siguientes características:

- CPI ideal: 2.66 ciclos por instrucción
- Tiempo de ciclo ( $T_c$ ): 2 ns
- Número de referencias por instrucción ( $nr$ ): 1.8 (1 a instrucciones y 0,8 a datos)
- Caches de instrucciones y datos separadas
- Las caches no tienen ninguna optimización

Cache de Instrucciones:

- Tiempo de servicio en caso de acierto ( $T_{sa}$ ) = 1 ciclo
- Tamaño de línea 64 bytes
- Tasa de fallos 6%

Cache de Datos:

- Tiempo de servicio en caso de acierto ( $T_{sa}$ ) = 1 ciclo
- Tamaño de línea 32 bytes
- Tasa de fallos 12%
- Política de escritura = Copy Back + Write Allocate
- 40% de líneas modificadas

Memoria principal:

- Organizada en DIMMs con 8 chips SDRAM de 1 byte cada uno
- Latencia de fila de los módulos de MP = 4 ciclos
- Latencia de columna de los módulos de MP = 2 ciclos
- Ancho de banda del bus MP $\leftrightarrow$  MC: 8 bytes por ciclo

- Cache: acceso en acierto (H), acceso en fallo (M)
- Memoria: acceso a columna (C), acceso a fila (F), transferencia de datos (D)

1) Fallo en la cache de Instrucciones

[illegible][illegible][illegible]

4) Tiempo medio de acceso de la cache de instrucciones en ciclos

[illegible][illegible][illegible]

## 2o Control Estructura de Computadores II

curso 2007-2008 Q1

Apellidos: . . . . . Nombre: . . . . .

### Problema 1 (2 puntos)

Tenim un processador de 8 bits amb adreces de 16 bits que te una memòria cache de 4Kbyte amb les següents característiques:

- Mapeig Directe
- 64 bytes per línia
- política de escriptura: write through + write allocate

a) Suposant que la cache està inicialment buida, empleneu la següent taula indicant per cada referència, la línia de memòria principal que s'està referenciant (#línia MP) la línia de memòria cache on es mapeja (#línia MC), el TAG (etiqueta) corresponent, si es encert (hit) o fallo (miss), el nombre de bytes que es llegeixen de MP en cas que sigui necessari, el nombre de bytes que s'escriuen a MP en cas que sigui necessari, i la línia reemplaçada quan correspongui.

adreça (hex)	#línia MP (hex)	#línia MC (hex)	TAG (hex)	hit o miss	mida lectura de MP	mida escriptura a MP	# línia reemplaçada
lect byte 020F							
lect word 3235							
escr word AA35							
lect long AA30							
lect long 022A							
lect byte 323F							
lect long 0211							
lect long B520							
escr word 5523							
lect byte B528							

b) A aquesta cache se li afegeix una cache de víctimes de 2 línies amb reemplaçament FIFO

Suposant que totes dues caches estan inicialment buides, empleneu la següent taula indicant per cada referència, la línia de memòria principal que s'està referenciant (#línia MP), si es encert (hit) o fallo (miss) a la cache directa (MD), si es encert (hit) o fallo (miss) a la cache de víctimes (VC), el nombre de bytes que es llegeixen de MP en cas que sigui necessari, el nombre de bytes que s'escriuen a MP en cas que sigui necessari, si hi ha lectura de la VC, si hi escriptura a la VC i la línia reemplaçada quan correspongui (entenent com a reemplaçada qualsevol línia expulsada del sistema format per les dues caches).

adreça (hex)	#línia MP (hex)	hit/miss MD	hit/miss VC	mida lectura de MP	mida escriptura a MP	lectura de VC	escriptura a VC	# línia reemplaçada
lect byte 020F								
lect word 3235								
escr word AA35								
lect long AA30								
lect long 022A								
lect byte 323F								
lect long 0211								
lect long B520								
escr word 5523								
lect byte B528								

## Problema 2 (2 puntos)

Dado el siguiente código escrito en ensamblador del IA32:

```
    movl $0, %esi
for: cmpl $1000, %esi
    jge end
(a)  movl (%esi,4), %eax
(b)  movl %eax, 8*1024(%esi,4)
(c)  addl %eax, 32(%esi,4)
    incl %esi
    jmp for
end:
```

Suponiendo una memoria cache de datos con **mapeo directo**, escritura **copy back + write allocate** de **8 Kbytes** y **líneas de 16 bytes**, responde a las siguientes preguntas:

1) Para cada uno de los accesos (etiquetas a, b, c), indica a qué línea de la memoria cache se accede en cada una de las 16 primeras iteraciones.

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
a																
b																
c																

2) Calcula la cantidad de **fallos**, en todo el bucle, para la

referencia (a)	
referencia (b)	
referencia (c)	

Suponiendo una memoria cache de datos con **mapeo directo**, escritura **write through + write NO allocate** de **2 Kbytes** y **líneas de 16 bytes**, responde a las siguientes preguntas:

3) Para cada uno de los accesos (etiquetas a, b, c), indica a qué línea de la memoria cache se accede en cada una de las 16 primeras iteraciones.

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
a																
b																
c																

4) Calcula la cantidad de **aciertos**, en todo el bucle, para la

referencia (a)	
referencia (b)	
referencia (c)	

## Problema 3 (1 punto)

Disponemos de un sistema de memoria principal con las siguientes características:

- 1 DIMM con 8 chips de memoria DDR.
- Cada chip dispone de 32 bancos de memoria.
- Cada banco dispone de 4096 filas y 1024 columnas de 1 byte cada una.
- La datos están entrelazados a nivel de chip. Posiciones consecutivas de memoria están en chips diferentes. Dentro del chip los datos NO están entrelazados.

Asi mismo disponemos de una cache con las siguientes características:

- 64 Kbytes de capacidad.



- [illegible]

[illegible][illegible][illegible][illegible]

[illegible]

Dibuja una memoria cache a nivel de bloques con las siguientes características: 2-asociativa, 32 conjuntos, 64 bytes por línea, y procesador con direcciones de 28 bits. Indica claramente las conexiones entre los diferentes bloques, mostrando claramente la anchura en bits de todos los buses.

This image shows a full page of blank graph paper. The background is a uniform light gray color. Overlaid on this background is a precise grid of thin, light blue horizontal and vertical lines. These lines intersect to form a series of small, identical squares across the entire page, providing a guide for drawing or writing. There are no margins, text, or other markings present.[illegible]

## Pregunta 6 (1 punto)

**Responded** a las siguientes afirmaciones poniendo una X en el recuadro correspondiente (en la columna C si la afirmación es cierta o en la columna F si la afirmación es falsa). Cada respuesta correcta SUMA 0,1 puntos. **Cada respuesta incorrecta RESTA 0,1 puntos.** Las respuestas no contestadas no se tienen en cuenta.

C	F	Afirmación
		Una BEDO RAM es una memoria DRAM que no necesita que se le envíen direcciones de columna consecutivas ya que tiene un contador interno para generar la nueva dirección de columna.
		Una memoria DDR es una memoria DRAM asíncrona que proporciona 2 datos por ciclo.
		Una celda de una memoria DDR es idéntica a una celda de una memoria SDRAM.
		La memoria principal es RAM estática.
		La memoria DDR2 es como una DDR pero proporciona 4 datos por ciclo en lugar de 2.
		Para el mismo programa y el mismo tamaño de memoria cache, siempre es mejor la cache con las líneas más grandes.
		La memoria cache hace que los programas tengan localidad espacial y localidad temporal.
		Para el mismo tamaño de cache, el mismo tamaño de línea y el mismo programa siempre tendrá peor tasa de fallos la cache con mayor asociatividad.
		En una memoria cache completamente asociativa, primero se lee la memoria de etiquetas y a continuación la de datos.
		Para el mismo tamaño de memoria, una memoria cache directa tiene un tiempo de acceso menor que una memoria cache asociativa por conjuntos.

## Problema 7 (2 puntos)

Disponemos de un sistema formado por:

Un procesador de 32 bits con las siguientes características:

- CPI ideal: 2.66 ciclos por instrucción
- Tiempo de ciclo ( $T_c$ ): 2 ns
- Número de referencias por instrucción ( $nr$ ): 1.8 (1 a instrucciones y 0,8 a datos)
- Caches de instrucciones y datos separadas
- Las caches no tienen ninguna optimización

Cache de Instrucciones:

- Tiempo de servicio en caso de acierto ( $T_{sa}$ ) = 1 ciclo
- Tamaño de línea 64 bytes
- Tasa de fallos 6%

Cache de Datos:

- Tiempo de servicio en caso de acierto ( $T_{sa}$ ) = 1 ciclo
- Tamaño de línea 32 bytes
- Tasa de fallos 12%
- Política de escritura = Copy Back + Write Allocate
- 40% de líneas modificadas

Memoria principal:

- Organizada en DIMMs con 8 chips SDRAM de 1 byte cada uno
- Latencia de fila de los módulos de MP = 4 ciclos
- Latencia de columna de los módulos de MP = 2 ciclos
- Ancho de banda del bus MP $\leftrightarrow$  MC: 8 bytes por ciclo

- Cache: acceso en acierto (H), acceso en fallo (M)
- Memoria: acceso a columna (C), acceso a fila (F), transferencia de datos (D)

1) Fallo en la cache de Instrucciones

[illegible][illegible][illegible]

4) Tiempo medio de acceso de la cache de instrucciones en ciclos

[illegible][illegible][illegible]

## 2o Control Estructura de Computadores II

curso 2007-2008 Q1

Apellidos: . . . . . Nombre: . . . . .

### Problema 1 (2 puntos)

Tenim un processador de 8 bits amb adreces de 16 bits que te una memòria cache de 4Kbyte amb les següents característiques:

- Mapeig Directe
- 64 bytes per línia
- política de escriptura: write through + write allocate

a) Suposant que la cache està inicialment buida, empleneu la següent taula indicant per cada referència, la línia de memòria principal que s'està referenciant (#línia MP) la línia de memòria cache on es mapeja (#línia MC), el TAG (etiqueta) corresponent, si es encert (hit) o fallo (miss), el nombre de bytes que es llegeixen de MP en cas que sigui necessari, el nombre de bytes que s'escriuen a MP en cas que sigui necessari, i la línia reemplaçada quan correspongui.

adreça (hex)	#línia MP (hex)	#línia MC (hex)	TAG (hex)	hit o miss	mida lectura de MP	mida escriptura a MP	# línia reemplaçada
lect byte 020F							
lect word 3235							
escr word AA35							
lect long AA30							
lect long 022A							
lect byte 323F							
lect long 0211							
lect long B520							
escr word 5523							
lect byte B528							

b) A aquesta cache se li afegeix una cache de víctimes de 2 línies amb reemplaçament FIFO

Suposant que totes dues caches estan inicialment buides, empleneu la següent taula indicant per cada referència, la línia de memòria principal que s'està referenciant (#línia MP), si es encert (hit) o fallo (miss) a la cache directa (MD), si es encert (hit) o fallo (miss) a la cache de víctimes (VC), el nombre de bytes que es llegeixen de MP en cas que sigui necessari, el nombre de bytes que s'escriuen a MP en cas que sigui necessari, si hi ha lectura de la VC, si hi escriptura a la VC i la línia reemplaçada quan correspongui (entenent com a reemplaçada qualsevol línia expulsada del sistema format per les dues caches).

adreça (hex)	#línia MP (hex)	hit/miss MD	hit/miss VC	mida lectura de MP	mida escriptura a MP	lectura de VC	escriptura a VC	# línia reemplaçada
lect byte 020F								
lect word 3235								
escr word AA35								
lect long AA30								
lect long 022A								
lect byte 323F								
lect long 0211								
lect long B520								
escr word 5523								
lect byte B528								

## Problema 2 (2 puntos)

Dado el siguiente código escrito en ensamblador del IA32:

```
    movl $0, %esi
for: cmpl $1000, %esi
    jge end
(a)  movl (%esi,4), %eax
(b)  movl %eax, 8*1024(%esi,4)
(c)  addl %eax, 32(%esi,4)
    incl %esi
    jmp for
end:
```

Suponiendo una memoria cache de datos con **mapeo directo**, escritura **copy back + write allocate** de **8 Kbytes** y **líneas de 16 bytes**, responde a las siguientes preguntas:

1) Para cada uno de los accesos (etiquetas a, b, c), indica a qué línea de la memoria cache se accede en cada una de las 16 primeras iteraciones.

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
a																
b																
c																

2) Calcula la cantidad de **fallos**, en todo el bucle, para la

referencia (a)	
referencia (b)	
referencia (c)	

Suponiendo una memoria cache de datos con **mapeo directo**, escritura **write through + write NO allocate** de **2 Kbytes** y **líneas de 16 bytes**, responde a las siguientes preguntas:

3) Para cada uno de los accesos (etiquetas a, b, c), indica a qué línea de la memoria cache se accede en cada una de las 16 primeras iteraciones.

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
a																
b																
c																

4) Calcula la cantidad de **aciertos**, en todo el bucle, para la

referencia (a)	
referencia (b)	
referencia (c)	

## Problema 3 (1 punto)

Disponemos de un sistema de memoria principal con las siguientes características:

- 1 DIMM con 8 chips de memoria DDR.
- Cada chip dispone de 32 bancos de memoria.
- Cada banco dispone de 4096 filas y 1024 columnas de 1 byte cada una.
- La datos están entrelazados a nivel de chip. Posiciones consecutivas de memoria están en chips diferentes. Dentro del chip los datos NO están entrelazados.

Asi mismo disponemos de una cache con las siguientes características:

- 64 Kbytes de capacidad.

- [illegible]

[illegible][illegible][illegible][illegible]

[illegible]

Dibuja una memoria cache a nivel de bloques con las siguientes características: 2-asociativa, 32 conjuntos, 64 bytes por línea, y procesador con direcciones de 28 bits. Indica claramente las conexiones entre los diferentes bloques, mostrando claramente la anchura en bits de todos los buses.

This image shows a full page of blank graph paper. The background is a uniform light gray color. Overlaid on this background is a precise grid of thin, light blue horizontal and vertical lines. These lines intersect to form a series of small, identical squares across the entire surface of the page, providing a guide for drawing or writing.[illegible]



## Pregunta 6 (1 punto)

**Responded** a las siguientes afirmaciones poniendo una X en el recuadro correspondiente (en la columna C si la afirmación es cierta o en la columna F si la afirmación es falsa). Cada respuesta correcta SUMA 0,1 puntos. **Cada respuesta incorrecta RESTA 0,1 puntos.** Las respuestas no contestadas no se tienen en cuenta.

C	F	Afirmación
		Una BEDO RAM es una memoria DRAM que no necesita que se le envíen direcciones de columna consecutivas ya que tiene un contador interno para generar la nueva dirección de columna.
		Una memoria DDR es una memoria DRAM asíncrona que proporciona 2 datos por ciclo.
		Una celda de una memoria DDR es idéntica a una celda de una memoria SDRAM.
		La memoria principal es RAM estática.
		La memoria DDR2 es como una DDR pero proporciona 4 datos por ciclo en lugar de 2.
		Para el mismo programa y el mismo tamaño de memoria cache, siempre es mejor la cache con las líneas más grandes.
		La memoria cache hace que los programas tengan localidad espacial y localidad temporal.
		Para el mismo tamaño de cache, el mismo tamaño de línea y el mismo programa siempre tendrá peor tasa de fallos la cache con mayor asociatividad.
		En una memoria cache completamente asociativa, primero se lee la memoria de etiquetas y a continuación la de datos.
		Para el mismo tamaño de memoria, una memoria cache directa tiene un tiempo de acceso menor que una memoria cache asociativa por conjuntos.

## Problema 7 (2 puntos)

Disponemos de un sistema formado por:

Un procesador de 32 bits con las siguientes características:

- CPI ideal: 2.66 ciclos por instrucción
- Tiempo de ciclo ( $T_c$ ): 2 ns
- Número de referencias por instrucción (nr): 1.8 (1 a instrucciones y 0,8 a datos)
- Caches de instrucciones y datos separadas
- Las caches no tienen ninguna optimización

Cache de Instrucciones:

- Tiempo de servicio en caso de acierto ( $T_{sa}$ ) = 1 ciclo
- Tamaño de línea 64 bytes
- Tasa de fallos 6%

Cache de Datos:

- Tiempo de servicio en caso de acierto ( $T_{sa}$ ) = 1 ciclo
- Tamaño de línea 32 bytes
- Tasa de fallos 12%
- Política de escritura = Copy Back + Write Allocate
- 40% de líneas modificadas

Memoria principal:

- Organizada en DIMMs con 8 chips SDRAM de 1 byte cada uno
- Latencia de fila de los módulos de MP = 4 ciclos
- Latencia de columna de los módulos de MP = 2 ciclos
- Ancho de banda del bus MP ↔ MC: 8 bytes por ciclo

- Cache: acceso en acierto (H), acceso en fallo (M)
- Memoria: acceso a columna (C), acceso a fila (F), transferencia de datos (D)

1) Fallo en la cache de Instrucciones

[illegible][illegible][illegible]

4) Tiempo medio de acceso de la cache de instrucciones en ciclos

[illegible][illegible][illegible]

## 2o Control Estructura de Computadores II

curso 2007-2008 Q1

Apellidos: . . . . . Nombre: . . . . .

### Problema 1 (2 puntos)

Tenim un processador de 8 bits amb adreces de 16 bits que te una memòria cache de 4Kbyte amb les següents característiques:

- Mapeig Directe
- 64 bytes per línia
- política de escriptura: write through + write allocate

a) Suposant que la cache està inicialment buida, empleneu la següent taula indicant per cada referència, la línia de memòria principal que s'està referenciant (#línia MP) la línia de memòria cache on es mapeja (#línia MC), el TAG (etiqueta) corresponent, si es encert (hit) o fallo (miss), el nombre de bytes que es llegeixen de MP en cas que sigui necessari, el nombre de bytes que s'escriuen a MP en cas que sigui necessari, i la línia reemplaçada quan correspongui.

adreça (hex)	#línia MP (hex)	#línia MC (hex)	TAG (hex)	hit o miss	mida lectura de MP	mida escriptura a MP	# línia reemplaçada
lect byte 020F							
lect word 3235							
escr word AA35							
lect long AA30							
lect long 022A							
lect byte 323F							
lect long 0211							
lect long B520							
escr word 5523							
lect byte B528							

b) A aquesta cache se li afegeix una cache de víctimes de 2 línies amb reemplaçament FIFO

Suposant que totes dues caches estan inicialment buides, empleneu la següent taula indicant per cada referència, la línia de memòria principal que s'està referenciant (#línia MP), si es encert (hit) o fallo (miss) a la cache directa (MD), si es encert (hit) o fallo (miss) a la cache de víctimes (VC), el nombre de bytes que es llegeixen de MP en cas que sigui necessari, el nombre de bytes que s'escriuen a MP en cas que sigui necessari, si hi ha lectura de la VC, si hi escriptura a la VC i la línia reemplaçada quan correspongui (entenent com a reemplaçada qualsevol línia expulsada del sistema format per les dues caches).

adreça (hex)	#línia MP (hex)	hit/miss MD	hit/miss VC	mida lectura de MP	mida escriptura a MP	lectura de VC	escriptura a VC	# línia reemplaçada
lect byte 020F								
lect word 3235								
escr word AA35								
lect long AA30								
lect long 022A								
lect byte 323F								
lect long 0211								
lect long B520								
escr word 5523								
lect byte B528								

## Problema 2 (2 puntos)

Dado el siguiente código escrito en ensamblador del IA32:

```
    movl $0, %esi
for: cmpl $1000, %esi
    jge end
(a)  movl (%esi,4), %eax
(b)  movl %eax, 8*1024(%esi,4)
(c)  addl %eax, 32(%esi,4)
    incl %esi
    jmp for
end:
```

Suponiendo una memoria cache de datos con **mapeo directo**, escritura **copy back + write allocate** de **8 Kbytes** y **líneas de 16 bytes**, responde a las siguientes preguntas:

1) Para cada uno de los accesos (etiquetas a, b, c), indica a qué línea de la memoria cache se accede en cada una de las 16 primeras iteraciones.

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
a																
b																
c																

2) Calcula la cantidad de **fallos**, en todo el bucle, para la

referencia (a)	
referencia (b)	
referencia (c)	

Suponiendo una memoria cache de datos con **mapeo directo**, escritura **write through + write NO allocate** de **2 Kbytes** y **líneas de 16 bytes**, responde a las siguientes preguntas:

3) Para cada uno de los accesos (etiquetas a, b, c), indica a qué línea de la memoria cache se accede en cada una de las 16 primeras iteraciones.

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
a																
b																
c																

4) Calcula la cantidad de **aciertos**, en todo el bucle, para la

referencia (a)	
referencia (b)	
referencia (c)	

## Problema 3 (1 punto)

Disponemos de un sistema de memoria principal con las siguientes características:

- 1 DIMM con 8 chips de memoria DDR.
- Cada chip dispone de 32 bancos de memoria.
- Cada banco dispone de 4096 filas y 1024 columnas de 1 byte cada una.
- La datos están entrelazados a nivel de chip. Posiciones consecutivas de memoria están en chips diferentes. Dentro del chip los datos NO están entrelazados.

Asi mismo disponemos de una cache con las siguientes características:

- 64 Kbytes de capacidad.

- [illegible]

[illegible][illegible][illegible][illegible]

[illegible]

Dibuja una memoria cache a nivel de bloques con las siguientes características: 2-asociativa, 32 conjuntos, 64 bytes por línea, y procesador con direcciones de 28 bits. Indica claramente las conexiones entre los diferentes bloques, mostrando claramente la anchura en bits de todos los buses.

This image shows a full page of blank graph paper. The background is a uniform light gray color. Overlaid on this background is a grid of thin, light blue horizontal and vertical lines. These lines intersect to form a series of small, identical squares across the entire page, providing a guide for drawing or writing. There are no margins, text, or other markings present.[illegible]

## Pregunta 6 (1 punto)

**Responded** a las siguientes afirmaciones poniendo una X en el recuadro correspondiente (en la columna C si la afirmación es cierta o en la columna F si la afirmación es falsa). Cada respuesta correcta SUMA 0,1 puntos. **Cada respuesta incorrecta RESTA 0,1 puntos.** Las respuestas no contestadas no se tienen en cuenta.

C	F	Afirmación
		Una BEDO RAM es una memoria DRAM que no necesita que se le envíen direcciones de columna consecutivas ya que tiene un contador interno para generar la nueva dirección de columna.
		Una memoria DDR es una memoria DRAM asíncrona que proporciona 2 datos por ciclo.
		Una celda de una memoria DDR es idéntica a una celda de una memoria SDRAM.
		La memoria principal es RAM estática.
		La memoria DDR2 es como una DDR pero proporciona 4 datos por ciclo en lugar de 2.
		Para el mismo programa y el mismo tamaño de memoria cache, siempre es mejor la cache con las líneas más grandes.
		La memoria cache hace que los programas tengan localidad espacial y localidad temporal.
		Para el mismo tamaño de cache, el mismo tamaño de línea y el mismo programa siempre tendrá peor tasa de fallos la cache con mayor asociatividad.
		En una memoria cache completamente asociativa, primero se lee la memoria de etiquetas y a continuación la de datos.
		Para el mismo tamaño de memoria, una memoria cache directa tiene un tiempo de acceso menor que una memoria cache asociativa por conjuntos.

## Problema 7 (2 puntos)

Disponemos de un sistema formado por:

Un procesador de 32 bits con las siguientes características:

- CPI ideal: 2.66 ciclos por instrucción
- Tiempo de ciclo ( $T_c$ ): 2 ns
- Número de referencias por instrucción ( $nr$ ): 1.8 (1 a instrucciones y 0,8 a datos)
- Caches de instrucciones y datos separadas
- Las caches no tienen ninguna optimización

Cache de Instrucciones:

- Tiempo de servicio en caso de acierto ( $T_{sa}$ ) = 1 ciclo
- Tamaño de línea 64 bytes
- Tasa de fallos 6%

Cache de Datos:

- Tiempo de servicio en caso de acierto ( $T_{sa}$ ) = 1 ciclo
- Tamaño de línea 32 bytes
- Tasa de fallos 12%
- Política de escritura = Copy Back + Write Allocate
- 40% de líneas modificadas

Memoria principal:

- Organizada en DIMMs con 8 chips SDRAM de 1 byte cada uno
- Latencia de fila de los módulos de MP = 4 ciclos
- Latencia de columna de los módulos de MP = 2 ciclos
- Ancho de banda del bus MP ↔ MC: 8 bytes por ciclo

- Cache: acceso en acierto (H), acceso en fallo (M)
- Memoria: acceso a columna (C), acceso a fila (F), transferencia de datos (D)

1) Fallo en la cache de Instrucciones

[illegible][illegible][illegible]

4) Tiempo medio de acceso de la cache de instrucciones en ciclos

[illegible][illegible][illegible]



## 2o Control Estructura de Computadores II

curso 2007-2008 Q1

Apellidos: . . . . . Nombre: . . . . .

### Problema 1 (2 puntos)

Tenim un processador de 8 bits amb adreces de 16 bits que te una memòria cache de 4Kbyte amb les següents característiques:

- Mapeig Directe
- 64 bytes per línia
- política de escriptura: write through + write allocate

a) Suposant que la cache està inicialment buida, empleneu la següent taula indicant per cada referència, la línia de memòria principal que s'està referenciant (#línia MP) la línia de memòria cache on es mapeja (#línia MC), el TAG (etiqueta) corresponent, si es encert (hit) o fallo (miss), el nombre de bytes que es llegeixen de MP en cas que sigui necessari, el nombre de bytes que s'escriuen a MP en cas que sigui necessari, i la línia reemplaçada quan correspongui.

adreça (hex)	#línia MP (hex)	#línia MC (hex)	TAG (hex)	hit o miss	mida lectura de MP	mida escriptura a MP	# línia reemplaçada
lect byte 020F							
lect word 3235							
escri word AA35							
lect long AA30							
lect long 022A							
lect byte 323F							
lect long 0211							
lect long B520							
escri word 5523							
lect byte B528							

b) A aquesta cache se li afegeix una cache de víctimes de 2 línies amb reemplaçament FIFO

Suposant que totes dues caches estan inicialment buides, empleneu la següent taula indicant per cada referència, la línia de memòria principal que s'està referenciant (#línia MP), si es encert (hit) o fallo (miss) a la cache directa (MD), si es encert (hit) o fallo (miss) a la cache de víctimes (VC), el nombre de bytes que es llegeixen de MP en cas que sigui necessari, el nombre de bytes que s'escriuen a MP en cas que sigui necessari, si hi ha lectura de la VC, si hi escriptura a la VC i la línia reemplaçada quan correspongui (entenent com a reemplaçada qualsevol línia expulsada del sistema format per les dues caches).

adreça (hex)	#línia MP (hex)	hit/miss MD	hit/miss VC	mida lectura de MP	mida escriptura a MP	lectura de VC	escriptura a VC	# línia reemplaçada
lect byte 020F								
lect word 3235								
escri word AA35								
lect long AA30								
lect long 022A								
lect byte 323F								
lect long 0211								
lect long B520								
escri word 5523								
lect byte B528								

## Problema 2 (2 puntos)

Dado el siguiente código escrito en ensamblador del IA32:

```
    movl $0, %esi
for: cmpl $1000, %esi
    jge end
(a)  movl (%esi,4), %eax
(b)  movl %eax, 8*1024(%esi,4)
(c)  addl %eax, 32(%esi,4)
    incl %esi
    jmp for
end:
```

Suponiendo una memoria cache de datos con **mapeo directo**, escritura **copy back + write allocate** de **8 Kbytes** y **líneas de 16 bytes**, responde a las siguientes preguntas:

1) Para cada uno de los accesos (etiquetas a, b, c), indica a qué línea de la memoria cache se accede en cada una de las 16 primeras iteraciones.

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
a																
b																
c																

2) Calcula la cantidad de **fallos**, en todo el bucle, para la

referencia (a)	
referencia (b)	
referencia (c)	

Suponiendo una memoria cache de datos con **mapeo directo**, escritura **write through + write NO allocate** de **2 Kbytes** y **líneas de 16 bytes**, responde a las siguientes preguntas:

3) Para cada uno de los accesos (etiquetas a, b, c), indica a qué línea de la memoria cache se accede en cada una de las 16 primeras iteraciones.

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
a																
b																
c																

4) Calcula la cantidad de **aciertos**, en todo el bucle, para la

referencia (a)	
referencia (b)	
referencia (c)	

## Problema 3 (1 punto)

Disponemos de un sistema de memoria principal con las siguientes características:

- 1 DIMM con 8 chips de memoria DDR.
- Cada chip dispone de 32 bancos de memoria.
- Cada banco dispone de 4096 filas y 1024 columnas de 1 byte cada una.
- La datos están entrelazados a nivel de chip. Posiciones consecutivas de memoria están en chips diferentes. Dentro del chip los datos NO están entrelazados.

Asi mismo disponemos de una cache con las siguientes características:

- 64 Kbytes de capacidad.

- [illegible]

[illegible][illegible][illegible][illegible]

[illegible]

Dibuja una memoria cache a nivel de bloques con las siguientes características: 2-asociativa, 32 conjuntos, 64 bytes por línea, y procesador con direcciones de 28 bits. Indica claramente las conexiones entre los diferentes bloques, mostrando claramente la anchura en bits de todos los buses.

[illegible][illegible]

## Pregunta 6 (1 punto)

**Responded** a las siguientes afirmaciones poniendo una X en el recuadro correspondiente (en la columna C si la afirmación es cierta o en la columna F si la afirmación es falsa). Cada respuesta correcta SUMA 0,1 puntos. **Cada respuesta incorrecta RESTA 0,1 puntos**. Las respuestas no contestadas no se tienen en cuenta.

C	F	Afirmación
		Una BEDO RAM es una memoria DRAM que no necesita que se le envíen direcciones de columna consecutivas ya que tiene un contador interno para generar la nueva dirección de columna.
		Una memoria DDR es una memoria DRAM asíncrona que proporciona 2 datos por ciclo.
		Una celda de una memoria DDR es idéntica a una celda de una memoria SDRAM.
		La memoria principal es RAM estática.
		La memoria DDR2 es como una DDR pero proporciona 4 datos por ciclo en lugar de 2.
		Para el mismo programa y el mismo tamaño de memoria cache, siempre es mejor la cache con las líneas más grandes.
		La memoria cache hace que los programas tengan localidad espacial y localidad temporal.
		Para el mismo tamaño de cache, el mismo tamaño de línea y el mismo programa siempre tendrá peor tasa de fallos la cache con mayor asociatividad.
		En una memoria cache completamente asociativa, primero se lee la memoria de etiquetas y a continuación la de datos.
		Para el mismo tamaño de memoria, una memoria cache directa tiene un tiempo de acceso menor que una memoria cache asociativa por conjuntos.

## Problema 7 (2 puntos)

Disponemos de un sistema formado por:

Un procesador de 32 bits con las siguientes características:

- CPI ideal: 2.66 ciclos por instrucción
- Tiempo de ciclo ( $T_c$ ): 2 ns
- Número de referencias por instrucción ( $nr$ ): 1.8 (1 a instrucciones y 0,8 a datos)
- Caches de instrucciones y datos separadas
- Las caches no tienen ninguna optimización

Cache de Instrucciones:

- Tiempo de servicio en caso de acierto ( $T_{sa}$ ) = 1 ciclo
- Tamaño de línea 64 bytes
- Tasa de fallos 6%

Cache de Datos:

- Tiempo de servicio en caso de acierto ( $T_{sa}$ ) = 1 ciclo
- Tamaño de línea 32 bytes
- Tasa de fallos 12%
- Política de escritura = Copy Back + Write Allocate
- 40% de líneas modificadas

Memoria principal:

- Organizada en DIMMs con 8 chips SDRAM de 1 byte cada uno
- Latencia de fila de los módulos de MP = 4 ciclos
- Latencia de columna de los módulos de MP = 2 ciclos
- Ancho de banda del bus MP $\leftrightarrow$  MC: 8 bytes por ciclo

- Cache: acceso en acierto (H), acceso en fallo (M)
- Memoria: acceso a columna (C), acceso a fila (F), transferencia de datos (D)

1) Fallo en la cache de Instrucciones

[illegible][illegible][illegible]

4) Tiempo medio de acceso de la cache de instrucciones en ciclos

[illegible][illegible][illegible]