

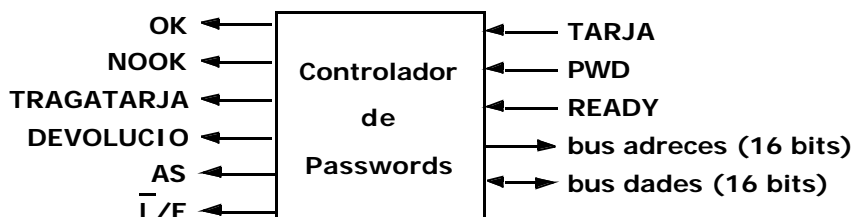
# Examen Final Estructura de Computadores II

## curso 2003-2004 Q1

- El problema 1 s'ha d'entregar en un full apart.
- La resta de problemes s'han d'entregar als fulls de respostes.
- Les notes sortiran el dia 30 de gener a les 12:00.
- La revisió es farà el 4 de febrer.

### Problema 1 (3 punts)

Es vol implementar un controlador de passwords de tarjes de crèdit.



El funcionament del controlador de passwords es el següent:

- Quan es posa una tarja s'activa el senyal **TARJA** durant 1 cicle i al següent cicle apareix el codi de la tarja al bus de dades ( $D_{15:0}$ ).
- Un cop llegit el codi, quan s'activa el senyal **PWD** durant 1 cicle, apareix al mateix cicle el password al bus de dades ( $D_{12:0}$ ). Els bits  $D_{15:13}$  valen 000.
- Llavors amb el codi de la tarja s'accedeix a una memòria d'on s'obté el password ( $D_{15:3}$ ) i el nombre d'errors ( $D_{2:0}$ ) associats a la tarja.
- Si el password es correcte cal posar els errors a 0 a la memòria (mantenint el password) i s'activa el senyal **OK** durant 1 cicle. Dos cicles després d'activar **OK** es retorna la tarja activant **DEVOLUCIO** durant 2 cicles.
- Sino, s'incrementa el nombre d'errors:
  - si errors < 7 es graba el nombre d'errors a la memòria (mantenint el password) i s'activa el senyal **NOOK** durant 1 cicle. Dos cicles després d'activar **NOOK** es retorna la tarja activant **DEVOLUCIO** durant 2 cicles.
  - sino, s'activa el senyal **TRAGATARJA** durant 3 cicles.
- Aquest procés es repeteix indefinidament (entre tarja i tarja disposem de temps suficient).

El accés a memòria es fa tal com es va veure al tema 1, disposa de les senyals pertinents i té les següents característiques:

- La unitat mínima (i única) d'adreçament són 16 bits.
- El **READY** només està actiu durant 1 cicle.
- En les lectures la dada només està disponible durant el cicle que hi ha el **READY** actiu.

Es demana dissenyar el circuit anomenat Controlador de Passwords utilitzant la tècnica de microprogramació. En concret es demana:

- a) Disseny del camí de dades del controlador.
- b) Format de la microinstrucció.
- c) Microprograma de control.

Podeu utilitzar els registres, constants i unitats funcionals que cregueu més convenients. Es valorarà la EFICIENCIA, CLARETAT i SIMPLICITAT de la solució.

### Problema 2 (2 punts)

Disponemos de un procesador de 16 bits con las siguientes señales externas:

- Control: READY, AS y  $\overline{L/E}$ .
- Datos:  $D_{15:0}$ .
- Direcciones  $A_{23:1}$  y  $BE_{1:0}$ .

Queremos conectar a este procesador un sistema de memoria de 4Mbytes ( $2^{22}$ ). La memoria está mapeada a partir de la dirección 20000H y está construida con una serie de módulos tal y como se muestra en la figura. Esta figura corresponde a la organización clásica de 2 columnas de byte que permiten accesos a byte y word.





### Pregunta 5 (1 punt)

a) Dado el siguiente programa escrito en C:

```
for (i=0; i<10000; i++) /* El vector v tiene 10000 elementos */
    v[i] = v[i] + 4;      /* Cada entero ocupa 4 bytes */
```

Teniendo en cuenta, exclusivamente los accesos al vector  $v$ , una herramienta de evaluación nos ha dado los siguientes resultados:

- Lecturas de Memoria: 10000
- Escrituras de Memoria: 10000
- Fallos en Memoria Cache: 1250

Estos datos proporcionan información sobre uno de los parámetros de la Memoria Cache (tamaño de cache, tamaño de línea, asociatividad, etc.) de datos. ¿Puedes identificarlo? Razona la respuesta.

b) Dado el siguiente programa escrito en C:

```
for (i=0; i<10000; i++) /* El vector v tiene 20000 elementos */
    R0 = R0 + v[i] + v[i+4096]; /* Cada entero ocupa 4 bytes */
```

Teniendo en cuenta, exclusivamente los accesos al vector  $v$ , una herramienta de evaluación nos ha dado los siguientes resultados:

- Lecturas de Memoria: 20000
- Fallos en Memoria Cache: 20000

Estos datos proporcionan información sobre alguno de los parámetros de la Memoria Cache (tamaño de cache, tamaño de línea, asociatividad, etc.) de datos. ¿Puedes identificarlo? Razona la respuesta.

c) Disponemos de un procesador que tiene memorias caches separadas para datos e instrucciones. Algunos de los parámetros de las dos memorias caches son los siguientes:

	Cache de instrucciones	Cache de datos
tiempo de servicio en caso de acierto ( $t_{sa}$ )	1 ciclo	1 ciclo
tiempo de servicio en caso de fallo y reemplazo de línea no modificada ( $t_{sf_{NO}}$ )	10 ciclos	14 ciclos
tiempo de servicio en caso de fallo y reemplazo de línea modificada ( $t_{sf_{MOD}}$ )	-	26 ciclos
%líneas modificadas	-	30%

Dad alguna razón que justifique la diferencia en el  $t_{sf_{NO}}$  en ambas caches. Razonad la respuesta.