

ETSETB
Enginyeria de Telecomunicació
CISE IV

Quadrimestre Primavera 2003

11 de Juny de 2003

Notes provisionals: 20/06/2003

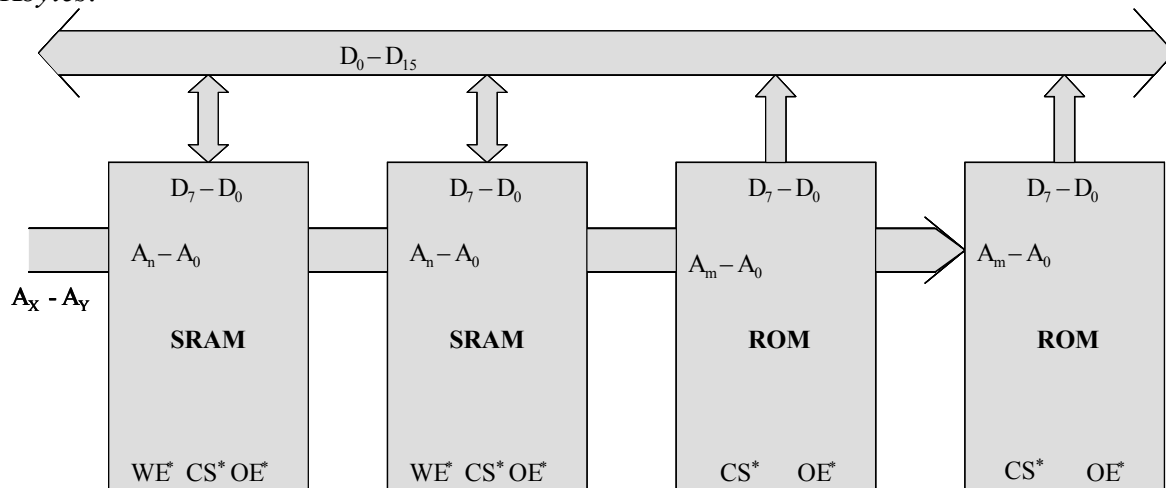
Límit al·legacions: 25/06/2003 a les 14 hores

Notes definitives: 27/06/2003

S'ha de respondre en els mateixos fulls. No es poden entregar fulls addicionals**Temps: 3 hores****PROBLEMA 1 (25%)**

Tenim un microprocessador amb una interfície semblant al 68000. Es a dir, disposa d'un bus de dades de 16 bits i d'un bus d'adreces de 24 bits però el bit A_0 no és accessible desde l'exterior.

Es vol configurar un sistema de memòria extern d'acord amb el diagrama que apareix a continuació. El tamany de la memòria SRAM es de 256 *Kwords* i el de la memòria ROM de 256 *Kbytes*.



- 1) Determinar el nombre de línies que s'han de connectar a la interfície d'adreçament de les memòries SRAM (quin es el valor de n)? (10%)

 $n =$

- 2) Ídem amb les memòries ROM (quin es el valor de m)? (10%)

 $m =$

- 3) Si ens fixem ara en la interfície del microprocessador, determinar quines línies s'han de connectar tant pel cas de les memòries SRAM com pel de les ROM (valors de X i Y per cada cas) (15%)

SRAM: $X =$ $Y =$ ROM: $X =$ $Y =$

- 4) Volem ubicar la memòria ROM a la part més baixa del mapa (a partir de la posició 000000_H). Entre quines adreces es trobarà exactament? (10%)

- 5) Realitzar una descodificació senzilla, i de tal manera que tinguem 4 zones mirall contigües de la memòria ROM. Especifiqueu clarament les 4 ubicacions. (10%)

Ubicacions zones mirall:

- 6) Ídem per la memòria SRAM, però tenint en compte que no hi ha d'haver cap zona mirall, i que ha de situar-se a la part més alta del mapa de memòria. Quina és la ubicació exacta? (10%)

Ubicació:

Esquema de la descodificació de la SRAM i de la ROM (35%)

NOTA: Per realitzar la descodificació podeu utilitzar portes lògiques de qualsevol tipus.

Tenir en compte que es disposa dels senyals:

AS*	Validador de les adreces	UDS*	Validador de les dades D ₈ – D ₁₅
WR*	Escriptura	LDS*	Validador de les dades D ₀ – D ₇

PROBLEMA 2 (30%)

A la següent figura tenim el cronograma de lectura de dades del μC 8051.

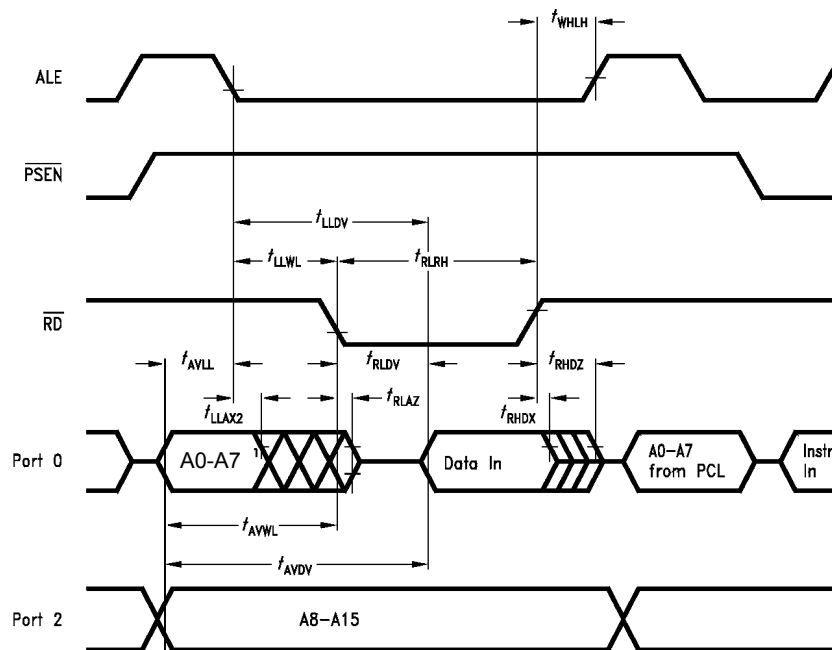


Figura 1

Parameter	Symbol	Limit Values				Unit
		18 MHz Clock		Variable Clock 1/ <i>t</i> _{CLCL} = 3.5 MHz to 18 MHz		
		min.	max.	min.	max.	
Address setup to ALE	<i>t</i> _{AVLL}	26	—	<i>t</i> _{CLCL} − 30	—	ns
$\overline{\text{RD}}$ pulse width	<i>t</i> _{RLRH}	233	—	6 <i>t</i> _{CLCL} − 100	—	ns
$\overline{\text{WR}}$ pulse width	<i>t</i> _{WLWH}	233	—	6 <i>t</i> _{CLCL} − 100	—	ns
Address hold after ALE	<i>t</i> _{LLAX2}	81	—	2 <i>t</i> _{CLCL} − 30	—	ns
$\overline{\text{RD}}$ to valid data in	<i>t</i> _{RLDV}	—	128	—	5 <i>t</i> _{CLCL} − 150	ns
Data hold after $\overline{\text{RD}}$	<i>t</i> _{RHDX}	0	—	0	—	ns
Data float after $\overline{\text{RD}}$	<i>t</i> _{RHDZ}	—	51	—	2 <i>t</i> _{CLCL} − 60	ns
ALE to valid data in	<i>t</i> _{LLDV}	—	294	—	8 <i>t</i> _{CLCL} − 150	ns
Address to valid data in	<i>t</i> _{AVDV}	—	335	—	9 <i>t</i> _{CLCL} − 165	ns
ALE to $\overline{\text{WR}}$ or $\overline{\text{RD}}$	<i>t</i> _{LLWL}	117	217	3 <i>t</i> _{CLCL} − 50	3 <i>t</i> _{CLCL} +50	ns
$\overline{\text{WR}}$ or $\overline{\text{RD}}$ high to ALE high	<i>t</i> _{WHLH}	16	96	<i>t</i> _{CLCL} − 40	<i>t</i> _{CLCL} +40	ns
Address valid to $\overline{\text{WR}}$	<i>t</i> _{AVWL}	92	—	4 <i>t</i> _{CLCL} − 130	—	ns
Data valid to $\overline{\text{WR}}$ transition	<i>t</i> _{QVWX}	11	—	<i>t</i> _{CLCL} − 45	—	ns
Data setup before $\overline{\text{WR}}$	<i>t</i> _{QVWH}	239	—	7 <i>t</i> _{CLCL} − 150	—	ns
Data hold after $\overline{\text{WR}}$	<i>t</i> _{WHQX}	16	—	<i>t</i> _{CLCL} − 40	—	ns
Address float after $\overline{\text{RD}}$	<i>t</i> _{RLAZ}	—	0	—	0	ns

Taula 1

Aquest microcontrolador té un bus d'adreces de 16 bits, distribuït en dos ports (Port 0: [A0-A7/Bus de dades] i Port 2: [A8-A15]). El Port 0 és un port multiplexat: al principi del cicle de bus és un bus de sortida on el microcontrolador posa la part baixa del bus d'adreces (A0-A7) i després és el bus bidireccional de dades.

- A l'inici del cicle de bus l'adreça completa (A0-A15) surt per Port 0 i Port 2.
- Externament, s'utilitza un *latch* per guardar la part baixa del bus d'adreces (A0-A7).
- El *latch* és un element de memòria que és transparent ($Q=D_n$) quan el seu *enable* (LE) és actiu ('1') i manté l'última dada ($Q_{futura}=Q_{passat}$) quan *enable* (LE) és inactiu ('0').
- Com a senyal de control d'aquest latch, el microcontrolador disposa d'un senyal específic (ALE: *Address Latch Enable*) que és utilitzat com a senyal habilitador del latch.
- En el moment en que el senyal ALE fa una transició de '1' a '0', el latch emmagatzema A0-A7.

El sistema dissenyat es pot veure a la següent figura:

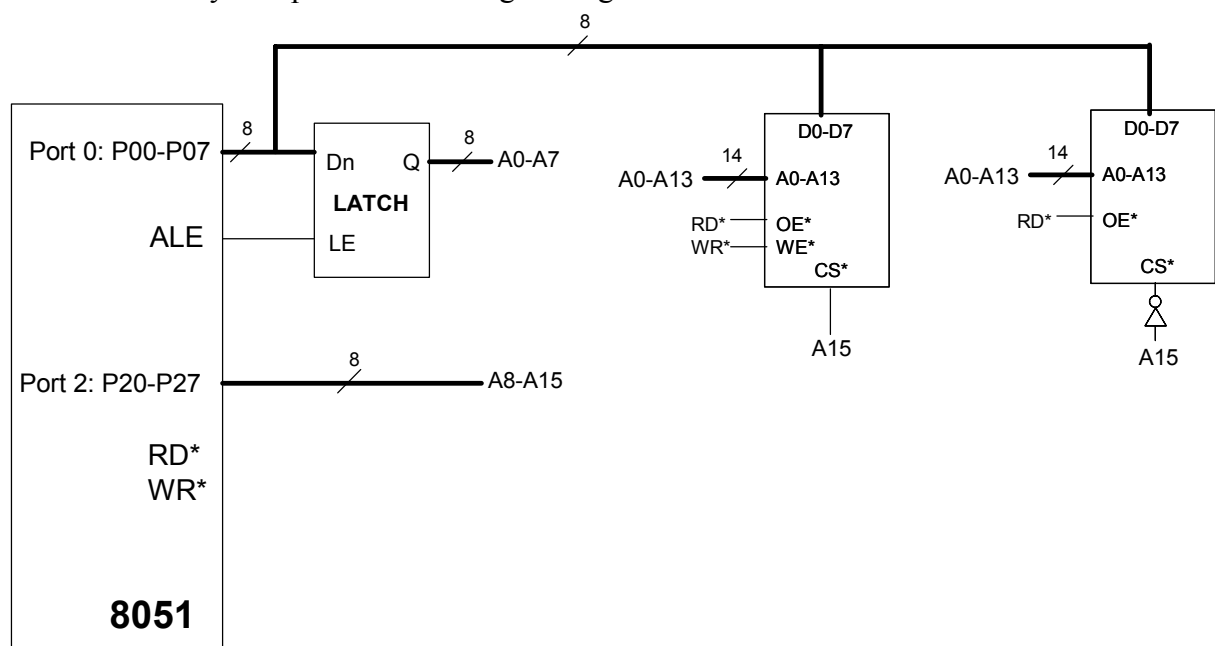


Figura 2

Les característiques del latch que fem servir són les següents:

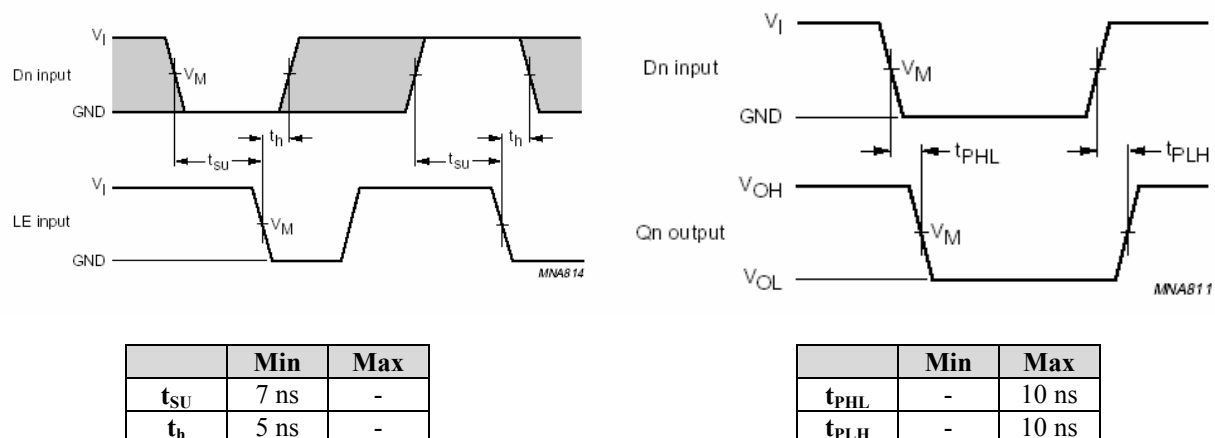
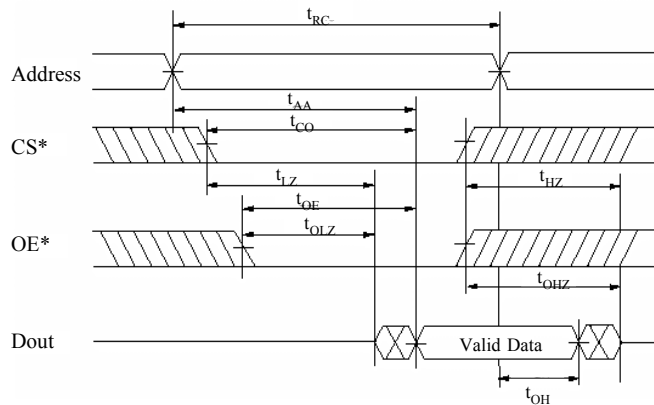


Figura 3

Les característiques temporals en lectura de la RAM utilitzada es poden veure a la següent figura.



	Min.	Max.
t_{AA}	-	300 ns
t_{CO}	-	300 ns
t_{OE}	-	250 ns

Figura 4

Es demana:

1. Rang d'adreces ocupat per la memòria ROM. Hi ha zones imatge ? (10%)

Rang @:

Nº Z.I.:

2. Ens garanteix el microcontrolador que quan activa el senyal RD* ha deixat prèviament en alta impedància el Port 0 ? Per què ? (20%)
3. Si la freqüència de treball del microcontrolador és de 18MHz, està complint el sistema les especificacions de *setup* i *hold* del latch ? (20%)
4. Quins 3 temps màxims del microcontrolador estan relacionats amb l'aparició de dada vàlida al bus de dades ? Identifiquen els seus noms (Taula 1). (10%)
5. **Tenint en compte la resposta de l'apartat anterior**, quina és la freqüència màxima del microcontrolador que permet accedir correctament a la RAM ? (40%)

PROBLEMA 3 (20%)

Volem comunicar dos μC V25 emulant un enllaç sèrie per *software*. Per fer-ho farem servir certs bits del port P1 tal i com s'indica a la figura 1.

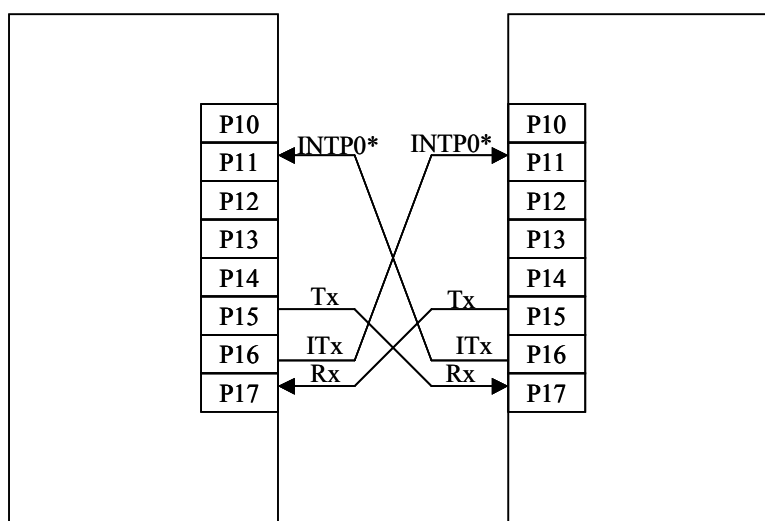


Figura 1

Els bits de P1 que es fan servir per la transmissió-recepció són:

- P15 Sortida de transmissió Tx
- P16 Generació de la interrupció d'inici de transmissió ITx
- P17 Entrada de recepció Rx
- P11 Entrada INTP0* de la interrupció d'inici de transmissió

Considerant que, a més de INTP0*, el sistema fa servir (en tots dos μC) també les interrupcions INTTU0 (Timer 0) INTTB (Base de temps) i INT (Externa) es demana, d'acord amb la informació de la figura 2:

Configuració del <i>PORT 1</i> (n=0...7; bits de registre)			
	PMC1n = 1 (mode control)	PMC1n = 0 (mode port)	
		PM1n = 1	PM1n = 0
P10	NO PERMÉS	entrada NMI	NO PERMÉS
P11		entrada INIP0*	
P12		entrada INIP1*	
P13	sortida INTAK*	entrada INIP2*	
P14	entrada INT	Port d'entrada (ent. POLL*)	Port de sortida
P15	sortida TOUT	Port d'entrada	Port de sortida
P16	sortida SCK0*	Port d'entrada	Port de sortida
P17	entrada READY	Port d'entrada	Port de sortida

Figura 2

Full de respostes del PROBLEMA 3

1. Programar els bits del registre de control PMC1 del port P1 (20%)
2. Programar els bits del registre de control PM1 del port P1 (20%)
3. Identificar si algún bit d'entrada de P1 no es fa servir i pot interferir en el funcionament correcte del sistema i, en cas afirmatiu, connectar-lo adequadament per que no interfereixi (30%)

Un cop configurat el port P1, el μC que vol transmetre executa la següent rutina:

Rutina Tx
Generar ITx (avisar al receptor que es va a transmetre)
Funció 1
Funció Tx (Transmetre un caràcter)
 Enviar *Start*
 Enviar *Bits 0-7*
 Enviar *Stop*
Fi Tx
Funció 2

Mentre que el receptor, quan rep la interrupció INTP0* fa les següents accions:

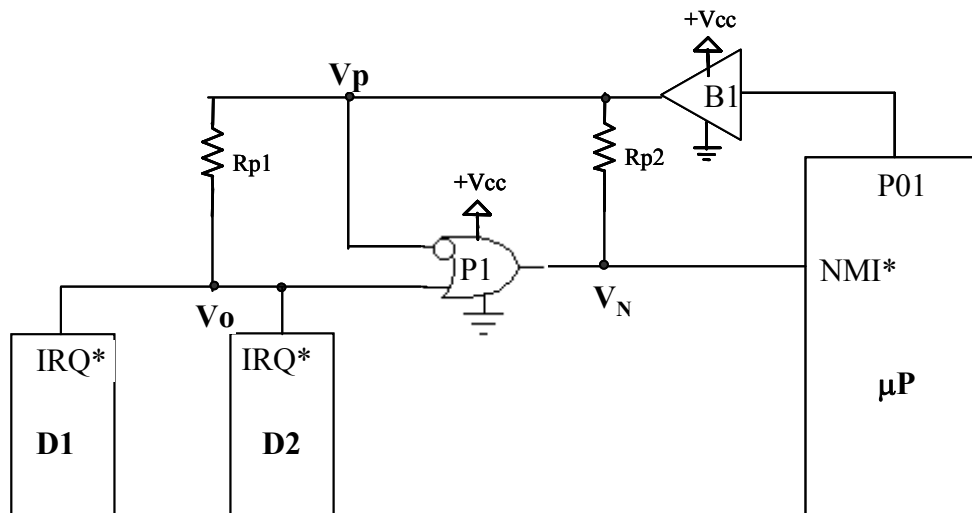
Saltar a la RSI (Retard = $75 T_{\text{clk}}$)
RSI
 EI
 Rebre *Start*
 Rebre *Bits 0-7*
 Rebre *Stop*
RETI (Retard = $55 T_{\text{clk}}$)

A partir d'aquesta informació es demana:

4. Quina és la missió de les funcions *Funció 1* i *Funció 2* de la rutina de transmissió i en què consisteixen cadascuna d'elles? (Només cal indicar-ho, no escriure la rutina) (15%)
5. Quin problema té la RSI de recepció i com l'evitaria? (15%)

PROBLEMA 4 (25%)

A l'esquema de la figura es mostra un microprocessador que pot rebre interrupcions no emmascarables (NMI* activa a nivell baix) per part de dos dispositius (D1 i D2 per les seves sortides IRQ*) amb sortida en drenador obert (d.o.). A més, el μP pot impedir la petició d'aquesta interrupció, tan prioritària en certs moments claus del seu processament de la informació, tot programant la sortida d'un bit d'un port (P01) del μP i amb l'ajut d'un *buffer* (B1), que dona l'alimentació a una de les resistències de *pull up* (Rp1), i una porta OR (P1) amb sortida drenador obert que ataca a l'entrada NMI del μP .



Dades Per a $V_{cc} = 5V$

Sortides IRQ* de D1 i D2 i de la porta P1: $I_{OL} = 24mA$, $V_{OL} = 0,5V$, $I_{OH} = 100\mu A$

Entrades de la porta P1 i la NMI del μP : , $V_{IL} = 1,5V$, $V_{IH} = 3,5V$, $I_{IH} = 1\mu A = -I_{IL}$

Sortida *buffer* B1: $V_{OH} = 4,5V$, $I_{OH} = -16mA$

Full de respostes del PROBLEMA 4

1) Indiqueu el funcionament del circuit de la figura, tot omplint la següent taula. (25%)

P01	Vp	V _O ; V _N ("1" o "0")	Petició de NMI al μP (Sí/ No)	Mode d'operació (Normal/Control μP)
"1"		D1 i D2 NO demanen Interrupció		
		V _O = ; V _N =		
		D1 o D2 SÍ demanen Interrupció		
		V _O = ; V _N =		
"0"		D1 i D2 NO demanen Interrupció		
		V _O = ; V _N =		
		D1 o D2 SÍ demanen Interrupció		
		V _O = ; V _N =		

2) Calculeu el límit mínim de Rp2 per a un bon funcionament de la connexió drenador obert de la porta P1 a l'entrada NMI* del μP. (25%)

3) Igualment amb el valor mínim de R_{p1} per a una correcta operació de la connexió drenador obert entre les sortides IRQ^* de D1 i D2 i l'entrada de la port P1. (25%)

4) Calculeu ara el límit màxim de R_{p1} per aconseguir un marge de soroll $NM_H = 1V$. (25%)