

EXAMEN FINAL

de

CISE IV

20 de Gener del 2000

Temps total: 3,5 hores

Cada exercici tindrà un pes del 25%

Problema 1

Un μP determinat, similar en el seu funcionament al 68000, considera la condició de RESET com una “EXCEPCIÓ”. La figura mostra la part inicial de la corresponent taula de vectors d'excepció.

ADREÇA		Numero de vector
000 _H	Reset (SSP inicial)	0
004 _H	Reset (PC inicial)	
008 _H	Bus error	2
00C _H		3

Sabem que la taula completa conté 256 vectors. Es demana de respondre a les qüestions següents:

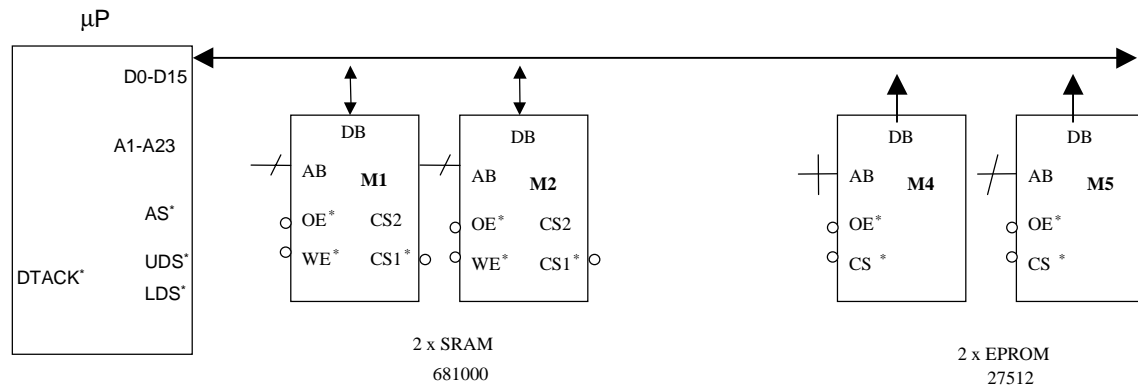
- Quin tamany (en *bytes*) té la taula completa? (1 punt)
- Explicar clarament perquè aquesta taula ha d'anar mapejada sobre memòria del tipus EPROM, dins del sistema global. (1 punt)

Suposem que utilitzem dos chips del tipus 27512 (64K x 8) com a memòria EPROM del sistema. El programa d'inici del sistema, que s'executa després d'un RESET, ocupa 32 K *words*, i es troba gravat a la part d'adreces més altes de la memòria EPROM.

- Quin serà el vector d'excepció que haurem de gravar entre les posicions 004_H i 007_H de la taula? (2 punts)

Per tal de que l'usuari pugui programar el conjunt d'interrupcions, es construeix una segona taula, que anomenarem Taula2, de vectors sobre la memòria RAM. En aquesta Taula2, s'hi col·loquen una sèrie d'instruccions de salt (JMP) a adreces de la pròpia memòria RAM, on s'hi han carregat les respectives subrutines de servei de les interrupcions.

Suposem que la memòria RAM es forma a partir de dos chips del tipus 681000 (128K x 8), i que volem situar a partir de la posició 20000_H del mapa.



- Explicar breument quin és el procés que es posa en marxa en un sistema com el que s'ha presentat per arribar a localitzar la subrutina de servei d'una interrupció d'usuari. (1 punt)
- Dissenyar l'esquema de descodificació més simple possible, a partir de les dades del sistema i del diagrama de la figura. (4 punts)
- Es ben conegut que els µP similar al 68000 utilitzen el senyal DTACK*. Quina és la missió del senyal DTACK*? Com es podria generar dins del sistema anterior? (1 punt)

Problema 2

Es vol dissenyar un sistema basat en el µC V25 que permeti realitzar transferències de dades d'un perifèric d'E/S a una RAM de la manera més optimitzada possible.

Normalment el procés de lectura de dades d'un perifèric té la següent forma:

```
in al,[@ port E/S]      /* Transf. de la dada del perifèric d'E/S a un registre (p.e. al)*/
mov [@ ram],al          /* Transf. de la dada del registre al a la RAM */
```

Aquest procés implica que per a transferir una dada es necessiten dues instruccions: una de lectura del perifèric d'E/S i una altra per escriure la dada a la memòria RAM. Per optimitzar la velocitat de transferència s'ha optat per la solució de la figura 1. L'objectiu d'aquest esquema és que cada cop que el microcontrolador executa una instrucció per a escriure una dada a la RAM, s'escriui de fet una dada provinent del perifèric, en comptes de l'especificada per la instrucció.

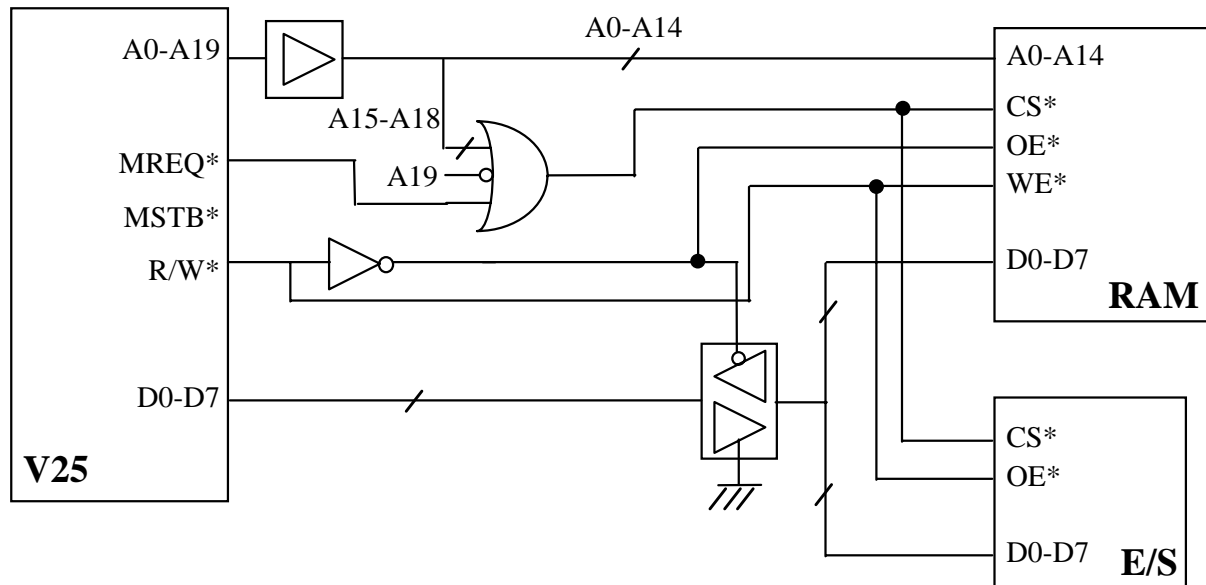


Fig. 1: Esquema del disseny.

Aquest disseny permet realitzar una transferència completa entre el perifèric i la memòria amb una única instrucció del tipus:

mov [@ RAM],00 / a l'adreça @ de la memòria, s'escriu una dada X del perifèric */*

Es demana:

- Marge d'adreces ocupades per la RAM al mapa de memòria. És una descodificació completa? Per què? (1 punt)
- Pot el μC llegir una dada de la RAM? Pot escriure una dada a la RAM? (1 punt)
- El μC , pot llegir una dada directament del perifèric? (transferència de dada des de perifèric a registre intern μC amb una única instrucció). (1 punt)
- Quins son els resultats de l'execució de les següents instruccions ? (1 punt)
mov [@ RAM], 00 mov [@ RAM], 10
- Es demana avaluar si una transferència entre el dispositiu d'E/S i la memòria té una temporització correcta.

A la figura 2 es pot veure el cronograma d'un cicle d'escriptura del μC V25, a la figura 3 el cronograma d'un cicle d'escriptura a la memòria RAM i a la figura 4 el cronograma de lectura del perifèric. Considerar a la figura 3 que la finalització de l'escriptura es dona quan es desactiva CS^* o WE^* .

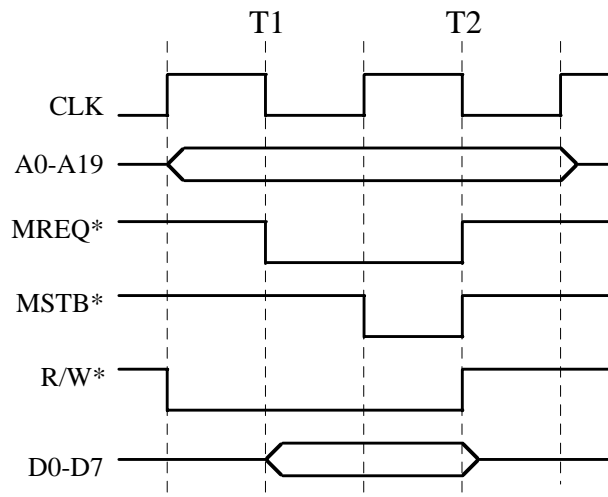


Fig. 2: Cicle d'escriptura del V25.

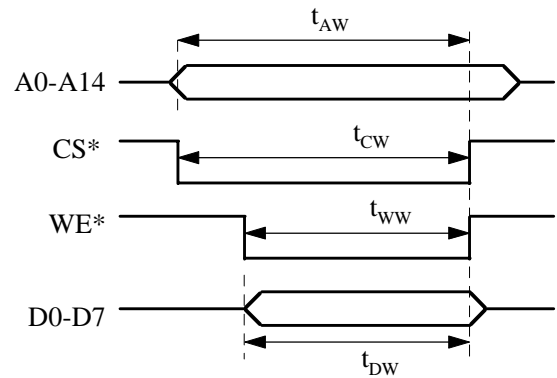


Fig. 3: Cicle d'escriptura RAM.

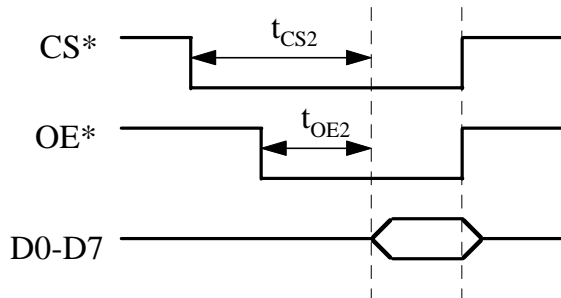


Fig. 4: Cicle de lectura del perifèric.

Temps	Max	Min
t_{AW}	-	200 ns
t_{CW}	-	200 ns
t_{WW}	-	150 ns
t_{DW}	-	150 ns
t_{CS2} (perifèric)	100 ns	-
t_{OE2} (perifèric)	75 ns	-

Taula 1: Temporitzacions RAM i E/S.

NOTA: Freqüència de rellotge (CLK) 4 Mhz. Retard portes i/o buffers: 10 ns

Problema 3

El μP V25 té dos ports sèrie que funcionen, tant per transmissió com per recepció, de manera autònoma. En aquest cas, ens fixarem només en un d'ells i en el mode de recepció.

El diagrama de blocs del port receptor és el de la figura 1:

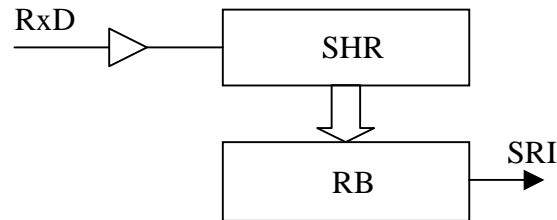


Fig.1

L'entrada RxD és l'entrada sèrie. SHR és un registre de desplaçament que fa la conversió sèrie-paral·lel i finalment RB és el *buffer* de recepció. Aquest sistema fa la conversió de manera autònoma, es a dir sense intervenció del V25, i quan ha acabat de rebre l'últim *bit* de la trama del caràcter (el *bit* de *stop*) transfereix els *bits* de dades a RB. Un cop RB s'ha carregat, es genera un senyal de petició d'interrupció SRI. A efectes pràctics, aquesta transferència i la subseqüent generació de la petició d'interrupció son **instantànies**. Les dades de la transmissió sèrie son:

- Velocitat 19200 baud
- Format:
 - 1 *bit* de *START*
 - 8 *bits* de DADES
 - Sense Paritat
 - 1 *bit* de *STOP*

D'altra banda, el V25 treballa a $f_{CLOCK} = 4$ MHz i amb la **inserció automàtica de dos estats d'espera**. Es demana:

1. Quant temps dura la recepció d'un caràcter? (1 punt)
2. Quant temps dura un cicle màquina del V25? (1 punt)

Com que el *buffer* de recepció RB es d'un sol *byte*, hem de guardar el seu contingut a memòria abans de que arribi el següent caràcter.

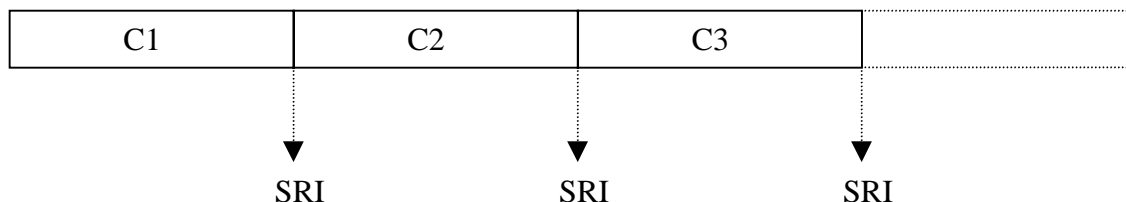


Fig.2

Tal com hem dit i com s'indica a la figura 2, al final de cada transferència es genera una interrupció SRI, per tant, l'operació de guardar el *byte* contingut a RB a la memòria es una part inclosa dins de la RSI (Rutina de Servei de la Interrupció).

Els passos necessaris s'indiquen, junt amb la seva durada en cicles de rellotge del V25 a la següent taula, on **n** és el nombre d'estats d'espera del V25:

TAULA 1

ACCIÓ	T_{CLOCK}
Saltar a la RSI	55+10n
PC Vell (Main) → <i>Stack</i>	
PS → <i>Stack</i>	
PSW → <i>Stack</i>	
(Vector baix) → PC	
(Vector alt) → PS	
RSI	12+n
RB → Memòria	
FINT	
Retorn de la RSI	43+6n
PSW ← <i>Stack</i>	
PS ← <i>Stack</i>	
PC ← <i>Stack</i>	

3. D'acord amb la descripció del funcionament anterior, quin és el temps d'ocupació de la CPU emprat per el processat d'un caràcter? (2 punt)

Si el V25 pot rebre a més de la interrupció del port sèrie SRI una interrupció del *Timer 0* (INTTU0) i a la RSI d'aquesta interrupció **no habilitem les interrupcions**, es demana:

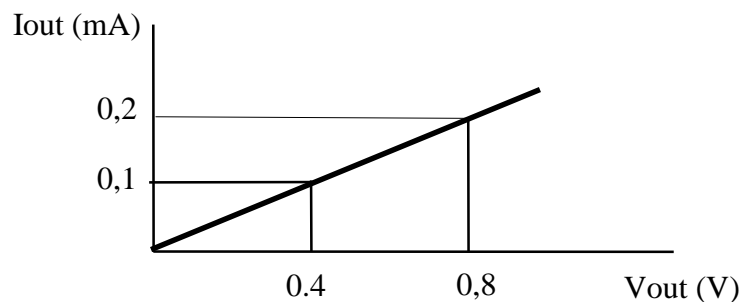
4. Quant temps pot durar com a màxim la RSI del *Timer 0* per no perdre cap caràcter? (considerar que la freqüència d'interrupció del Timer < freqüència de recepció de caràcter) (6 punts)

QÜESTIONS: (25%)

Qüestió 1: Si en una típica connexió en drenador obert (amb una R_p a 5V) a l'entrada de petició d'interrupció d'un μP (INT*: $V_{IL\ max} = 1,5V$, $I_{IL\ max} = -5\ \mu A$) cal acomplir un marge de soroll al nivell baix de 1V, quina serà la R_p límit (màxima o mínima a determinar) adient en els dos casos de perifèrics següents:

- a) Perifèrics amb sortida drenador obert de la qual només es coneix la condició següent de funcionament: per a un corrent de sortida $I_{OL\ max} = 200\ \mu A$ es té una tensió $V_{OL} = 0,8V$.

- b) Perifèrics amb sortida drenador obert amb una característica de sortida:



Qüestió 2: Quin nombre de zones imatge tindrem en la descodificació d'un controlador de perifèric que disposa de 24 registres de lectura i 8 lectura/escriptura—tots de 32 bits— en un sistema μP (amb BD de 8bits) que presenta mapa de memòria total de 1Mbyte, si la selecció d'aquest controlador es realitza només amb una sortida d'un descodificador de 4:16, les entrades del qual estan connectades directament al μP ? De quina capacitat serien aquestes zones imatge?

Qüestió 3: Tot sabent que el SS (*Stack Segment*) ja ha estat fixat anteriorment, que la subrutina d'etiqueta RETARD és al mateix segment que el programa i que les adreces de memòria corresponen a paraules de 8 bits (*bytes*), a quina adreça apuntarà el SP (*Stack Pointer*) del V25 després de la següent part d'un programa en *Assembler* ?

```
MOV SP, 0D00H
PUSH AW
CALL RETARD
DEC SP
```

BRK 03H

Notes: - Tots els registres del V25 que entren en joc en aquesta rutina són de 16 bits.

CALL	near-proc	$SP \leftarrow SP - 2$ $(SP + 1, SP) \leftarrow PC$ $PC \leftarrow PC + disp$
BRK	3	$TA \leftarrow (00DH, 00CH)$ $TC \leftarrow (00FH, 00EH)$ $SP \leftarrow SP - 2, (SP + 1, SP) \leftarrow PSW$ $IE \leftarrow 0, BRK \leftarrow 0$ $SP \leftarrow SP - 2, (SP + 1, SP) \leftarrow PS$ $PS \leftarrow TC$ $SP \leftarrow SP - 2, (SP + 1, SP) \leftarrow PC$ $PC \leftarrow TA$

La execució de la instrucció BRK 03H produeix una interrupció de manera que, després de guardar la informació necessària, i el PSW (Program Status Word), l'execució continua en una adreça concreta d'un segment diferent al del programa.

PUSH	mem16	$SP \leftarrow SP - 2$ $(SP + 1, SP) \leftarrow (mem16 + 1, mem16)$
	reg16	$SP \leftarrow SP - 2$
	sreg	$(SP + 1, SP) \leftarrow src$
	PSW	

Qüestió 4: Escrigueu els comentaris breus que expliquin l'assignació de les parts del mapa de memòria que es fa per a la placa microprocessadora de Pràctiques en un fitxer de configuració del tipus *.rt , i que a continuació es recorda:

```
map 0x00000 to 0x00fff as reserved /* */
map 0x01000 to 0x0ffff as rdwr /* */
map 0x10000 to 0x1ffff as ronly /* */
map 0x20000 to 0xeffff as reserved /* */
map 0xf0000 to 0xfffff as reserved /* */
```

- De quin programa, de l'entorn del *software* de desenvolupament d'aplicacions de l'equip de pràctiques, és fitxer d'entrada el *.rt ? Per què és necessari aquest fitxer ?

- Quin altre tipus de fitxer d'entrada del programa anterior hem de tenir per tal d'aconseguir un fitxer executable a la placa de Pràctiques ?