

Nom

Professors: Clemente Pol, Joan Cabestany, Sergi Bermejo

Durada de la prova: 3 hores

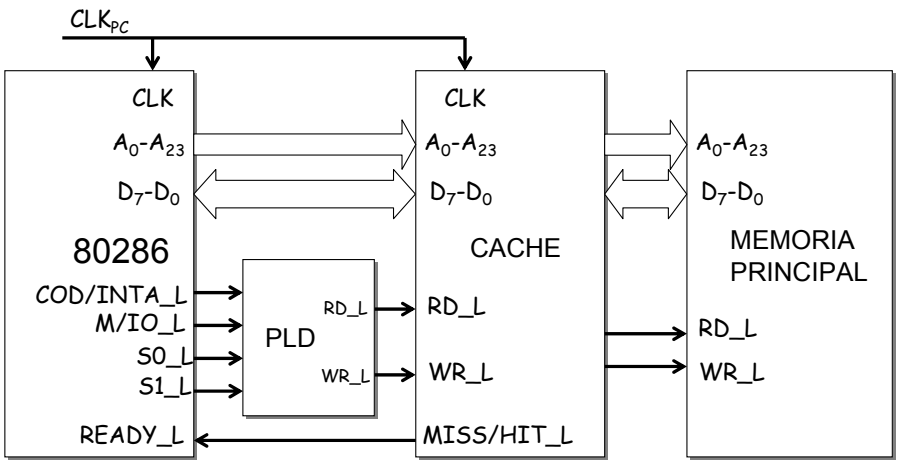
Data notes provisionals: 2 de Juliol de 2007 (Matí)

Període d'al·legacions: 2 de Juliol (Tarda) al 3 de Juliol (Matí) de 2007

Data notes revisades: 4 de Juliol

PROBLEMA 1 (33.33%)

En un PC-AT basat en el Intel 80286 es disposa d'un sistema de memòria a dos nivells (cache+ memòria principal). El 80286 realitza el cicles de lectura i escriptura a memòria únicament a la cache. Aquesta memòria disposa d'una còpia actualitzada d'una petita porció de la memòria principal. Quan el 80286 realitza un cicle de lectura o escriptura a una adreça del mapa de memòria que la cache no té emmagatzemada, aquesta genera un cicle de MISS on manté a la CPU en espera fins que obté una còpia d'aquesta part de la memòria principal. En cas contrari, la cache genera un cicle de HIT on la CPU accedeix directament a la dada que està guardada a la cache sense necessitat d'inserir estats d'espera. Per indicar a la CPU la necessitat o no d'inserir aquests estats d'espera en funció de la disponibilitat interna de la dada, la cache genera una senyal anomenada MISS/HIT_L que val 0 en un cicle de HIT i 1 en un cicle de MISS. MISS/HIT_L es connecta a la senyal d'entrada READY_L del 80286 que quan val 0 indica al microprocessador que no cal inserir estats d'espera i quan val 1 fa que el 80286 vagi allargant el cicle un període més de la senyal de clock fins que aquesta senyal passa a zero.



- DISSENY PLD (2p):** Obtenir les funcions lògiques *simplificades* de les senyals de sortida del PLD RD_L i WR_L si han de valer 0 en cas de que el 80286 generi un *cicle de lectura de dades o instruccions i d'escriptura de dades* respectivament i 1 en cas contrari, en funció de les variables de control del 80286 COD/INTA_L, M/IO_L, S1_L i S0_L (p.ex. $RD_L = COD/INTA_L + \overline{S1_L}$). Justifica el disseny proposat a partir de la taula adjunta. (NOTA: "Bus cycle initiated"= cicle de bus iniciat, "will not occur"= no succeirà, "none"=cap)

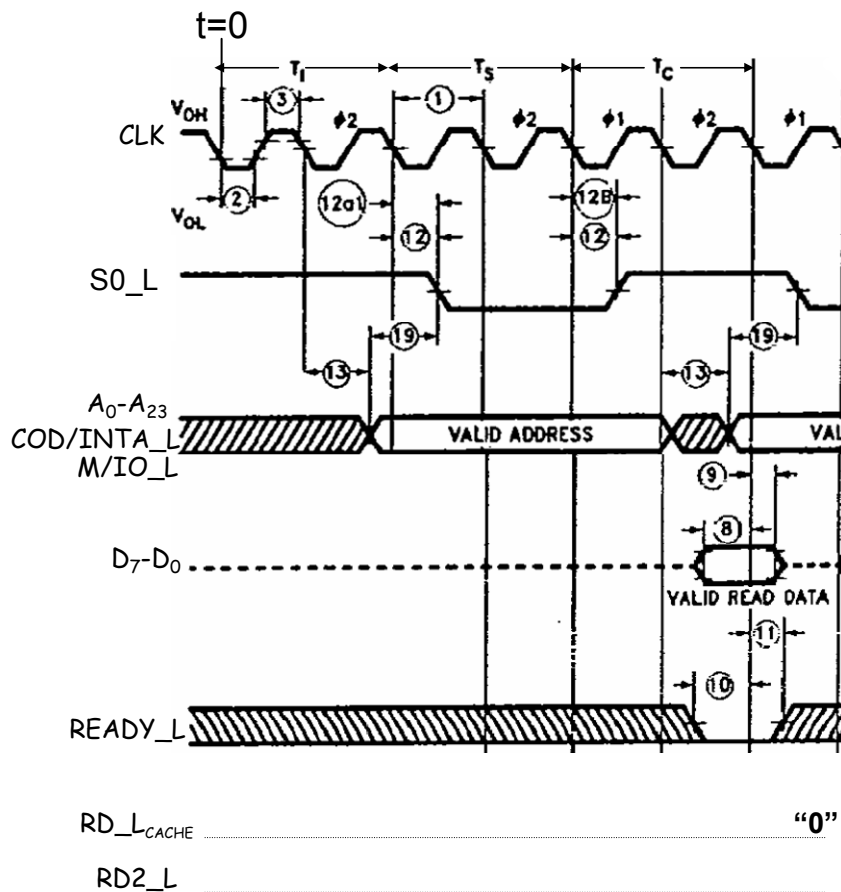
80286 Bus Cycle Status Definition				
COD/INTA_L	M/IO_L	S1_L	S0_L	Bus Cycle Initiated
0 (LOW)	0	0	0	Interrupt acknowledge
0	0	0	1	Will not occur
0	0	1	0	Will not occur
0	0	1	1	None;
0	1	0	0	None;
0	1	0	1	Memory data read
0	1	1	0	Memory data write
0	1	1	1	None;
1 (HIGH)	0	0	0	Will not occur
1	0	0	1	I/O read
1	0	1	0	I/O write
1	0	1	1	None;
1	1	0	0	Will not occur
1	1	0	1	Memory instruction read
1	1	1	0	Will not occur
1	1	1	1	None;

RD_L =

WR_L =

Justificació:

- CICLE DE BUS DE LECTURA DEL 80286 (1p):** Segons el cronograma adjunt, el **cicle de bus de lectura** del microprocessador que comença en l'instant t=0, hi han únicament tres cicles màquina: T₁ que indica que no hi ha cap transferència de dades en progrés o demanada, T_s que activa els senyals de control S0_L-S1_L i on el bus d'adreces està disponible, i T_c. Es demana determinar justificadament la funcionalitat del cicle de bus T_c en un cicle de lectura a partir de la figura adjunta on es mostra un cicle de lectura sense estats d'espera. En cas de que en el cicle adjunt el senyal READY_L valgués 1 en lloc de 0 en T_c, que farà presumiblement el 80286 amb el seu cicle de bus?



Symbol	Parameter	8 MHz		Unit
		-8 Min	-8 Max	
1	System Clock (CLK) Period	62	250	ns
2	System Clock (CLK) LOW Time	15	225	ns
3	System Clock (CLK) HIGH Time	25	235	ns
17	System Clock (CLK) Rise Time		10	ns
18	System Clock (CLK) Fall Time		10	ns
4	Asynch. Inputs Setup Time	20		ns
5	Asynch. Inputs Hold Time	20		ns
6	RESET Setup Time	28		ns
7	RESET Hold Time	5		ns
8	Read Data Setup Time	10		ns
9	Read Data Hold Time	8		ns
10	READY Setup Time	38		ns
11	READY Hold Time	25		ns
12	Status/PEACK Valid Delay	1	40	ns
12a1	Status Active Delay	—	—	ns
12a2	PEACK Active Delay	—	—	ns
12b	Status/PEACK Inactive Delay	—	—	ns
13	Address Valid Delay	1	60	ns
14	Write Data Valid Delay	0	50	ns
15	Address/Status/Data Float Delay	0	50	ns
16	HLDA Valid Delay	0	50	ns
19	Address Valid To Status Valid Setup Time	38		ns

3. **ANÀLISIS TEMPORAL DEL 80286 (2p):** a) marcar a la figura adjunta l'instant de captura de la dada en el cicle de lectura justificant la solució;
Justificació instant captura de dades:

b) calcular **en funció dels paràmetres temporals del 80286** que surten a la figura i a la taula adjuntes, el temps com a màxim (des de l'inici del cicle de bus, marcat al cronograma de dalt com a $t=0$) que la cache disposa per col·locar la dada a llegir en el bus de dades.

(p.ex. $t=4 \times (1) + (2)$).

4. **DISSENY DE MISS/HIT DE LA CACHE (2p):** determinar justificadament quines són les restriccions temporals que ha de complir MISS/HIT de la cache quan aquesta ha de valer zero, d'acord amb la seva funcionalitat i l'interconnexió amb el 80286.

5. **CICLE DE LECTURA DE LA CACHE (3p):** Atesos que els bus d'adreces i el senyal a la sortida del PLD RD_L desapareixen abans de finalitzar el cicle de lectura la cache les ha de capturar internament per tal de garantir el seu correcte funcionament. En el cas del senyal d'entrada RD_L de la cache un cop passa a zero es captura internament al senyal $RD2_L$ amb un retard $tp2$. (També en aquest instant mateix es captura el bus d'adreces extern). Si el senyal intern $RD2_L$ es manté a zero durant 4 períodes del rellotge CLK per després passar a 1 (independentment del valor de RD_L):

a) determinar gràficament a la figura adjunta: i) RD_L a la entrada de la cache sabent que $RD_L_CACHE=f(COD/INTA_L, M/IO_L, S1_L, S0_L)$ i que el retard del PLD és tp ; ii) el senyal intern $RD2_L$

b) si la cache genera un cicle de HIT, calcular (**en funció dels paràmetres temporals del 80286**) el temps màxim que disposa la cache per generar un zero a la senyal $MISS/HIT_L$ a partir del l' instant en que comença a la cache (i no al microprocessador) un cicle de lectura;

c) si el senyal intern $RD2_L$ es connecta al senyal OE_L (output enable) d'una memòria interna dins de la cache i el bus de dades d'aquesta memòria va connectat directament al bus de dades extern de la cache, es demana: calcular (**en funció dels paràmetres temporals del 80286**) el temps de accés màxim des de OE d'aquesta memòria per tal de que la dada pugui ser llegida correctament pel 80286 durant un cicle de HIT.



CIRCUITS I SISTEMES ELECTRÒNICS IV

Assignatura

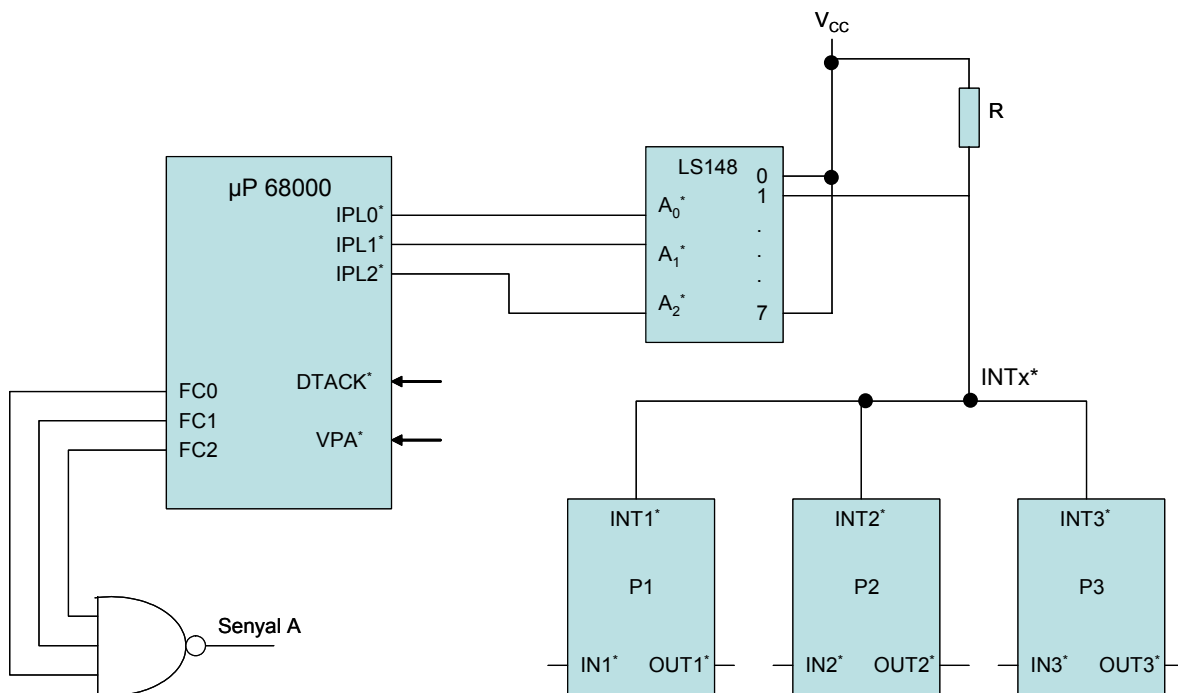
Dimecres, 27 de juny de 2007

Data d'exàmen

Nom

PROBLEMA 2 (33.33%)

A la figura següent apareix un microprocessador 68000, juntament amb 3 perifèrics d'entrada/sortida (P1, P2 i P3), capaços tots ells de sol·licitar una interrupció al microprocessador. La lògica addicional mostrada es correspon a una part del que és necessari per poder sol·licitar la corresponent interrupció, tenint en compte que les respectives sortides dels perifèrics tenen una configuració de col·lector obert (INT1*, INT2*, INT3*).



Si tenim present que:

- Quan el microprocessador 68000 reconeix una interrupció, els senyals de sortida FC0 – FC2 agafen el valor 1
- Els senyals de petició d'interrupció IPL2* (MSB)-IPL0* son actius a nivell baix, i per tant $IPL2^* = IPL1^* = IPL0^* = 1$ vol dir que no hi ha petició. Mentre que $IPL2^* = IPL1^* = IPL0^* = 0$ voldrà dir que hi ha una petició de la màxima prioritat
- El circuit LS148 es un codificador 8:3, amb la taula de veritat adjunta, i on suposarem que tots els senyals de "enable" necessaris estan actius

INPUTS									OUTPUTS				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	L	L	H
L	X	X	X	L	H	H	H	H	H	L	H	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

- La diferencia entre una interrupció vectoritzada i una autovectoritzada es la activació del senyal d'entrada al microprocessador DTACK* o bé VPA* respectivament. En el primer cas, el perifèric ha de ser capaç de donar la informació del vector a través del bus de dades. En el segon cas, els diferents nivells d'interrupció es determinen a partir del valor de les entrades IPL0* - IPL2*.

Respondre breument a les qüestions següents:

- (2,5p)** Quin és el nivell de prioritat de la interrupció sol·licitada pels perifèrics del esquema presentat? Perquè?
- (2,5p)** Volem gestionar la interrupció com autovectoritzada. Generar adequadament el necessari senyal VPA*. Raonar-ho.
- (2,5p)** Considerant que el microprocessador 68000 utilitza la memòria per accedir a la subrutina de servei a la interrupció d'acord amb la informació subministrada,

Indicar clarament a quina posició de la memòria de programa saltarà el 68000 per tal de executar la rutina de servei a la interrupció, segons l'esquema proposat i la informació de la taula adjunta.

- (2,5p)** Indicar clarament el connexionat del senyal A (indicat a l'esquema), amb els respectius senyals INx* i OUTx*, i d'aquests entre ells, per tal de configurar un esquema de prioritat geogràfica ("Daisy – Chain") entre els tres perifèrics, de tal manera que la prioritat relativa sigui, per aquest ordre: P2, P1, P3

SOLUCIONS:

1)

2)

3)

4)

Vectors Numbers		Address		Space ⁶	Assignment
Hex	Decimal	Dec	Hex		
0	0	0	000	SP	Reset: Initial SSP ²
1	1	4	004	SP	Reset: Initial PC ²
2	2	8	008	SD	Bus Error
3	3	12	00C	SD	Address Error
4	4	16	010	SD	Illegal Instruction
5	5	20	014	SD	Zero Divide
6	6	24	018	SD	CHK Instruction
7	7	28	01C	SD	TRAPV Instruction
8	8	32	020	SD	Privilege Violation
9	9	36	024	SD	Trace
A	10	40	028	SD	Line 1010 Emulator
B	11	44	02C	SD	Line 1111 Emulator
C	12 ¹	48	030	SD	(Unassigned, Reserved)
D	13 ¹	52	034	SD	(Unassigned, Reserved)
E	14	56	038	SD	Format Error ⁵
F	15	60	03C	SD	Uninitialized Interrupt Vector
10–17	16–23 ¹	64	040	SD	(Unassigned, Reserved)
		92	05C		—
18	24	96	060	SD	Spurious Interrupt ³
19	25	100	064	SD	Level 1 Interrupt Autovector
1A	26	104	068	SD	Level 2 Interrupt Autovector
1B	27	108	06C	SD	Level 3 Interrupt Autovector
1C	28	112	070	SD	Level 4 Interrupt Autovector
1D	29	116	074	SD	Level 5 Interrupt Autovector
1E	30	120	078	SD	Level 6 Interrupt Autovector
1F	31	124	07C	SD	Level 7 Interrupt Autovector
20–2F	32–47	128	080	SD	TRAP Instruction Vectors ⁴
		188	0BC		—
30–3F	48–63 ¹	192	0C0	SD	(Unassigned, Reserved)
		255	0FF		—
40–FF	64–255	256	100	SD	User Interrupt Vectors
		1020	3FC		—



PROBLEMA 3 (33.33%)

Totes les següents qüestions es refereixen al circuit del problema 2, amb $V_{cc} = 5V$.

1. Si a la connexió de les entrades del codificador LS148 que van a l'alimentació V_{cc} s'afegeix un resistència en sèrie R_s de protecció, i tot sabent que les característiques de les esmentades entrades són: $V_{IH} = 3,5V$, $I_{IH} = 10\mu A = -I_{IL}$, $V_{IL} = 1,5V$, quin serà el marge de valors vàlids per aquesta resistència si es té com a requisit uns marges de soroll: $NMH = NML = 1V$?

2. Calculeu el valor límit de la R per a una correcta transmissió d'un nivell baix de tensió ("0" lògic). Dades: $I_{OH} \sim 0$, $V_{OL} = 0,5V$, $I_{OL} = 15mA$ per a les sortides dels perifèrics en col·lector obert P1, P2 i P3: V_{IL} , I_{IL} i NML del primer apartat d'aquest problema per a les entrades del codificador LS148.

3. Tenint en compte que el μ P 68000 té un bus d'adreces de 23 bits (A1 – A23), 3 senyals de “Strobe”: AS*, UDS* i LDS*, i un bus de dades de 16 bits, indiqueu en el seu mapa de memòria en **bytes** (cada adreça assenyalava un contingut d'informació d'un byte) les adreces inicial i final de les següents zones d'aquest mapa: a) una zona de 64 Kbytes a l'inici (adreces baixes) del mapa; b) una zona de 16 Kbytes a la fi (adreces altes) del mapa; c) una zona de 4KB a partir de la meitat del mapa.

4. Ara es demana fer: a) el circuit de descodificació per a la zona de 4Kbytes de l'apartat anterior, considerant-la com un sol bloc amb una entrada de selecció activa a nivell baix (CS_{zm}), amb la descodificació més incompleta possible, amb el circuit més senzill possible, sense interferir (seleccionar) amb la zona inicial de 64 Kbytes ni amb la zona final de 16 Kbytes;

b) Fer de nou l'apartat a) amb descodificació completa. Per aquests circuits es disposa **només** de portes OR i AND de 4 entrades i d'inversors. Quantes zones imatge de 4KB tindrem?

RESOLUCIÓ PROBLEMA 1:

1. DISSENY PLD (2p):

$$RD \quad L = \overline{M / IO} \quad L + S_1 \quad L + S_0 \quad L; \quad WR \quad L = \overline{M / IO} \quad L + S_0 \quad L + S_1 \quad L$$

Justificació: Mitjançant un mapa de Karnaugh es podria arribar a una solució simplificada tenint present que les combinacions que diu “will not occur” generen indeterminacions (X) a les variables a dissenyar. Heurísticament es pot arribar a la mateixa solució si ens adonem que els casos d’interès (lectura de dades o instruccions i escriptura de dades + la combinació no.14 que diu que no pot succeir), la variable COD/INTA_L val tant 0 ó 1 i per tant no es una variable determinant pel càlcul (es a dir, es simplifica).

COD/INTA_L	M/IO_L	S_L	S_O_L	Bus Cycle Initiated
0 (LOW)	0	0	0	Interrupt acknowledge
0	0	0	1	Will not occur
0	0	1	0	Will not occur
0	0	1	1	None;
0	1	0	0	None;
0	1	0	1	Memory data read
0	1	1	0	Memory data write
0	1	1	1	None;
1 (HIGH)	0	0	0	Will not occur
1	0	0	1	I/O read
1	0	1	0	I/O write
1	0	1	1	None;
1	1	0	0	Will not occur
1	1	0	1	Memory instruction read
1	1	1	0	Will not occur
1	1	1	1	None;

2. **CICLES DE BUS (1p):** A la figura es pot veure que a Tc es realitza la captura de la dada pel bus de dades ja que la senyal READY_L=0. Si en el cicle adjunt la senyal READY_L valgués 1, el 80286 inseriria repetidament cicles Tc fins que passés a zero.

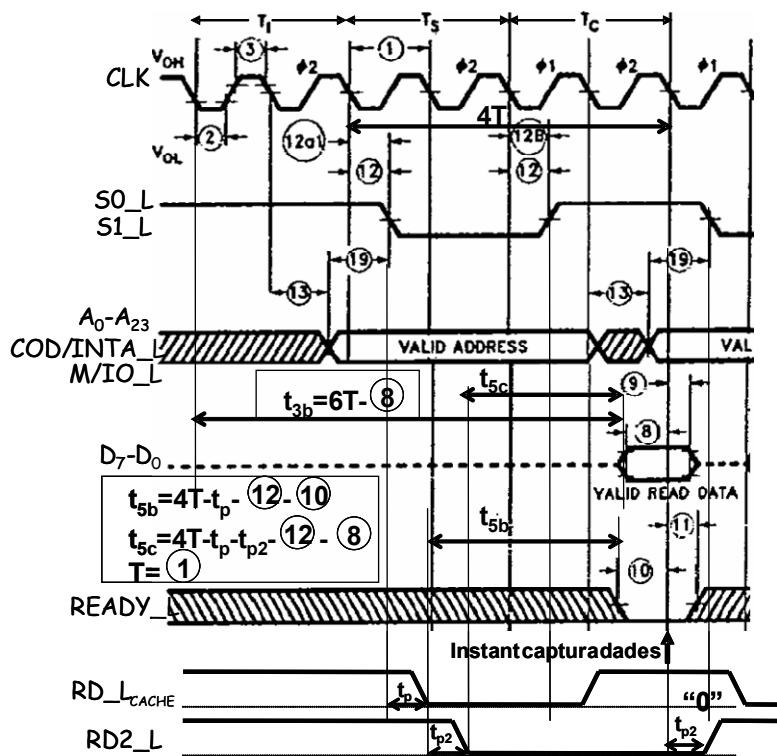
3. ANÀLISIS TEMPORAL DEL 80286 (2p):

a) **Justificació instant captura de dades:**

Aquest es produeixi dins de l'últim cicla màquina Tc i ha de coincidir amb un flanc ascendent o descendent de la senyal de clk ja que el 80286 és un sistema seqüencial síncron i, per tant, únicament pot capturar les variables d'entrada en aquest instants. Tanmateix al voltant d'aquest punt hi surten les especificacions 8 i 9 que indiquen temps de set-up i hold, paràmetres sempre al voltant un punt de captura, en el bus de dades.

4. **DISSENY DE LA SENYAL MISS/HIT DE LA CACHE (2p):** Les restriccions temporals que ha de complir la senyal MISS/HIT de la cache quan aquesta ha de valer zero són justament els temps de set-up i hold de la senyal de READY_L (paràmetres 10 i 11), atesos que MIST/HIT_L està connectat a aquest senyal.

5. **CICLE DE LECTURA DE LA CACHE (3p):** veure figura adjunta



RESOLUCIÓ PROBLEMA 2

1.-

La interrupció es sol·licita a través de l'activació de les entrades IPL0* - IPL2*, que com es pot observar a l'esquema, provenen de les sortides del codificador LS148.

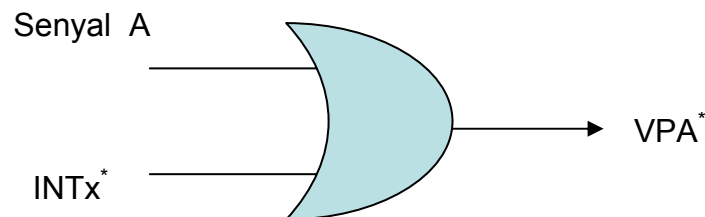
Tal com es diu a l'enunciat, suposarem que tots els "Enable" son actius, i per tant, segons les connexions, les sortides del codificador son:

$$\begin{array}{l} A_0 = 0 \\ A_1 = 1 \\ A_2 = 1 \end{array} \quad \rightarrow \text{Nivell d'interrupció} = 1$$

2.-

Si volem gestionar la interrupció com autovectoritzada, serà necessari que s'activi el senyal VPA* en el procés de reconeixement.

- A. Una possible forma de fer-ho es **Senyal A = VPA***
- B. Una alternativa es considerar el propi senyal A (que es actiu quan hi ha reconeixement d'interrupció) i la petició d'interrupció (INTx*) com entrades d'una funció OR



3.-

D'acord amb la taula ajunta a l'enunciat, al tractar-se d'una interrupció autovectoritzada de Nivell 1, la **posició de la memòria de programa on hi ha la rutina de servei serà aquella que figuri com a contingut de les posicions 64 – 67_H de la memòria.**

Posició rutina servei = [64 – 67_H]

4.-

El Senyal A s'activa quan hi ha un reconeixement d'interrupció. Això ens pot permetre de trobar el dispositiu perifèric que ha sol·licitat la interrupció dins del mateix nivell de prioritat (el nivell 1).

Es pot organitzar una "Daisy Chain" de la forma següent:

Senyal \rightarrow IN2*
OUT2* \rightarrow IN1*
OUT1* \rightarrow IN3*

Això ens dona una prioritat P2 – P1 – P3 dins del Nivell 1 d'interrupció.

PROBLEMA 3

RESOLUCIÓ

1. **(2p.)** Per tal d'assegurar el "1" lògic en aquestes entrades: $R_s \leq (V_{cc} - (V_{IH} + NMH))/7 I_{IH} = 0,5V/70\mu A = 7,14 \text{ K}\Omega$

2. **(2p.)** Tenint en compte que $V_{OL} = 0,5V = V_{IL} - NML = 1,5V - 1V = 0,5V$; s'acompleix el requisit de NML

$$R \geq (V_{cc} - V_{OL})/(I_{OL} - I_{IL}) \sim 4,5V/15mA = 300 \Omega$$

3. **(2p.)** Mapa en bytes:

zona d'inici (64KB): $\phi\phi\phi\phi\phi\phi - \phi\phi\phi\phi\phi\phi$; zona mitja (4KB): $8\phi\phi\phi\phi\phi\phi - 8\phi\phi\phi\phi\phi\phi$; zona final (16KB): $FFC\phi\phi\phi - FFFF$

4. a) **(2,5p.)** Descodificació més incompleta i senzilla de la zona de 4KB (CSzm*) sense seleccionar zona inicial i final.

Tot i entenent com a descodificació més incompleta i senzilla la que utilitzi menys línies d'adreces per a la descodificació i, per tant, més zones imatge en general.

Tenint en compte que: $A_{23} - A_{16} = 0$ ens dóna la selecció única de la zona inicial, i que

$A_{23} - A_{14} = 1$ ens dóna la selecció única de la zona final, i que

$A_{23} = 1$ i $A_{22} - A_{12} = 0$ és una de les zones imatge que hem de seleccionar

Seria prou, doncs, amb assegurar la NO selecció de les zones inicial i final amb 1 bit d'adreça que no compleixi la seva selecció, però que SÍ assegurés la selecció de la nostra zona mitja de 4KB com a una de les zones imatge resultants. Així,

$A_{23} = 1$ per a la NO selecció de la zona inicial (és el únic bit que pot ser ja que qualsevol altre bit de $A_{22} - A_{16}$ a 1 no deixaria seleccionar la nostra zona imatge de 4KB.

$A_{22} = 0$ per a la NO selecció de la zona final (valdria qualsevol bit de $A_{22} - A_{14}$)

$AS^* = 0$ valida el valor de les adreces (no incloem la connexió d'UDS* i LDS* ja que no sabem si la zones tenen 8 o 16 bits de bus de dades)

Per tant, amb A_x con a qualsevol bit de $A_{22} - A_{14}$,

$$CSzm^* = (/A_{23} + A_x + AS^* + 0) \quad , \text{ o bé, } \quad CSzm^* = (A_{23} \cdot A_x \cdot AS^* \cdot 1)$$

Nota: El / en A_{23} o A_x o AS^* implica un inversor i els parèntesis indiquen les entrades de la porta OR o AND de 4 entrades emprades, amb les 2 entrades sobrants fixades a 0 o a 1.

El **nombre de zones imatge** serà: $2^{(12-2)} = 2^{10} = 1024$, ja que només utilitzem 2 bits d'adreces dels 12 que disposem per a la descodificació completa de la zona de 4KB.

b) **(1,5p.)** Descodificació completa de la zona de 4KB (CSzm*).

Com hem senyalat al subapartat anterior: $A_{23} = 1$ i $A_{22} - A_{12} = 0$ per a la selecció única de la zona de 4 KB, per tant: (**sense zones imatge**, com correspon a una descodificació completa)

$$CSzm^* = (/A_{23} + A_{22} + A_{21} + A_{20}) + (A_{19} + A_{18} + A_{17} + A_{16}) + (A_{15} + A_{14} + A_{13} + A_{12}) + AS^*$$

Nota: El / en A_{23} implica un inversor i els parèntesis indiquen les entrades de les 4 portes OR de 4 entrades emprades