

## CISE IV – Control (Quadrimestre de Primavera 2008)

**PROBLEMA 1:** (6 punts): Hem connectat una RAM IS61LV25616-10 a un  $\mu\text{C}$  Philips LPC2292, basat en el  $\mu\text{P}$  ARM7TDMI. Els senyals del microcontrolador són:

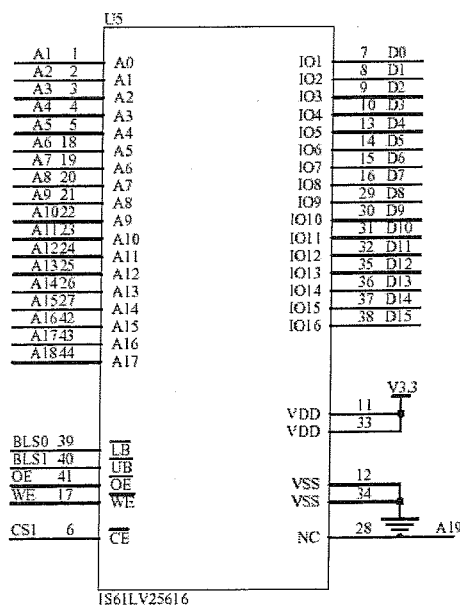
Pin Name	Type	Pin Description
D[31:0]	Input/Output	External memory data lines.
A[23:0]	Output	External memory address lines.
OE	Output	Low-active Output Enable signal.
BLS[3:0]	Output	Low-active Byte Lane Select signals.
WE	Output	Low-active Write Enable signal.
CS[3:0]	Output	Low-active Chip Select signals.

Table 6: External Memory Controller Pin Description

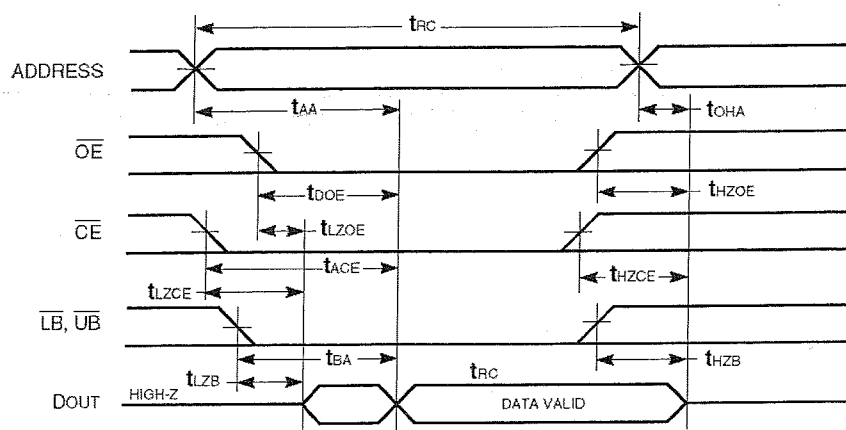
Hem configurat el  $\mu\text{C}$  per tal que faci accessos de 8 o 16 bits a aquesta memòria. És a dir, quan el microcontrolador faci un accés només activarà:

- A1-A23: Bus d'adreces (A0 no pren cap valor significatiu)
- D0:15: Bus de dades de 16 bits (la part D16:D31 NO es fa servir)
- OE\*: Output enable
- WE\*: Write enable
- BLS0\*: Senyal de validació dels bits D0-D7 del bus de dades
- BLS1\*: Senyal de validació dels bits D8-D15 del bus de dades
- CS1\*: Senyal d'habilitació de memòria, generat pel LPC2292, per connectar directament al CS\* d'una RAM. S'activarà per qualsevol accés al rang d'adreces: 0x8100 0000-0x81FF FFFF.

Els senyals amb "\*" són actius a nivell baix. L'esquema de connexions que hem fet és:

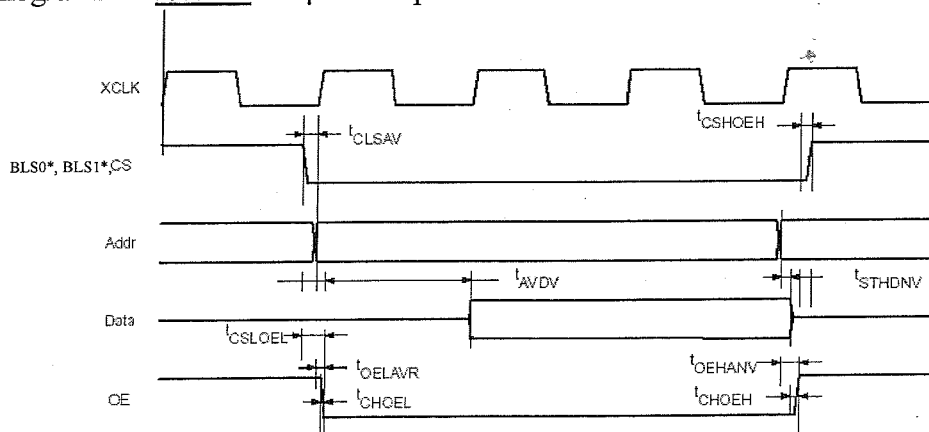


Els senyals LB\* i UB\* de la RAM són senyals d'habilitació de la part baixa i alta respectivament del bus de dades (D0:7 i D8:15). La temporització de la RAM és:



Symbol	Parameter	Min.	Max.
t <sub>RC</sub>	Read Cycle Time	10	—
t <sub>AA</sub>	Address Access Time	—	10
t <sub>OHA</sub>	Output Hold Time	3	—
t <sub>ACE</sub>	CE Access Time	—	10
t <sub>DOE</sub>	OE Access Time	—	4
t <sub>HZOE</sub> <sup>(2)</sup>	OE to High-Z Output	—	4
t <sub>LZOE</sub> <sup>(2)</sup>	OE to Low-Z Output	0	—
t <sub>HZCE</sub> <sup>(2)</sup>	CE to High-Z Output	0	4
t <sub>LZCE</sub> <sup>(2)</sup>	CE to Low-Z Output	3	—
t <sub>BA</sub>	LB, UB Access Time	—	4

El cronograma de **lectura** del µC Philips LPC2292 és:



El datasheet del microcontrolador ens diu que entre que s'ha activat l'últim d'aquests senyals:

Adreces  
CS1\*,  
BLS0\* i/o BLS1\*  
OE\*

i hem de posar la dada al bus de dades, disposem d'un temps màxim  $t_{AVDV} = t_{CYC} * (2 + WST1) - 20$  ns, en lectura.  $t_{CYC} = 20\text{ns} = (50\text{MHz})^{-1}$ , i WST1 és el nombre d'estats d'espera que volem.

Es demana:

- a) (1 punt) Quina capacitat, en bytes, té la memòria ?

$$2^{18} \times 2 = 512 \text{ Kbytes}$$

- b) (2 punts) Tenint en compte que el senyal CS1\*, connectat al CS\* de la RAM, s'activarà per qualsevol accés al rang d'adreces: 0x8100 0000 – 0x81FF FFFF, digueu el nombre de zones imatge, si n'hi ha, de la memòria.

A19, A20, A21, A22, A23

A23 A9

$$2^5 - 32 = 1$$

- c) (3 punts) Calculeu el nombre mínim de cicles d'espera per accedir a la RAM en lectura.

$$t_{AVD} = T_{CYC} \cdot (2 + WST1) - 20 \text{ ns} \quad \begin{matrix} \uparrow \\ T_{CYC} = 20 \text{ ns} \end{matrix} = 20 \text{ ns} + WST1 \cdot 20 \text{ ns} \geq 10 \text{ ns} \Rightarrow \boxed{WST1 = 0}$$

**PROBLEMA 2:** (4 punts) Dissenyeu un sistema basat en el  $\mu\text{P}$  i80486, que tingui situats els xips de RAM de la figura en un sol bloc a partir de l'adreça: A0000000. Poden haver-hi zones imatge situades a adreces més altes, però sempre garantint que el rang 00000000-9FFFFFFF no estigui ocupat per aquests xips.

