

Apellidos: . . . . . Nombre: . . . . .

[illegible][illegible]

C	F	Afirmación
		Para ejecutar un programa es imprescindible que esté completamente cargado en memoria.
		Siempre que se produce un fallo de página, se ha producido antes un fallo de TLB.
		Para acceder a los registros de E/S NO-mapeados en memoria es necesario utilizar instrucciones especiales de Lenguaje Máquina.
		Cuando el DMA accede a Memoria Principal lo ha de hacer utilizando direcciones físicas.
		Los buses serie pueden funcionar a mayor frecuencia que un bus paralelo.
		El bus IDE es un bus de nivel 1.
		Un bus PCI de 64 bits a 66.6 MHz tiene un ancho de banda de 499 MB/s.
		El bus SATA es un bus serie.

C	F	Afirmación
		El segundo nivel de redundancia de un RAID 6 está basado en códigos hamming.
		Con el mismo número total de discos, un sistema con RAID 2 tiene más capacidad útil que otro sistema con RAID 3.

### Problema 4 MV (2.5 puntos)

Dado el siguiente código escrito en ensamblador del IA32:

```

movl $0, %esi
for: cmpl $128*1024, %esi
     jge end
(a)  movl (,%esi,8), %eax
(b)  movl %eax, 256*1024(,%esi,4) ; El '4' NO es un ERROR
(c)  addl %eax, 1024(,%esi,8)
     addl $128,%esi
     jmp for
end:

```

Suponiendo que la memoria utiliza **páginas de tamaño 4Kbytes** y que utilizamos un **TLB de 8 entradas (reemplazo LRU)**, responde a las siguientes preguntas:

- 1) Para cada uno de los accesos (etiquetas a, b, c), indica a qué página de memoria se accede en cada una de las 16 primeras iteraciones.

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
a																
b																
c																

- 2) Calcula la cantidad de **aciertos y fallos de TLB**, en todo el bucle, para la

	aciertos	fallos
referencia (a)		
referencia (b)		
referencia (c)		

Suponiendo que la memoria utiliza **páginas de tamaño 8Kbytes** y que utilizamos un **TLB de 4 entradas (reemplazo LRU)**, responde a las siguientes preguntas:

- 3) Para cada uno de los accesos (etiquetas a, b, c), indica a qué página de memoria se accede en cada una de las 16 primeras iteraciones.

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
a																
b																
c																

- 4) Calcula la cantidad de **aciertos y fallos de TLB**, en todo el bucle, para la

	aciertos	fallos
referencia (a)		
referencia (b)		
referencia (c)		

## Problema 5 MV (2.5 punts)

Tenim un processador amb memòria virtual basada en paginació. El sistema de memòria virtual te les següents característiques:

- 21 bits d'adreça lògica
- 20 bits d'adreça física
- mida de pàgina 256 Kbytes
- reemplaçament LRU

El contingut de la taula de pàgines es mostra a la figura 1, on VPN = número de pàgina lògica, P = bit de presència, M = pàgina modificada i PPN = número de pàgina física. El contingut de la memòria física es mostra a la figura 2.

**1 Contingut inicial de la Taula de Pàgines**

VPN	P	M	PPN
0	0	0	-
1	1	0	3
2	1	0	0
3	1	0	1
4	0	0	-
5	0	0	-
6	1	0	2
7	0	0	-

**2 Contingut inicial de Memòria**

pàgina física	pàgina lògica
0	2
1	3
2	6
3	1

**3 Contingut final de la Taula de Pàgines**

VPN	P	M	PPN
0			
1			
2			
3			
4			
5			
6			
7			

**4 Contingut final de Memòria**

pàgina física	pàgina lògica
0	
1	
2	
3	

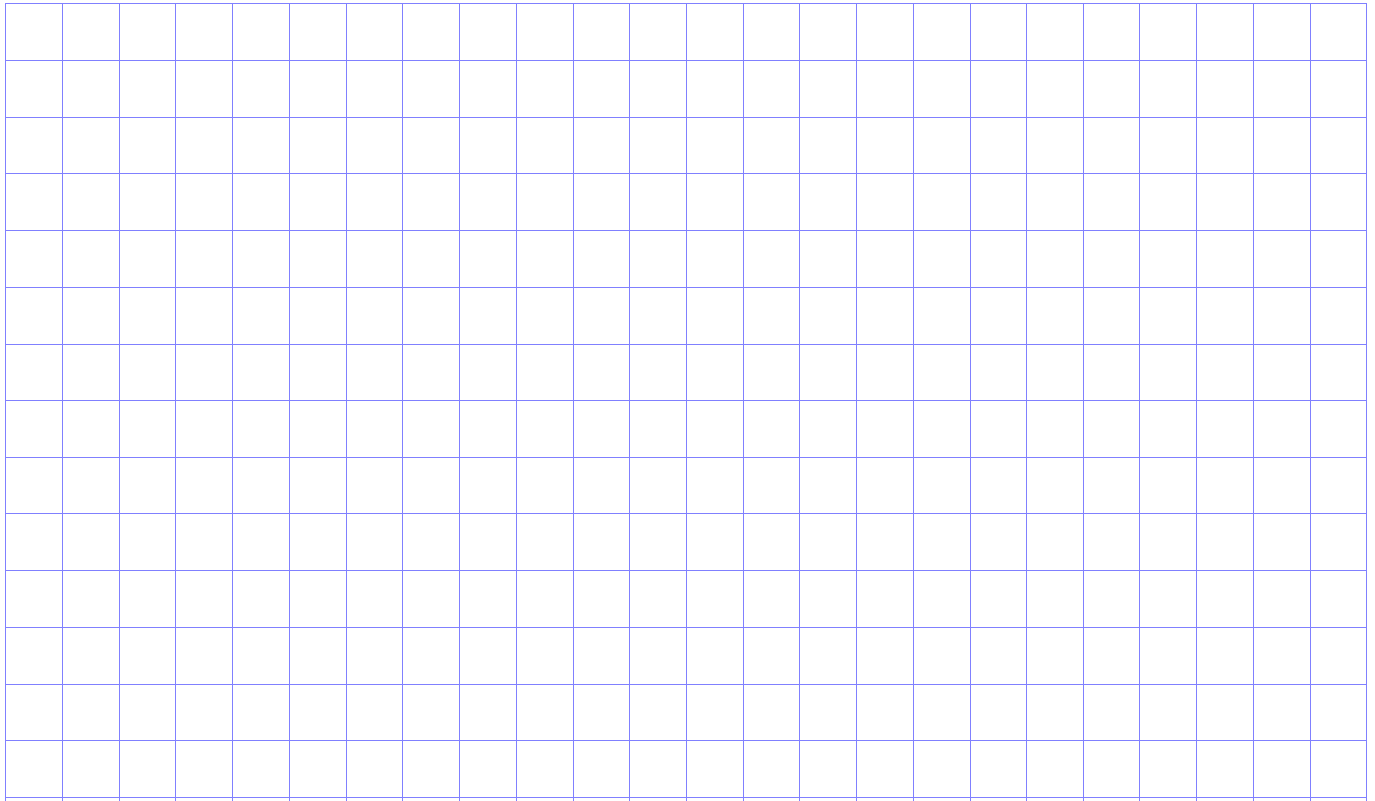
**Nota:** se sap que els darrers 4 accessos han estat a les pàgines lògiques 1,2,3 i 6 (en aquest ordre)

**Empleneu** la següent taula indicant, per cada referència, la pàgina lògica (VPN), el desplaçament, la pàgina física on es troba (PPN) i l'adreça física resultant de la traducció. Indiqueu amb una creu (X) quan es produeix un fallo de pàgina, quan es llegeix de disc dur, quan s'escriu a disc dur i, en cas de reemplaçar una pàgina, indiqueu el VPN i PPN. Indiqueu també el contingut final de la taula de pàgines i de la memòria física (figures 3 i 4)

adreça lògica (hexa)	VPN (hexa)	desplaçament (hexa)	PPN (hexa)	adreça física (hexa)	fallo de pàgina	lectura disc	escriptura disc	Pàgina reemplaçada	
								VPN	PPN
escriptura	044276								
escriptura	186AA7								
lectura	11BBF8								
escriptura	0FC449								
lectura	15066A								
lectura	07111B								

### Pregunta 6 Buses (1 punto)

Dibuixa un esquema d'arbitratge centralitzat paral·lel com el que fa servir el bus PCI. Indicant clarament el nom de tots els senyals.



### Pregunta 7 MV (1 punto)

En un sistema con una memoria cache 5-asociativa en el que se accede simultáneamente a la cache y al TLB, y con páginas de 8KB ¿cual es el tamaño máximo que puede tener la memoria cache?. Justifica la respuesta.

