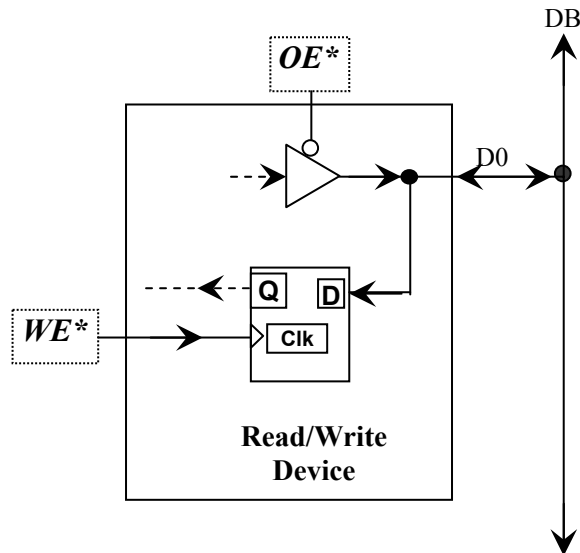


Cognoms, nom:***SOLUCIÓ*****Grup: 30****CISE IV.-Control (9-11-06).- GRUP 30 (90')**

1. Emplenar les capsetes a punts amb el nom dels senyals o terminals adients i afegir les puntes de fletxa per indicar el sentit de transmissió del bits per **totes** les línies de connexió (ja siguin unidireccionals o bidireccionals).



2. Un microprocessador de 32/64 bits té una capacitat d'adreçament físic (no segmentat) de 4G paraules de 32 bits. Tot sabent que internament, i per les seves instruccions, pot treballar i operar amb 1, 2, o 4 bytes, es demana:

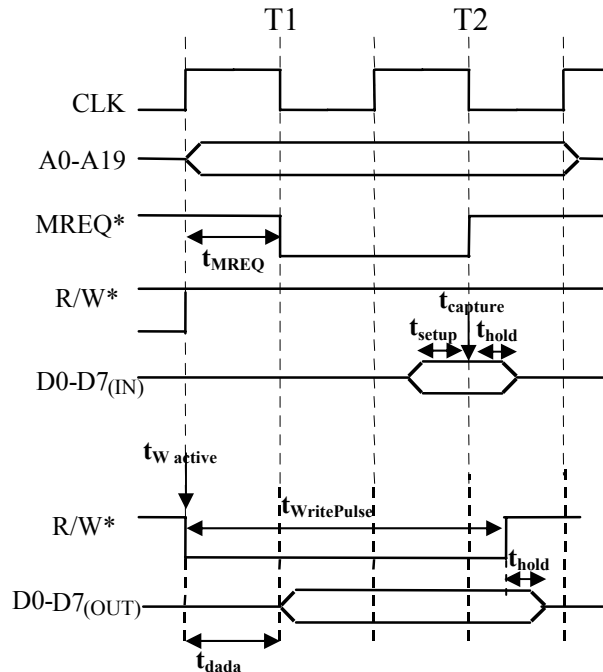
- Quants bits (línies) té el seu Bus d'Adreces (BA) **4G words $2^2 \cdot 2^{30}$ words \Rightarrow 32 línies físiques d'adreces**
- Quina serà la primera línia (la de menor pes) del seu BA? Per què? **A2, perquè A0 i A1 les donarà mitjançant 4 línies de sortida de "strobe" per poder seleccionar 1, 2 o 4 bytes d'operació al Bus de Dades segons la instrucció de què es tracti. Així el Bus d'adreces serà A2 – A33.**
- Quants bits tindran els seus registres d'ús general? I com estaran configurats? **64 bits, configurats per poder treballar amb 8, 16, 32 o 64 bits.**
- I quants bits tindran els seus registres d'ús específic PC, SP, IX? Per què? **Com que són registres d'adreces, com a mínim tindran 32 bits per a les 32 línies físiques d'adreces (A2-A33; però com que també han tenir el A0 i el A1, i és un microprocessador de 32/64 bits, seran de 64 bits).**
- I el seu registre d'instrucció (IR)? Per què? **Com que aquest registre ha de recollir el Codi d'Operació (Opcode) de cada instrucció i el bits de control que indiquin el mode d'operació i els registres interns en joc, i com que tota aquesta informació ha de venir en una paraula del Bus de Dades, el registre IR tindrà 32 bits (encara que no utilitzi tots).**
- Quants cicles de lectura trigaran en l'execució d'una instrucció de transferència de dada de 64 bits des de memòria amb una instrucció:
 - d'adreçament immediat: **1 cicle per al Opcode + 2 cicles per a la dada = 3 cicles de lectura**
 - d'adreçament directe: **1 cicle per al Opcode + 1 cicle per a l'adreça de la dada + 2 cicles per a la dada = 4 cicles de lectura**
 - d'adreçament indirecte per registre (amb el registre ja carregat amb el contingut adequat): **1 cicle per al Opcode + 2 cicles per a la dada = 3 cicles de lectura**

3. En la següent informació simplificada sobre els cicles de bus del V25 indiqueu:

a) De quin(s) tipus de cicle(s) de bus es tracta? Per què? (Especifiqueu-lo ben clarament en poques paraules).

Dos cicles: un cicle de lectura ($R/W^* = 1$) i un altre cicle d'escriptura ($R/W^* = 0$).

b) Marqueu, sobre el mateix diagrama, els temps imprescindibles que ens caldrà per a la correcta sincronització del V25.



Faltaria algun senyal fonamental per conèixer el sincronisme total d'aquest(s) cicle(s)? Quin(s)?

Sí, falta el senyal per a demanar períodes (estats) d'espera (READY, WAIT, DTACK..., o com sia que es digui)

4. Quin serà el valor **límit** que pot prendre la resistència de *pull-up* en una connexió entre 5v i la línia INT* d'un μP ($V_{ILmax}=1v$, $I_{ILmax} = -1 \mu A$) si entre els dispositius que poden demanar interrupció n'hi ha de dos tipus: de col·lector obert amb $I_{OLmax}=16\text{ mA}$, i de col·lector obert amb $I_{OLmax}=20\text{ mA}$, i ambdós presenten una $V_{OLmax}=0,4\text{ v}$. ?

El cas pitjor serà quan demani un únic dispositiu amb la $I_{OLmax}=16\text{ mA}$ (la menor).

Així,

$$I_{ILmax} + (5v - V_{OLmax})/Rp \leq I_{OLmax}$$

$$Rp \geq (5v - 0,4v)/(16mA - 1 \mu A) \approx 4,6v/16mA = 287,5 \Omega$$

$$\boxed{Rp_{min} = 287,5 \Omega}$$

5. Un sistema digital programat està basat en un μP amb un Bus de Dades (**BD: D0 - D31**) de 32 bits, un Bus d'Adreces extern (**A2 - A31**) de 30 bits i un senyal de validació general d'adreces **AS*** (*Address Strobe**, actiu a nivell baix com indica l'asterisc). Per tal d'indicar el(s) byte(s) del **BD** que es tindran en compte en cada cicle de bus, aquest μP presenta 4 senyals de sortida específics del tipus:

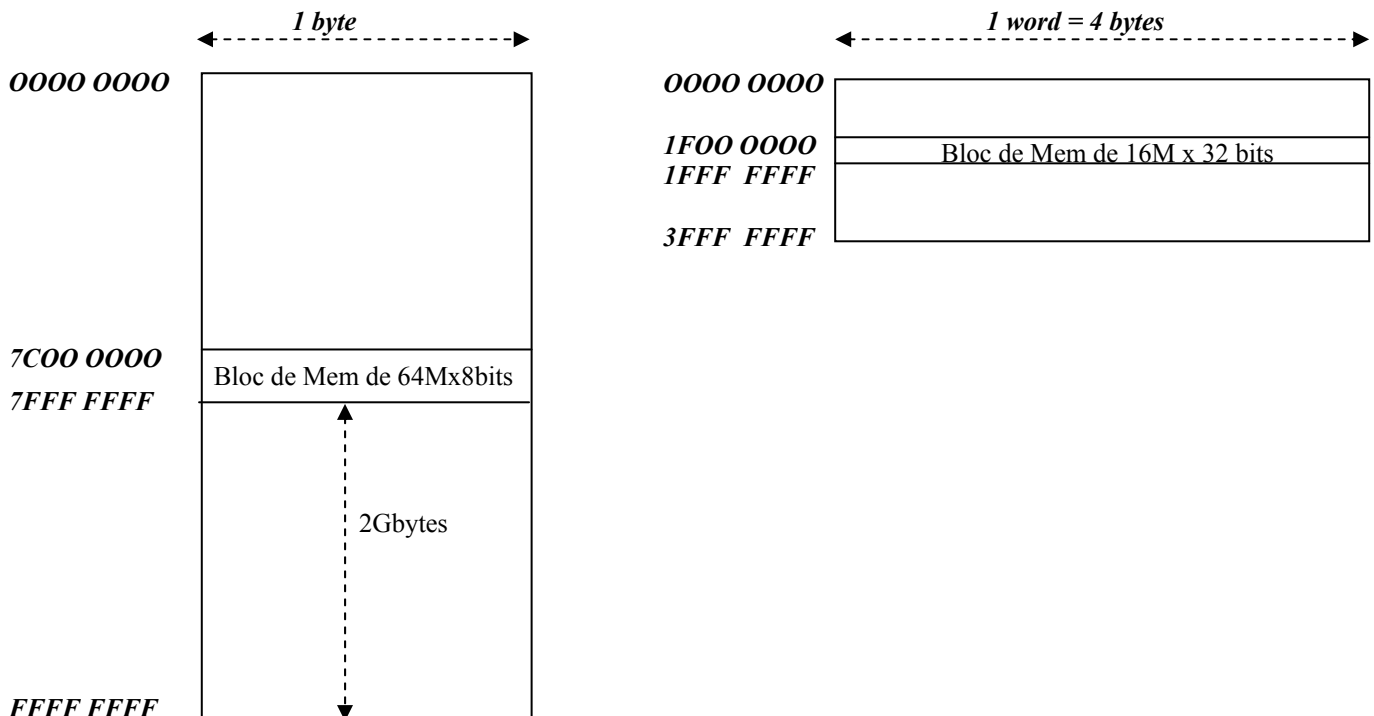
BEX* (*Bus Enable X**), que amb $X = 1$ indica D0 - D7,
 2 “ D8 - D15,
 3 “ D16 - D23,
 4 “ D24 - D31.

Tot sabent que el sistema disposa d'un bloc de memòria de 16M x 32 bits constituït per circuits integrats de 8M *bytes* (8Mx8) i una entrada de selecció **CS*** en cada circuit, es demana contestar les següents qüestions (la primera a l'espai lliure proporcionat, i la resta sobre l'esquema de blocs de la figura que acaba l'enunciat).

- a) La capacitat del mapa de memòria d'aquest μP en paraules llargues (32 bits) i en *bytes*. Dibuixeu el diagrama d'aquest mapa organitzat en bytes, i un altre organitzat en words (32 bits), tot indicant les següents adreces en hexadecimal:
- inicial i final del mapa
 - inicial i final d'una zona de 16M x 32 bits que acabi a la meitat del mapa.

AB: $A2 - A31 \Rightarrow 2^{30}$ words (32 bits) = 1Gword = 4 Gbytes que pot adreçar aquest microprocessador

Bloc de memòria: $16M \times 32 \text{ bits} = 2^{24} \times 32 \text{ bits}$ (variació completa de 24 bits al mapa en words) =
 $= 64M \times 8 \text{ bits} = 2^{26} \times 8 \text{ bits}$ (variació completa de 26 bit al mapa en bytes)

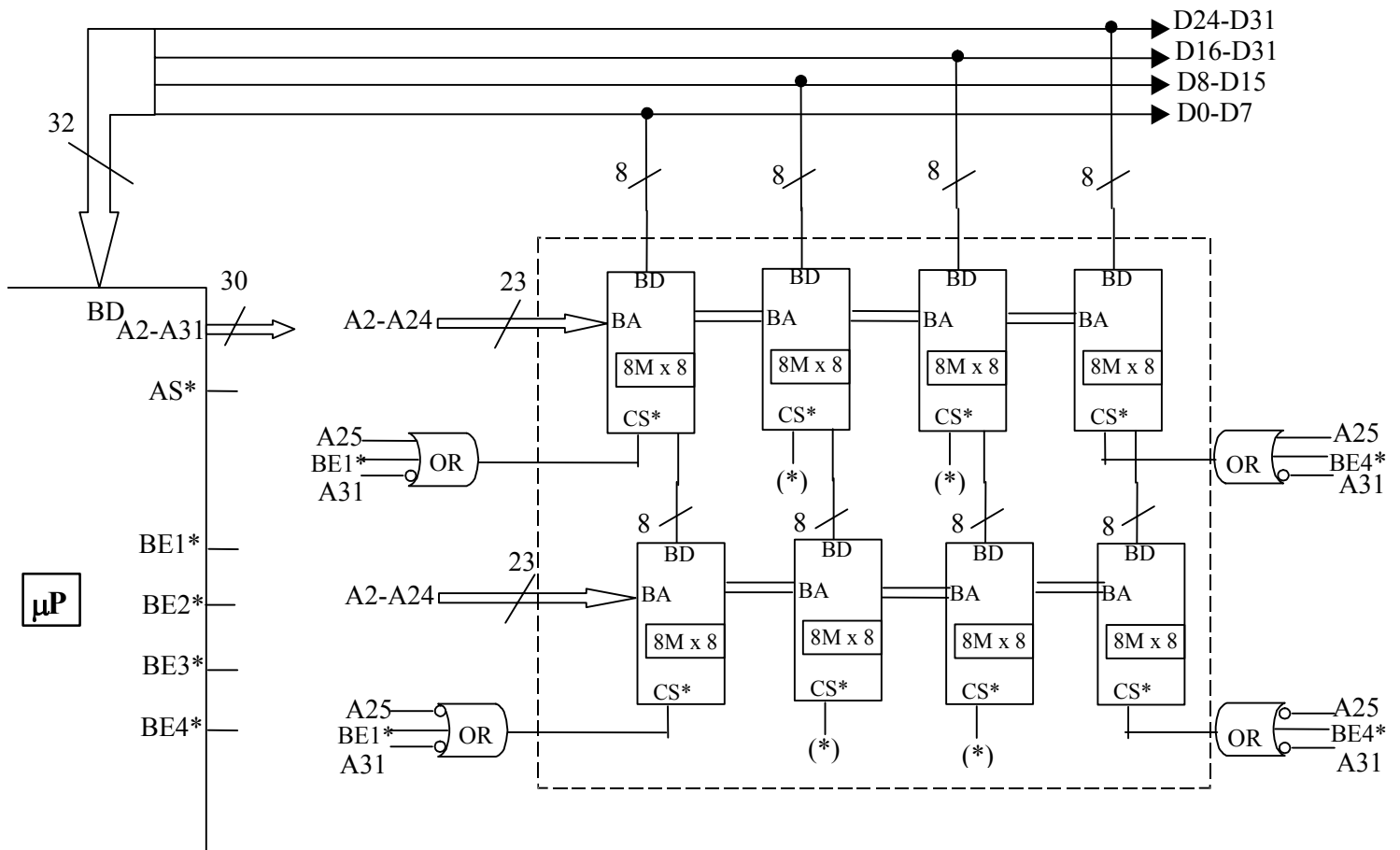


- b) Dibueixeu el nombre necessari de circuits de memòria per formar el bloc esmentat, el connexionat *intern* entre ells, i el *extern* amb el BD del μP .

$$16M \times 32 \text{ bits} = 64M \times 8 \text{ bits} = 8 \text{ xips} \times 8M \times 8 \text{ bits}$$

- c) Efectueu la resta de connexions necessàries entre el μP i el bloc de memòria, afegint-hi la circuiteria mínima necessària, per tal de situar aquest bloc en posicions successives a partir justament de la meitat del mapa de memòria del μP i amb la descodificació **incompleta** més simple (de circuits) que **no ocupi** la meitat inicial (d'adreces baixes) del mapa de memòria.

Com a circuiteria auxiliar només es disposa de portes OR de 2/3/4 entrades i inversors. Per tal que l'esquema final sigui més clar, **no cal posar totes les línies de connexió**, basta amb posar el **nom** dels senyals que corresponguin.



Notes:

- (*) Les mateixes connexions que els altres CS* del seu banc (de 4 xip en una filera), però amb els senyals BE2* i BE3*.
- Els dos bancs de 4 xips han de seleccionar-se amb A25 (la 1a línia d'adreces que no va directament al BA dels xips de memòria) si volem tenir-los en adreces successives (és un requisit de l'enunciat).
- El nombre de zones imatge, per aquesta descodificació incompleta, serà de $2^5 = 32$, ja que A26 – A30 (5 línies) no s'utilitzen en la descodificació. Aquestes zones imatge omplen tota la meitat del mapa d'adreces altes ($A31 = 1$), ja que $32 \times 16M \text{ words} = 2^5 \times 2^4 M \text{ words} = 512 M \text{ words} = (1/2)G \text{ word} = 2 \text{ Gbytes}$.
- Es podrien emprar portes OR de 4 entrades i afegir-hi el senyal de validació d'adreces, AS*, com a entrada, però realment no és pas necessari perquè els senyals BE1* - BE4* són també senyals de validació ("strobe") i els que s'activen ho fan com l'AS*.