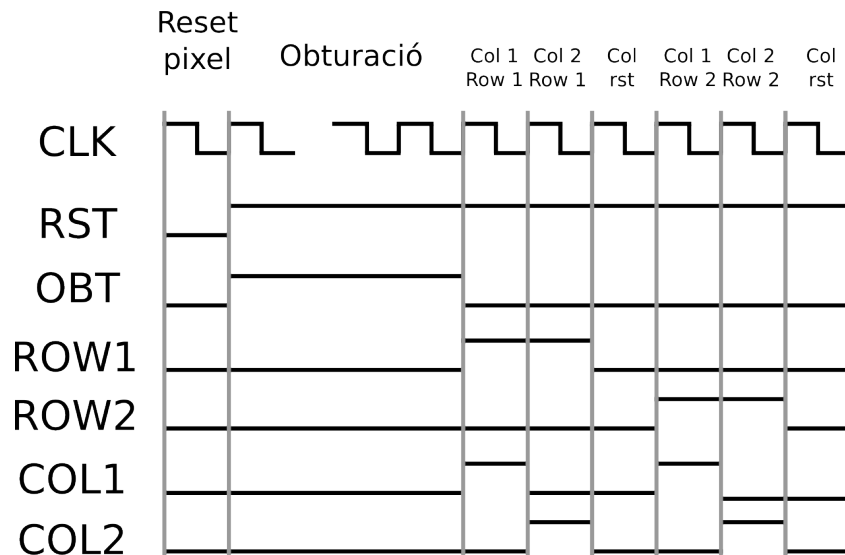


Exercicis previs DCISE

Apartat 15:

El cronograma es detalla a continuació. Noteu que el temps d'obturació són molts cicles i no estan dibuixats com caldria. Més avall s'especifica el nombre de cicles del Tobt en funció de les entrades SelObt.



SelObt <0:1>	Tobt clocks
00	10
01	20
10	40
11	80

Apartat 16:

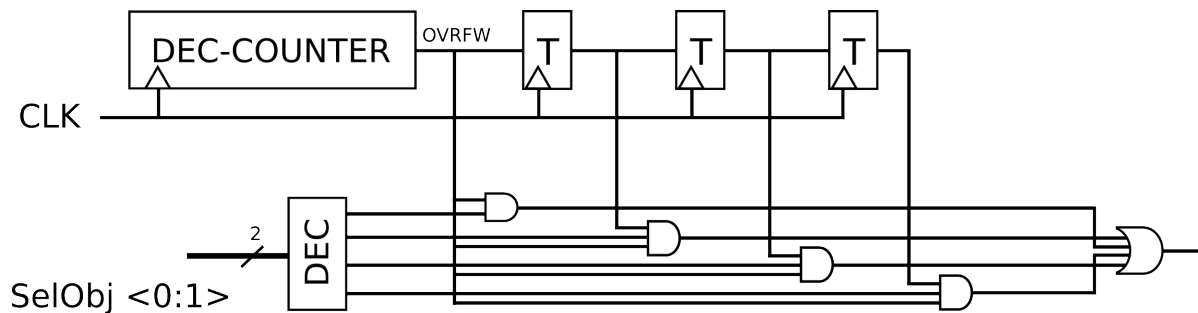
La nostra unitat de procés és un timer de 7 bits (donat que el temps d'obturació és de com a molt 80 clocks) que emet un 1 cada 10, 20, 40 o 80 clocks de rellotge (en funció de SelObt) i que té una senyal de la unitat de procés que és un reset. D'aquesta manera els estats de la UC són:

- Reset dels sensors (1 cicle)
- Activació de la UP.
- Espera fins que la UP generi un 1 indicant que ha passat el temps d'obturació.
- Finalment durant els 6 següents estats activació de les senyals de columna i fila fins que es torni a repetir el procés.

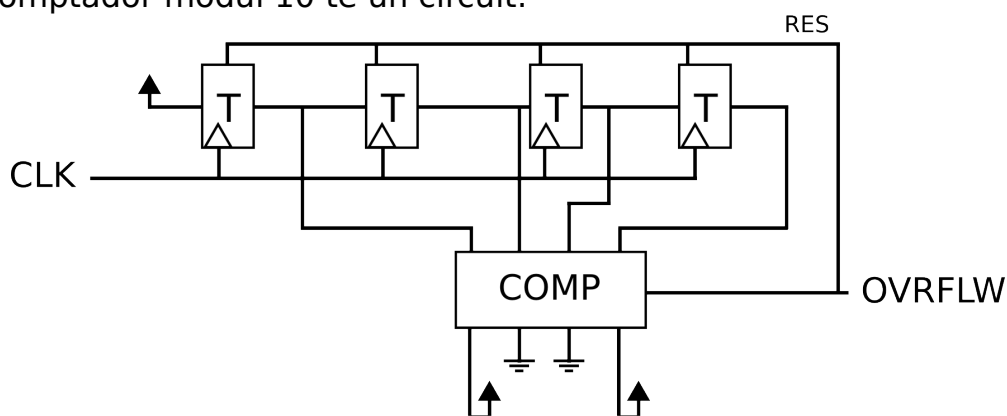
Així doncs la UP és un simple comptador (fet amb registres de toggle) i uns comparadors que comparen el resultat amb l'esperat (que depèn de SelObt). Donat que el circuit compta múltiples de 10 es pot implementar amb un comptador modul 10, 3 registres toggle i portes AND i OR.

El comparador mòdul 10 s'implementa amb un comptador de 4 bits i un comparador amb 10.

El circuit seria:

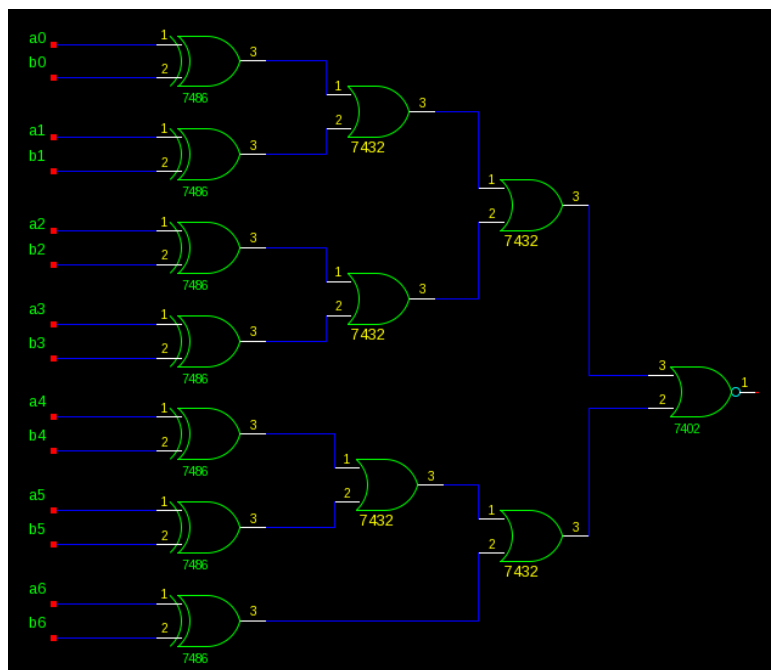


El comptador modul 10 té un circuit:



Apartat 17:

Un comparador de 7 bits es pot implementar amb portes XOR. La sortida de la porta és 0 quan els dos bits de l'entrada són iguals. Si fem això per a cada parell de bits i posem una porta OR que les compari totes tenim un comparador que retorna 0 en cas d'igualtat.



Apartat 18:

Dibuixem els estats fent ús de la següent nomenclatura, on OUT representa els bits RST,OBT,COL1,COL2,ROW1,ROW2,UP.

