

Examen FINAL Estructura de Computadores II

- La duración del examen es de 3 horas.
- Contestad en las hojas de respuestas.
- Las notas finales se publicarán el **23 de enero**.
- La revisión se realizará el **25 de enero**.

curso 2006-2007 Q1

Problema 1 (1,5 puntos)

a) Dado el siguiente código escrito en C:

```
typedef struct {
    char vc[6];
    int il;
} S1;
typedef struct {
    S1 vs[10];
    char *pc2;
    char c3;
    short int s4;
} S2;
```

Dibuja cómo quedaría la estructura de datos S2 en Linux, indicando claramente los desplazamientos con respecto a la dirección de inicio de la estructura, el tamaño de cada campo y el tamaño total de la estructura.

b) Dado el siguiente código escrito en C:

```
int ec2(int M[100][100], int *pi, int j, S1 ss) {
    int v[100];
    int tmp;
    ...
}
```

Dibuja el bloque de activación de la subrutina, indicando claramente los desplazamientos a partir del registro ebp, así como el tamaño de cada parámetro y variable local.

c) **Traduce literalmente** a ensamblador del IA32 la siguiente función escrita en C:

```
int Vi(int v[100], int i) {
    return v[i];
}
```

d) **Traduce literalmente** a ensamblador del IA32 la siguiente función escrita en C:

```
char Vc(char v[100], int i) {
    return v[i];
}
```

Problema 2 (1,5 puntos)

Dado el siguiente código escrito en C:

```
int Vi(int v[100], int i);
int ec3(int M[100][100], int *pi, int j) {
    int v[100];
    int tmp; // suponed que esta variable está en el registro %ecx
    int i;    // suponed que esta variable está en el registro %edi
    ...
    (1) M[20][10] = Vi(v, tmp) + j;
    ...
    (2) if (*pi >= j)
        j = *pi;
        else
        *pi = j;
    ...
    (3) for (i=0; i<100; i++)
        tmp = tmp + (M[50][i] & 0xFFF);
    ...
}
```

- Traduce literalmente** a ensamblador de IA32 la sentencia (1).
- Traduce literalmente** a ensamblador de IA32 la sentencia (2).
- Traduce de forma ÓPTIMA** a ensamblador de IA32 la sentencia (3).

- Tamaño de línea = 64 bytes
- Política de escritura = WRITE THROUGH + WRITE NO ALLOCATE
- Tiempo de servicio en caso de acierto (Tsa) = 1 ciclo
- MP organizada en 8 módulos DIMM de 1 byte de ancho cada uno
- Latencia de fila de los módulos de MP = 3 ciclos
- Latencia de columna de los módulos de MP = 2 ciclos
- Ancho de banda del bus MP ↔ MC: 8 bytes por ciclo
- Percentage de escrituras: 25%
- Percentage de líneas modificadas: 40%
- Tasa de fallos: 10%

- Cache: acceso en acierto (A), acceso en fallo (F)
- Memoria: acceso a columna (C), acceso a fila (F), transferencia de datos (D)

- [illegible]

- [illegible]

- [illegible]

- [illegible]

S	Exponente			Mantisa		
12	11		7	6		0

```
%esp <- %esp - 4
M[%esp] <- EIP
EIP <- 0x80000000
```

- 2 / 4

5) Disponemos de un bus con las siguientes características:

- Frecuencia: 400 MHz
- líneas de datos: 64 bits
- líneas de direcciones: 36 bits

Calcula el ancho de banda del bus (da el resultado en **Gbytes/s**).

Pregunta 5 (2 puntos)

Dado el siguiente código escrito en ensamblador del IA32:

```

movl $0, %ebx
movl $0, %esi
for: cmpl $4*1024, %esi
    jge end
(a) movl (%ebx, %esi, 4), %eax
(b) addl 1024(%ebx, %esi, 4), %eax
(c) movl %eax, 4*1024(%ebx, %esi, 4)
    incl %esi
    jmp for
end:

```

Teniendo en cuenta únicamente los accesos a datos, calcula:

- 1) Operaciones de Lectura: _____
Operaciones de Escritura: _____

Suponiendo una memoria cache de datos con **mapeo directo**, escritura **copy back + write allocate** de **2 Kbytes** y **líneas de 16 bytes**, responde a las siguientes preguntas:

- 2) Para cada uno de los accesos (etiquetas a, b, c), indica si se producirá fallo (F) o acierto (A) en cada una de las 8 primeras iteraciones y en cada una de las 8 iteraciones a partir de la iteración 256.

	0	1	2	3	4	5	6	7	256	257	258	259	260	261	262	263
a																
b																
c																

- 3) Calcula la cantidad de **aciertos** para la referencia a:
referencia b:
referencia c:
total:

Suponiendo un tamaño de **página de 4K byte** y un **TLB de 4 entradas** con reemplazo **LRU**

- 4) Calcula (en hexa) el número de página lógico (VPN) de todas las páginas accedidas por:
la referencia a:
la referencia b:
la referencia c:

- 5) Calcula el número de fallos de TLB:
para la referencia a:
para la referencia b:
para la referencia c:
totales del bucle:

- 6) ¿Cuál es el número de fallos de TLB suponiendo un número ilimitado de entradas de TLB?
7) ¿Cuál es el número mínimo de entradas de TLB para alcanzar dicho número de fallos?

Pregunta 6 (1 punto)

- a) **Dibuja** el esquema de diseño interno de una memoria cache 2-asociativa de 8 líneas y 4 bytes por línea. Las direcciones del procesador son de 16 bits. **Identifica** claramente dónde está el conjunto 1. **Indica** la anchura de cada bus. **Indica** el tamaño TOTAL de la memoria de etiquetas.
- b) **Explica** brevemente (**máximo 6 líneas**) el funcionamiento del diseño que has dibujado en el punto anterior, detallando la función que realiza cada uno de los bloques.

Pregunta 7 (1,5 puntos)

Responde a las siguientes afirmaciones poniendo una X en el recuadro correspondiente (en la columna C si la afirmación es cierta o en la columna F si la afirmación es falsa). Cada respuesta contestada correctamente SUMA 0,1 puntos. **Cada respuesta incorrecta RESTA 0,1 puntos**. Las respuestas no contestadas no se tienen en cuenta.

C	F	Afirmación
		En general, una estructura (struct) ocupa más espacio en la pila que en otra parte de la memoria porque los caracteres ocupan 4 bytes en lugar de solamente 1
		La instrucción popl no modifica los flags de condición
		Una memoria principal DDR 8-entrelazada tiene un ancho de banda de 16 bytes por ciclo una vez superado el período de latencia inicial
		El tamaño de una línea de la memoria principal depende del entrelazado de la memoria principal
		En una memoria cache copy back-write no allocate, en caso de fallo de escritura el dato se trae a la cache
		El tiempo de penalización en caso de fallo de escritura de una memoria cache write through-write allocate no depende de la longitud de la línea
		Para el mismo tamaño de memoria y el mismo programa, una memoria cache directa copy back-write allocate tiene una tasa de fallos menor que una memoria cache directa write through-write no allocate
		Un programa que mide 512 bytes ocupa más memoria física en un sistema paginado con páginas de 8 Kbytes que en un sistema con páginas de 4 Kbytes
		Una Tabla de Páginas, para un espacio de direcciones físicas y lógicas de 64 bits y páginas de 4 KB, necesitaría 2^{52} elementos (más de 10^{15})
		La instrucción outl %edx, %eax pertenece a un procesador que soporta el esquema de E/S con registros mapeados en el espacio de direcciones de E/S
		En el protocolo por robo de ciclo, el DMA transfiere únicamente un dato una vez ha conseguido el acceso al bus, y después devuelve el control a la CPU
		Un bus PCI de 32 bits a 33.3 MHz tiene un ancho de banda de 133MB/s
		El bus procesador/memoria siempre es asíncrono para evitar problemas con el reloj
		Al aumentar el número de discos de un RAID, se disminuye la probabilidad de que falle alguno de los discos
		Si en un RAID 0 falla uno de los discos físicos, podemos recuperarlo con la información redundante de los otros discos