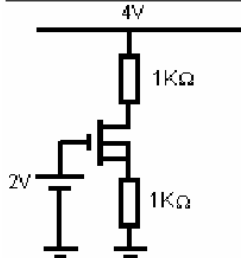


EXERCICIS PER DCISE

BLOC 1: TRANSISTOR MOS I ANÀlisi ESTÀTICA DE CIRCUITS

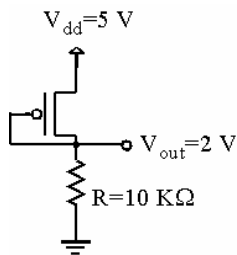
1. Determineu el punt de polarització (V_{GS} , V_{DS} , I_{DS}) del transistor NMOS de la figura. Considereu tensió llindar $V_{TN} = 1 \text{ V}$ i un factor de transconductància $K_n = 1 \text{ mA/V}^2$



2.- Dimensioneu el transistor de la figura anterior per a que presenti un corrent de $100 \mu\text{A}$
Paràmetres NMOS: $\lambda = 0,02 \text{ V}^{-1}$, $K_n = 24 \mu\text{A/V}^2$, $V_{TN} = 0,7 \text{ V}$.

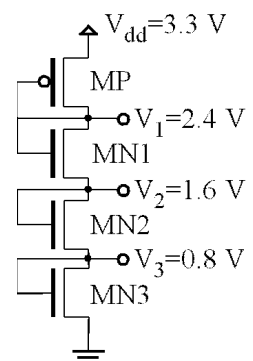
3.- Dimensioneu el següent transistor (donant la seva relació d'aspecte W/L) si es vol conseguir una tensió $V_{out} = 2 \text{ V}$. Dades: $K'_p = 38,61 \mu\text{A/V}^2$, $V_{Tp} = -0,5 \text{ V}$, $\lambda_p = 0,012 \text{ V}^{-1}$.

- Suposant comportament de canal llarg
- Suposant model de canal curt, $V_{DSsat} = -1.5 \text{ V}$



4.- Es vol dissenyar la següent referència de tensió per obtenir tensions de 2.4, 1.6 i 0.8 V a les sortides V_1 , V_2 i V_3 , respectivament, limitant el consum del circuit a $330 \mu\text{A}$

- Trobeu les dimensions (relació W/L) del transistor MP
- Trobeu les dimensions (relació W/L) dels transistors MN1, MN2 i MN3



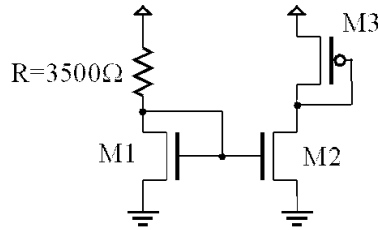
Dades:

Suposeu que els transistors es comporten com a canal llarg

$K_n' = 205.6 \mu\text{A/V}^2$	$K_p' = 67.34 \mu\text{A/V}^2$
$V_{TN} = 0.544 \text{ V}$	$V_{Tp} = -0.714 \text{ V}$
$\lambda_n = 0.01 \text{ V}^{-1}$	$\lambda_p = 0.01 \text{ V}^{-1}$
$t_{ox} = 7.9 \text{ nm}$	
$V_{DDnominal} = 3.3 \text{ V}$	
$\epsilon_{rSiO2} = 3.9$	$\epsilon_0 = 8.854 \cdot 10^{-14} \text{ F/cm}$

5.- Es té el següent circuit, alimentat a una tensió $V_{DD} = 5 \text{ V}$

$$\begin{aligned} K_N' &= 154.3 \mu\text{A/V}^2 \\ V_{TN} &= 0.6 \text{ V} \\ K_P' &= 54.42 \mu\text{A/V}^2 \\ V_{TP} &= -0.6 \text{ V} \\ \lambda &= 0 \end{aligned}$$

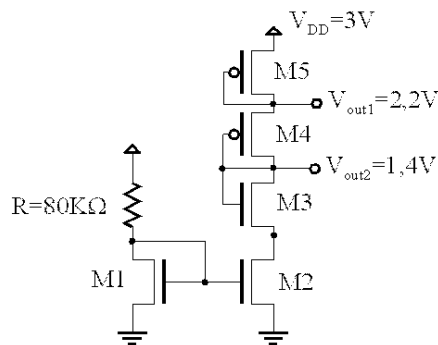


a) Calculeu la mida (W/L) del transistor M1 per a que circuli un corrent de 1 mA per la resistència.

b) Suposant que les dimensions de M2 són idèntiques a les de M1, quina restricció ha de complir la mida (W/L) de M3 per a que el transistor M2 estigui en saturació?

6.- Es té el següent circuit, alimentat a una tensió $V_{DD} = 3 \text{ V}$

$$\begin{aligned} K_N' &= 200 \mu\text{A/V}^2 \\ V_{TN} &= 0.6 \text{ V} \\ K_P' &= 60 \mu\text{A/V}^2 \\ V_{TP} &= -0.6 \text{ V} \\ \lambda &= 0 \end{aligned}$$



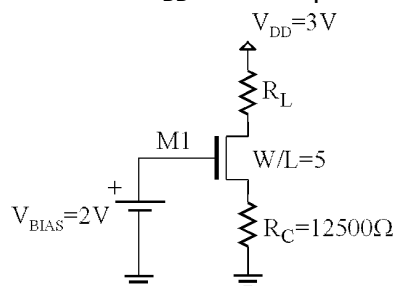
a) Calculeu la mida (W/L) del transistor M1 per a que circuli un corrent de 25 μA per la resistència.

b) Si les dimensions de M2 són idèntiques a les de M1 (de forma que circula el mateix corrent pels dos transistors), quines han de ser les mides (W/L) dels transistors M4 i M5 per a obtenir les tensions V_{out1} i V_{out2} que s'indiquen a la figura?

c) Quines poden ser les tensions màxima i mínima al drenador de M2 per tal que estigui en saturació?

7.- Es té el següent circuit, alimentat a una tensió $V_{DD} = 3 \text{ V}$. Suposeu que el transistor opera en condicions de canal llarg.

$$\begin{aligned} K_N' &= 200 \mu\text{A/V}^2 \\ V_{TN} &= 0.6 \text{ V} \\ \lambda &= 0 \end{aligned}$$



a) Determineu les condicions que han de complir les tensions de drenador (V_D) i sortidor (V_S) per a que el transistor M1 estigui en saturació

b) Assumint que el transistor M1 està en saturació, calculeu la tensió V_S que s'obté pels valors de R_C i mida del transistor especificats a la figura.

c) Quins valors por prendre R_L per tal que el transistor efectivament estigui en saturació?

8.- Supposeu que un transistor en tall presenta les capacitats $C_{GB}=5$ fF, $C_{GS}=0,2$ fF, $C_{GD}=0,2$ fF, $C_{BS}=0,3$ fF, $C_{BD}=0,3$ fF. Calculeu el valor d'aquestes capacitats quan el transistor està en saturació.

9.- Doneu els valors de W i L del PMOS i NMOS d'una porta NOT CMOS per tal que la seva tensió de inversió ($V_{INV}=V_{IN}=V_{OUT}$) sigui de 1,1V. Dades: $V_{DD}=3$ V, $V_{TN}=0,7$ V, $V_{TP}=-0,8$ V, $K'_n=340$ $\mu\text{A}/\text{V}^2$ i $K'_p=75$ $\mu\text{A}/\text{V}^2$. Trieu els transistors més petits possibles respectant els límits de fabricació de la tecnologia, que és de 130nm (canal llarg).

10.- La contribució del corrent sotsllindar dels transistors MOS en la potència total consumida s'espera que sigui més important per tecnologies futures. Mencioneu algunes raons que justifiquin aquesta previsió.

11.- Considereu una porta NOT CMOS amb mides de transistors $L_n=L_p=0,2$ μm , $W_n=0,6$ μm i $W_p=1,8$ μm .

- Calculeu la capacitat que té a l'entrada degut a la suma de capacitats de canal del PMOS i NMOS si la capacitància de l'òxid prim és $C_{ox}=8\text{E-}3$ F/m²
- Si a la sortida d'una porta NOT hi ha una interconnexió de capacitància $C_M=40\text{E-}6$ F/m² amb amplada $W=2$ μm , calculeu per quina longitud, L , la capacitat que presenta a la NOT es fa igual a la d'entrada d'una altra porta NOT igual a ella.
- Si $K'_n=340$ $\mu\text{A}/\text{V}^2$ i $K'_p=75$ $\mu\text{A}/\text{V}^2$, calculeu la tensió de commutació de la porta NOT, per $V_{DD}=3$ V, $V_{tn}=0,6$ V, $V_{tp}=-0,6$ V.
- Determineu per quin rang de tensions d'entrada tindrem el PMOS en Saturació i el NMOS en Ohmica.
- Determineu per la mateixa situació (PMOS sat, NMOS ohm), el rang de tensions de sortida.

Nota: per c), d) i f) no considereu efecte de modulació de canal en saturació

12.- Es vol analitzar un inversor CMOS fet amb una tecnologia de 0.1 μm que utilitza $V_{DD}=3$ V, $V_{TN}=0,5$ V, $V_{TP}=-0,5$ V. Altres dades tecnològiques són $C_{ox}=10$ fF/ μm^2 , $\lambda_n=\lambda_p=0.01$ V⁻¹, $\mu_n=370$ cm²/V·s, $\mu_p=150$ cm²/V·s.

- Suposeu que les dimensions dels transistors són $W_n=W_p=2$ μm , $L_n=L_p=1$ μm . Calculeu la tensió d'inversió V_{INV} teòrica (suposant transistors de canal llarg, ignorant λ).
- Per la tensió d'inversió obtinguda, calculeu el corrent I_D que circula pels dos transistors.
- Troba una expressió per la tensió d'inversió V_{INV} , on els dos transistors estiguin en règim de saturació per velocitat de portadors (canal curt) (proporciona l'expressió en funció dels paràmetres transconductància, tensió llindar i V_{DSsat} de cada transistor; considera $\lambda=0$).
- Suposeu ara que les dimensions dels transistors passen a ser $W_n=W_p=0.2$ μm , $L_n=L_p=0.1$ μm . Verificar si cal aplicar el model de canal curt. Si és el cas, recalculeu V_{TH} i I_D .

13.- Es vol dissenyar el següent circuit per a que, en fixar-hi una tensió $V_{in} = 2\text{ V}$, la tensió al node de sortida sigui també de $V_{out} = 2\text{ V}$, amb un consum del circuit de $0,18\text{ mW}$.

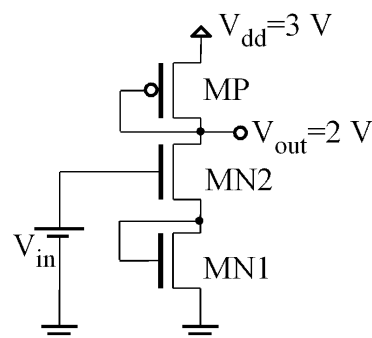
Assumiu les següents dades tecnològiques:

$$k_N' = 200\text{ }\mu\text{A/V}^2 ; k_P' = 60\text{ }\mu\text{A/V}^2$$

$$V_{TN} = 0,5\text{ V} ; V_{TP} = -0,5\text{ V}$$

$$\lambda_n = \lambda_p = 0,02\text{ V}^{-1}$$

$$\mu_n = 400\text{ cm}^2/\text{V}\cdot\text{s} ; \mu_p = 120\text{ cm}^2/\text{V}\cdot\text{s}$$

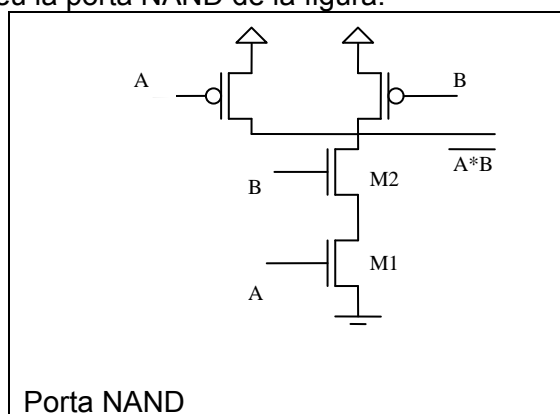


- Suposeu que les dades anteriors corresponen a una tecnologia de $0,25\text{ }\mu\text{m}$. Dimensioneu els transistors (doneu al seva relació d'aspecte W/L) per tal d'aconseguir les tensions i consum desitjats. Afegiu com a restricció de disseny que les dimensions dels transistors MN1 i MN2 siguin iguals.
- Repetiu l'apartat anterior, però suposant ara que les dades anteriors corresponen a una tecnologia de $0,13\text{ }\mu\text{m}$.

14.- Donada una tecnologia que utilitza $V_{DD} = 3\text{ V}$, $V_{TN} = 0,5\text{ V}$, $V_{TP} = -0,5\text{ V}$, $k_N' = 250\text{ }\mu\text{A/V}^2$, $k_P' = 100\text{ }\mu\text{A/V}^2$, determineu la tensió llindar V_{TH} de la transferència estàtica ($V_{TH} = V_{IN} = V_{OUT}$) d'un inversor on el NMOS i el PMOS tinguin la mateixa mida. Quina ha de ser la relació d'aspecte W/L del PMOS, respecte a la del NMOS, per a que $V_{TH} = V_{DD}/2$? Suposeu comportament de canal llarg.

- V_{TH} quan NMOS i PMOS són de la mateixa mida:
- Relació de mides per a $V_{TH} = V_{DD}/2$:

15.- Considereu la porta NAND de la figura.



Dades: $K_n = 0,5\text{ mA/V}^2$; $K_p = 3\text{ mA/V}^2$; $\lambda_p = \lambda_n = 0,02\text{ V}^{-1}$

- Indiqueu en el dibuix del circuit per a cada transistor NMOS i PMOS, la posició de drenador i surtidor, així com la connexió del substrat.
- Per als NMOS M1 i M2, el valor de V_T serà el mateix? Si no ho és, indica quin serà el més gran i raona la resposta.

Ara, considera que la sortida de la porta va connectada a una porta NOT, amb dimensions de transistors: $L_n = L_p = 0,2\text{ }\mu\text{m}$, $W_n = 0,6\text{ }\mu\text{m}$ i $W_p = 1,8\text{ }\mu\text{m}$

- Calculeu la capacitat que té a l'entrada degut a la suma de capacitats de canal del PMOS i NMOS si la capacítancia de l'òxid prim és $C_{ox} = 8\text{E-}3\text{ F/m}^2$
- Si a la sortida d'una porta NOT hi ha una interconnexió de capacítancia $C_M = 40\text{E-}6\text{ F/m}^2$ amb amplada $W = 2\text{ }\mu\text{m}$, calculeu per quina longitud, L , la capacitat que presenta a la NOT es fa igual a la d'entrada d'una altra porta NOT igual a ella.

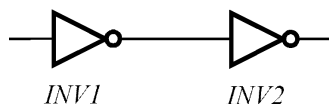
16.- El corrent sotsllindar d'un transistor es pot modelar amb l'expressió $I_D = I_{SPEC} e^{\frac{V_{GS}-V_T}{nU_T}}$,

amb $I_{SPEC} = 2nk' \frac{W}{L} U_T^2$. En aquestes expressions, n és paràmetre que varia lleugerament amb la tecnologia i que, per corrent sotsllindar, es situa al voltant de 1.45. El paràmetre U_T fa referència a la tensió tèrmica, $U_T = \frac{kT}{q}$, i a temperatura ambient és igual a 26 mV.

Per últim, la tensió llindar es pot expressar (en un NMOS) com $V_T = V_{TH0} + \gamma \left(\sqrt{2\phi - V_{BS}} - \sqrt{2\phi} \right)$.

- Prenent les dades d'una tecnologia de 0.35 μm per transistors NMOS ($V_{TH0}=0.5$ V; $k_N'=80$ $\mu\text{A/V}^2$; $n=1.45$; $\gamma=0.58$ $\text{V}^{1/2}$; $\phi=0.428$ V), calculeu el corrent sotsllindar d'un transistor de $W=1$ μm i $L=0.35$ μm quan $V_{GS}=V_{BS}=0$ V.
- Suposeu un circuit integrat amb 10 milions de transistors com el de l'apartat anterior. El circuit integrat s'alimenta a una tensió de 3 V amb dues bateries AA de 1.5 V, amb una capacitat de 1000 mA-h cadascuna. El circuit està inactiu, és a dir que no té *clock* ni senyals d'entrada, l'únic consum de potència és degut al corrent sotsllindar dels transistors. Calculeu quants dies trigaran les bateries en perdre el 50% de la seva càrrega inicial.
- Suposeu que el mateix circuit s'integra ara en una tecnologia més moderna de 90 nm ($V_{TH0}=0.35$ V; $k_N'=150$ $\mu\text{A/V}^2$; $n=1.45$; $\gamma=0.58$ $\text{V}^{1/2}$; $\phi=0.45$ V). Calculeu de nou el corrent sotsllindar per un transistor NMOS de la mateixa relació d'aspecte i $V_{GS}=V_{BS}=0$ V. Repetiu l'apartat b) tenint en compte que la tensió V_{DD} dels circuits en aquesta tecnologia és de 1.5V.
- Una tècnica que s'utilitza en circuits integrats molt avançats per reduir el consum estàtic és la que es coneix com *adaptive body biasing*, consistent en disminuir la tensió V_{BS} dels circuits inactius. Això es pot fer connectant el substrat a tensions negatives, o augmentant la tensió V_S respecte al substrat. Repetiu l'apartat anterior suposant que s'aplica aquesta tècnica a l'anterior circuit, $V_{GS}=0$ V i $V_{BS}=-0.25$ V.

17.- Es tenen dos inversors connectats en cascada, com es mostra a la figura. La mida dels NMOS és $W=10$ μm i $L=0.25$ μm . La mida dels PMOS és $W=20$ μm i $L=0.25$ μm . L'amplada de les difusions de sortidor/drenador és de 0.5 μm . En el node intermig entre els dos inversors hi ha una capacitat de la interconnexió de 50 fF. La tensió d'alimentació és de 3 V, mentre que a la taula es mostren paràmetres tecnològics relacionats amb les capacitats del MOS.



Technological parameters:

Parameter	Units	NMOS	PMOS	Note
C_{ox}	fF/ μm^2	4.54	4.54	Gate oxide capacitance
C_{GSD}	fF/ μm	0.131	0.108	Overlap gate to source/drain (per unit width)
C_{JA}	fF/ μm^2	1.36	1.36	Diffusion (drain/source) area junction capacitance
M_{JA}	-	0.54		Diffusion area grading exponent
PB_A	V	1.02		Diffusion area junction potential
C_{JSW}	fF/ μm	0.35		Diffusion (drain/source) sidewall junction capacitance
M_{JSW}	-	0.46		Diffusion sidewall grading exponent
PB_{SW}	V	1.02		Diffusion sidewall junction potential

Per cada una de les següents situacions, identifiqueu els estats en què es trobaran cada un dels 4 transistors, identifiqueu les diverses capacitats presents en el node intermig, calculeu-ne el valor, i calculeu la capacitat total.

- Quan a l'entrada del primer inversor hi ha un '0' lògic.
- Quan a l'entrada del primer inversor hi ha un '1' lògic.
- Quan a l'entrada del primer inversor hi ha una tensió de 1.5 V, que coincideix amb la tensió de inversió dels inversors.

Resultat de la capacitat total: a) 142.29 fF ; b) 129.8 fF ; c) 111.3 fF.

18.- El circuit de la figura té un NMOS de $K=120 \mu A/V^2$, corresponent a unes dimensions de $L=350 \text{ nm}$, $W=350 \text{ nm}$. Per a aquestes dimensions de L , la $V_{DSsat}=2,1 \text{ V}$. La tensió d'alimentació V_{DD} és 3 V.

- Troba el valor màxim de R que compleix que per qualsevol valor de V_{in} (entre 0 i V_{DD}), el transistor no es troba mai en zona lineal.
 - Per a aquest valor de R trobat, calcula el corrent per $V_{in}=V_{DD}$ i per $V_{in}=V_{DD}/2$.
- Ara considereu les dimensions del NMOS $L=700 \text{ nm}$, $W=700 \text{ nm}$.
- Calcula el nou V_{DSsat} .
 - Amb la mateixa R anterior, calcula els corrents per $V_{in}=V_{DD}$ i per $V_{in}=V_{DD}/2$.

Dades: $V_{DD}=3 \text{ V}$
 $V_{TN}=0.5 \text{ V}$
 $K=120 \mu A/V^2$

