 <p>Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona</p> <p>UNIVERSITAT POLITÈCNICA DE CATALUNYA DEPARTAMENT D'ENGINYERIA ELECTRÒNICA</p>	CISE IV
	12 de Juny de 2008
	Data notes provisionals: 20 de Juny
	Límit d'al·legacions: 27 de Juny a les 14h.
	Data notes revisades: 1 de Juliol
Professors: Sergi Bermejo, Manel Domínguez, Clemente Pol	
Informacions addicionals: <ul style="list-style-type: none"> • Durada de l'examen: 2 hores 30 minuts. • S'ha de respondre als fulls d'enunciat i es pot fer a llapis. • S'han de lliurar els problemes per separat. 	

PROBLEMA 1 (25%)

A la figura 1 es mostren els corresponents models dels següents components de un sistema digital basat en microcontrolador:

- μC V25
- Memòria EPROM de 256K x 8 bits.
- Memòria SRAM de 128K x 8 bits.
- Controlador d'E/S (classe A): 128 registres de 8 bits, tots ells accessibles per llegir i escriure.
- Controlador d'E/S (classe B): 16 registres de 8 bits, tots ells accessibles per llegir i escriure.
- Descodificador de 3 a 8. La entrada A és la de menys pes i les entrades d'habilitació (E1*, E2*, E3) han d'estar totes actives per tal que el descodificador funcioni.

- NOTES:**
- En tots el xips de la figura, l'**asterisc** indica que el senyal és actiu (o s'activa) a nivell baix ("0").
 - Els senyals MREQ* i IOSTB* són de validació d'adreces (*strokes*) que el V25 activa en un accés a mapa de memòria o d'E/S, respectivament.
 - El senyal R/W* = 1 indica un cicle de lectura, i a 0 indica un cicle d'escriptura.

Per a la resolució dels següents apartats, a més de components d'aquests models indicats, només es poden fer servir **portes de dues entrades i inversors**. Es tracta, com és lògic, d'utilitzar el menor nombre de components possible.

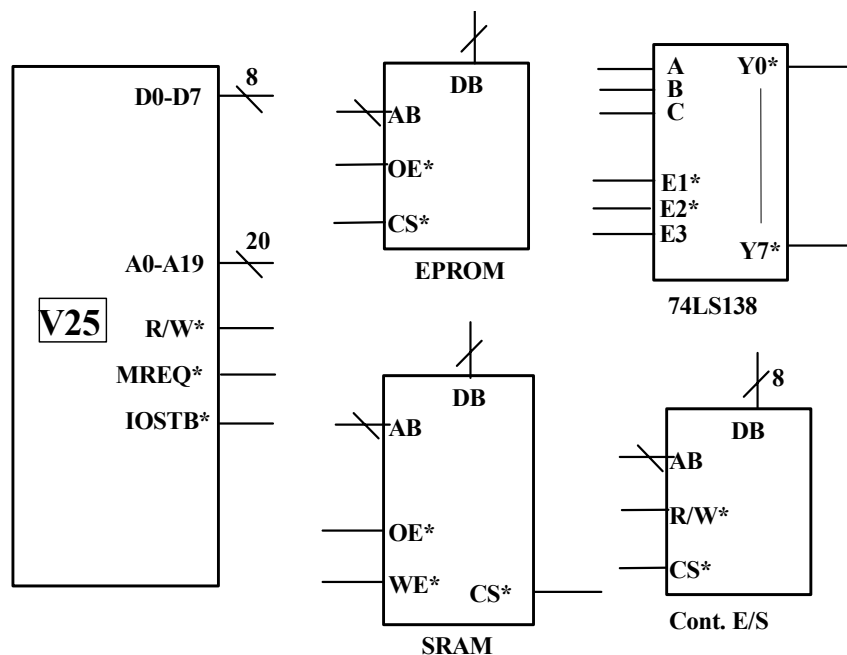
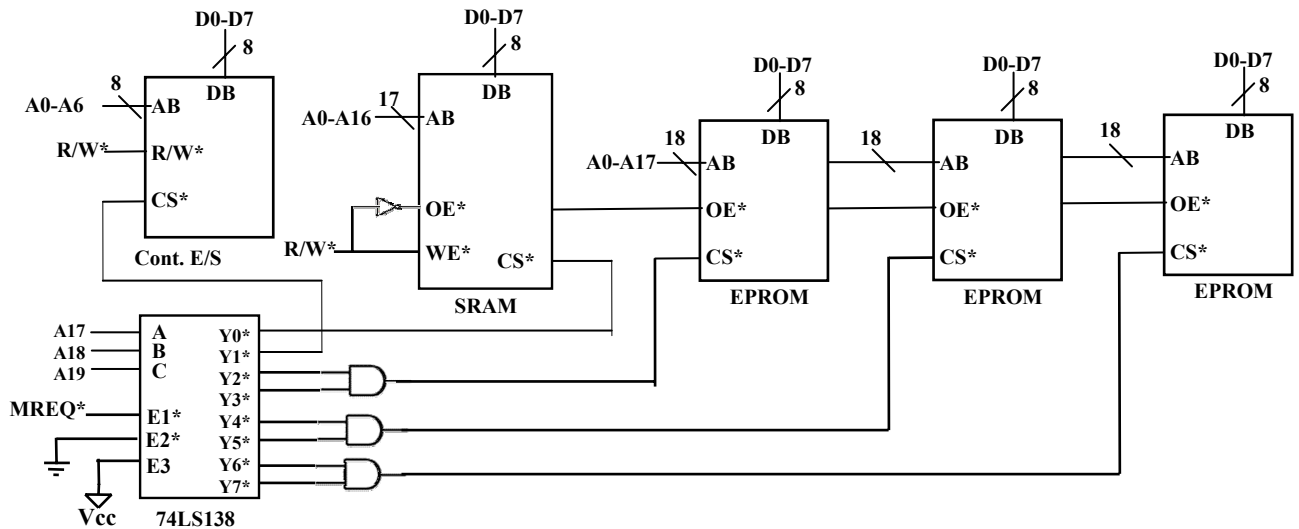


Fig. 1

1. (7 punts) Construir un sistema que tingui al mapa de memòria del μC :

- 768K bytes de EPROM a les adreces més altes (en número), amb descodificació completa.
- 128K bytes de SRAM a les adreces més baixes (“ ”), “ “ “ “ .
- 1 Controlador d'E/S (classe A) amb descodificació incompleta de tal manera que ocupi tota la zona de mapa de memòria que resta lliure. Indiqueu el nombre de zones imatge que presenta aquest Controlador.

Ens caldrà 1 xip de SRAM amb un AB de 17 bits ($128K = 2^{17}$), 3 xips de EPROM (768K/256K = 3) amb un AB de 18 bits ($256K = 2^{18}$), i un xip Controlador (Classe A) amb un AB de 7 bits (128 reg. de R/W = 2^7 reg. a seleccionar). Tots aquests xips amb un DB de 8 bits.

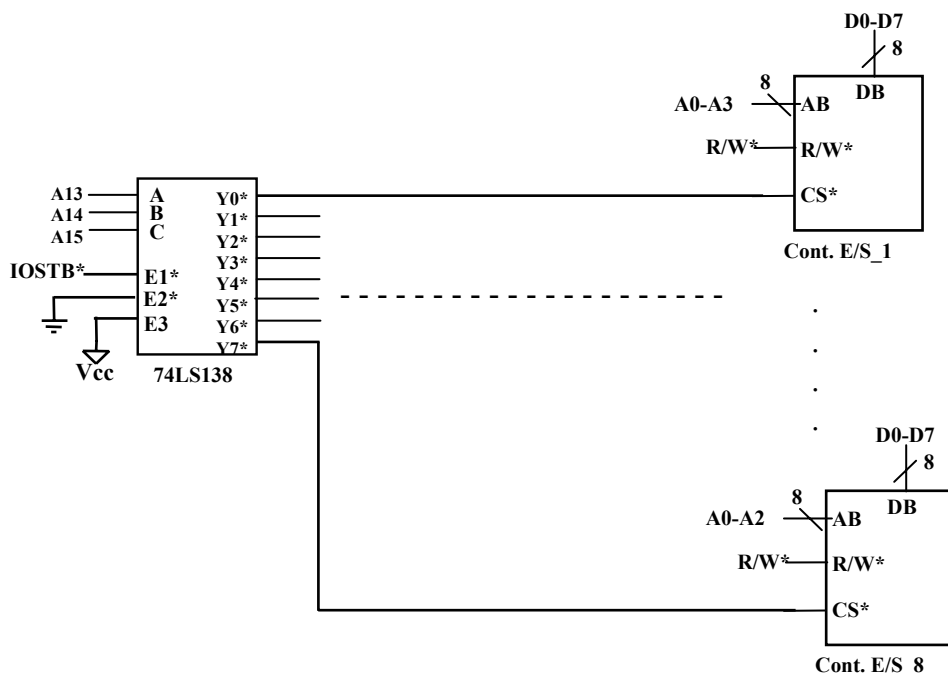


El Controlador d'E/S (classe A) ocupa 128K bytes al mapa de memòria (20000 - 3FFFF) i, com que (A7 - A16) no s'utilitza en la seva descodificació, aquest Controlador presenta $2^{10} = 1024$ zones imatge.

2. (3 punts) I al mapa d'E/S del μC :

- 8 Controladors d'E/S (classe B) amb la descodificació incompleta més senzilla possible (poden omplir tot el mapa d'E/S). Indicar el nombre de zones imatge que presenta cada controlador. Als accessos d'E/S només són vàlides les 16 adreces menys significatives (A0-A15) del μC .

Cada Controlador (classe B) tindrà un AB de 4 bits (16 reg. de R/W = 2^4 reg. a seleccionar) i un DB de 8 bits.



Cada Controlador d'E/S (classe B) ocupa 8K bytes al mapa de memòria (0000 - 1FFF el primer, per exemple) i, com que (A4 - A12) no s'utilitza en la seva descodificació, aquest Controlador presenta $2^9 = 512$ zones imatge.

PROBLEMA 2 (40%)

Es vol dissenyar un sistema basat en el processador-DSP (Digital Signal Processor) **Blackfin** d'Analog Devices. Aquest microprocessador s'utilitza en moltes aplicacions embedded on cal també fer tasques específiques de processament del senyal. La interfície del microprocessador amb memòries externes és la següent:

Pad	Pin Type ¹	Description
DATA[15:0]	I/O	External data bus
CLKOUT	O	Switches at system clock frequency. Connect to the peripheral if required.
ADDR[19:1]	O	External address bus
AMS[3:0]	O	Asynchronous memory selects
$\overline{\text{AWE}}$	O	Asynchronous memory write enable
$\overline{\text{AOE}}$	O	Asynchronous memory output enable
ARDY	I	Asynchronous memory ready response
ABE[1:0]	O	Byte enables

¹ Pin Types: I = Input, O = Output

- *Asynchronous Memory Select*: Els senyals AMS3:0*, actius a nivell baix, són senyals de chip select per a connectar eventualment a senyals d'habilitació de memòries. S'activen segons aquesta taula:

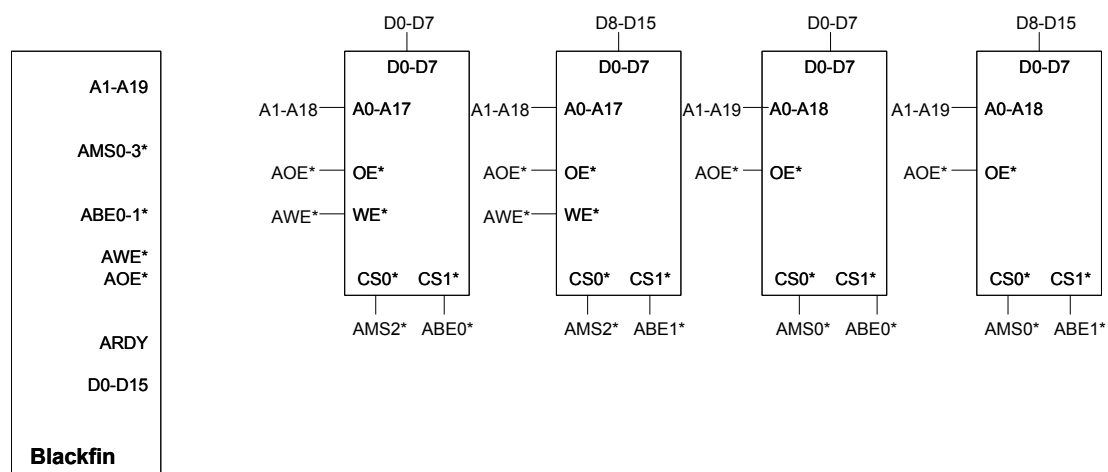
Table 6-1. Asynchronous Memory Bank Address Range

Memory Bank Select	Address Start	Address End
AMS[3]	0x2030 0000	0x203F FFFF
AMS[2]	0x2020 0000	0x202F FFFF
AMS[1]	0x2010 0000	0x201F FFFF
AMS[0]	0x2000 0000	0x200F FFFF

- *Asynchronous Byte Enable*: Els senyals ABE0* i ABE1*, actius a nivell baix, són els *strokes* dels bits del bus de dades D0-D7 i D8-D15 respectivament.
- *Asynchronous Ready*: El senyal ARDY, **actiu a nivell alt**, serveix per introduir cicles d'espera.

Es demana:

- (2 punts) Completeu l'esquema de manera que els xips de memòria RAM estiguin situats a partir de l'adreça 0x2020 0000, i els xips de ROM a partir de l'adreça 0x2000 0000, sense afegir cap porta.



NOTA: Els senyals CS0* i CS1* de les memòries són senyals d'habilitació i tots dos han d'estar activats per tal que les memòries estiguin habilitades.

b) (1 punt) Indiqueu el nombre de zones imatge de la memòria RAM i ROM al mapa de memòria del microprocessador.

RAM: 2 z.i., ROM: 0 z.i. (només apareix un cop al mapa de memòria)

La temporització de lectura o escriptura d'aquest microprocessador és programable. Això vol dir que podem especificar per programa quants cicles de rellotge ha d'haver-hi, per exemple, entre que surten les adreces i el microprocessador llegeix la dada (en lectura). En el nostre cas:

- S'ha programat que hi hagi dos cicles rellotge a l'inici del cicle de lectura (entre que s'activen els senyals AMS0-3*, ABE0-1*, A1-A19, i s'activa el senyal ARE*). El senyal ARE* nosaltres no el fem servir. Aquests 2 cicles s'anomenen de SETUP a la figura (SETUP CYCLES).
- S'ha programat que hi hagi 4 cicles de rellotge entre que s'activa el senyal ARE* i es llegeix la dada (4 PROGRAMMED READ ACCESS CYCLES).
- S'ha programat finalment un cicle de rellotge al final del cicle de lectura (1 HOLD CYCLE).

Tot i així, el cronograma següent ha estat fet pel fabricant considerant que el sistema extern demana 3 cicles d'espera. El senyal ARDY és llegit en aquest cas 4 vegades. A les 3 primeres el valor que el microprocessador troba és '0' (és a dir, desactivat). Finalment, a la quarta vegada llegeix un '1' i per tant el cicle de bus acaba. Això implica que en total hi ha **3 ACCESS EXTENDED CYCLES**.

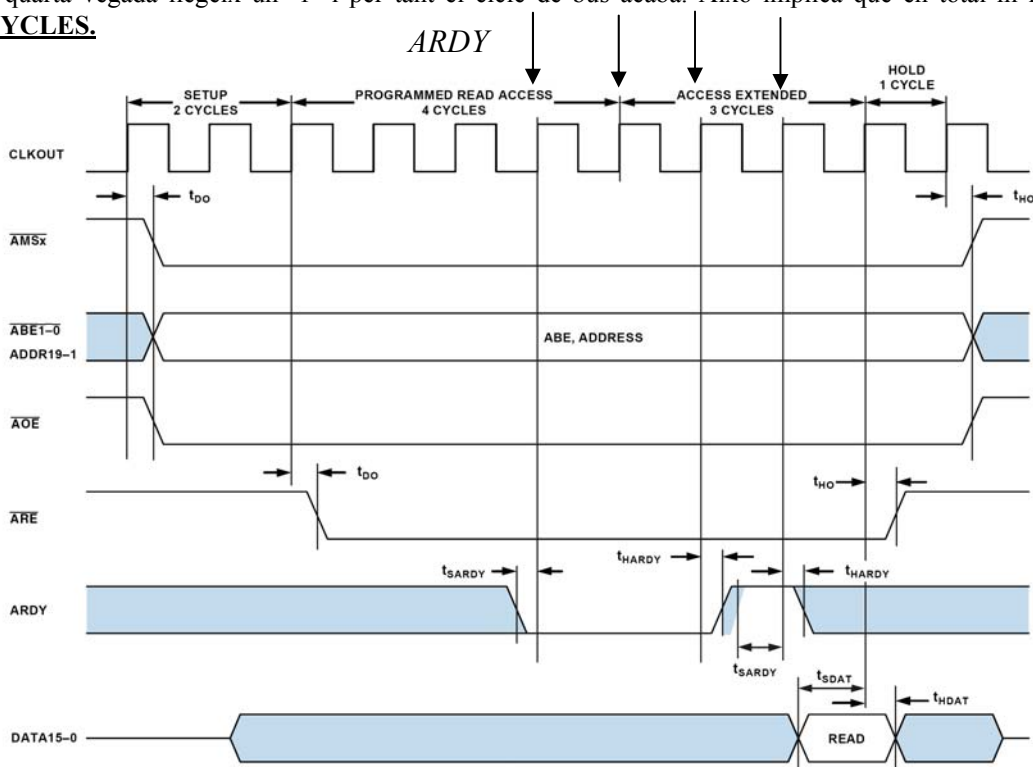


Figure 12. Asynchronous Memory Read Cycle Timing

Table 17. Asynchronous Memory Read Cycle Timing

Parameter		V _{DDEXT} = 1.8 V		V _{DDEXT} = 2.5 V/3.3 V		Unit
		Min	Max	Min	Max	
Timing Requirements						
t _{SDAT}	DATA15–0 Setup Before CLKOUT	2.1		2.1		ns
t _{HDAT}	DATA15–0 Hold After CLKOUT	1.0		0.8		ns
t _{SARDY}	ARDY Setup Before CLKOUT	4.0		4.0		ns
t _{HARDY}	ARDY Hold After CLKOUT	1.0		0.0		ns
Switching Characteristics						
t _{DO}	Output Delay After CLKOUT ¹		6.0		6.0	ns
t _{HO}	Output Hold After CLKOUT ¹	1.0		0.8		ns

¹ Output pins include AMS3-0, ABE1-0, ADDR19-1, DATA15-0, AOE, ARE.

c) (2 punts) Indiqueu clarament al cronograma de la pàgina anterior els instants en que el microprocessador ha llegit el senyal ARDY.

- d) (1 punt) Si la freqüència del microprocessador és de 40MHz, indiqueu quin seria el màxim temps d'accés en lectura de la memòria per als senyals CS0* i CS1*. Justifiqueu la resposta.

$$t_{CS0-CS1} \leq 9T - t_{DO(max)} - t_{SDAT(min)} = 216.9 \text{ ns}$$

NOTA: el microprocessador s'ha alimentat a 3.3V ($V_{DDEXT} = 3.3V$)

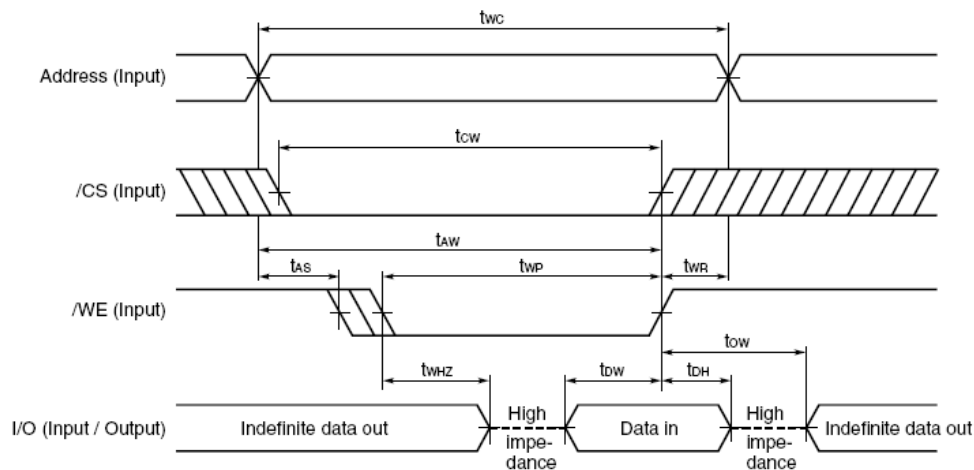
- e) (1 punt) Torneu a fer el càlcul del l'apartat anterior considerant, ara, que el senyal ARDY és igual a '1' la primera vegada que el microprocessador mostreja aquesta línia (és a dir, sense cicles d'espera o ACCESS EXTENDED CYCLES). Justifiqueu la resposta.

$$t_{CS0-CS1} \leq 6T - t_{DO(max)} - t_{SDAT(min)} = 141.9 \text{ ns}$$

NOTA: el microprocessador s'ha alimentat a 3.3V ($V_{DDEXT} = 3.3V$). Freq. clk = 40MHz.

Volem triar entre 3 **memòries RAM** similars però que tenen diferents temps d'escriptura (μPD43256B-A85, μPD43256B-A10, y μPD43256B-A12).

Parameter	Symbol	$V_{CC} \geq 3.0 \text{ V}$					
		μPD43256B-A85		μPD43256B-A10		μPD43256B-A12	
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
Write cycle time	t _{wc}	85		100		120	
/CS to end of write	t _{cw}	70		70		90	
Address valid to end of write	t _{aw}	70		70		90	
Write pulse width	t _{wp}	60		60		80	
Data valid to end of write	t _{dw}	60		60		70	



NOTA: /CS (Input) es correspon als dos senyals CS0* i CS1*.

El cronograma en escriptura del microprocessador té ara només **un cycle d'espera (1 ACCESS EXTENDED CYCLE)** i s'ha programat de la següent forma:

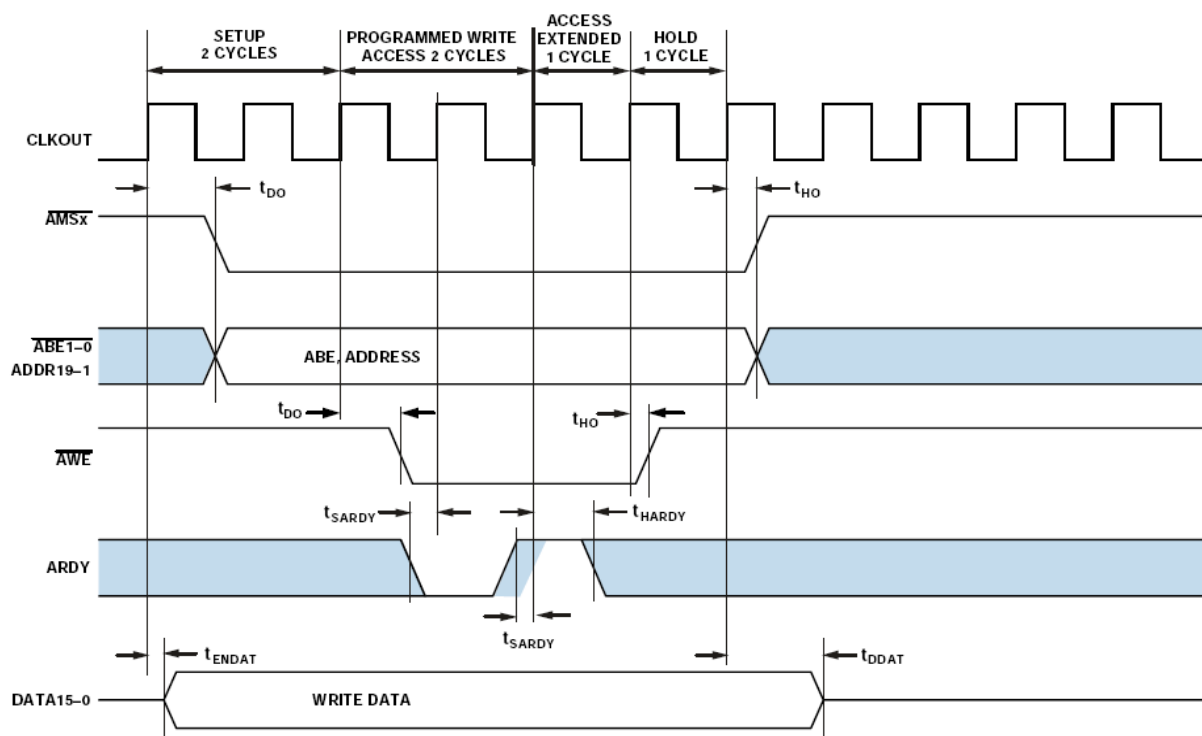


Figure 13. Asynchronous Memory Write Cycle Timing

Table 18. Asynchronous Memory Write Cycle Timing

Parameter		V _{DDEXT} = 1.8 V		V _{DDEXT} = 2.5 V/3.3 V		Unit
		Min	Max	Min	Max	
Timing Requirements						
t _{SARDY}	ARDY Setup Before CLKOUT	4.0		4.0		ns
t _{HARDY}	ARDY Hold After CLKOUT	1.0		0.0		ns
Switching Characteristics						
t _{DDAT}	DATA15–0 Disable After CLKOUT		6.0		6.0	ns
t _{ENDAT}	DATA15–0 Enable After CLKOUT	1.0	6.0	1.0	6.0	ns
t _{DO}	Output Delay After CLKOUT ¹		6.0		6.0	ns
t _{HO}	Output Hold After CLKOUT ¹	1.0		0.8		ns

¹ Output pins include AMS3-0, ABE1-0, ADDR19-1, DATA15-0, AOE, AWE.

- f) (2 punts) Si el microprocessador s'usa en les mateixes condicions d'abans (40 MHz de rellotge i alimentat a 3.3V), indiqueu, justificadament, quina(es) de la(es) memòria(es) es pot/poden fer servir, sense afegir més cicles d'espera, ni canviar la programació del cycle de bus.

$$t_{WC(RAM)} \leq 6T - t_{DO(max)} + t_{HO(min)} = 150 \text{ ns} - 6.0 \text{ ns} + 0.8 \text{ ns} = 144.8 \text{ ns}$$

$$t_{CW(RAM)} \leq 5T - t_{DO(max)} + t_{HO(min)} = 125 \text{ ns} - 6.0 \text{ ns} + 0.8 \text{ ns} = 119.8 \text{ ns}$$

$$t_{AW(RAM)} \leq 5T - t_{DO(max)} + t_{HO(min)} = 125 \text{ ns} - 6.0 \text{ ns} + 0.8 \text{ ns} = 119.8 \text{ ns}$$

$$t_{WP(RAM)} \leq 3T - t_{DO(max)} + t_{HO(min)} = 75 \text{ ns} - 6.0 \text{ ns} + 0.8 \text{ ns} = 69.8 \text{ ns}$$

$$t_{DW(RAM)} \leq 5T - t_{ENDAT(max)} + t_{HO(min)} = 125 \text{ ns} - 6.0 \text{ ns} + 0.8 \text{ ns} = 119.8 \text{ ns}$$

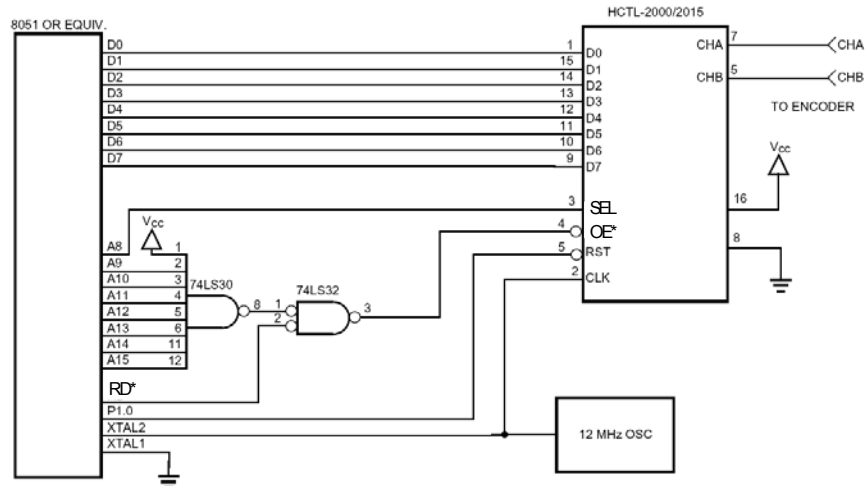
La memòria μ PD43256B-A12 no compleix el temps t_{WP} , les altres dues compleixen tots els temps.

- g) (1 punt) Com canviaríeu la programació del cycle d'escriptura per tal què la(es) RAM(s) de l'apartat anterior continuï(n) funcionant si ara no posem el cycle d'espera ?

Programant 3 cicles d'accés en comptes de 2 (WRITE ACCESS CYCLES).

PROBLEMA 3 (35%)

En un sistema digital basat en el microcontrolador **8051** es fa servir l'integrat **HCTL-2000** com a interfície entre el 8051 i dues entrades digitals CHA i CHB (veure figura adjunta). A més de l'interconnexió directe amb el bus del 8051, aquest dispositiu proporciona un filtratge digital dels canals d'entrada CHA i CHB, un descodificador i un comptador. En funció de l'aplicació concreta, el 8051 executa un programa de control sobre el HCTL-2000 per tal d'assolir el comportament requerit. Dins de les instruccions que s'inclouen en aquest programa sempre hi hauran operacions de lectura sobre aquest dispositiu.

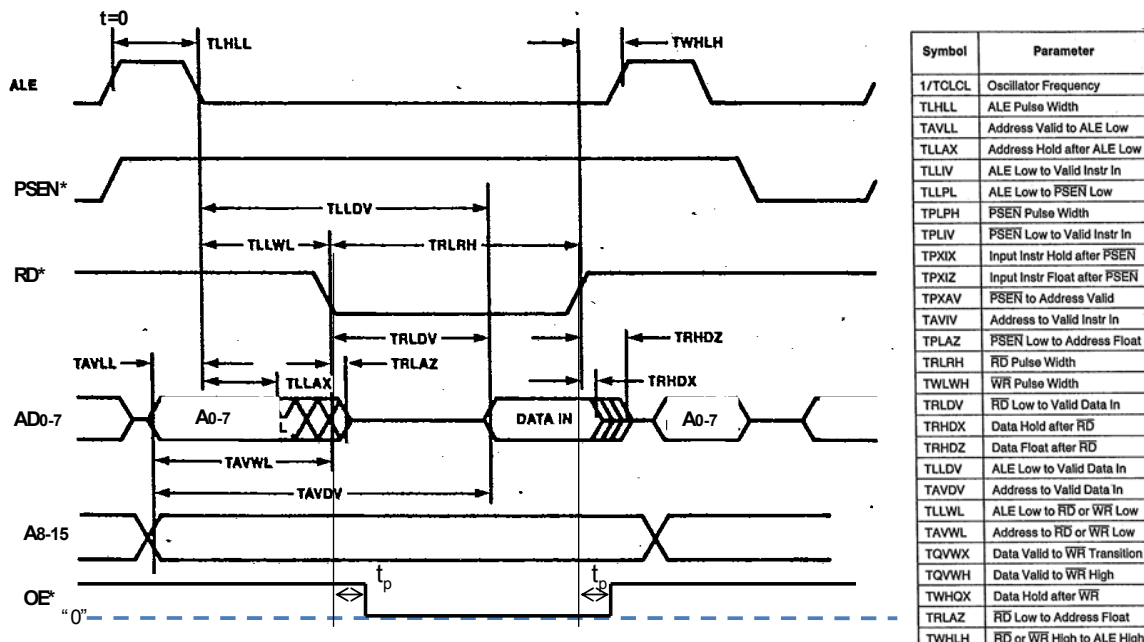


(Nota: el 74LS32 implementa una operació OR lògica)

- (2p) Si el 8051 té un bus d'adreces A0-A15 i un senyal RD*, que quan val zero indica que s'està fent un cicle de lectura a memòria, determina **de forma justificada** el rang d'adreces en el mapa de memòria on està ubicat el HCTL-2000. **NOTA:** El senyal SEL del HCTL-2000 serveix per seleccionar entre 2 registres interns del dispositiu.

En les operacions de lectura, RD* valdrà 0 i això farà activar el senyal OE*. D'acord amb la funció combinacional que connecta el senyal OE* amb RD* i els bits del bus adreces A9-A15, aquesta activació és per nivell baix. Per tant, en els cicles de lectura $A15=A14=...=A10=A9=1$ per fer que $OE^*=0$. Tanmateix, el senyal A8 està connectat al senyal SEL del HCTL-2000; com ens indiquen que SEL permet accedir a dos registres diferents, tindrem la possibilitat de col·locar $A8=0$ i $A8=1$ per tal d'accedir-hi. Finalment els bits A7-A0 no es connecten a aquest dispositiu generant zones imatge. Amb aquestes consideracions tenim que els valors del bus d'adreces que formen el rang d'adreces en el mapa de memòria on està ubicat el HCTL-2000 són: $A15=A14=A13=A12=A11=A10=A9=1$, $A8=\{0,1\}$, $A7=A6=...=A1=A0=X$. Així, el rang d'adreces serà $0xFE00-0xFFFF$.

- En el cronograma adjunt es mostra un cicle de lectura del 8051. Aquest sempre s'inicia amb un pols positiu del senyal ALE que indica que hi ha una adreça vàlida pel bus AD0-7 i A8-15 (la part baixa del bus d'adreces es multiplexa amb la part baixa del bus de dades). Més tard s'activa el senyal RD* indicant que es vol llegir. El cicle finalitza amb la captura de la dada que col·loca el HCTL-2000 pel bus AD0-7, que en aquest punt es comporta com a bus de dades d'entrada. **NOTA:** El HCTL-2000 no té en compte la part baixa de les adreces (A0-A7) en aquests cicles.



- (2p) Determina **justificadament** en funció dels paràmetres inclosos a la taula:

- Duració del cicle de lectura:** Si mesurem entre els temps d'activació de 0 a 1 del senyal ALE, ja que ens indiquen que el cicle comença just quan ALE passa de 0 a 1, tenim que $tcyc=TLHLL+tLLWL+TRLRH$. Altres solucions acceptables serien incloure a aquest instant el temps que transcorre fins a una nova activació d'ALE $tWHLH$ o el temps de hold de la dada o el temps de desconnexió elèctric; llavors tindriem que $tcyc=TLHLL+tLLWL+TRLRH+tWHLH$ o $tcyc=TLHLL+tLLWL+TRLRH+TRHDZ$ o $tcyc=TLHLL+tLLWL+TRLRH+TRHDZ$.

(Nota: aquest càlcul serà aproximat ja que s'hauria de fer en funció dels cicles de rellotge)

- Temps que transcorre des de l'inici del cicle (es a dir, respecte $t=0$) fins que el bus d'adreces té una adreça vàlida:** $tLHLL-tAVLL$ (o també $tLHLL+tLLDV-tAVDV$)

- c) Últim instant possible (mesurat respecte a $t=0$) en que el HCTL-2000 pot col·locar una dada en el bus AD0-7 per tal de que el micro faci una lectura correcta: $tLHLL + tLLDV$ (o $tLHLL + tLLWL + tRLDV$ o $tLHLL + tAVDV - tAVLL$)
- d) Temps de manteniment de la dada (Hold): $tRHDX$

2.2. (1p) Si el temps de propagació de cadascuna de les portes lògiques 74LS30 i 74LS32 és t_p , determinar en el cronograma adjunt (plana 7) el valor del senyal d'entrada al HCTL-2000 anomenat OE*.

Per fer aquest apartat s'ha suposat que al bus d'adrees hi ha una adreça dins del rang que activa OE i que el temps de propagació t_p és molt menor que els temps de propagació del microcontrolador, i en particular amb el que temps que tarda en activar-se'n el senyal RD* respecte l'instant en que el bus d'adrees té una adreça vàlida, es a dir, $t_p \ll tAVWL$.*

2.3 (1p) Sabent que el senyal OE* del HCTL-2000 té la mateixa funcionalitat que el senyal asíncron OE* d'una memòria, calcular el màxim temps d'accés des d'OE* en funció del paràmetres inclosos a la taula.

El temps d'accés des de OE, $tOE = tRLDV - t_p$; altres solucions vàlides són: $tOE = tAVDV - tAVLL - t_p$ i $tOE = tLLDV - tLLWL - t_p$.

3. En el cronograma de sota es mostra un cicle de lectura simplificat del HCTL-2000.

3.1. (1p) Establir **justificadament** què representen els paràmetres 4, 15 i 5.

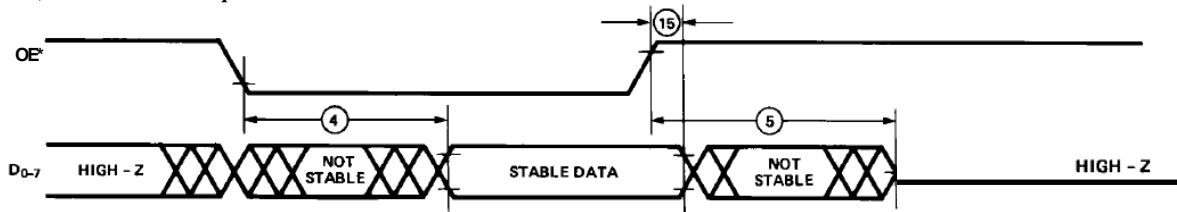
4: Temps d'accés des de OE o màxim temps fins a obtenir una dada vàlida des de l'activació d'OE*.

15: Temps de hold (de sortida) de la dada o temps mínim que es manté la dada estable després de la desactivació del senyal OE*.

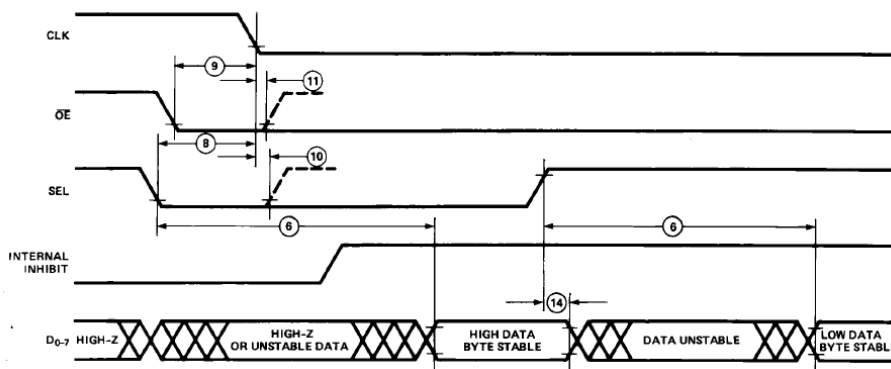
5: Temps màxim des de l'desactivació d'OE* fins al pas a alta impedància del bus de dades.

3.2. (1p) D'acord amb el senyal OE* calculat a l'apartat 2 establir la condició necessària –es a dir, una inequació amb paràmetres temporals del 8051 i el HCTL-2000– per tal de que la dada es mantingués el temps suficient per a garantir una correcta captura.

Primer cal que el micro tingui la dada abans de la captura, es a dir que el temps d'accés des de OE, $tOE = tRLDV - t_p \geq \textcircled{4}$. Llavors una dada mantinguda pel HCTL-2000 el temps suficient per a garantir una correcta captura serà aquella que el temps de hold mesurat sigui igual o més gran que el temps de manteniment de la dada del 8051, $tRHDX$. Segons es veu al cronograma del HCTL-2000 un cop es desactiva OE la dada es manté estable un temps anomenat $\textcircled{15}$. D'acord amb el càlcul de l'apartat 2, el senyal OE* es desactiva t_p segons després de l'instant de captura de la dada. Per tant tenim que $tRHDX \leq t_p + \textcircled{15}$. Un altre requisit seria que els temps de desconnexió elèctrica del HCTL-2000 (el paràmetre 5) més el retard t_p fos inferior o igual al temps màxim de desconnexió permès pel micro, $tRHDZ$; es a dir $tRHDZ \geq t_p + \textcircled{5}$.*



4. El HCTL-2000 disposa d'un senyal de control addicional anomenat SEL que permet en els cicles de lectura accedir de forma asíncrona a un dels dos bytes que guarda internament en un comptador de 16-bits. A més, els senyals OE* i SEL es capturen de forma síncrona (es a dir, en un flanc descendent del rellotge) per tal de generar un senyal intern de sincronisme –que surt a la figura amb el nom *internal inhibit*– relacionat amb el comptador. D'acord amb aquestes consideracions s'inclou a sota un nou cicle de lectura, on només es mostra l'efecte del senyal SEL sobre el bus de dades.



4.1. (1p) Establir **justificadament** què representen els paràmetres 8, 9, 10 i 11.

Com aquests paràmetres estan ubicats al voltant del flanc descendent del rellotge, tenen a veure amb la captura síncrona dels senyals OE i SEL, i per tant:*

8: Setup de SEL, 9: setup de OE*, 10: hold de SEL, 11: hold de OE*.

4.2. (0,5p) Establir **justificadament** què representa el paràmetre 6.

6: Temps d'accés des de el senyal SEL o temps màxim des de el canvi de valor en SEL fins que està disponible una dada estable al bus de dades.

4.3. (0,5p) Establir **justificadament** què representa el paràmetre 14.

14: Temps de hold (de sortida) de les dades o temps mínim que es manté estable el bus de dades després del canvi de SEL.