

EXAMEN FINAL CISE IV

PRIMAVERA 2000 (16 de Juny 2000)

Durada 3.5 hores

Nom i cognoms: _____

QÜESTIONS (30%)

(aprox: 1 hora)

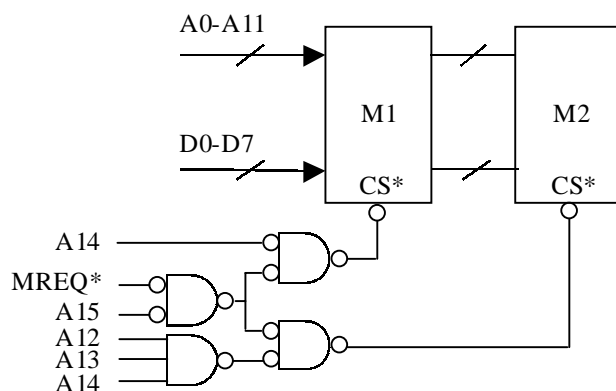
Q1. En una comunicació sèrie cada caràcter està format per 1 bit de *start*, 8 bits de dades, 1 bit de paritat i 1 bit de *stop*. La velocitat de transmissió utilitzada és de 19200 bauds

Quants caràcters es transmeten per segon?

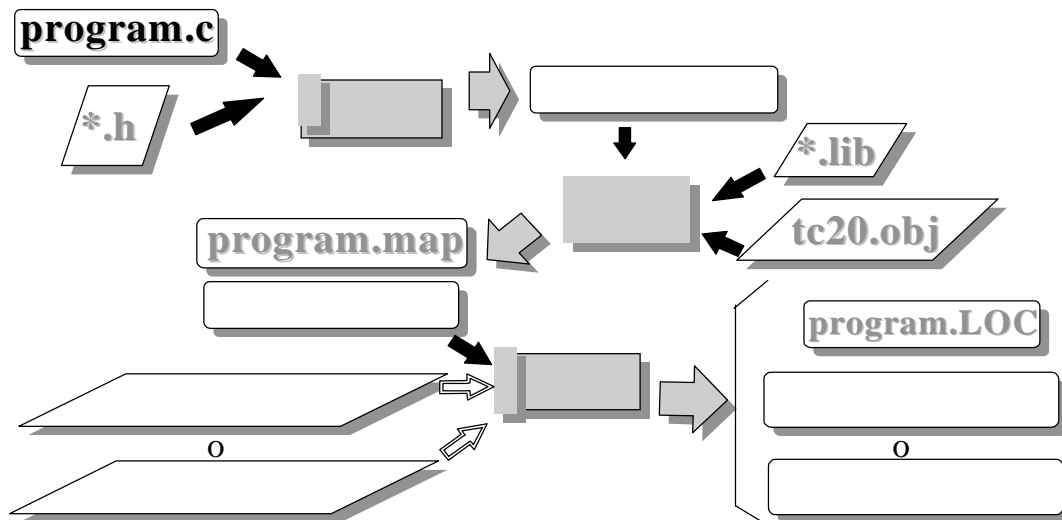
Quin temps trigarà a transmetre un fitxer de dades de 2Kbytes ?

Q2. Quina utilitat té la funció *setvect (arg1, arg2)* ? Quin és el significat dels arguments *arg1* i *arg2* ?

Q3. Dibuixar el mapa de memòria resultant per a la descodificació realitzada que apareix a la figura. Supposeu que el microprocessador té 16 línies d'adreces.



- Q4.** Empleneu els blocs (amb noms de programes o de fitxers amb la seva extensió adient) del següent diagrama que il·lustra el procés d'obtenció de fitxers executables en la placa del V25 de pràctiques a partir d'un programa en llenguatge C.



- Q5.** A la vista de les aparents diferències de definició del mapa de memòria existent a la placa del V25 de pràctiques (64Kbytes de EPROM i 128Kbytes de SRAM) que es fa als fitxers de configuració del sistema **.rm* i **.rt*, expliqueu breument, i concretant les diferents zones del mapa i el perquè d'aquestes diferències.

*RT

4KB RAM address space (PDREM)	as reserved
60KB RAM address space data	as rdwr
64KB RAM address space program	as rdonly
64 KB No access	as reserved
64KB EPROM address space	as reserved

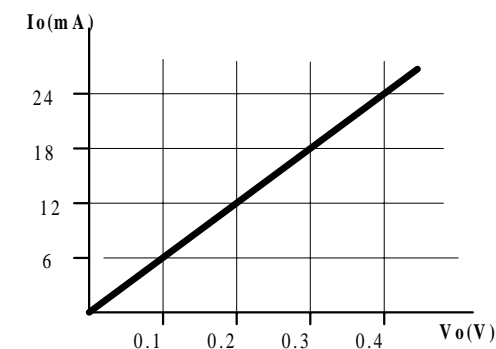
*RM

128KB RAM address space	as rdwr
64Kb No access	as reserved
64KB EPROM address space	as rdonly

Q6.- En un sistema amb μP , la línia de petició d'interrupció **IRQ*** treballa en **col·lector obert** i amb lògica negativa, per tal de poder connectar-hi més d'un dispositiu perifèric sense necessitat d'afegir cap més element.

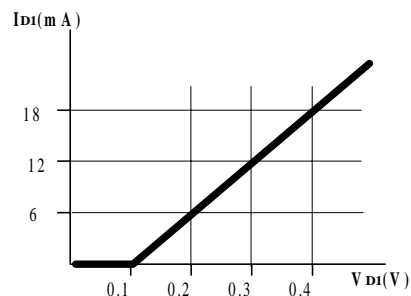
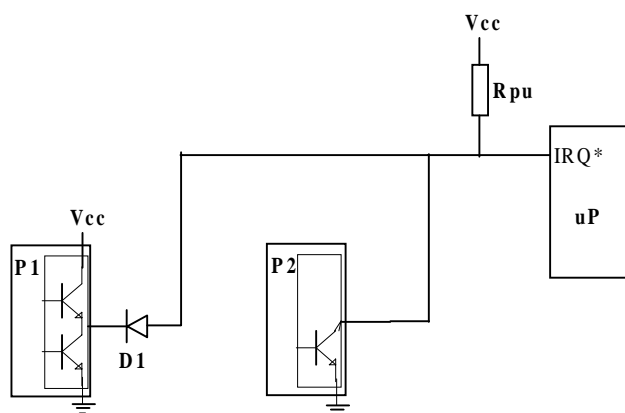
La entrada del μP té les característiques següents per a l'estat baix: $V_{IL} \text{ max} = 1 \text{ V}$; $I_{IL} \text{ max} = -10 \mu A$

A aquesta línia s'han de connectar dos perifèrics, **P1** amb sortida normal TTL tipus *totem-pole* i **P2** amb sortida col·lector obert, la característica de sortida dels quals, en la zona corresponent al nivell baix, es dona en la figura:



Característica de sortida de P1 i P2 al nivell baix

Com que la línia està pensada per connectar-hi perifèrics amb sortida en col·lector obert, per tal de que el circuit funcioni els connectem de la següent manera:



Característica aprox. de D1 en directa

En aquesta connexió, el díode **D1** permet que la sortida TTL treballi com si fos en **col·lector obert**, impedint que el transistor superior de la sortida *totem-pole* doni corrent, que aleshores vindrà donada per la resistència de *pull-up* (**Rpu**).

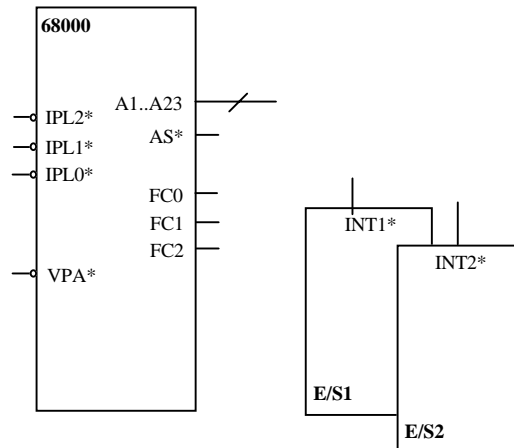
Si la característica I-V del díode **D1** es pot aproximar a la de la figura anterior quan està polaritzat en directa, i si volem en tot moment tenir un **marge de soroll mínim de 0.5 V al nivell baix** amb una **tensió de alimentació de 5 V**, ens cal calcular:

1. El valor mínim de la resistència de *pull-up*, R_{pu} , en el pitjor cas quan P1 i/o P2 fixen el nivell baix a la línia.
2. Com queda modificat el valor mínim de R_{pu} si es connecta en sèrie amb R_{pu} un díode LED [$V_{on} = 1,5V$, $I_{on(min)} = 10 \text{ mA}$] per tal de que s'il·lumini quan qualsevol dels dos perifèrics demani interrupció.

PROBLEMA 1 (25%)

(aprox: 1/2 hora)

Dissenyar el funcionament per interrupcions dels controladors de perifèric E/S1 i E/S2 de la figura, en les següents condicions:



- La interrupció ha de ser, **en ambdós casos, autovectoritzada i de nivell 4**.
- La sol·licitud d'interrupció s'ha de generar quan el senyal **INT*** corresponent està a nivell baix.
- La sortida **INT*** dels controladors és en **col·lector obert**.
- El senyal **VPA*** s'ha d'activar durant el cicle de reconeixement de la interrupció, per indicar que la interrupció és autovectoritzada.
- La taula de **codificació dels nivells** d'interrupció en el **68000** és la següent:

L	L	L	7	N.M.I.	H	H	H
L	L	H	6	Int. nivell 6	H	H	L
L	H	L	5	Int. nivell 5	H	L	H
L	H	H	4	Int. nivell 4	H	L	L
H	L	L	3	Int. nivell 3	L	H	H
H	L	H	2	Int. nivell 2	L	H	L
H	H	L	1	Int. nivell 1	L	L	H
H	H	H	0	No	X	X	X

- La taula de **codificació dels estats** del processador és la següent:

L	L	L	Reservat
L	L	H	Dades usuari
L	H	L	Programa Usuari
L	H	H	Reservat
H	L	L	Reservat
H	L	H	Dades Supervisor
H	H	L	Programa
H	H	H	IACK

Qüestions:

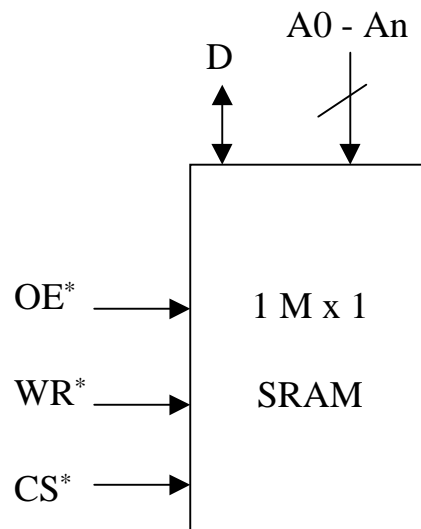
1. Connectar adequadament amb portes lògiques les entrades **IPL2***, **IPL1*** i **IPL0*** a les sortides **INT1***, **INT2*** dels perifèrics. Raonar la solució.
2. Generar un senyal específic que anomenarem **IACK4*** que només sigui actiu per aquest nivell d'interrupció.
3. Connectar adequadament l'entrada **VPA*** del 68000. Raonar la solució.
4. Com podem distingir quin dels dos perifèrics ha produït la interrupció ?

PROBLEMA 2 (25%)

(aprox.: 1/2 hora)

Una determinada CPU disposa d'un bus de dades de 16 bits i d'un bus d'adreces de 24 línies (A0-A23). Aquesta CPU no permet accessos a nivell de byte, els accessos són només a nivell de word.

A dins del mapa de memòria del microprocessador només es disposa de 5 Mbytes lliures que es volen poder adreçar a memòria RAM. Solament disposem de chips de memòria SRAM amb una organització de 1M x 1 i amb el bus de dades bidireccional.



Contestar les preguntes següents:

- 1) Quantes línies d'adreçament tindrà cada chip de memòria (valor de n)?
- 2) Determineu el nombre total de chips necessaris per poder ubicar físicament el bloc de memòria que es requereix.
- 3) Definir completament el mapa de memòria que volem adreçar des del microprocessador, suposant que comença a partir de l'adreça 000000_H
- 4) Es correspon el mapa que volem adreçar amb un nombre sencer de chips de memòria, o bé s'ha de dissenyar el sistema de descodificació perquè tingui en compte que hi ha part d'algun dels chips que no es vol activar?
- 5) Realitzar el disseny d'un sistema de descodificació (el més simple possible) que només activi la part activa del mapa, de forma completa (sense zones mirall).

PROBLEMA 3: (30%)

(aprox.: 1 hora)

Durant l'execució de programes és molt habitual fer lectures seqüencials de dades col·locades de manera consecutiva a la memòria (arrays, etc.). Una de les estratègies per augmentar la velocitat global d'accés a dades consecutives és mitjançant el mode *burst* d'accés a memòria. Un μP amb capacitat de mode *burst* és el i80486DX de Intel.

La interfície d'aquest microprocessador és:

- A2-A31: Bus d'adreces
- ADS*: Address Strobe
- D0-D31: Bus de dades (4 bytes)
- BE0*-BE3*: Data Strobes de cadascun dels bytes que conformen el bus de dades:
(BE0: D0-D7, BE1: D8-15, BE2: D16-23, BE3: D24-D31)
- W/R*: Senyal de escriptura-lectura

La durada d'un cicle de bus normal, sense cicles d'espera és de 2 cicles de rellotge. Si es vol accedir consecutivament a 8 bytes cal fer 2 cicles de lectura seguits, trigant en total 4 cicles de rellotge. En mode *burst* ho pot fer amb 3 cicles de rellotge de la manera següent:

- En el primer cicle de rellotge ordena la lectura dels 8 bytes al mateix temps, a dos bancs de memòria independents de 32 bits cadascun.
- En el segon cicle, llegeix els 4 bytes primers (32 bits del primer banc).
- En el tercer cicle, llegeix els 4 bytes últims (32 bits del segon banc).

El senyal que indica si el microprocessador vol llegir els primers 4 bytes (primer banc) o els segons (segon banc) és A2, tal com es pot veure al cronograma de lectura de la figura 1.

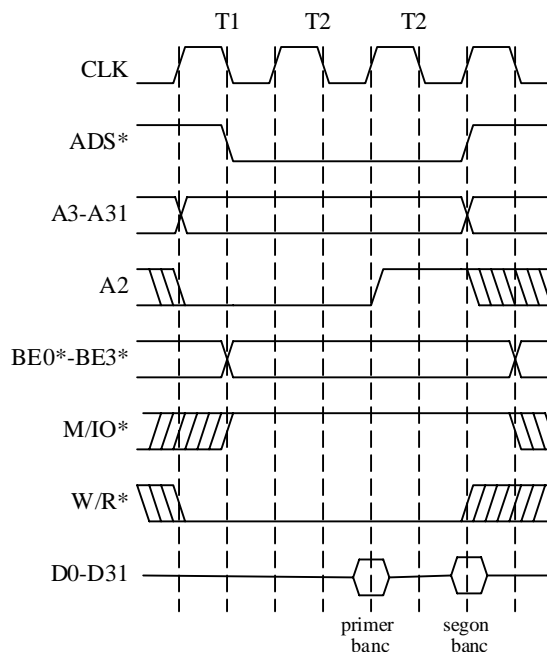


Fig. 1: Cronograma de lectura de 8 bytes en mode *Burst* del i80486.

En T1 el μP comença el cicle de lectura activant ADS* i posant l'adreça que vol llegir, amb A2=0. En el primer T2, A2=0 i es llegeixen els primers 4 bytes. En el segon T2, A2=1 i es llegeixen els segons 4 bytes.

S'ha dissenyat un sistema basat en el μP i80486DX. Una versió simplificada de l'esquema en cicles de lectura es pot veure a la figura 2:

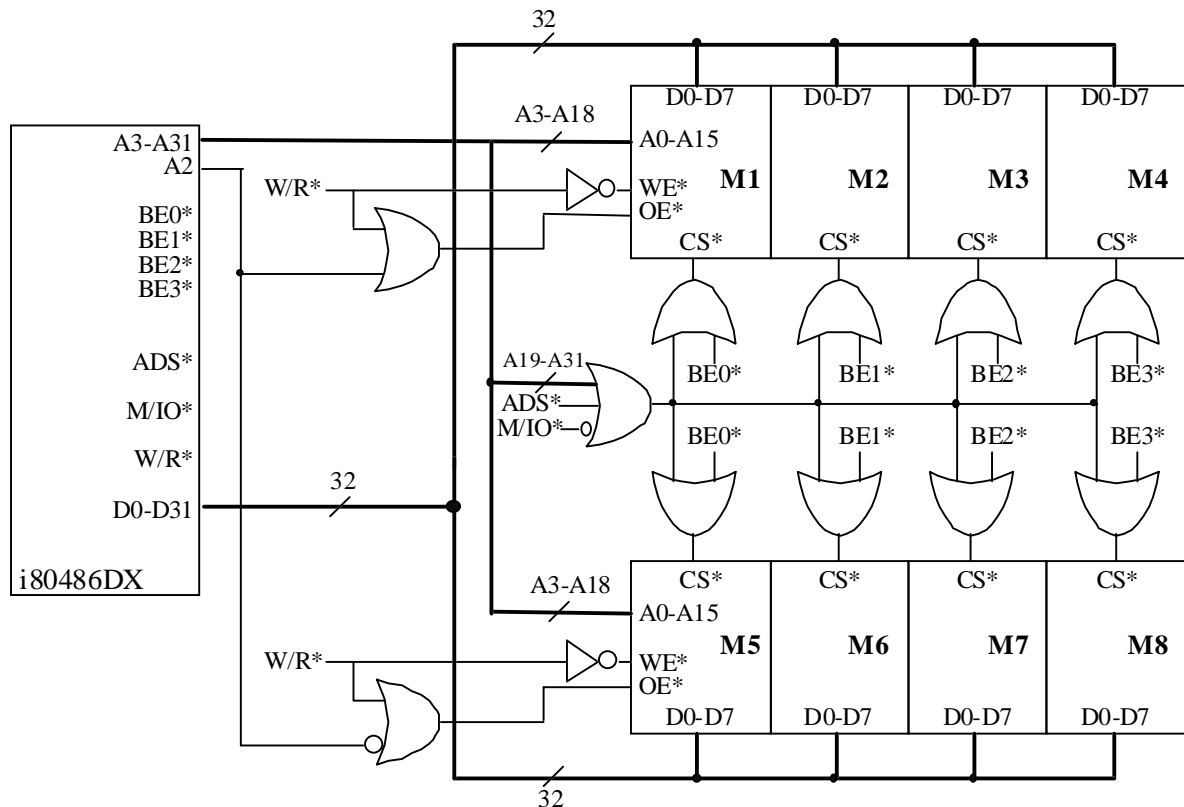


Fig. 2: Esquema del sistema.

Es demana:

- (2 punts) Mapa de memòria del sistema, especificant clarament a quina memòria estan assignats els bytes. Hi ha zones imatge ?
- (3 punts) Avaluar si s'accedeix correctament a les memòries M1-M4 a nivell de temporització.
- (3 punts) Avaluar si s'accedeix correctament a les memòries M5-M8 a nivell de temporització.
- (2 punts) El mode *Burst* real del i80486DX funciona amb 4 bancs de memòria. Quants cicles de rellotge trigaria en transferir 32 bytes en mode *burst* ? I en mode normal ?

NOTA:

- Freq. de treball: 40MHz
- Temps d'accés de RAM des d'adreces (t_{AA}) i CS^* (t_{CC}) = 35ns
- Temps accés de RAM des de OE^* (t_{OE}) = 10ns
- Retard de porta (t_P) = 3 ns