#### Problema 1 (1 punto)

Disponemos de un procesador de 16 bits con direcciones de 16 bits que tiene una memoria cache de datos con las siguientes características:

- 3-asociativa, con algoritmo de reemplazo LRU
- 16 bytes por línea
- 12 líneas
- política de escritura: copy back + write allocate

El contenido inicial de la cache (por simplicidad hemos utlizado el número de línea de MP, en vez del tag) es el siguiente:

conjunto 0	DB	conjunto 1	DB	conjunto 2	DB	conjunto 3	DB
A00	0	EC1	0	212	0	A23	0
ВОС	1	EC9	0	34E	1	FFF	0
C44	0	-	-	002	1	B1B	0

El DB=1 indica que la línea correspondiente ha sido modificada. La información de reemplazo está implicita en la posición. Las posiciones inferiores corresponden a las líneas que llevan más tiempo sin utilizarse. Las posiciones superiores corresponden a las últimas líneas utilizadas. Por ejemplo, en el conjunto 3, la línea A23 es la última utilizada, y la línea B1B la que lleva más tiempo sin ser utilizada.

Rellenad la siguiente tabla, indicando para cada referencia, el número de línea de MP que le corresponde, a qué conjunto de MC va a parar, si es acierto o fallo, si hay lectura de MP, si hay escritura en MP y la línea reemplazada cuando proceda.

tipo	dirección (hex)	línea MP	conjunto MC	¿acierto o fallo?	lectura MP ¿si/no?	Escritura MP ¿si/no?	¿Línea reemplazada?
ESCR	5190						
LECT	EC11						
ESCR	EC92						
ESCR	C443						
LECT	D954						
LECT	0025						
LECT	5196						
ESCR	B1B7						
LECT	EC18						
LECT	00F9						FFF

¿Cuál es el contenido final de la Memoria Cache?

conjunto 0	DB	conjunto 1	DB	conjunto 2	DB	conjunto 3	DB
	1						
	1						

curso 2006-2007 (Q1) 1/6

## Problema 2 (1 punto)

Disponemos de un procesador de 16 bits con un sistema de memoria con las siguientes características:

- Tamaño de línea = 64 bytes
- Política de escritura = WRITE THROUGH + WRITE NO ALLOCATE
- Tiempo de servicio en caso de acierto (Tsa) = 1 ciclo
- MP organizada en 8 módulos DIMM de 1 byte de ancho
- Latencia de fila de los módulos de MP = 3 ciclos
- Latencia de columna de los módulos de MP = 2 ciclos
- Ancho de banda del bus MP↔ MC: 16 bytes por ciclo
- La cache tiene continuación anticipada (early restart)

Suponiendo que realizamos un acceso a la dirección **0xFF86 indica** cómo se ocupan los recursos del sistema en las siguientes situaciones (independientes entre sí). Para ello, usa las letras que se indican a continuación para mostrar la ocupación de cache y memoria en las situaciones correspondientes

- Cache: acceso en acierto (H), acceso en fallo (M)
- Memoria: acceso a columna (C), acceso a fila (F), transferencia de datos (D)
- 1) Acierto en lectura.

-, ,	icito cii icc	Jea.	<u> </u>																
	Cache																		
	Memoria																		
2) Fa	llo en lectu	ra.																	
	Cache																		
	Memoria																		
3) Ac	3) Acierto en escritura.																		
	Cache																		
	Memoria																		
4) Fa	llo en escri	tura	э.																
	Cache																		
	Memoria																		

Los siguientes accesos (todos a byte) se realizan de forma consecutiva; es decir, la CPU inicia un nuevo acceso tan pronto ha sido servido el anterior. Se pide que indiques, de la misma forma que en el ejercicio anterior, cómo se ocupan los recursos del sistema:

acceso	ciclo	0	1	2	3	4	5	6	7	8	9	1	1 1	1 2	1 3	1 4	1 5	1 6	1 7	1 8	1 9	2 0	2	2 2	2 3	2 4	2 5	2 6	2 7	2 8	2 9	3 0	3	3 2	3	3 4	3 5	3 6
0x4343 read	Cache																																					
hit	Mem																																					
0x2385	Cache																																					
read miss Mem																																						
0x5846	Cache																																					
write hit	Mem																																					
0x6474	Cache																																					
read hit	Mem																																					

curso 2006-2007 (Q1) 2 / 6

## Problema 3 (1 punto)

Al sistema de memoria del ejercicio anterior se le ha añadido un buffer de escritura de 1 entrada con las siguientes características:

- El coste de escribir una palabre en el buffer es 1 ciclo.
- La CPU escribe simultáneamente a MC y al buffer de escritura.
- El contenido del buffer puede escribirse en MP en el siguiente ciclo.
- Se puede escribir una palabre del buffer en MP siempre y cuando la MP no esté ocupada. En caso de poderse iniciar 2 accesos simultáneamente (lectura de línea y escritura desde el buffer), tendrá prioridad la lectura de línea.
- El buffer está ocupado hasta que acaba la escritura de su contenido en MP.

Los siguientes accesos (todos a byte) se realizan de forma consecutiva, es decir la CPU inicia un nuevo acceso tan pronto ha sido servido el anterior. Indica cómo se ocupan los recursos del sistema según:

- Cache: acceso en acierto (H), acceso en fallo (M)
- Memoria: acceso a columna (C), acceso a fila (F), transferencia de datos (D)
- Buffer: buffer ocupado (X)

acceso	ciclo	0	1	2	3	4	5	6	7	8	9	1	1 1	1 2	1 3	1 4	1 5	1 6	1 7	1 8	1 9	2	2	2 2	2 3	2 4	2 5	2 6	2 7	2 8	2 9	3	3	3 2	3	3 4	3 5	3 6
0x4343	Cache																																					
read hit	Mem																																					
0x2385	Cache																																					
read miss	Mem																																					
0x5846 (	Cache																																					
hit	Mem																																					
0x6474	Cache																																					
read hit	Mem																																					
Buff	er																																					
Mem	(1)																																					

(1) Uso de la memoria cuando se descarga el buffer en MP.

curso 2006-2007 (Q1) 3 / 6

## Problema 4 (1 punt)

Tenim un sistema de memòria principal (de 29 bits d'adreça) amb les següents característiques:

- 1 DIMM amb 8 xips de memòria DDR.
- Cada xip te una capacitat de 64 Mbytes.
- Cada xip te 16 bancs de memòria.
- Cada banc te 4096 files i 1024 columnes (de 1 byte cada una)
- Les dades estan entrellaçades a nivell de xip. Posicions consecutives de memòria estan a xips diferents.
- Dintre del xip les dades no estan entrellaçades. Posicions consecutives de xip estan al mateix banc.
- 1) Identifica a la tira de bits quins corresponen a cada camp de l'adreça (chip, banc, fila i columna)

|--|

- 2) Donat un acces al byte 0x1A320793 calcula (en hexa) la seva ubicació exacta:
- chip =
- banc =
- fila =
- columna =

## Problema 5. Memoria Principal (1 punto)

Para cada una de las siguientes afirmaciones, **indica** si son ciertas (**C**) o falsas (**F**). Hay que contestarlas todas (1 fallo: 0.5 puntos, 2 o más fallos: 0 puntos).

- Una memoria DDR es una RAM síncrona que suministra un dato por ciclo.
- En una memoria DRAM se accede simultáneamente a todos los bits de una misma fila a través de la señal wordline.
- La lectura en una DRAM es destructiva, al revés que en una SRAM.
- El tiempo de acceso al primer dato en una EDO DRAM es el mismo que en una BEDO DRAM.
- El número de bancos en un chip de un módulo DIMM no tiene porque ser potencia de dos.

## Problema 6. Memoria Cache (1 punto)

Para cada una de las siguientes afirmaciones, **indica** si son ciertas (**C**) o falsas (**F**). Hay que contestarlas todas (1 fallo: 0.5 puntos, 2 o más fallos: 0 puntos).

- En una memoria cache copy back-write no allocate nunca hay líneas sucias porque en caso de fallo de escritura el dato no se trae a memoria cache.
- El tiempo de penalización en caso de fallo de escritura de una memoria cache write through-write allocate es mayor que en una memoria cache write through-write no allocate.
- El algoritmo de reemplazo aleatorio funciona muy mal para la mayoría de los programas.
- Una victim cache tiene un Tsa mayor que la memoria cache con la que trabaja en paralelo, debido a que la victim cache es completamente asociativa.
- El prefetch por software permite mayor control sobre el tráfico del bus a costa de ejecutar más instrucciones.

curso 2006-2007 (Q1) 4/6

## Problema 7 (2 punts)

Tenim un processador amb les següents característiques:

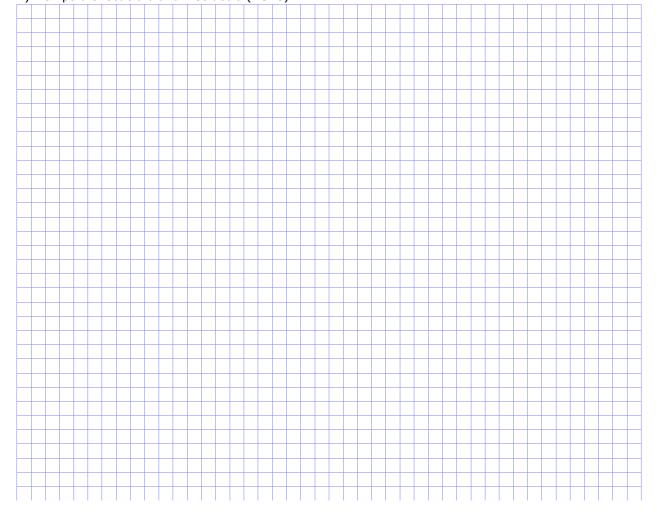
- CPI ideal: 1,45 cicles por instrucció
- Nombre de referències por instrucció (nr): 1.25
- Tc: 1 ns
- Caches d'instruccions i dades separades

Les característiques de les dues caches són:

Característica	MC Instruccions	MC Dades
Nombre de referències per instrucció (nr)	1	0.25
Tasa de fallos (m)	4%	20%
Política de escriptura	-	copy back + write allocate
Penalització en cas de fallo al reemplaçar una línia NO modificada (tpfNOMOD)	15	15
Penalització en cas de fallo al reemplaçar una línia modificada (tpfMOD)		25
Temps de servei en cas d'encert (tsa)	1	1
Percentatge de línies modificades	0%	40%

#### Es demana:

- 1) Temps mig d'acces a memòria per instruccions (**Tma**<sub>I</sub>)
- 2) Temps mig d'acces a memòria per dades ( $\mathbf{Tma}_{\mathbf{D}}$ )
- 3) Temps mig d'acces a memòria (**Tma**)
- 4) Temps d'execucio d'una instrucció (Texe)



curso 2006-2007 (Q1) 5 / 6

## Problema 8 (2 punts)

Donat el següent codi escrit en ensamblador del IA32:

```
movl $0, %ebx
movl $0, %esi
for: cmpl $4*1024, %esi
    jge end

(a) movl (%ebx, %esi, 4), %eax
(b) addl 1024(%ebx, %esi, 4), %eax
(c) movl %eax, 4*1024(%ebx, %esi, 4)
    incl %esi
    jmp for
end:
```

Suposant una memòria cache de dades amb escriptura **Copy Back** + **Write Allocate** de **2 Kbytes** amb línies de **16 bytes** i tenint en compte únicament els accessos a **dades**, calcula els següents paràmetres:

1)	Nombre d'operacions de Lectura:	
	Nombre d'operacions de Escriptura:	

#### Suposant que l'algorisme d'emplaçament és mapeig directe, indica:

2) Per cada un dels accessos (etiquetes a, b i c), si es produirà miss (F) o hit (A) en cada una de les 8 primeres iteracions i en cada una de les 8 iteracions a partir de la 256.

	0	1	2	3	4	5	6	7	256	257	258	259	260	261	262	263
а																
b																
С																

referència a: \_\_\_\_\_ referència b: \_\_\_\_\_ referència c: \_\_\_\_\_ total: \_\_\_\_

# Suposant que l'algorisme d'emplaçament és associatiu per conjunts (LRU) amb dues línies per conjunt, indica:

4) Per cada un dels accessos (etiquetes a, b i c), si es produirà miss (F) o hit (A) en cada una de les 8 primeres iteracions i en cada una de les 8 iteracions a partir de la 256

	0	1	2	3	4	5	6	7	256	257	258	259	260	261	262	263
а																
b																
С																

5) Nombre d'encerts totals del bucle: \_\_\_\_\_

curso 2006-2007 (Q1) 6 / 6