

ETSETB

(Enginyeria de Telecomunicació)

## CISE IV

Notes provisionals: 24/01/2005

Límit al·legacions: 26/01/2005 a les 14 h.

Notes definitives: 31/01/2005

Quadrimestre Tardor 2004-05

14 de Gener de 2005

S'ha de respondre en els mateixos fulls. No es poden lliurar fulls addicionals

Temps: 2,5 hores

**PROBLEMA 1 (35%)**

A la figura 1 es mostren els corresponents models gràfics dels següents elements:

- $\mu$ P V25
- Memòria EPROM de 64K x 8.
- Memòria SRAM de 256K x 8.
- Descodificador de 3 a 8 amb sortides actives a nivell baix, i entrada C com a MSB (*Most Significant Bit*).

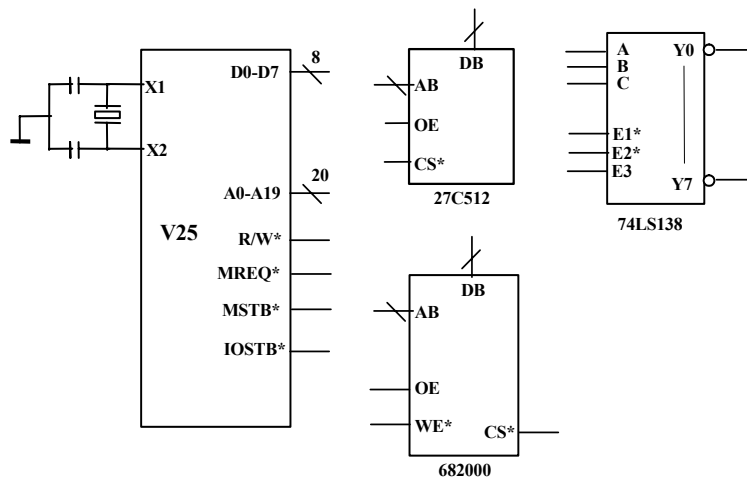


Fig. 1.- Elements del sistema

1. (4p) Construir un sistema que tingui, en els llocs adequats del mapa de memòria del V25, un bloc de 640Kbytes d'EPROM i un bloc de 256Kbytes de SRAM. La decodificació ha de ser **completa** i **només** es pot utilitzar xips (el nombre que calgui) dels tipus que hi ha a la figura 1.

2. (2p) Si podem ara disposar d'una **única** porta lògica (*AND* o *OR*), no es podria estalviar cap dels xips emprats a l'apartat anterior? Com quedaria ara el circuit descodificador? (**NO** cal repetir tot allò que resti idèntic).

3. (4p) En una altra variant de circuit ens caldria que el sistema, en lloc dels 640Kbytes, tingués **només un bloc de 64 Kbytes d'EPROM** en el lloc adequat del mapa de memòria del V25. Dissenyeu la descodificació només de la memòria EPROM, ara **sense descodificadors i amb el mínim nombre de portes lògiques** (*AND* i *OR*, amb el mínim nombre d'entrades possible, i *NOT*), d'aquesta nova EPROM en dues possibles condicions de descodificació alternatives:

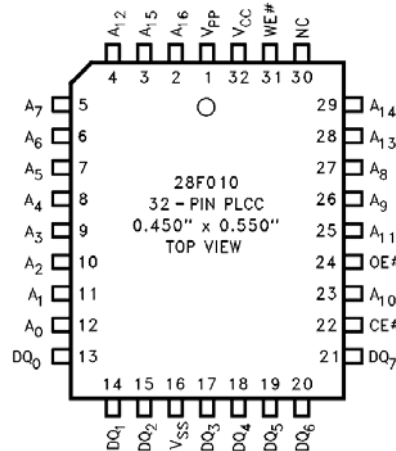
a. Només **dues** zones imatge. Una d'elles ha d'acabar a l'última adreça de la meitat inferior (d'adreces baixes) del mapa de memòria del V25.

b. També només **dues** zones imatge, però una d'elles ha de començar a la primera adreça de la meitat superior (d'adreces altes) del mapa de memòria del V25.

c. Per què hi ha una diferència "qualitativa" entre aquestes dues descodificacions?

**PROBLEMA 2 (45%)**

Es vol dissenyar un sistema basat en el microcontrolador V25 i que contingui una memòria **Flash** A28F010 d'Intel. La interfície de connexió d'aquesta memòria es mostra a la figura 1.



**Figura 1:** Potes de connexió de la Flash

on Vcc és la tensió d'alimentació normal (5V), Vss serà on connectem la massa del circuit, DQ0-DQ7 és el bus de dades i la pota NC (*Not Connected*) no cal connectar-la enlloc.

L'entrada Vpp és una alimentació especial. Aquesta memòria és molt similar a una memòria EPROM:

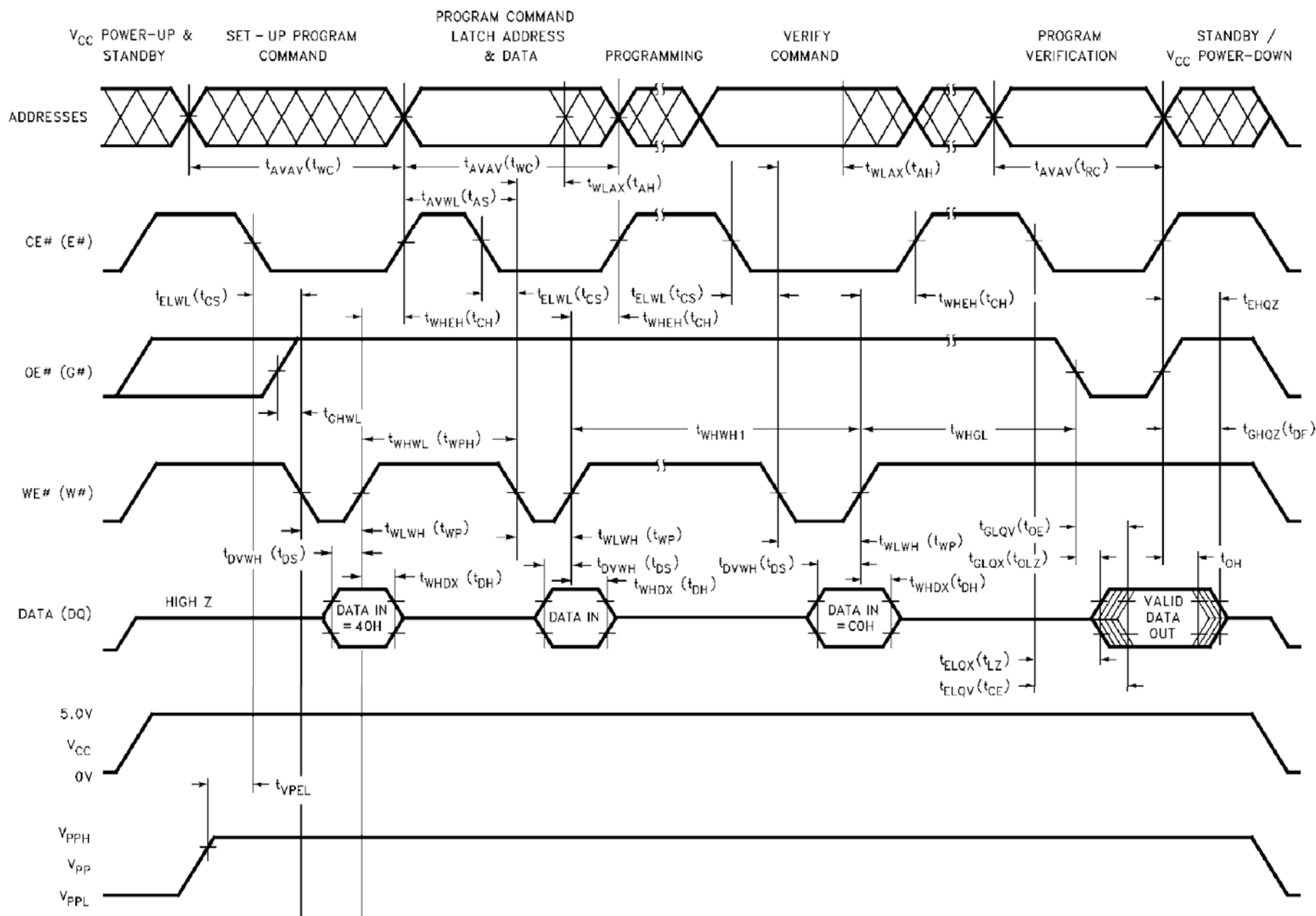
- quan Vpp té una tensió baixa, la memòria només pot ser llegida.
- quan Vpp té una tensió alta (12V), es pot escriure a la memòria (activant el senyal de WE\*) i llegir (activant el senyal d'OE\*).

L'escriptura d'un byte a aquesta memòria (procés **PROGRAM-AND-VERIFY**) és un procés relativament complicat en què primer s'escriu la dada, i després es llegeix per poder verificar que el valor finalment gravat és el que volíem. Si hi ha error es repeteix un nombre de vegades l'escriptura fins que la comparació sigui bona. En cas d'intentar-ho 25 vegades sense èxit, s'ha de rebutjar el dispositiu perquè no funciona correctament.

El procés **PROGRAM-AND-VERIFY** amb més detall és (veure la temporització a les figures 2 i 3):

- 1) Es posa Vpp a una tensió alta (12V).
- 2) **SET-UP PROGRAM COMMAND:** Es fa un cicle d'escriptura d'una 'comanda' a la memòria. Aquesta comanda indica que es farà una escriptura de byte. L'adreça d'aquesta primera escriptura no té importància. La dada que s'escriu és 0x40.
- 3) **PROGRAM COMMAND LATCH ADDRESS AND DATA:** Es fa un cicle d'escriptura de la dada que volem escriure a l'adreça a on volem fer-ho.
- 4) **VERIFY COMMAND:** Es fa un cicle d'escriptura d'una 'comanda' a la memòria. Aquesta comanda indica a la memòria que després ve un cicle de verificació on es farà la lectura del byte que s'ha escrit al pas 3. L'adreça d'aquest pas no té importància. La dada que s'escriu és 0xC0.
- 5) **PROGRAM VERIFICATION:** Es fa un cicle de lectura per fer la verificació. La dada que surti serà comparada amb la dada que volíem escriure i en cas de que siguin iguals vol dir que l'operació ha tingut èxit. L'adreça d'aquest pas no té importància.
- 6) **STANDBY:** Es posa Vpp a una tensió baixa (<6.5V) i, per tant, ja no es pot escriure a la memòria.

Les operacions des del pas 2 fins al pas 5 es repeteixen per cada byte que vulguem escriure a la memòria *Flash*.



**Figura 2:** Temporització del cicle de programació (escriptura) – verificació.

Symbol	Characteristic	28F010-150		Unit
		Min	Max	
t <sub>AVAV</sub> /t <sub>WC</sub>	Write Cycle Time	150		ns
t <sub>AVWL</sub> /t <sub>AS</sub>	Address Set-Up Time	0		ns
t <sub>WLAX</sub> /t <sub>AH</sub>	Address Hold Time	60		ns
t <sub>DVWH</sub> /t <sub>DS</sub>	Data Set-up Time	50		ns
t <sub>WHDX</sub> /t <sub>DH</sub>	Data Hold Time	10		ns
t <sub>WHGL</sub>	Write Recovery Time before Read	6		μs
t <sub>GHWL</sub>	Read Recovery Time before Write	0		μs
t <sub>ELWL</sub> /t <sub>CS</sub>	Chip Enable Set-Up Time before Write	20		ns
t <sub>WHEH</sub> /t <sub>CH</sub>	Chip Enable Hold Time	0		ns
t <sub>WLWH</sub> /t <sub>WP</sub>	Write Pulse Width <sup>(2)</sup>	80		ns
t <sub>ELEH</sub>	Alternative Write <sup>(2)</sup> Pulse Width	80		ns
t <sub>HWHL</sub> /t <sub>WPH</sub>	Write Pulse Width High	20		ns
t <sub>WHWH1</sub>	Duration of Programming Operation	10		μs
t <sub>WHWH2</sub>	Duration of Erase Operation	9.5		ms
t <sub>PEL</sub>	V <sub>PP</sub> Set-Up Time to Chip Enable Low	1.0		ms

Symbol	Characteristic	28F010-150		Unit
		Min	Max	
t <sub>AVAV</sub> /t <sub>RC</sub>	Read Cycle Time	150		ns
t <sub>ELQV</sub> /t <sub>CE</sub>	Chip Enable Access Time		150	ns
t <sub>AVQV</sub> /t <sub>ACC</sub>	Address Access Time		150	ns
t <sub>GLQV</sub> /t <sub>OE</sub>	Output Enable Access Time		55	ns
t <sub>ELQX</sub> /t <sub>LZ</sub>	Chip Enable to Output in Low Z	0		ns
t <sub>EHQZ</sub>	Chip Disable to Output in High Z		55	ns
t <sub>GLQX</sub> /t <sub>OLZ</sub>	Output Enable to Output in Low Z	0		ns
t <sub>GHQZ</sub> /t <sub>DF</sub>	Output Disable to Output in High Z		35	ns
t <sub>OH</sub>	Output Hold from Address, CE #, or OE # Change	0		ns
t <sub>WHGL</sub>	Write Recovery Time before Read	6		μs

**Figura 3:** Temps relatius al cicle de *Program-Verify* de la memòria *Flash*.

Es demana

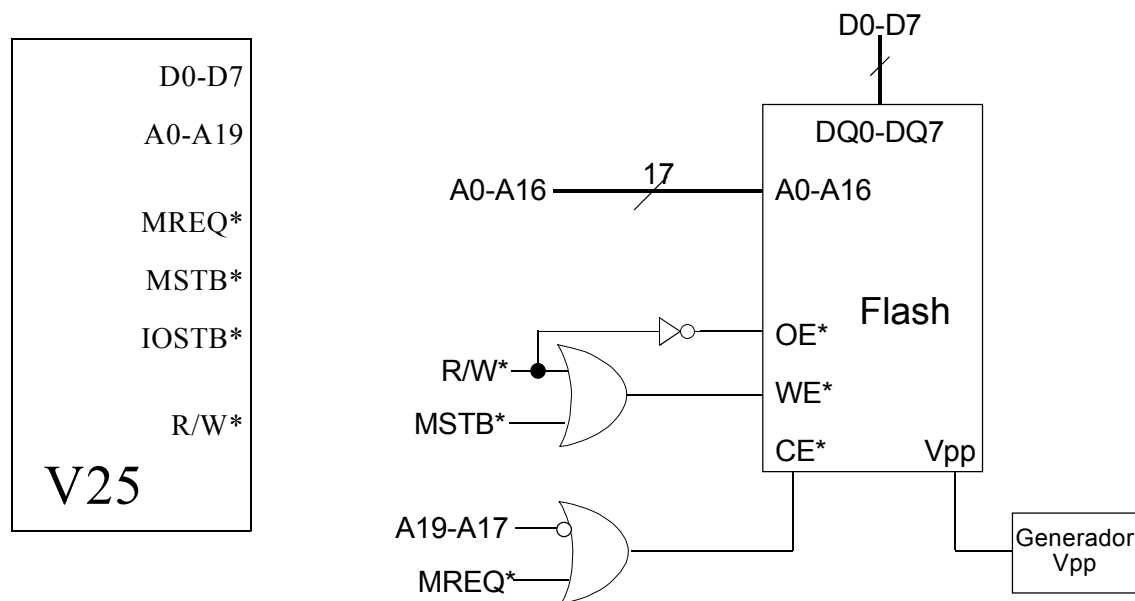
- (0,5 punts) Calculeu el temps mínim que ha d'haver-hi entre els instants de fi d'escriptura dels següents dos cicles: *Set-Up Program Command* i *Program Command Latch Address and Data* (els instants de fi d'escriptura vénen donats pels flancs de pujada del senyal de WE\* en els 1r i 2n cicles d'escriptura).
- (0,5 punts) Temps mínim que ha d'haver-hi entre els instants de fi d'escriptura dels següents dos cicles: *Program Command Latch Address and Data* i *Verify Command* (els instants de fi d'escriptura vénen donats pels flancs de pujada del senyal de WE\* en els 2n i 3r cicles d'escriptura).
- (0,5 punts) Temps mínim entre el cicle d'escriptura *Verify Command* i el cicle de lectura de *Program Verification* (temps mínim entre flanc de pujada de WE\* del tercer cicle i flanc de baixada de OE\*).
- (2,5 punts) **CICLES D'ESCRITURA:**
  - Temps mínim entre que activem CE\* i activem WE\* a qualsevol dels 3 cicles d'escriptura de la figura 2.
  - Amplada mínima dels polsos del senyal de WE\* en els cicles d'escriptura.

d.3) Temps de mínim que s'han de mantenir les dades en el bus de dades de la memòria abans de l'instant de fi d'escriptura (flanc de pujada del senyal de WE\*).

d.4) Temps mínim que s'han de mantenir les dades després de l'instant de fi d'escriptura (flanc de pujada del senyal de WE\*).

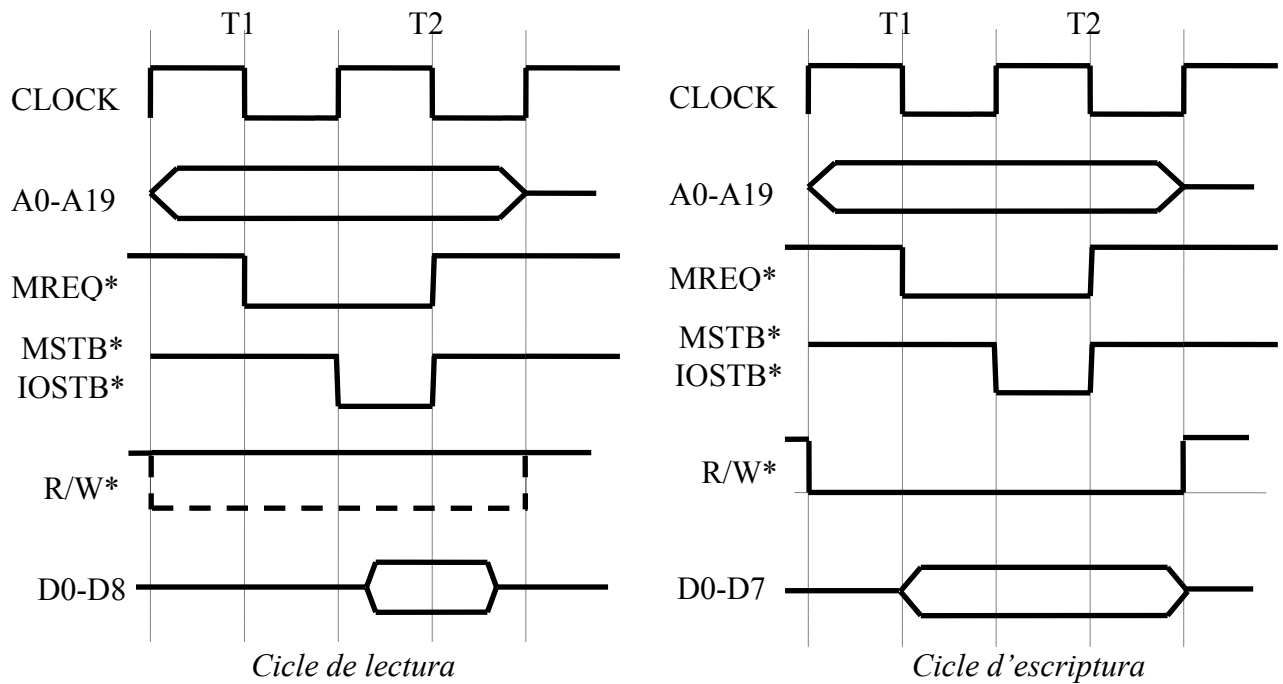
d.5) Es pot desactivar el senyal de CE\* abans del de WE\* ? Per què ?

S'ha dissenyat el circuit de la figura 4, basat en el microcontrolador V25, per tal de treballar amb la memòria *Flash* anterior:



**Figura 4:** Circuit complet on es connecta la memòria *Flash*

Els cronogrames de lectura i escriptura, sense cicles d'espera, del V25 es mostren a la figura 5:



**Figura 5:** Cicles de lectura i escriptura del V25

**La freqüència de treball del V25 és de 10MHz (Clock) i el retard de les portes és de 0ns.**

Es demana:

e) (2 punts) Als apartats d.1, d.2 i d.3 heu trobat els valors d'uns certs temps mínims que s'han de complir en l'escriptura de la memòria *Flash*. Indiqueu, ara, els valors que el nostre circuit procura per aquests mateixos temps. Són correctes? Són necessaris cicles d'espera?

e.1:

e3:

e.2:

Nombre de cicles espera:

f) (0,5 punts) És necessari utilitzar el senyal de MSTB\* per generar el senyal de WE\*? Podríem haver fet servir en el seu lloc el senyal de MREQ\* del V25? Per què?

g) (2 punts) Calculeu el nombre de cicles d'espera necessaris per a la lectura en la *Flash* amb el nostre circuit.

h) (1,5 punts) S'ha fet el següent programa d'assemblador per escriure dades des d'una RAM del circuit (que no surt a l'esquema del sistema de la figura 4) cap a la memòria *Flash*.

```
mov [@Flash],0x40
      n1 x NOP
mov al,[@RAM]
      n2 x NOP
mov [@Flash],al
      n3 x NOP
mov [@Flash],0xC0
      n4 x NOP
mov ah,[@Flash]
      n5 x NOP

cmp ah,al           // Comparació per la verificació de dada escrita
.....             //(el programa continuaria)
```

Tenint en compte només la resposta als apartats a), b) i c), si suposem que l'execució de cadascuna de les instruccions 'mov' o 'cmp' dura **1µs**, i que l'execució d'una instrucció NOP (*No-Operation*) triga **0,2µs**, calculeu els valors de n1, n2, n3, n4 i n5 (nombre mínim necessari d'instruccions NOP, si en cal, a cada pas per assegurar una correcta operació).

n1 =

n4 =

n2 =

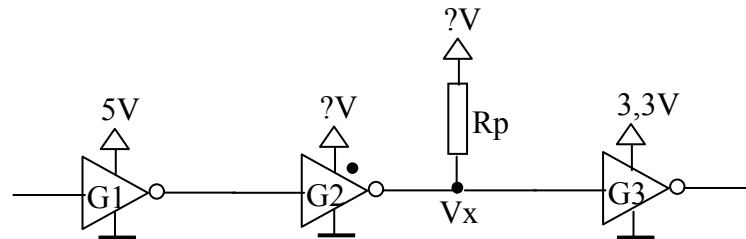
n5 =

n3 =



**PROBLEMA 3 (20%)**

En el circuit de la figura, es pretén implementar una interfície de nivells lògics i corrents entre dispositius de tecnologia LSTTL (com G1), alimentats a 5V, i dispositius de tecnologia LVTTL (com G3), alimentats a 3.3V.



Les característiques estàtiques principals de la tecnologia LVTTL són:

$V_{IHmin}$	2.0 V	$I_{IH}$	50 $\mu A$
$V_{ILmax}$	0.8 V	$I_{IL}$	-50 $\mu A$
$V_{OHmin}$	3.1 V	$I_{OH}$	-100 $\mu A$
$V_{OLmax}$	0.2 V	$I_{OL}$	100 $\mu A$

L'inversor G2 és un *buffer* LSTTL de tipus *Open Collector* amb les característiques de sortida següents:

$$I_{OH} = 10 \mu A$$

$I_{OL}$	$V_{OLmax}$
100 $\mu A$	0.2 V
12 mA	0.4 V
24 mA	0.55 V

Es demana:

- 1) (2p) Tenint en compte que els dispositius lògics en general no admeten a les seves entrades una tensió superior a la seva alimentació, quines tensions d'alimentació cal aplicar a G2 i a Rp? Per què és necessari que G2 sigui LSTTL de tipus *Open Collector* ?

2) (5p) Determinar un valor vàlid de  $R_P$  per a uns marges de soroll de  $N_{MH}=N_{ML}=0,4V$ .

3) (3p) Ara es modifica el circuit anterior afegint una residència  $R_s$  en sèrie i a tocar del terminal d'entrada de G2, per protegir la porta enfront de possibles descàrregues esporàdiques de tensió electrostàtica en el tram A-B. Si  $R_s = 1000 \Omega$ , quantificar la degradació de  $N_{MH}$  i  $N_{ML}$  (calcular el seu nou valor).

