

# ETSETB

## Enginyeria de Telecomunicació

### CISE IV

Quadrimestre Tardor 2003-04  
23 de Gener de 2004

Notes provisionals: 29/01/2004

Límit al·legacions: 30/01/2004 a les 14 hores

Notes definitives: 30/01/2004

**S'ha de respondre en els mateixos fulls. No es poden entregar fulls addicionals**

**Temps: 2 h 30 m**

### PROBLEMA 1 ( 40 %)

A la figura 1 es mostren els corresponents models dels següents elements:

- $\mu P$  V25
- Memòria EPROM 27C2001 de 256K x 8.  $t_{ACA}$ (Adreces) = 100ns,  $t_{ACC}(CS^*)$  = 100ns,  $t_{ACO}(OE^*)$  = 50ns
- Memòria SRAM 68100 de 128K x 8. Temps d'accés de lectura:  $t_{ACA}$  (Adreces) = 70ns,  $t_{ACC}(CS^*)$  = 70ns,  $t_{ACO}(OE^*)$  = 25ns. Temps d'accés d'escriptura:  $t_{CW}$  = 60ns (Veure definició més avall)
- Controlador E/S amb 4 registres de 8 bits. Temps d'accés per lectura o escriptura:  $t_{ACC}$ (Adreces,  $CS^*$ , R/W\*) = 100ns
- Descodificador de 3 a 8.  $t_R$  = 15ns

A més d'aquests elements, només es poden fer servir portes NAND i NOR de dues entrades i inversors, tots amb  $t_R$  = 5ns.

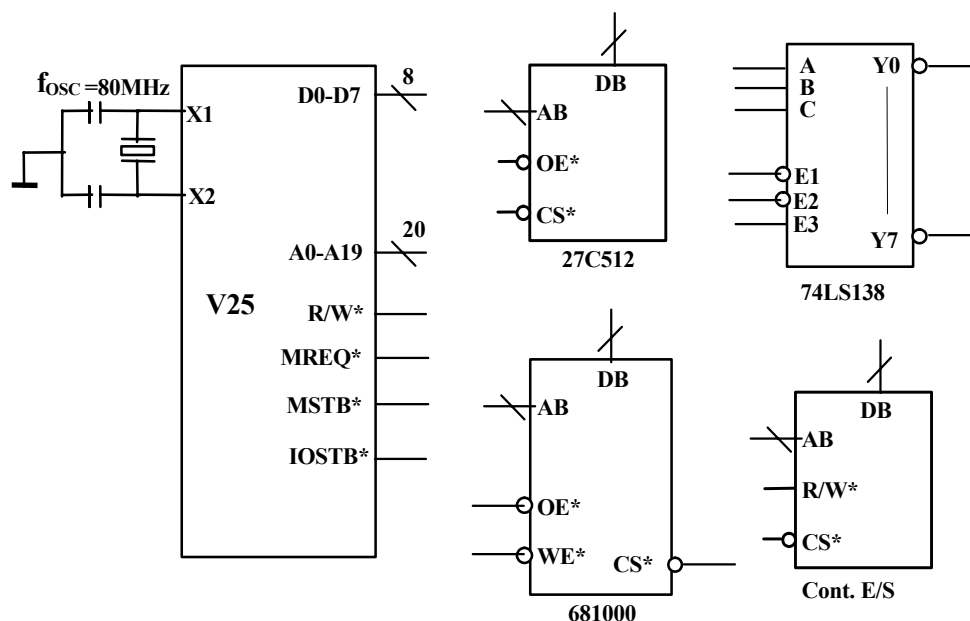


Fig. 1

El cristall del oscil·lador és de 80 MHz, el contingut del registre PRC és 1AH i el significat d'aquest registre és:

7	6	5	4	3	2	1	0	
-	-	-	-	-	-	PCK1	PCK0	
						PCK1	PCK0	Freqüència de rellotge $f_{CLK}$
						0	0	$f_{CLK} = 0.5 \times f_{OSC}$
						0	1	$f_{CLK} = 0.25 \times f_{OSC}$
						1	0	$f_{CLK} = 0.125 \times f_{OSC}$
						1	1	no permès

Els senyals del V25 en un cicle màquina sense estats d'espera (lectura o escriptura) son els de la figura 2 (suposar que els canvis es produeixen amb coincidència amb  $\frac{1}{2}$  període de CLOCK):

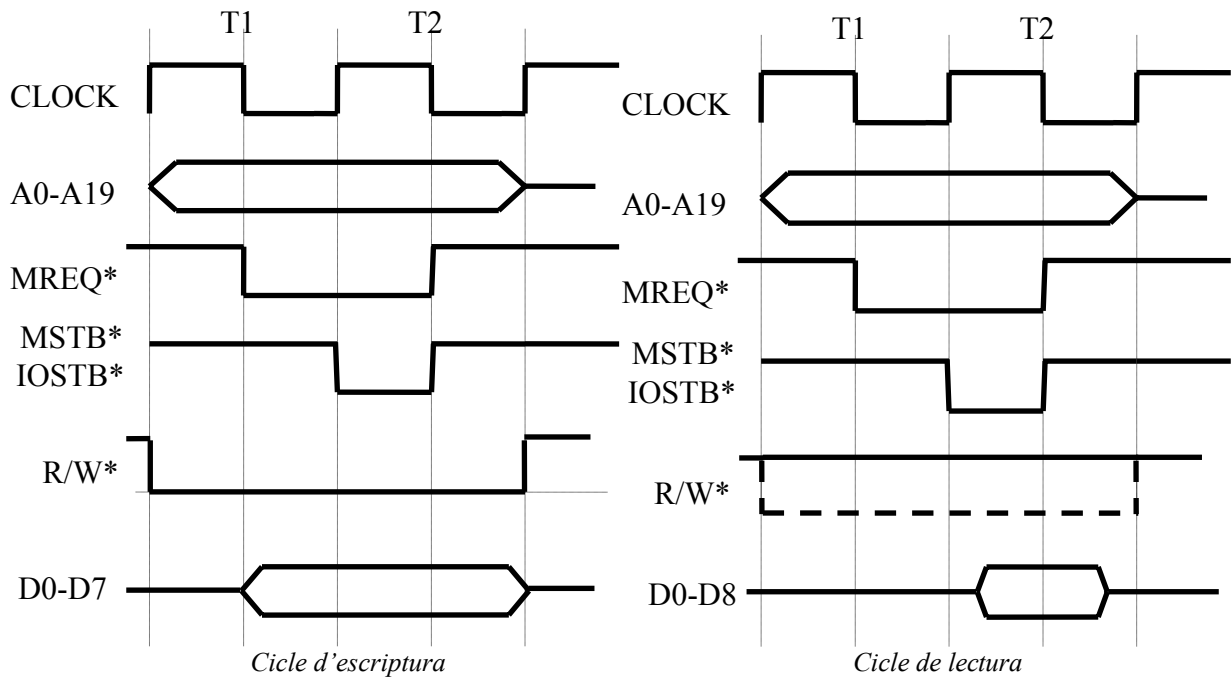
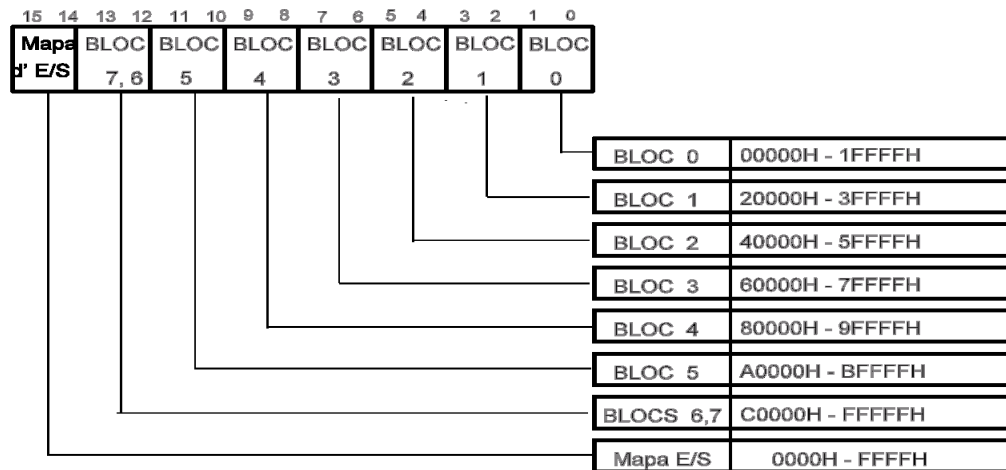


Fig. 2

L'instant de lectura coincideix amb el flanc de pujada de MREQ\* i MSTB\* o bé de IOSTB\* (En el cicle de lectura de E/S no es valida MREQ\*)

L'accés per una operació d'escriptura a la SRAM ( $t_{cw}$ ) es defineix com el temps entre l'instant en que tots dos senyals CS\* i WE\* estan a nivell baix i que qualsevol dels dos torna a nivell alt.

El significat del registre WTC és el següent:



BLOC n o Mapa d'E/S	Estats d'Espera
00	0
01	1
10	2
11	2 + demanats per READY

1. Construir un sistema que tingui, en el lloc adequat, 256K de EPROM, 512K de SRAM i pugui contenir, en el mapa de E/S, fins a vuit controladors com l'indicat. La descodificació de memòria ha de ser completa. La de E/S no cal.

NOTA: En els accessos de E/S només són vàlides les 16 adreces menys significatives del  $\mu$ P.

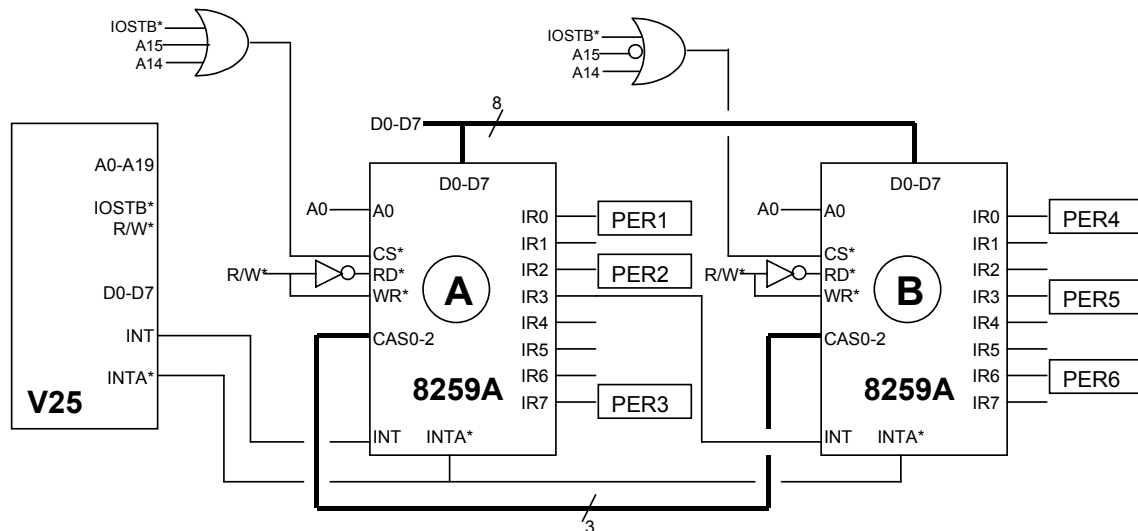
2. Programar raonadament el registre WTC del V25 per tal de que la temporització del sistema funcioni correctament.

3. Afegir, de la manera més senzilla i en el mapa de memòria, un nou perifèric amb la mateixa estructura que els de la figura 1 però amb 256 registres de 8 bits, tots ells accessibles per llegir i escriure, i un  $t_{ACC}(\text{Adreces}, OE^*, R/W^*) = 100\text{ns}$ . Indicar quines adreces ocupa i el nombre de zones imatge que té.

4. Reprogramar, si cal, el registre WTC i donar el nou valor.

**PROBLEMA 2 ( 40 %)**

S'ha dissenyat el següent sistema amb un microcontrolador V25, dos controladors d'interrupcions 8259A d'Intel i 6 perifèrics. Recordeu que el V25 té un mapa de memòria de 20 bits (A0-A19) i un mapa d'entrada-sortida de 16 bits (A0-A15 prenen el valor de l'adreça d'E/S i A16-A19 romanen inactives).



**Figura 1:** Esquema del sistema.

Es demana:

**ICW2**

A0	D7	D6	D5	D4	D3	D2	D1	D0
1	T7	T6	T5	T4	T3	X	X	X

- **T7 – T3** Bits alts dels nombres de vectors d'interrupció. Amb aquesta comanda es determinarà quins nombres de vector haurà de lliurar el 8259 en el bus de dades quan una interrupció hi sigui reconeguda pel processador. En el mode de CPU 8086, es lliurarà durant el segon pols de /INTAK un byte compost com s'indica en la taula:

Petició interrupció	Nº de vector a enviar							
	D7	D6	D5	D4	D3	D2	D1	D0
IRQ0	T7	T6	T5	T4	T3	0	0	0
IRQ1	T7	T6	T5	T4	T3	0	0	1
IRQ2	T7	T6	T5	T4	T3	0	1	0
IRQ3	T7	T6	T5	T4	T3	0	1	1
IRQ4	T7	T6	T5	T4	T3	1	0	0
IRQ5	T7	T6	T5	T4	T3	1	0	1
IRQ6	T7	T6	T5	T4	T3	1	1	0
IRQ7	T7	T6	T5	T4	T3	1	1	1

- a) (1 punt) A partir de la descripció de la funcionalitat del registre ICW2 dels controladors d'interrupcions, i tenint en compte que hem configurat el controlador A amb ICW2=0xA6, i el controlador B amb ICW2=0x41, indiqueu, en hexadecimal, quin vector d'interrupcions li correspon a cada perifèric.

Perifèric 1:

Perifèric 2:

Perifèric 3:

Perifèric 4:

Perifèric 5:

Perifèric 6:

- b) (1.5 punts) A partir de l'esquema de connexions del sistema, quines instruccions podríem haver executat per a configurar els controladors A i B per a què ICW2 prengui els valors de l'apartat anterior ? Especifiqueu les adreces que feu servir.

*Instrucció controlador A:*

*Instrucció controlador B:*

### ICW3 (8259 mestre)

A0	D7	D6	D5	D4	D3	D2	D1	D0
1	S7	S6	S5	S4	S3	S2	S1	S0

- **Si** Connexió d'un 8259 esclau en la i-èssima entrada IRQ:  
 0 = L'entrada IRQ no correspon a un 8259 esclau.  
 1 = L'entrada IRQ és la sortida INT d'un 8259 esclau.

### ICW3 (8259 esclau)

A0	D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	0	0	ID2	ID1	ID0

- **ID2 – ID0** Identificació del 8259 esclau (nombre de l'entrada IRQ del 8259 mestre a la que està connectat).

- c) (1 punt) A partir de la descripció del registre ICW3, quins valors programarem al controlador A ? i al B ? Especifiqueu els valors en hexadecimal.

*ICW3 A:*

*ICW3 B:*

- **Sfnn** *Special fully nested mode*. Mode especial de resolució de prioritats d'interrupció en el 8259 mestre, entre aquest i els esclaus.

0 = Desactivat: Mentre el 8259 mestre té en servei una interrupció provinent d'un 8259 esclau, aquest esclau queda inhibit per generar noves interrupcions, encara que siguin més prioritàries.

1 = Activat: El 8259 esclau no queda bloquejat per la lògica de prioritats del mestre, que reconeixerà interrupcions més prioritàries que la atesa quan vinguin del mateix esclau.

- d) (1.5 punts) Suposant que hem desactivat el mode de funcionament 'Special fully nested mode' dels controladors, i que la interrupció més prioritària de cada controlador és la IR0 i la menys prioritària la IR7, si durant l'execució de la Rutina de Servei d'Interrupció del perifèric 5, el perifèric 2 demana interrupció, què passarà ?

**OCW2**

A0	D7	D6	D5	D4	D3	D2	D1	D0
0	R	SL	EOI	0	0	L2	L1	L0

- **L2 – L0** Núm d'interrupció sobre la que tindrà efecte la comanda si SL = 1.
- **R, SL, EOI** Control de fi d'interrupció i de canvi de prioritats de IRQs.

R	SL	EOI	Tipus de comanda OCW2
0	0	1	Fi d'interrupció (EOI) no específic (finalitza qualsevol interrupció en servei).
0	1	1	EOI específic (finalitza la interrupció indicada en L2 – L0).
1	0	1	EOI no específic amb rotació de prioritats automàtica (cada cop l'última interrupció atesa passa a ser la menys prioritària, la que estava per sota passa a ser la més prioritària, les altres canvien correlativament).
1	0	0	Rotació de prioritats automàtica en el fi d'interrupció (EOI) automàtic (al segon pols de /INTAK).
0	0	0	Anul·lació del canvi de prioritats en el EOI automàtic.
1	1	1	Rotació específica de prioritats (com l'automàtica, però la interrupció que passa a tenir la prioritat més baixa serà la indicada amb L2 – L0) en l'EOI específic de la mateixa interrupció.
1	1	0	Rotació específica de prioritats en l'EOI automàtic.
0	1	0	Sense operació.

- e) (2 punts) A partir de la descripció d'OCW2, indiqueu quin valor, en hexadecimal, hauríem de posar en aquest registre a cada controlador d'interrupcions al final de la Rutina de Servei d'Interrupció del perifèric 4, si volem EOIs específics per aquest perifèric.

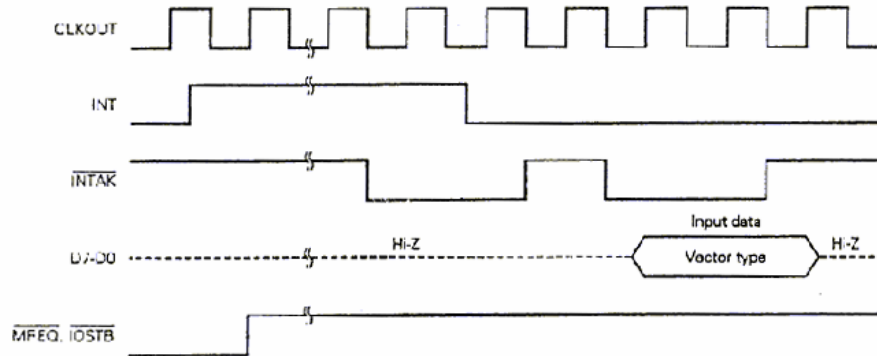
Valor Control. A:

Valor Control. B:

- f) (2 punts) El controlador d'interrupcions 8259A té un registre on indica les interrupcions que té en servei en un moment donat ('In Service Register'). Aquest registre li permet prioritzar la recepció d'interrupcions de manera que una interrupció menys prioritària no pugui interrompre la Rutina de Servei d'Interrupció d'una altra més prioritària. Quin mecanisme es fa servir per a que el controlador pugui mantenir actualitzada la informació d'aquest registre ?
- g) (1 punt) Quina utilitat tenen els senyals CAS0-2 ? Quin valor prendran en el nostre cas durant el cicle de reconeixement d'interrupció d'una interrupció originada al Perifèric 5 ?

**PROBLEMA 3 ( 20 %)**

A partir dels cronograma següents i del sistema del problema anterior (Figura 1, Problema 2), avalueu la freqüència màxima del microcontrolador per a que el vector d'interrupcions proporcionat pel controlador d'interrupcions sigui llegit adequadament. **Considereu que les portes tenen un retard de 10ns i que el V25 té un temps de setup en lectura de 50ns.**

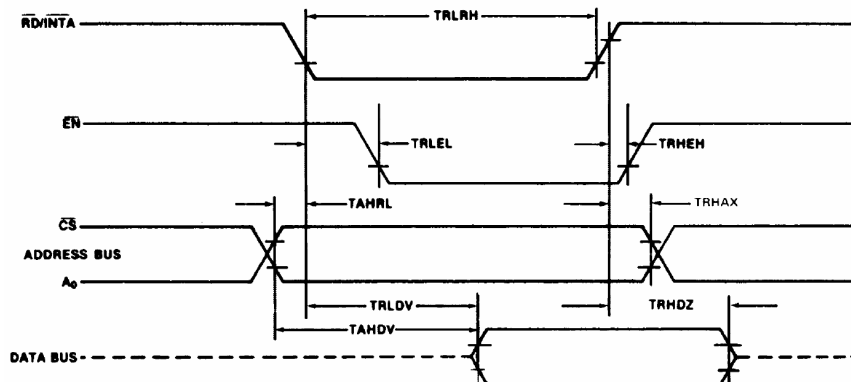


**Figura 1:** Cronograma del cycle de reconeixement d'interrupció del V25.

**TIMING RESPONSES**

Symbol	Parameter	8259A	
		Min	Max
TRLDV	Data Valid from $\overline{RD}/\overline{INTA} \downarrow$		200
TRHDZ	Data Float after $\overline{RD}/\overline{INTA} \uparrow$	10	100
TJHIH	Interrupt Output Delay		350
TIALCV	Cascade Valid from First $\overline{INTA} \downarrow$ (Master Only)		565
TRLEL	Enable Active from $\overline{RD} \downarrow$ or $\overline{INTA} \downarrow$		125
TRHEH	Enable Inactive from $\overline{RD} \uparrow$ or $\overline{INTA} \uparrow$		150
TAHDV	Data Valid from Stable Address		200
TCVDV	Cascade Valid to Valid Data		300

**Figura 2:** Temps en nanosegons associats al 8259A en cycle de reconeixement d'interrupció.



**Figura 3:** Especificacions temporals del 8259A durant lectura i cessió de vector d'interrupcions (segon pols d'INTA).

**NOTA:** En el cycle de reconeixement d'interrupció, els senyals  $EN^*$ ,  $CS^*$ , i  $A0$  del 8259A no intervenen. Els únics senyals que intervenen són:  $INTA^*$  i DATA BUS.

**Resposta:**