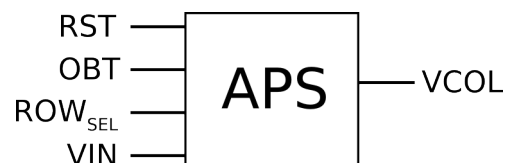
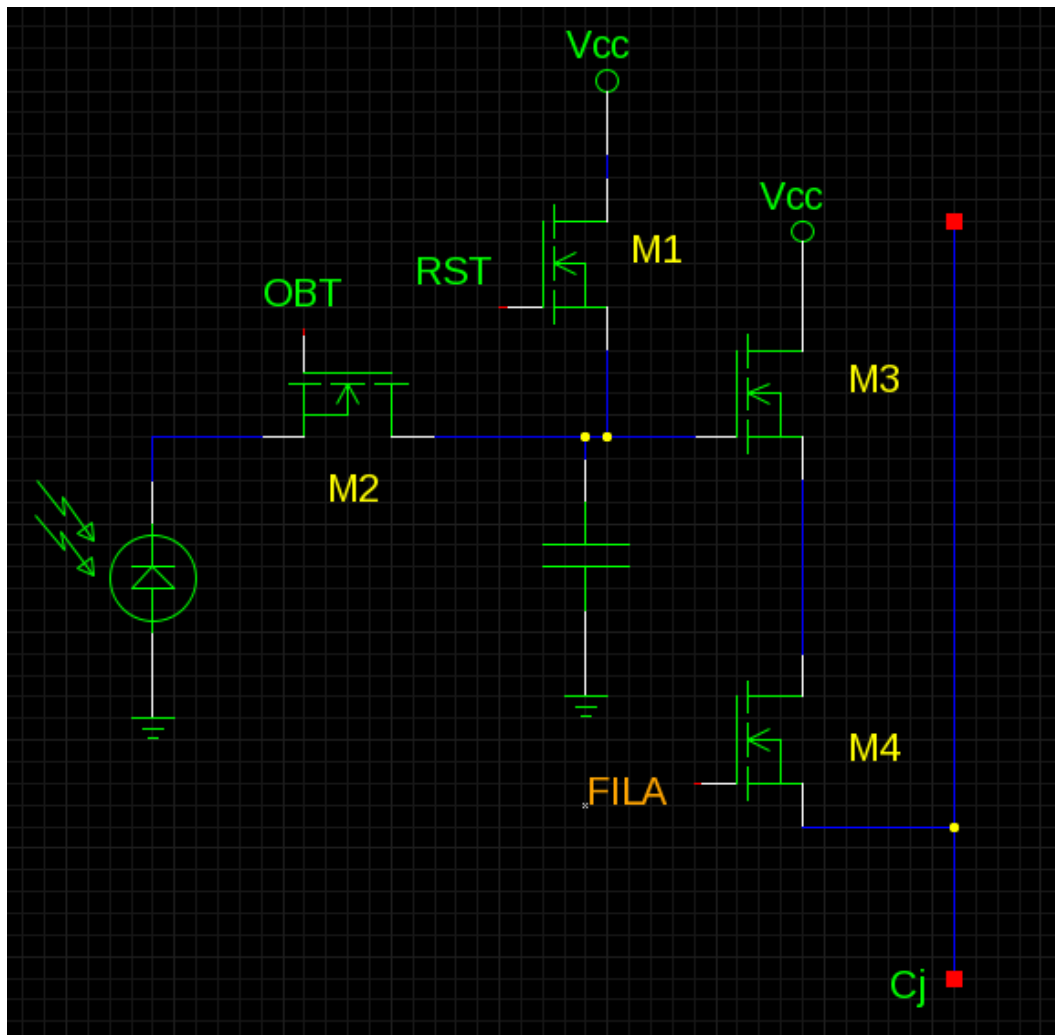


Exercicis previs DCISE

Apartat 1:

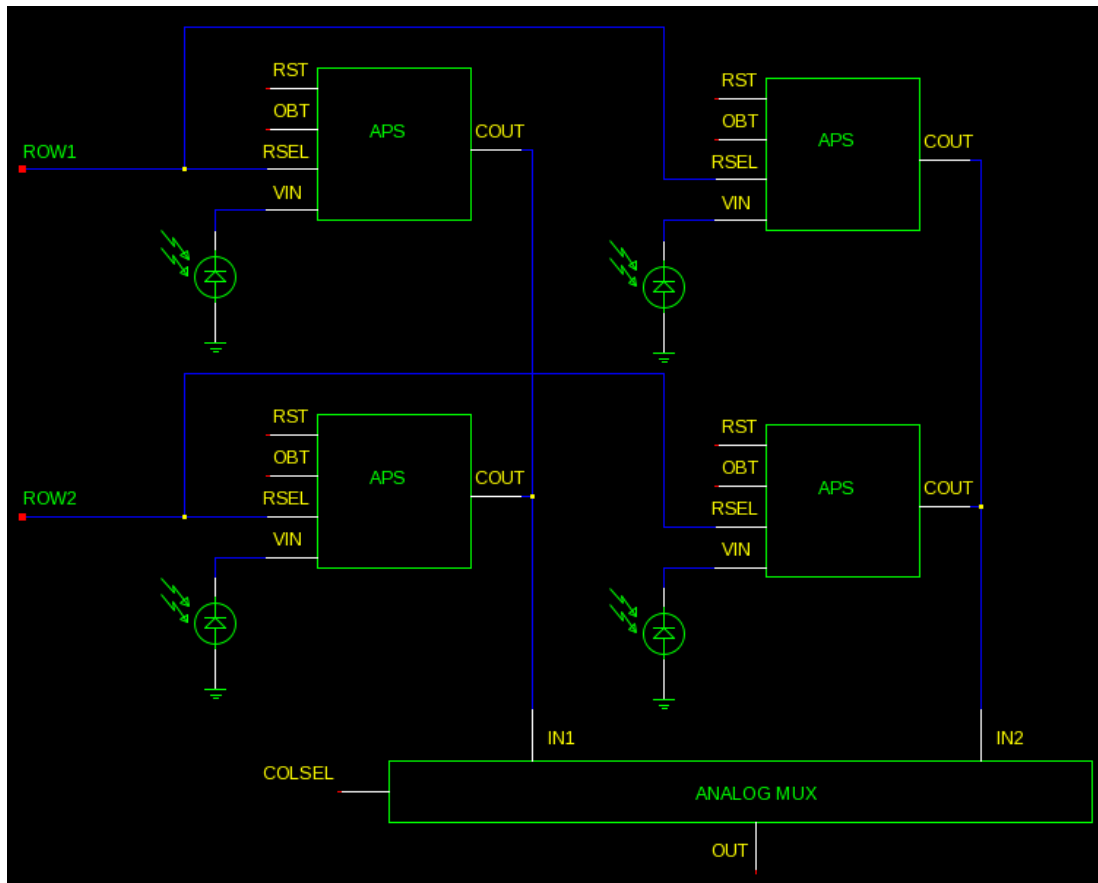
Una cel·la bàsica APS conté una senyal de reset, una d'obturació i una de selecció. Només té una sortida, que és per on circula la corrent proporcional a la llum captada. Podem considerar que el fotodíode estarà separat d'aquesta càpsula bàsica, així doncs, l'APS tindrà una entrada (VIN) que va connectada al fotodíode.



Les variables a dissenyar en aquest circuit són les mides dels transistors i el valor de la capacitat del circuit.

Apartat 2:

Al disseny proposat li falta la lògica de control que manegui les senyals de reset, les d'obturació i les de selecció de fila i columna. Possiblement reset i obturació formin part de la mateixa senyal per a tots els blocs APS.



Apartat 3:

Si fem ús d'un NMOS aquest és capaç de carregar el condensador fins a un màxim de $V_{DD} - V_T$, ja que a partir d'aquest valor el transistor entraria en tall. Això sense tenir en compte el body effect, si el tenim en compte aleshores V_T no serà constant sinó que creixerà a mesura que carreguem el condensador i, per tant, el transistor entrarà en tall abans d'arribar a $V_{DD} - V_{T0}$.

En el cas de fer servir un PMOS és indiferent el body effect, donat que el la tensió entre bulk i source serà 0 (anirà connectat a V_{DD}). La tensió que es pot assolir amb un PMOS és V_{DD} , ja que no entrarà en tall. Així doncs és millor fer ús de PMOS, ja que el body effect no només ens impedeix carregar-lo totalment, sinó que ens alenteix el procés (donat que V_T augmenta).

Apartat 4:

Per a que les tensions V_{PN} i V_F mantinguin una relació lineal cal que els dos transistors estiguin en saturació, tal com diu el llibre. En aquest cas considerem que M4 està en zona òhmica amb una tensió molt petita que es pot negligir.

Pel que fa a M3 sabem que la tensió al drenador és V_{DD} (la màxima), pel que no pot entrar mai en zona òhmica. Tot i això cal assegurar que V_{GS} és prou gran per a que el transistor no entri en tall.

En el cas de M5 mai estarà en tall ja que $V_{GS}=0.8 > V_T$. Per a que M5 estigui en saturació cal que $V_{GS} - V_T < V_{DS}$, és a dir que V_{DS} ha de ser com a mínim 0,3V.

Sota aquestes condicions i prenent l'equació 7.32 tenim que el valor mínim per a V_F , suposant que $K_3 \gg K_5$ és:

$$V_F > V_{PN} - V_{T5} + V_{T3} = 0.8 - 0.5 + 0.5 = 0.8V$$

Apartat 5:

Volem descarregar el condensador a una corrent de 100nA (la màxima lluminositat) fins al valor de 1V (V_F mínima). Suposem que tenim la màxima càrrega al condensador (3.3V) i que ho volem fer en el pitjor cas, que és 1/8000 (125us).

Donat que el condensador es descarrega a corrent constant (per la font de corrent) l'equació de descàrrega és:

$$\Delta V \cdot C = I \cdot \Delta T \quad C = \frac{I \cdot \Delta T}{\Delta V} = \frac{100nA \cdot 125us}{(3.3-1)V} = 5.43pF$$

On tenim la corrent que descarrega el condensador, la diferència de tensió que es carrega/descarrega i el temps que triga.

Apartat 6:

Suposant que tenim un PMOS per a realitzar la precàrrega aleshores el pitjor cas per a la precàrrega és el cas en que el condensador es troba carregat amb 1V.

Determinem la R_{eq} prenent $V_{GS}=0V$, $V_T=-0.65V$, $V_{DS}=(3.3+1)/2=2.15V$. Com es pot veure el transistor estarà en zona òhmica ja que compleix que $V_{DS} > V_{GS} - V_T$; $V_D - V_{DD} > 0 - V_{DD} + 0.65$; $V_D > 0.65$, cosa que és sempre certa sabent que el condensador sempre té 1V o més.

$$R_{eq} = \frac{V_{DS}}{I_{DS}} = \frac{V_{DS}}{(W/L) \cdot K' \cdot ((V_{GS} - V_T) \cdot V_{DS} - V_{DS}^2/2)}$$

$$\frac{2.15V - 3.3V}{(W/L) \cdot 26u \cdot ((0 - 3.3 + 0.65) \cdot (2.15 - 3.3) - (2.15 - 3.3)^2/2)} = \frac{18.5k}{W/L}$$

Imposant que el temps de càrrega sigui menor de un microsegon:

$$10 \cdot R \cdot C < 1\mu s \quad W/L > \frac{185k \cdot C}{1\mu s} \simeq 1$$

És a dir $W > L$ aproximadament. Per tant podem triar $L=3,5\mu m$ i $W=4\mu m$.

Apartat 7:

Circuit obert es produeix per a corrent nul·la. Per tant només cal igualar la corrent del díode a 0 i aïllar V_D .

$$I_{Photo}=0 \quad e^{\frac{V_D}{n \cdot U_T}} - 1 = \frac{I_L}{I_S} = 10^8 \quad V_D = n \cdot U_T \cdot 8 \cdot \ln(10) = 26m \cdot 0.4 \cdot 8 \cdot \ln(10) = 0.192V$$

Apartat 8:

Calculem la tensió sotsllindar primer:

$$\phi = \frac{k \cdot T}{q} \ln(NSUB/n_i) = 26m \cdot \ln\left(\frac{212 \cdot 10^{15}}{1.5 \cdot 10^{25}}\right) = 0.428V$$

$$V_{TH} = V_{TH0} + \gamma \cdot (\sqrt{2 \cdot \phi - V_{BS}} - \sqrt{V_{BS}}) = 0.5 + 0.58 \cdot (\sqrt{0.856 - 0.19} - \sqrt{0.856}) = 0.436V$$

Calculem les corrents:

$$I_{SPEC} = 2 \cdot n \cdot k' \cdot \frac{W}{L} \cdot U_T^2 = 2 \cdot 1.45 \cdot 80\mu \cdot 0.026^2 \cdot \frac{W}{L} = 1.57 \cdot 10^{-7} \cdot \frac{W}{L} A$$

$$I_D = I_{SPEC} \cdot e^{\frac{V_{GS} - V_T}{n \cdot U_T}} = 1.57 \cdot 10^{-7} \cdot e^{\frac{0.19 - 0.436}{1.45 \cdot 0.026}} \cdot \frac{W}{L} = 230 \cdot \frac{W}{L} pA$$

Novament es produeix una descàrrega del condensador a corrent constant.

$$\Delta V = \frac{I \cdot \Delta T}{C} = \frac{230p \cdot 42\mu}{5.43p} \cdot \frac{W}{L} = 1.78 \cdot \frac{W}{L} mV$$

Apartat 9:

Per a minimitzar la descàrrega del condensador necessitem un valor de W/L gran, en canvi, per a minimitzar el clock-feedthrough, necessitem un valor de W/L petit per tal que la corrent que s'injecta sigui petita.

Podem triar els mateixos valors de W i L d'abans, així segons el càlcul de l'apartat 8 només tindrem 1.78mV de descàrrega del condensador, cosa que és relativament poc.

Apartat 10:

El transistor M3 sempre està en saturació ja que compleix que $V_{DS} > V_{GS} - V_T$; $V_{DD} - V_S > V_F - V_S - V_T$; $V_{DD} > V_F - V_T$; $V_F < V_{DD} + V_T$ que es compleix sempre.

El transistor M4 estarà en tall si la senyal de selecció està a 0V (no seleccionada) i estarà en saturació o òhmica en cas que la senyal de selecció estigui connectada a V_{DD} . Es trobarà en òhmica en cas que $V_F < V_{DD} - V_T$.

Per a dimensionar els transistors podem triar les dimensions mínimes (cm abans) ja que així minimitzem el clock-feedthrough.

Apartat 11:

La restricció temporal ens imposa un mínim en la resistència equivalent del transistor (suposem un condensador de 1pF com diu l'enunciat):

$$10 \cdot R \cdot C < 1\mu s \quad R_{EQ} < \frac{0.1\mu s}{C} = 100k \Omega$$

Troblem la resistència equivalent com hem fet abans. El valor mig de V_F serà $(3.3-0.5)/2 = 1.4V$ que és la màxima excursió del transistor.

$$R_{eq} = \frac{V_{DS}}{I_{DS}} = \frac{V_{DS}}{(W/L) \cdot K' \cdot ((V_{GS} - V_T)^2 / 2)} = \frac{1.4V}{(W/L) \cdot 80\mu \cdot (0.8 - 0.5)^2 / 2} = \frac{3.88 \cdot 10^5}{W/L}$$

$$100k > \frac{3.88 \cdot 10^5}{W/L} \quad W/L > \frac{3.88 \cdot 10^5}{100k} = 3.88$$

Prenem $L = 0.35\mu m$ i $W = 1.36\mu m$, dimensions mínimes.

Apartat 12:

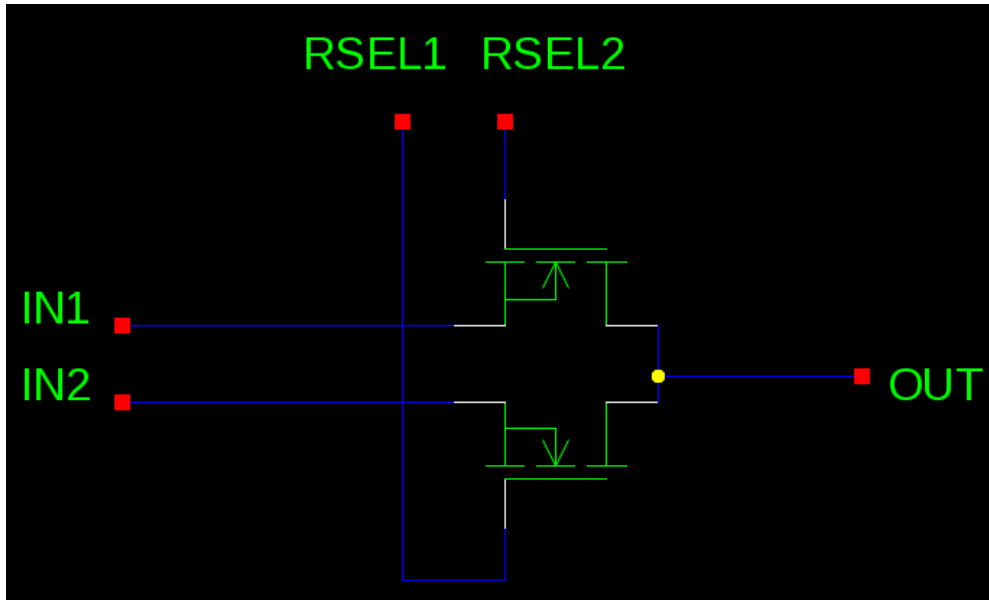
Substituïm a l'equació 7.22 els valors:

$$\sqrt{\frac{K_5}{K_3}} \cdot (V_{PN} - V_T) < 0.1 \cdot V_T \quad \frac{K_5}{K_3} < \left(\frac{0.1 \cdot V_T}{(V_{PN} - V_T)} \right)^2 \quad K_3 > 36 \cdot K_5$$

Així M3 tindrà una amplada 36 vegades més gran que M5, triem $50.4\mu m$.

Apartat 13:

Un multiplexor senzill es pot dissenyar fent ús de transistors controlats per la seva base (interruptors). Donat que només ha de seleccionar dues entrades podem ho podem posar així:



Apartat 14:

Suposem que les senyals fan servir lògica activa alta.

