

  <p>Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona</p> <p>UNIVERSITAT POLITÈCNICA DE CATALUNYA</p> <p>DEPARTAMENT D'ENGINYERIA ELECTRÒNICA</p>	<p>CISE 4</p> <p>22 de gener de 2007</p> <hr/> <p>Data notes provisionals: 26.1.2007</p> <p>Període d'al·legacions: 29.1.2007 a les 14h.</p> <p>Data notes revisades: 30.1.2007</p>
---	--

Professors: Joan Cabestany, Francesc Masana, Clemente Pol, Jordi Salazar

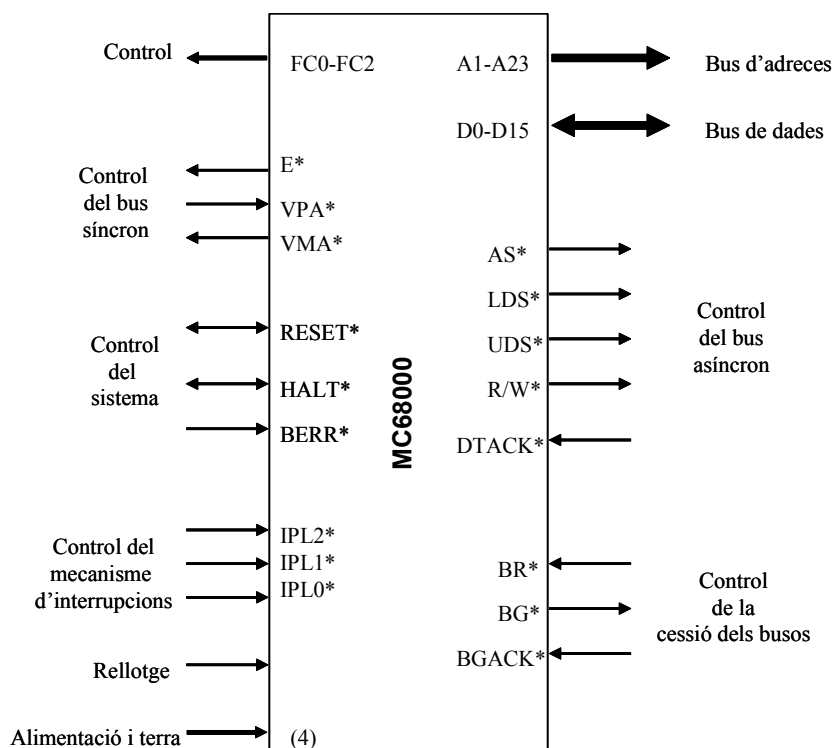
Informacions addicionals:

- Durada del examen: 2 hores 30 minuts
- Els diferents exercicis i problemes aniran en fulls separats.

Problema 1 (percentatge 40%)

Considereu un microprocessador 68000, al qual l'hi volem connectar els següents subsistemes de memòria:

- 1 Mbyte de memòria EPROM utilitzant chips de 256K x 16 bits, del tipus M27C4002.
- 4 Mbytes de memòria SRAM utilitzant chips de 512K x 16 bits, del tipus K6X8016T3B.

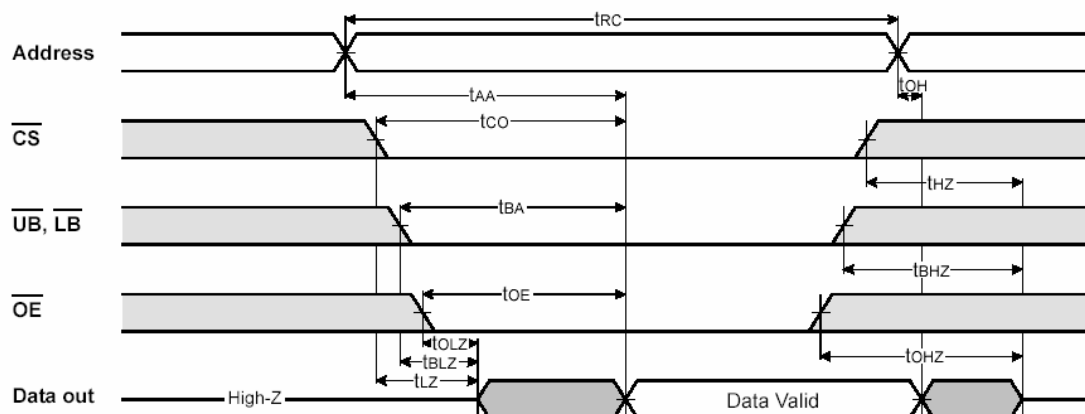


- 1) Quants circuits integrats de cada tipus son necessaris per complir les especificacions de memòria? (1 punt)
- 2) Volem que la memòria EPROM sigui accessible a partir de la posició més baixa del mapa. Especifiquen el marge concret d'adreces (suposar que no hi ha zones mirall). (1 punt)
- 3) Volem col·locar la memòria SRAM a la part més oposada del mapa respecte de la memòria EPROM. Especifiquen a partir de quina adreça serà accessible (suposar que no hi ha zones mirall). (1 punt)

- 5) Fixem-nos en el subsistema de memòria SRAM. Tenint en compte que les seves característiques dinàmiques són les apareixen a continuació,

Parameter List		Symbol	Speed Bins				Units
			55ns ¹⁾		70ns		
			Min	Max	Min	Max	
Read	Read cycle time	t _{RC}	55	-	70	-	ns
	Address access time	t _{AA}	-	55	-	70	ns
	Chip select to output	t _{CO}	-	55	-	70	ns
	Output enable to valid output	t _{OE}	-	25	-	35	ns
	Chip select to low-Z output	t _{LZ}	10	-	10	-	ns
	Output enable to low-Z output	t _{OLZ}	5	-	5	-	ns
	$\overline{\text{LB}}$, $\overline{\text{UB}}$ enable to low-Z output	t _{BLZ}	5	-	5	-	ns
	Chip disable to high-Z output	t _{HZ}	0	20	0	25	ns
	Output Disable to High-Z Output	t _{OHZ}	0	20	0	25	ns
	Output hold from address change	t _{OH}	10	-	10	-	ns
	$\overline{\text{LB}}$, $\overline{\text{UB}}$ valid to data output	t _{BA}	-	25	-	35	ns
	$\overline{\text{UB}}$, $\overline{\text{LB}}$ disable to high-Z output	t _{BHZ}	0	20	0	25	ns

TIMING WAVEFORM OF READ CYCLE(2) ($\overline{\text{WE}}=\text{V}_{\text{IH}}$)



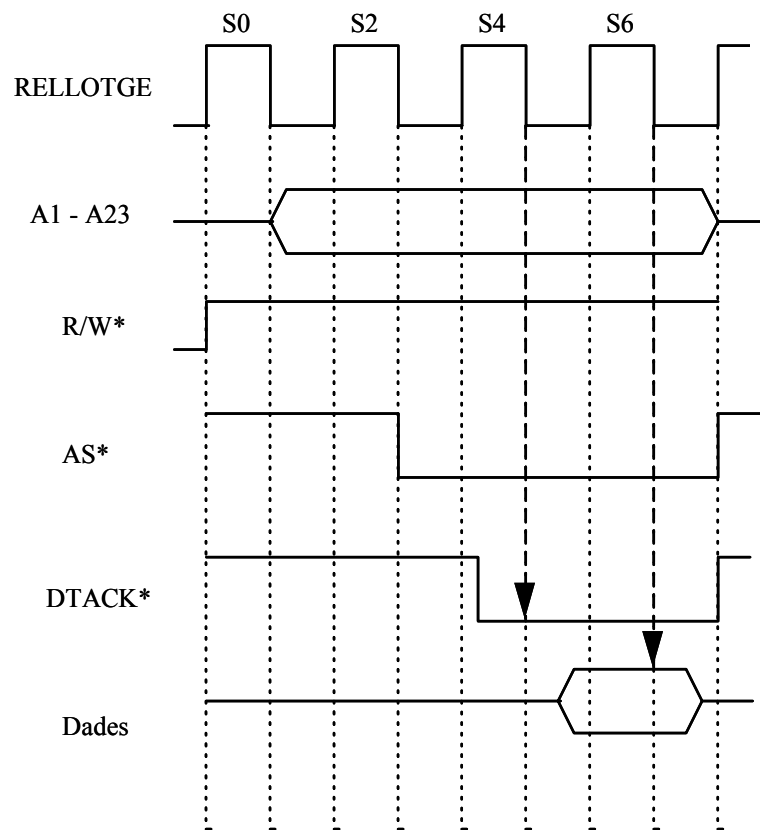
i suposant que el diagrama temporal d'un cicle de lectura en memòria del MC68000 és el que apareix tot seguit. Es demana determinar la freqüència de rellotge que serà necessari utilitzar perquè l'accés a la memòria SRAM funcioni correctament, i d'acord amb les respostes dels apartats anteriors.

Suposar que el model de memòria emprat es el corresponent a 70 ns, i que qualsevol porta o circuit lògic introduït en l'esquema introduirà un retard de 20 ns.

Noteu que la condició de lectura es la que apareix en el gràfic, és a dir, sense cap període d'espera i a més, suposarem un $t_{\text{SETUP}} = 20 \text{ ns}$. (3 punts)

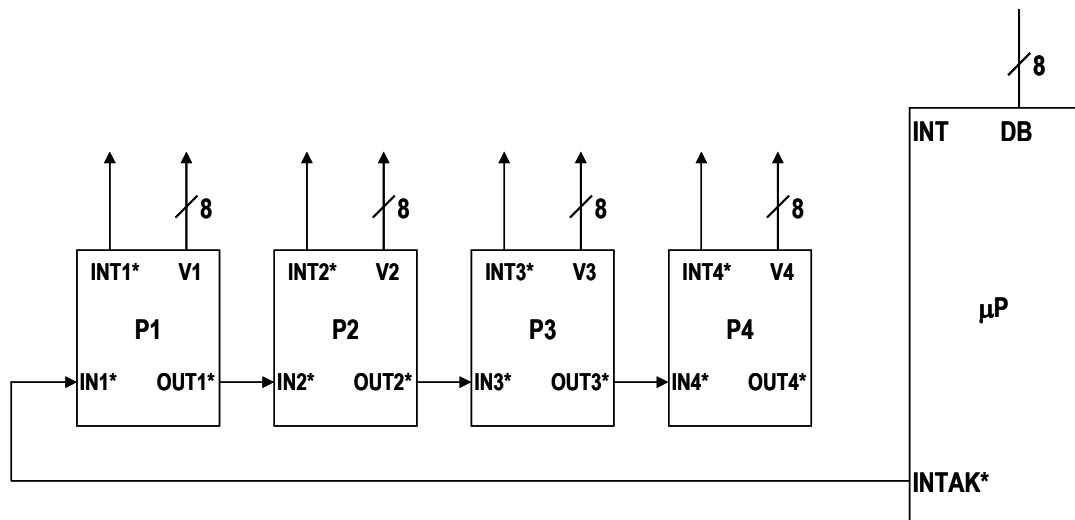
- 6) Expliqueu la missió del senyal DTACK*, i dissenyeu un circuit adequat per la seva generació, dins de l'esquema anterior. (1,5 punts)

Cicle de lectura en memòria



Problema 2. (percentatge 25%)

La figura següent presenta un circuit on quatre controladors d'E/S (P1...P4) estan connectats en una cadena de prioritat (*daisy-chain*) depenent de la posició, que propaga la sortida de reconeixement d'interrupció INTAK* d'un microprocessador del tipus V25.

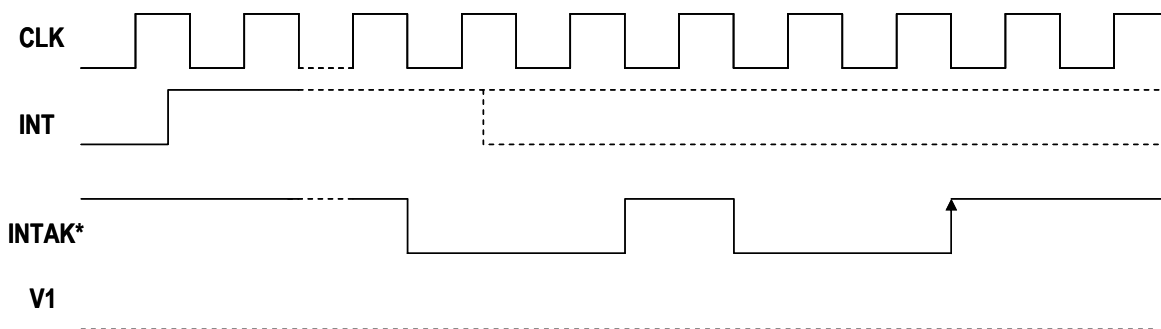


El funcionament d'aquest circuit és el següent: Quan es produeix una interrupció per part de qualsevol dels controladors i el microprocessador l'accepta, activa la seva sortida INTAK*. Aquesta sortida del microprocessador entra a l'entrada IN1* i es pot propagar per la cadena. Si un controlador no ha demanat la interrupció propaga el senyal INTAK* de manera que la seva entrada INx* surt per la seva sortida OUTx*. Si ha demanat la interrupció, atura el INTAK* i posa la seva sortida OUTx* a nivell alt per tal de que els següents controladors no la rebin. A continuació posa el seu vector d'interrupció a la sortida de 8 bits Vx. El retard entre l'activació de INx* i la sortida del corresponent vector per Vx és de 20 ns.

- L'entrada INT del μP és vàlida a nivell alt.
- Les sortides INTx* de cada controlador son en col·lector obert i vàlides a nivell baix.
- Les entrades INx* de cada controlador son vàlides a nivell baix.
- Les sortides OUTx* de cada controlador son vàlides a nivell baix.
- El retard entre INx* i OUTx* de cada controlador és de 10 ns.

Respondre a les preguntes següents:

1. Connectar correctament les sortides INTx* dels quatre controladors a l'entrada INT del μP . (3 punts)
2. Connectar correctament les sortides Vx dels controladors al μP . (2 punts)



3. Suposant que és el perifèric P1 el que sol·licita interrupció, en el cronograma del cicle de reconeixement d'interrupció del microprocessador de la figura, dibuixar el senyal V1 indicant, si s'escau, els retards corresponents. (2 punts)
4. Calcular la freqüència màxima del μP perquè el sistema funcioni correctament en qualsevol cas, tenint en compte que el μP llegeix el vector corresponent en el flanc de pujada del segon pols del INTAK* i que el temps de *set-up* de lectura es pot menysprear. (3 punts)

NOTA: En la resolució del problema es pot fer servir qualsevol tipus de component que es cregui necessari.

Problema 3 (percentatge 35%)

En un sistema basat en un microprocessador (tipus Intel o derivat) cal transmetre i rebre dades d'un dispositiu ràpid d'Entrada/Sortida (E/S). Considerant que les tècniques d'Accés Directe a Memòria (DMA) poden accelerar la velocitat de transferència de dades entre els dispositius d'E/S i la memòria, s'ha pensat en incloure en aquest sistema un Controlador de DMA (DMAC).

La tècnica del DMA es basa en la cessió del control dels bussos ((tot posant les seves línies en Alta Impedància o 3er estat) que el processador central fa al DMAC, el qual passa a controlar els bussos del sistema (Adreces, Dades i Control) i gestiona la transferència de dades entre E/S i memòria. Com que es tracta d'un processador especialitzat, el DMAC permetrà en general una major rapidesa de transferència de dades. Prèviament a aquestes transferències DMA, el processador central haurà de programar el mode de funcionament del DMAC (transferència d'entrada o de sortida, quantitat de dades a transferir, adreces de memòria en joc, etc.).

A la figura 1 es mostren els blocs principals del sistema i algunes de les connexions. S'inclou un DMAC simplificat d'un sol canal de DMA (connectable a un sol dispositiu d'E/S). DMARQ* i DMACK* (actives a nivell baix) suporten el *handshake* del DMAC amb el dispositiu d'E/S. La línia d'entrada DMARQ* indica al DMAC la sol·licitud de transferència DMA, i la de sortida DMACK*, l'acceptació i realització d'una transferència DMA. La línia de sortida ENT del DMAC activada (a nivell alt) indica una transferència d'entrada (E/S → Mem), i en cas contrari, de sortida (Mem → E/S). Quan calgui realitzar una transferència, el dispositiu d'E/S ho indicarà al DMAC, el qual iniciarà i gestionarà el procés.

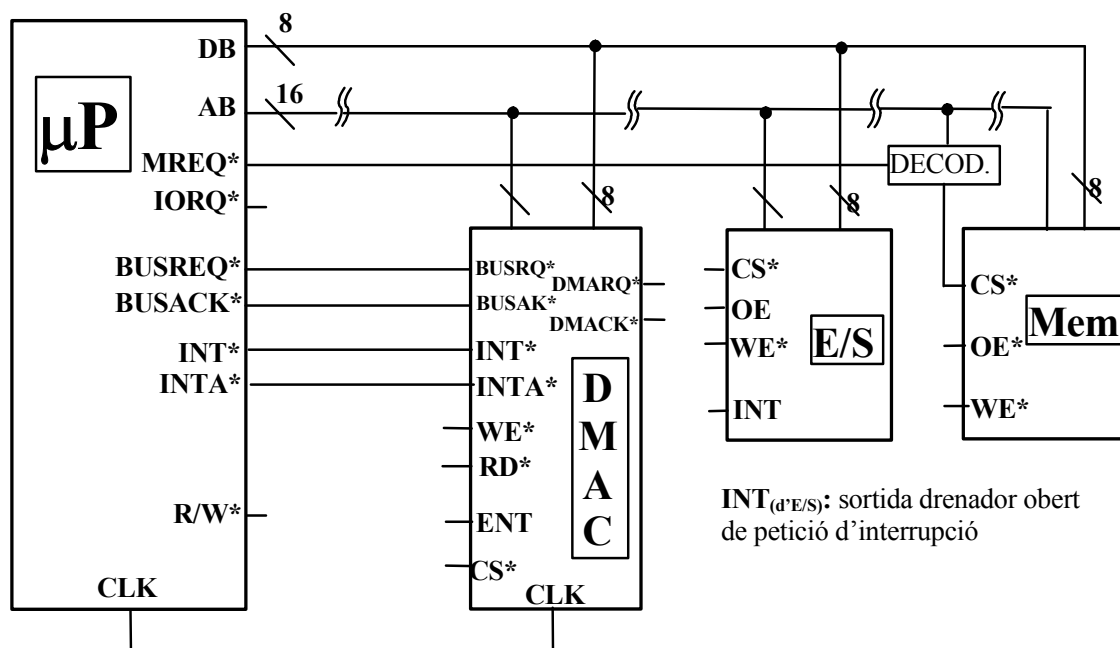


Figura 1. Sistema proposat

- 1) Realitzar la descodificació del DMAC i del dispositiu d'E/S de forma que se seleccionin **només** per a les adreces **40H - 47H** i **48H - 4FH**, respectivament, del mapa d'E/S del µP (que només utilitza les 8 línies baixes, A0 – A7 del seu AB per aquest mapa). Usar únicament el xip descodificador 74LS138 (3 entrades, I_2 I_1 I_0 , 8 sortides actives a nivell baix, O_0^* - O_7^* , i 3 entrades d'habilitació E_1^* , E_2^* , $E_3 = ENABLE$). (2punts)

Per tal de millorar la rapidesa, el DMAC realitzarà les transferències directament entre Memòria i E/S sense emmagatzemar les dades en registres intermedis del DMAC. És a dir, **en un sol cicle de bus produirà una lectura i una escriptura (DMA simultani)**, tot activant els seus dos senyals RD* i WR* simultàniament. Per exemple, en cas d'entrada d'informació, es realitzarà una lectura de l'E/S i una escriptura a la Memòria (i viceversa en cas de sortida d'informació).

- 2) Generar el senyals OE* i WE* de la Memòria i de l'E/S de forma que es produeixi aquest funcionament (DMA simultani) del sistema. Usar com a màxim 10 elements (en total) dels següents tipus: **portes lògiques OR de 2 entrades, inversors i buffers tri-state no inversor**. (2punts)
- 3) Afegir les connexions que permetin realitzar els cicles de lectura i d'escriptura en mode de funcionament normal de la CPU. **Garantir que no afectin el funcionament DMA de l'apartat anterior**. Si cal, afegir elements lògics dels mateixos tipus ja indicats a l'apartat anterior (5 com a màxim). (1,5 punts)
- 4) A quines línies es connectaran el senyals DAMRQ* i DMACK*? Justificar-ho breument. (0,5punts)

A la figura 2 es mostra l'estructura interna del DMAC simplificat. Els senyals interns DEC_A i DEC_N decrementen en una unitat el contingut dels registres ADREÇA i N, respectivament. La línia interna Z es posa a '1' quan el contingut del registre N és 0 (0000h).

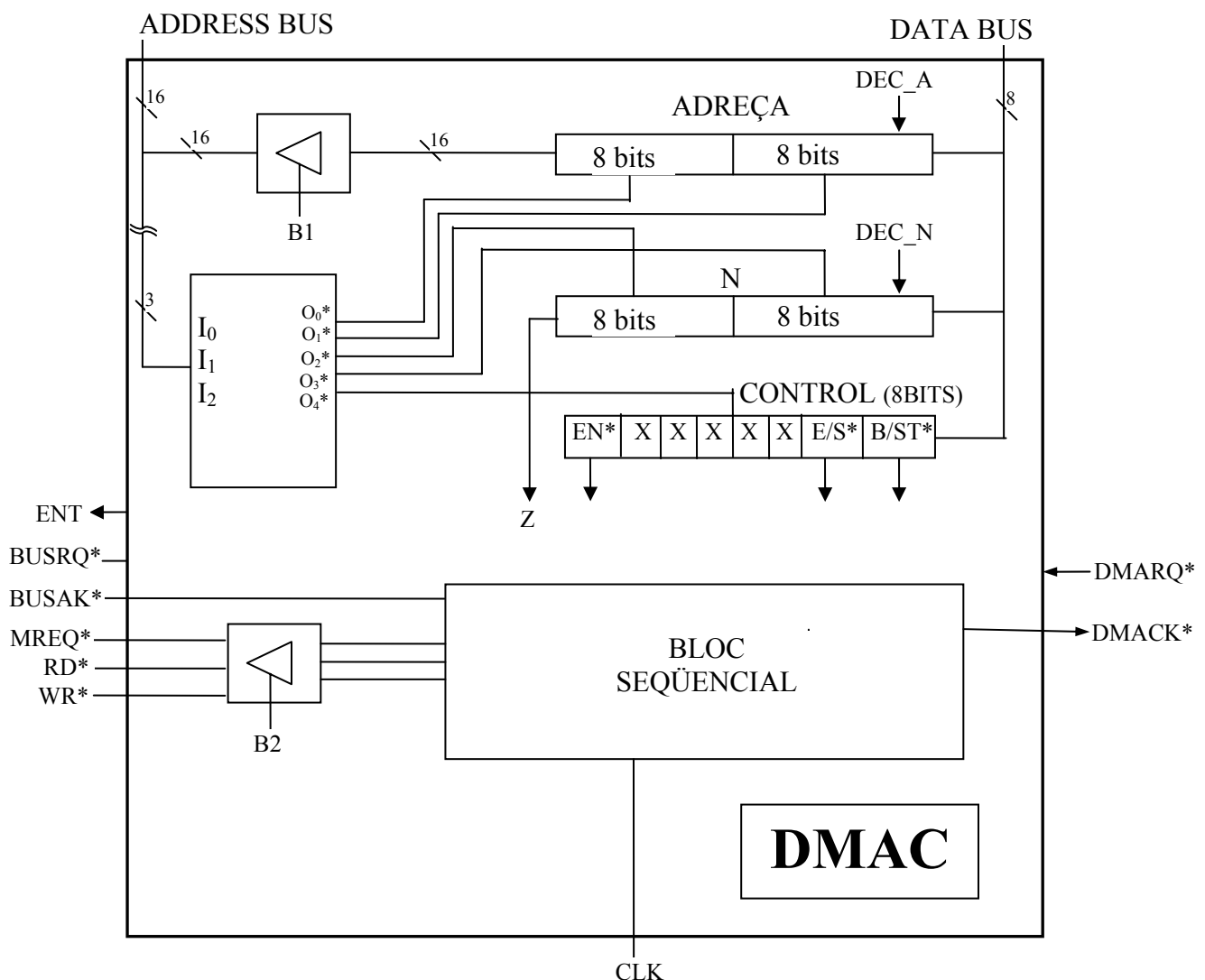


Figura 2. Controlador simplificat de DMA

Els senyalitzadors (*flags*) del registre CONTROL indiquen:

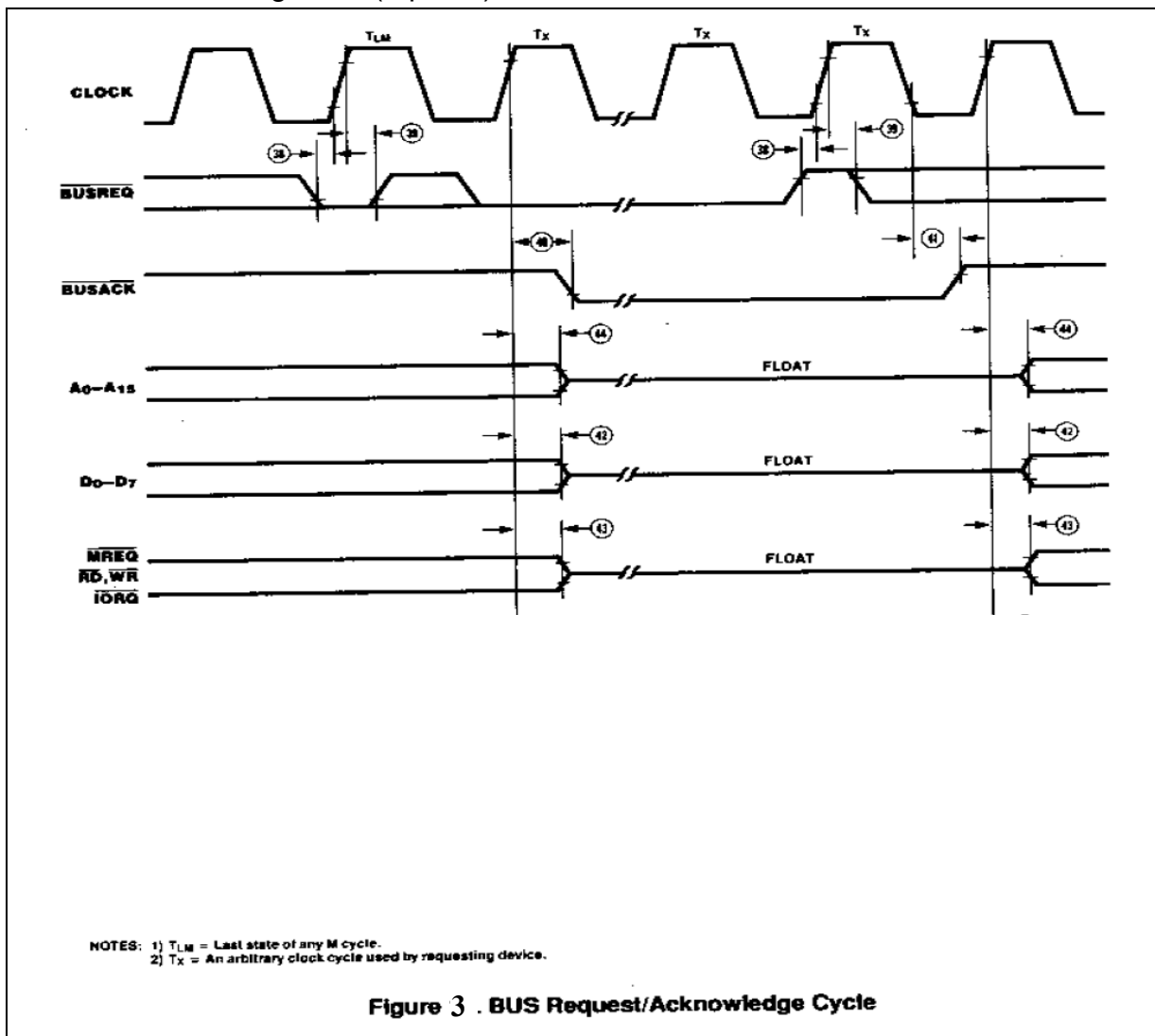
EN*: Permís de DMA (*Enable*). Activat a nivell baix.

E/S*: Entrada / Sortida d'informació cap al (del) sistema μP .

B/ST*: DMA tipus *BURST* / DMA tipus *STEALING-CYCLE*.

Al DMA tipus *BURST* es realitza una transferència d'un bloc d'informació sense retornar el control dels bussos a la CPU. Al DMA tipus *STEALING-CYCLE*, a la fi de cada transferència d'un *byte* es retorna el control dels bussos a la CPU i, si la transferència no ha finalitzat, s'activarà de nou el senyal BUSRQ*.

- 5) Quina funció realitzaran els registres ADREÇA i CONTROL en la gestió de transferències DMA? (0,5 punts)
- 6) Quines línies del Bus d'Adreces es connectaran a les entrades I₀, I₁ i I₂ del descodificador intern del DMAC (tenir en compte l'Apartat 1). Quina funció té aquest descodificador? (0,5 punts)
- 7) Generar els senyals BUSRQ* (per al cas de *stealing-cycle*) i ENT usant els senyals d'entrada i interns del DMAC. Quan s'activaran B1, B2 i INT? (1 punt)
- 8) Calcular aprox. el temps entre l'inici de transferència d'una dada (Mem \leftrightarrow E/S) i l'inici de la següent (a una freqüència de rellotge de 4MHz i un cicle de lectura/escriptura del DMAC de 2 períodes de rellotge) per a unes transferències DMA tipus *BURST* (per una dada enmig del bloc d'informació transferida) i del tipus *Stealing-Cycle*, tenint en compte la informació de la figura 3. (2 punts)



Problema 1

1) Volem 1 Mbyte de EPROM amb xips de 256k x 16 \Rightarrow

$$1 \text{ xip} = 512 \text{ kbytes}$$

Necessitem 2 xips de EPROM

Volem 4 Mbytes de SRAM amb xips de 128k x 16 \Rightarrow

$$1 \text{ xip} = 1 \text{ Mbyte}$$

Necessitem 4 xips de SRAM

2) La memòria EPROM volem ubicar a partir de la posició $\phi\phi\phi\phi\phi_H$

El xip de memòria EPROM té 18 pins d'adreçament $2^{18} = 262.144 = 256 \text{K}$ tenint en compte que el pin més alt el pin A_{18} , el connectarem a $A_1 - A_{18}$ per adreçament.

A_{23}	A_{22}	A_{21}	A_{20}	A_{19}	A_{18}	A_{17}	...	A_2	A_1	A_0
ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	...	ϕ	ϕ	ϕ
					1	1	...	1	1	1

$\phi\phi\phi\phi\phi\phi$
 $\phi 7 F F F F$

El xip de EPROM estarà ubicat a continuació

A_{23}	A_{22}	A_{21}	A_{20}	A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
					1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ϕ	8	ϕ	ϕ	ϕ	ϕ
ϕ	F	F	F	F	F

③ Le memòria SRAM de volum vol·luntari a part una base del mapa de memòria.

L'adreçament del xip és amb 19 pins $2^{19} = 524.288 = 512K$.
Tenim en compte per A_0 no hi és, l'adreçament es desplaça.

A_{23}	A_{22}	A_{21}	A_{20}	A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
1	1	1	1	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	ϕ																				
1	1	ϕ	1																				
1	1	ϕ	ϕ																				

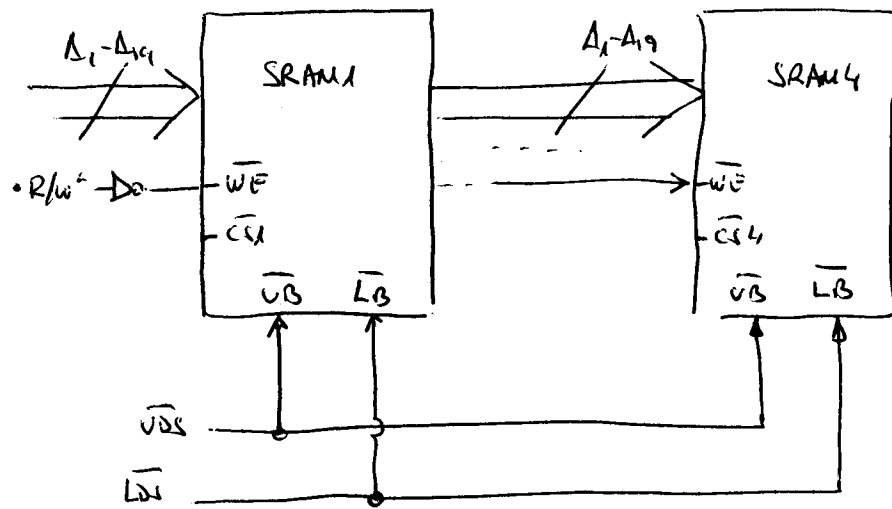
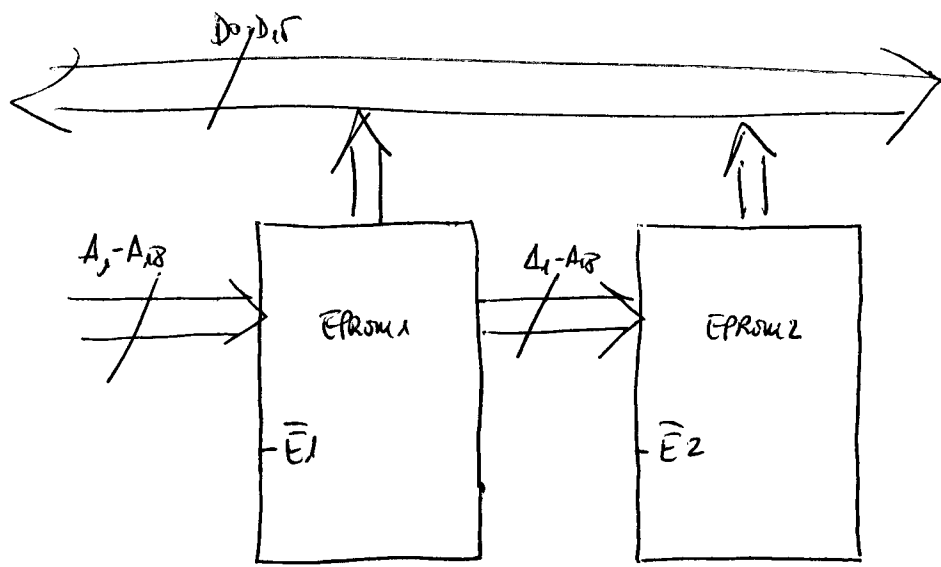
C ϕ ϕ ϕ ϕ } 12 xip SRAM
C F F F F F

D ϕ ϕ ϕ ϕ } 22 xip SRAM
D F F F F F

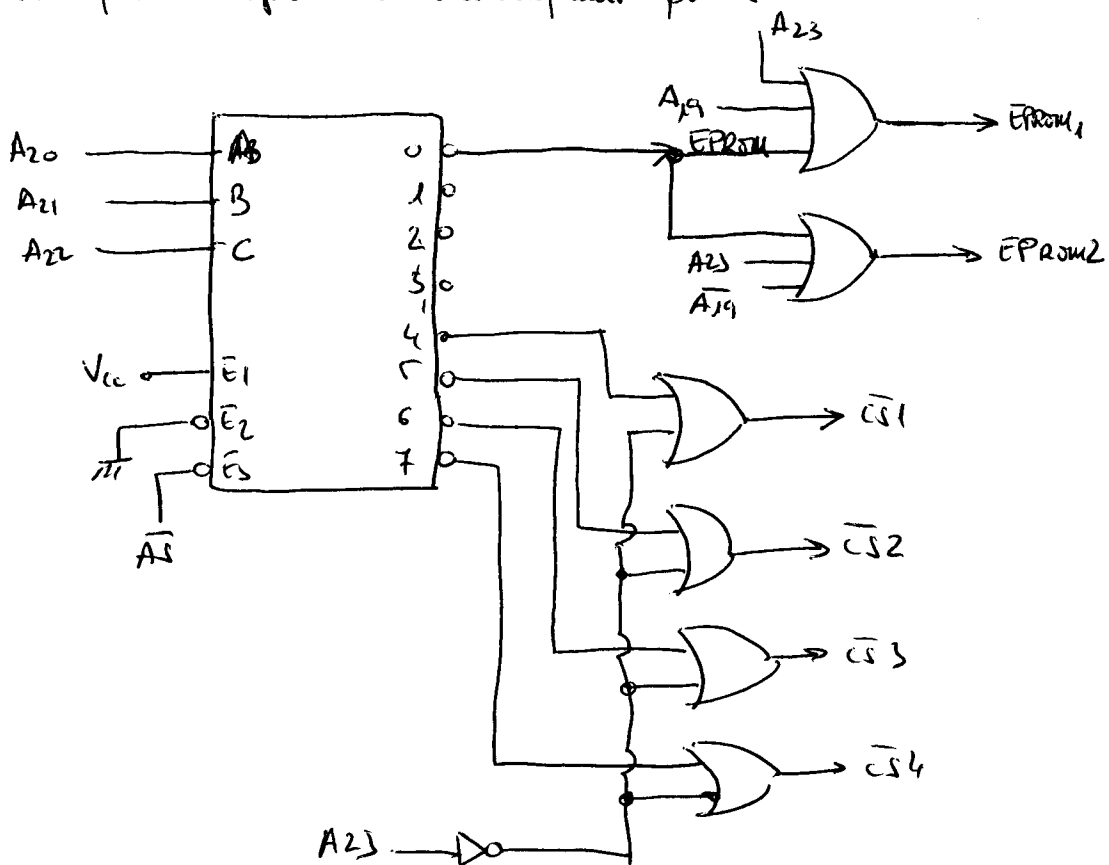
E ϕ ϕ ϕ ϕ } 3 xip
E F F F F F

F ϕ ϕ ϕ ϕ } 42 xip
F F F F F F

(4)



Un pont de division de puissance pour les



⑤ Tenir par ailleurs :

- el cronograma del ciclo del microprocesador
- els temps corresponents a la memòria de 70ns
- el nivell de decodificació emprat, tenint en compte que el senyal més crític en el nostre cas és \overline{AS}

Segons el cronograma del μP , desde l'activació de \overline{AS} fins a la lectura ha de $2T$ $T_{\mu P} = 2T$

La memòria dona un temps de $t_{co} = 70ns$ (temps desde l'activació de \overline{CS} fins a la lectura).

A més, vejam el nostre esquema, tenim dos retards en el cas de \overline{AS}

$$t_{\text{retard}} = 40ns$$

$$t_{\text{setup}} = 20ns$$

Així doncs

$$2T \geq t_{\text{retard}} + t_{co} + t_{\text{setup}} = 40ns + 70ns + 20ns = 130ns$$

$$T \geq 65ns \Rightarrow \underline{\underline{f \leq 15MHz}}$$

Nom i Cognoms:

Problema

La figura 1 presenta un circuit on quatre controladors d'E/S (P1...P4) estan connectats en una cadena de prioritat (*daisy-chain*) depenent de la posició, que propaga la sortida de reconeixement d'interruptió INTAK* d'un microprocessador del tipus V25.

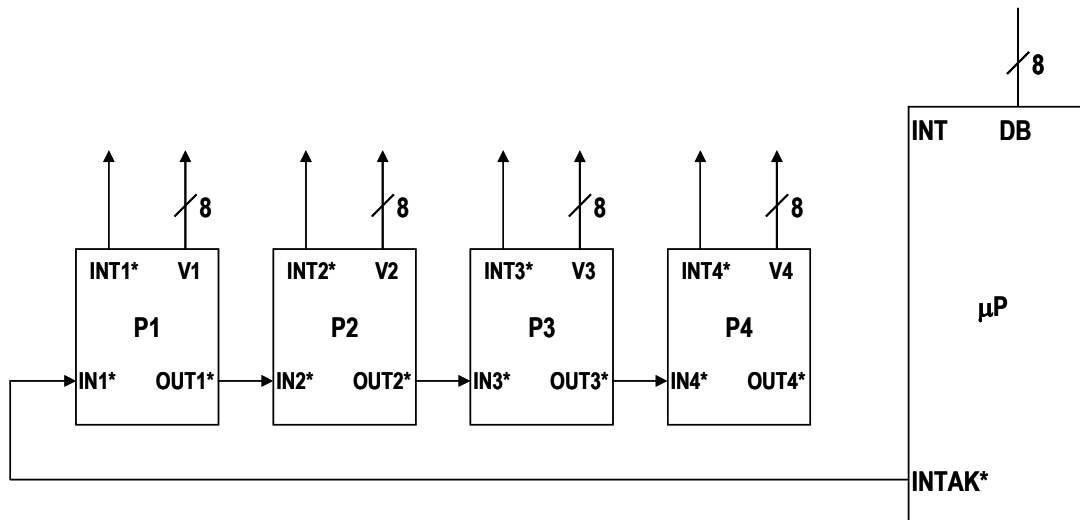


Fig. 1

El funcionament d'aquest circuit és el següent:

Quan es produeix una interrupció per part de qualsevol dels controladors i el microprocessador l'accepta, activa la seva sortida INTAK*. Aquesta sortida del microprocessador entra a l'entrada IN1* i es pot propagar per la cadena. Si un controlador no ha demanat la interrupció propaga el senyal INTAK* de manera que la seva entrada INx* surt per la seva sortida OUTx*. Si ha demanat la interrupció, atura el INTAK* i posa la seva sortida OUTx* a nivell alt per tal de que els següents controladors no la rebin. A continuació posa el seu vector d'interruptió a la sortida de 8 bits Vx. El retard entre l'activació de INx* i la sortida del corresponent vector per Vx és de 20 ns.

L'entrada INT del µP és vàlida a nivell alt.

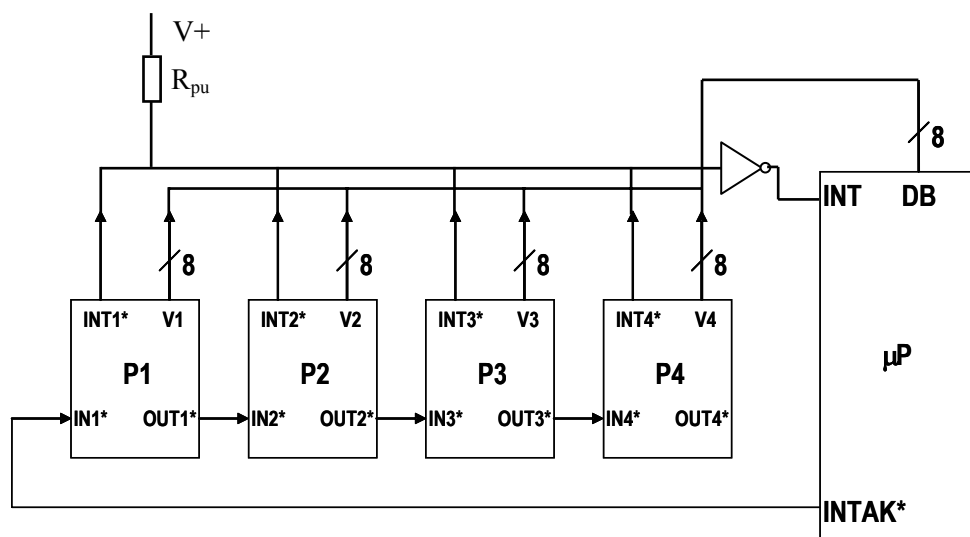
Les sortides INTx* de cada controlador son en col·lector obert i vàlides a nivell baix.

Les entrades INx* de cada controlador son vàlides a nivell baix.

Les sortides OUTx* de cada controlador son vàlides a nivell baix.

El retard entre INx* i OUTx* de cada controlador és de 10 ns.

1. Connectar correctament les sortides INTx* dels quatre controladors a l'entrada INT del µP. (30%)
2. Connectar correctament les sortides Vx dels controladors al µP. (20%)



Nom i Cognoms:

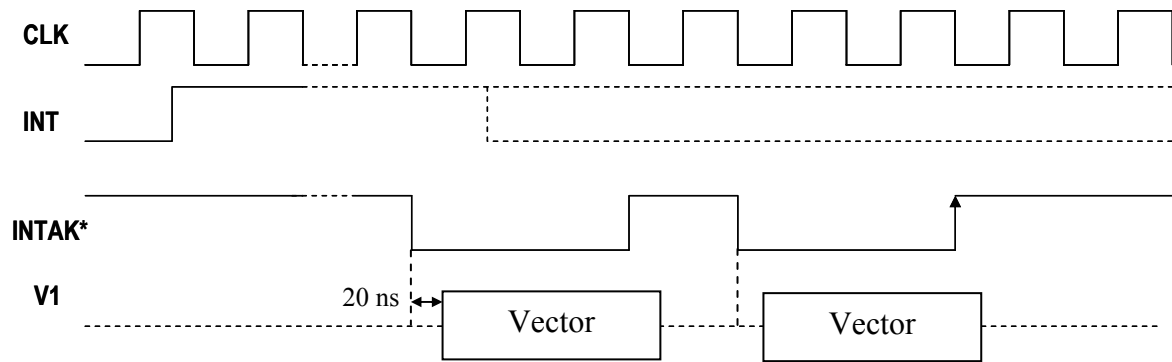


Fig. 2

3. En el cronograma del ciclo de reconeixement d'interrupció del microprocessador de la figura 2, dibuixar el senyal V1 indicant, si s'escau, els retards corresponents. (20%)

Veure fig 2

4. Calcular la freqüència màxima del μP perquè el sistema funcioni correctament en qualsevol cas, tenint en compte que el μP llegeix el vector corresponent en el flanc de pujada del segon pols del INTAK* i que el temps de *set-up* de lectura es pot menysprear. (30%)

El pitjor cas és P4, que rep l'INTAK amb 30 ns de retard i triga 20 ns més a posar el vector. Això fa un total de 50 ns i ha de ser la durada del segon pols de l'INTAK que és de $2 T_{CLK}$, per tant:

$$T_{CLK} = 25 \text{ ns} \quad i \quad f_{CLK} = 40 \text{ MHz}$$

NOTA: En la resolució del problema es pot fer servir qualsevol tipus de component que es cregui necessari.

Problema 3 - Solució

P3-1

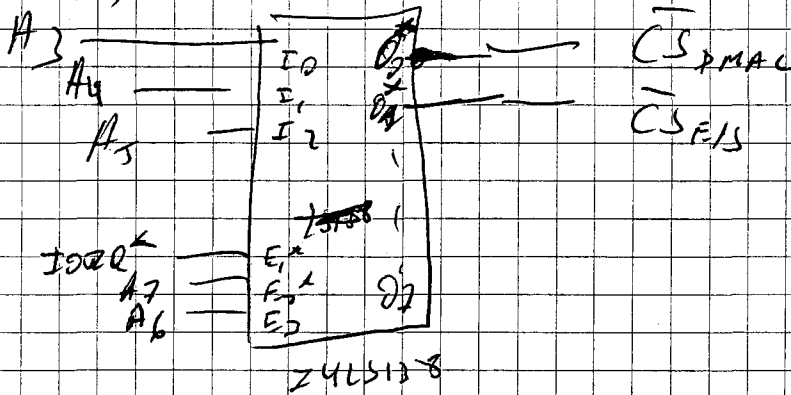
1) Decodificació. Mapa d'E/S ($A_7 - A_0$ adreça)

DMAC 40H - 47H

E/S 48H - 4FH

A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
0	1	0	0	0	x	x	x
0	1	0	0	1	x	x	x

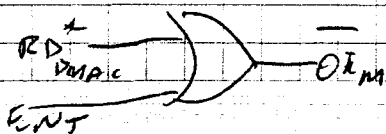
Així, per exemple,



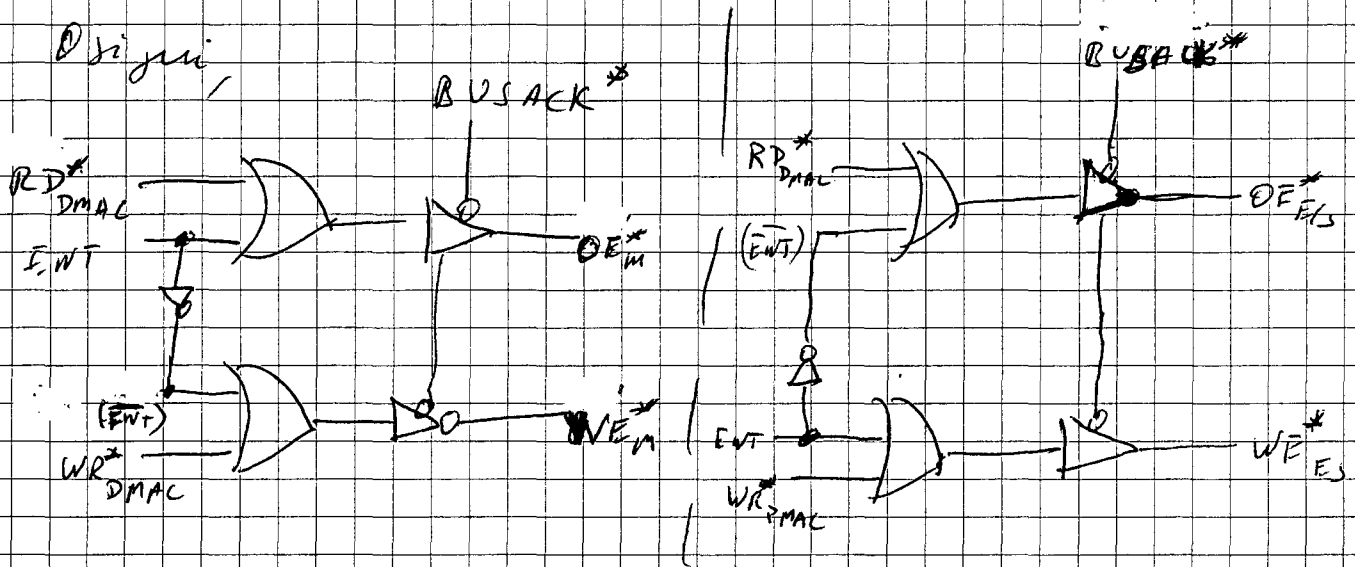
2) El valor ~~oposat~~ de les línies \overline{OE} i \overline{OD} de la Mem i de l'E/S depèn del tipus de transferència segons la següent taula

	TRANSFERÈNCIA DMA SIMULTÀNIA (E/S → mem) ENT = 1 (Entrada)	(Mem → E/S) ENT = 0 (Sortida)
\overline{OE}^*	ENT (1)	$RD_{DMAC} (=0)$
\overline{WE}^*	$WR_{DMAC} (=0)$	$\overline{ENT}^* (1)$
$\overline{OE}_{E/S}$	$RD_{DMAC} (=0)$	$\overline{ENT} (1)$
$\overline{WE}_{E/S}$	ENT (1)	$WR_{DMAC} (=0)$

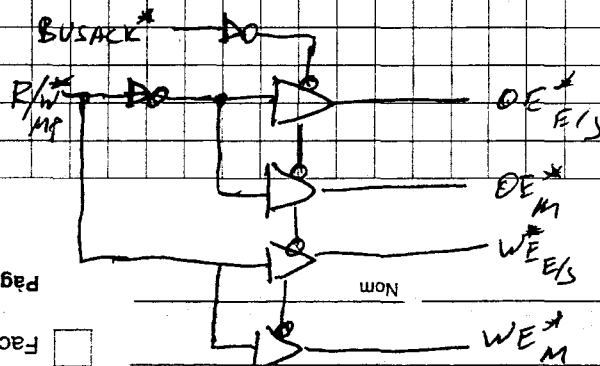
ENT actua com a commutador que permet passar on els senyals \overline{RD} i \overline{WR} del DMAC. Tindrem, per exemple:



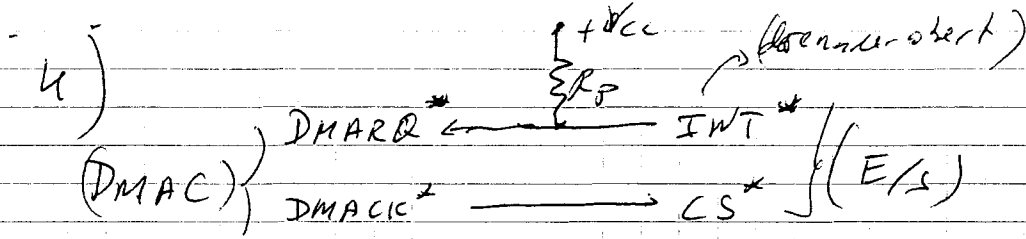
A més, com que la sortida de la porta OR no és tri-state, caldrà afegir-hi un buffer tri-state que s'activi (deixi passar el bit) quan el μP deixi els seus buses en Alta Impedància (High-Z) i així el DMAC controli la transferència DMA. Això s'aconsegueix amb $BUSACK^* = 0$



3) Si connectéssim ~~RD~~ R/W* del μP directament a OE_M^* i OE_{EIS}^* , aquests dos senyals quedarien fixament connectats i no ens permetrien el DMA simultani de l'aportat anterior. Caldrà, doncs, desacoblar-los quan $BUSACK$ s'activi. I el mateix passa amb ~~WE~~ WE_M^* i WE_{EIS}^* . Una possible realització seria:



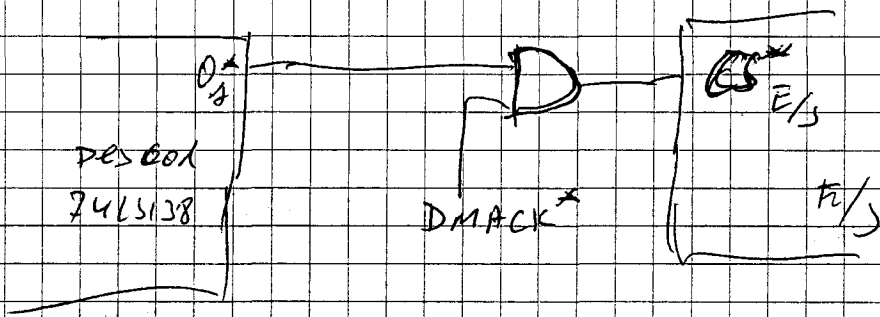
sense canviar els circuits de l'aportat anterior



L'únic senyal que surt de l'E/S és INT*. Quan s'actua indica que l'E/S sol·licita servei.

Quan es reconeix el DMA, el dispositiu d'E/S ha de quedar seleccionant les línies d'adreces les usarem per a seleccionar la memòria.

El CS*_{E/S} haurà de poder activar-se tant per la CPU com per el PMAC.



5) Reg ADREÇA : Guardarà l'adreça de memòria més alta a partir de la qual s'han d'iniciar les transferències.

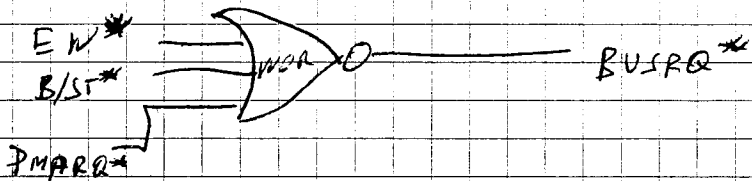
Reg N : Conté el nombre de bytes a transferir

Reg CONTROL : Té la informació que determina el funcionament del PMAC i permet que s'iniciïn operacions DMA si el flag EN* està activat.

6) Les línies d'adreces del μP no utilitzades en la descodificació : A_2, A_1, A_0 .

Funció del descodificador intern : seleccionar el registre intern del PMAC

7)



$E/S^* \rightarrow EWT$

B1: quedará activada mentre $BUSACK^* = 0$ (actiu)

B2: igual que B1

INT^* : Quan $Z=1$ ($W=0000_{16}$) i $EW^* = 0$ (DMA permès), s'activarà INT^* per tal d'indicar al μP que ~~s'ha arribat a la fi~~ s'ha arribat a la fi de la transferència.

8)

BURST: $t_{trans} = 2T = 500\text{ ns} = 0.5\mu s$
 ↑ tick lectura/escritura del DMAc

Stealing-Cycle: ~~$t_{trans} = 2T + 2T + \dots + 2T$~~
 $t_{trans} = 2T + 2T + \dots + t_{cicle\ min\ del\ \mu P\ següent\ a\ la\ següent\ dada.}$
 ↓
descomençament i consultes dels busos pel μP
 ↓
cicle lectura/escritura del DMAc

així com a mínim:

$$t_{trans} = 4T + t_{cicle\ min\ \mu P} = 1\mu s + t_{cicle\ min\ \mu P}$$