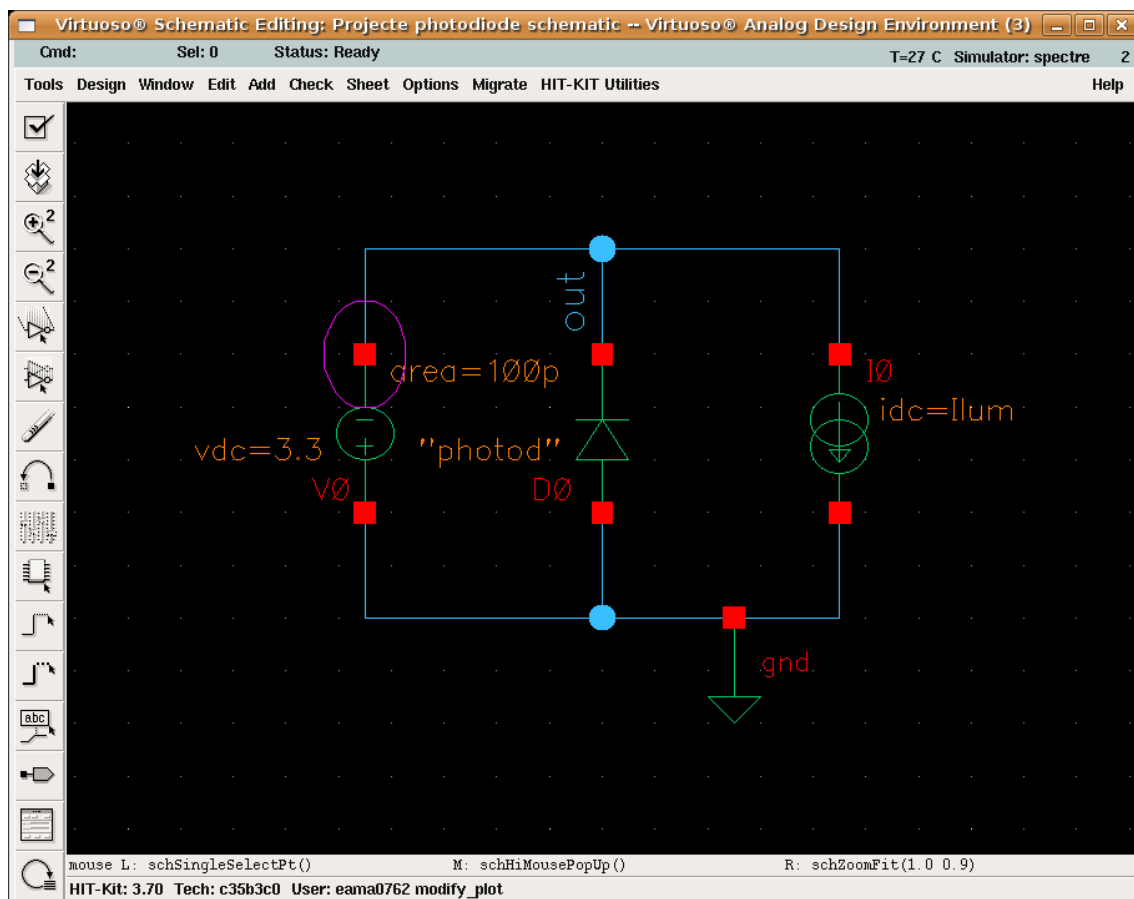


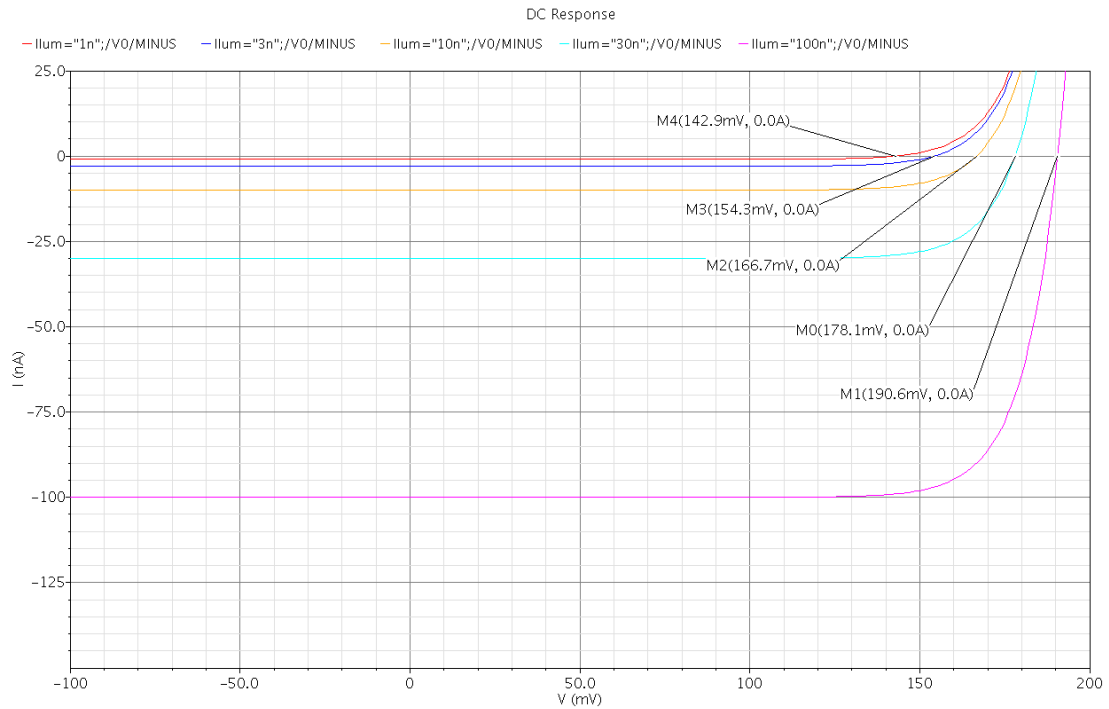
Part 1 – Projecte APS

1.- Obtain the I(V) characteristic curves of the photodiode, for following values of the photogenerated current I_{lum} : 100 nA; 30 nA; 10 nA; 3 nA; and 1 nA. Measure the open circuit voltage V_{D_OC} obtained in each case. Verify that the characteristic curves match the expected behavior.

Primer hem muntat el schematic del test bench, que queda de la següent manera:

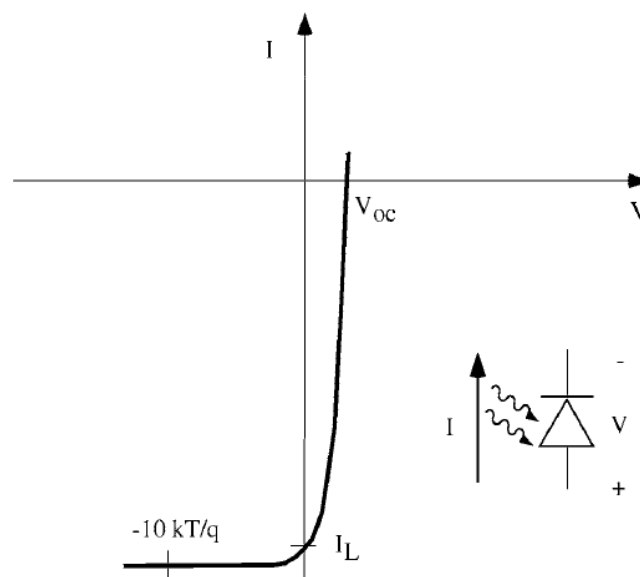


Seguidament hem fet la simulació, i trobat les corbes que relacionen la tensió del circuit amb la intensitat, per diferents valors de I_{lum} (que és la intensitat lumínica que rep el fotodíode). A la pàgina següent mostrem les corbes característiques I(V) i una taula amb els valors de la tensió en circuit obert per cadascuna de les intensitats d'il·luminació.



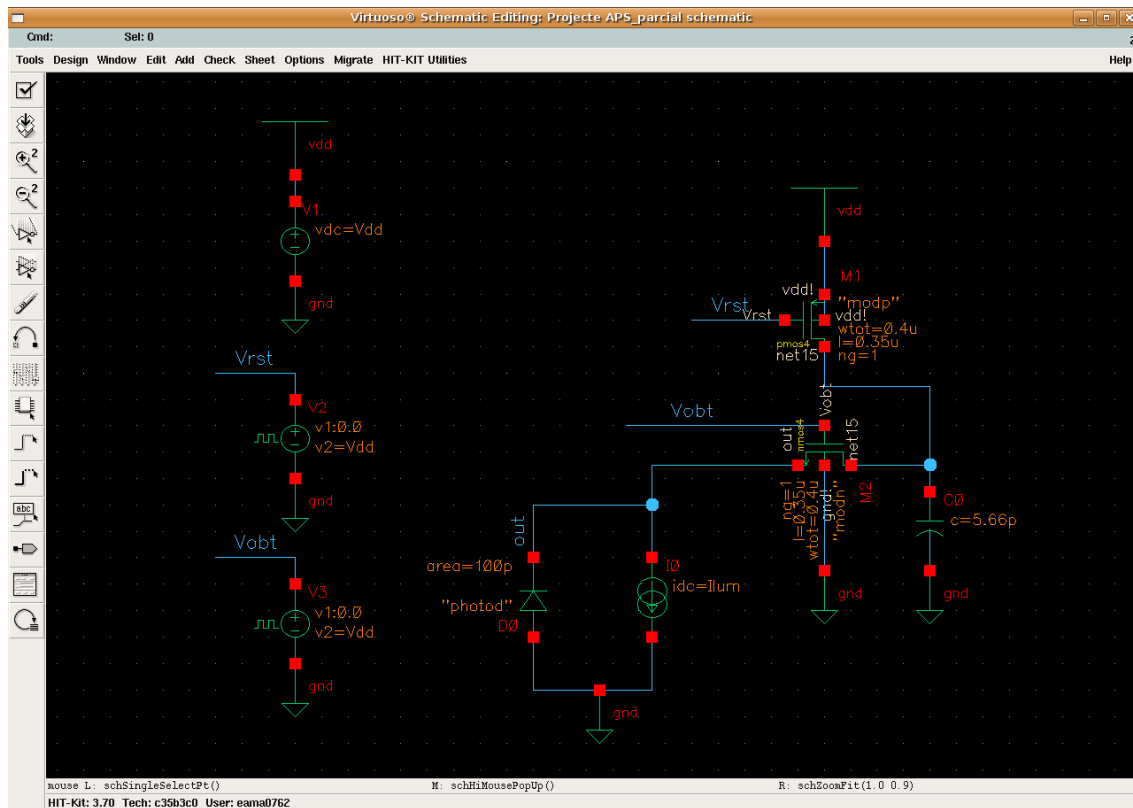
I _{lum} (nA)	V _{oc} (mV)
100	190,6
30	178,1
10	166,7
3	154,3
1	142,9

El comportament obtingut és comparable al que s'especifica a la bibliografia de referència:



2.- Create the schematic of an Active Pixel Sensor (APS), including at this moment only the photodiode, capacitor C, and transistors M1 and M2. Create a test bench and simulate successive reset and open shutter cycles (two first phases in Fig. 1) and verify the correct functionality. Report the voltage values in the capacitor after each cycle, for different values of I_{lum} , and verify the linearity of the capacitor voltage respect to I_{lum} . Use the cells `cpoly`, `nmos4`, `pmos4` from the `PRIMLIB` library.

Per tal de simular el APS, hem creat un test bench on hem afegit fonts auxiliars, per tal de poder simular correctament, i hem fet servir un condensador normal enlloc d'un Cpoly, perquè amb aquest últim no ens deixava fixar els valors desitjats. A títol indicatiu: $V_2 = V_{reset}$ i $V_3 = V_{obt}$.



El senyal de reset (V_{rst}) és actiu a nivell baix. La seva duració és d' $1\mu s$ i donat que només simulem la fase reset-exposició, el seu període és, per aquest test bench de $T_{obt} + 1\mu s$.

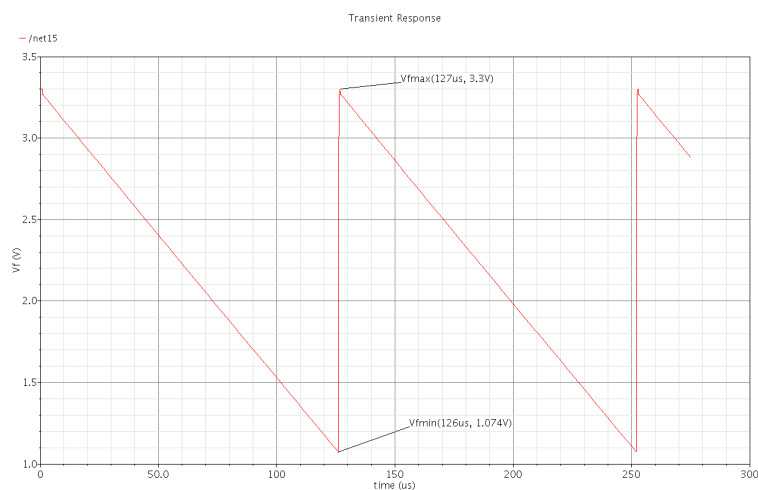
Per altra banda, el senyal que controla el temps d'exposició (V_{obt}) és actiu a nivell alt i ha d'activar-se just quan acabi el reset. La duració del pols en nivell alt ha de ser T_{obt} .

A continuació es mostra la configuració d'ambdues fonts. El fet d'haver definit els seus paràmetres en funció d'una variable fa que la simulació sigui molt més senzilla.

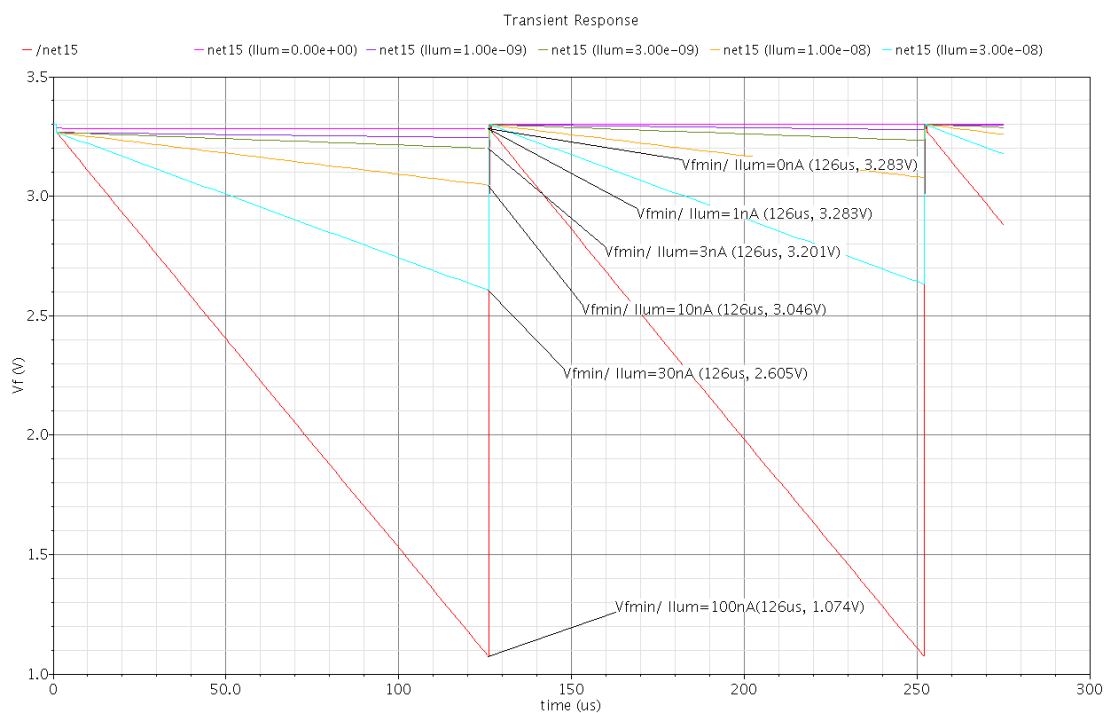
Vrst

Vobt

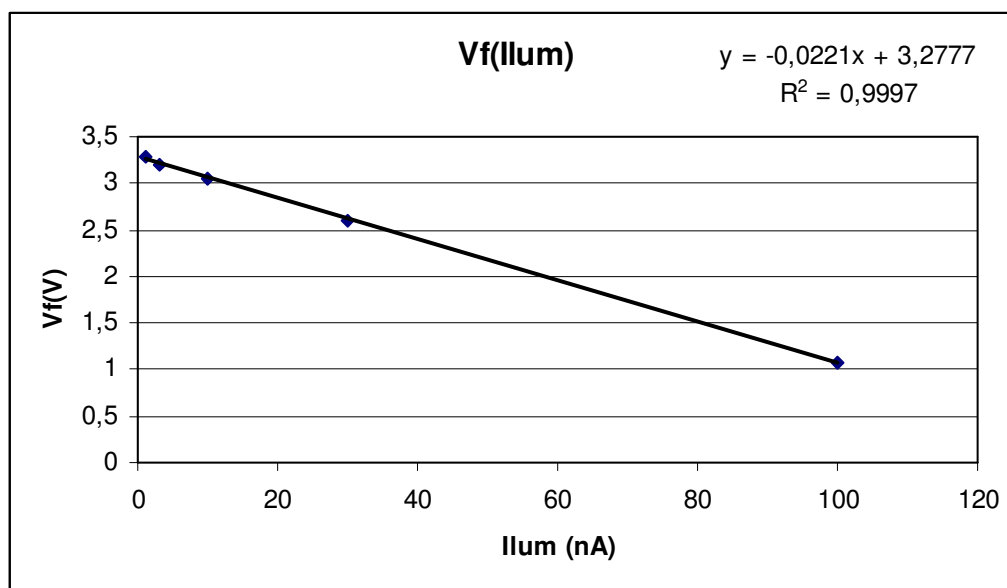
Fem una simulació *tran* d'un parell de cicles reset-exposició. Per un Tobt de 125µs el resultat és el següent:



S'observa que en un període el condensador es descarrega fins a un valor final (tensió de lectura), i en el temps que dura un reset, es torna a carregar totalment fins a Vdd (3.3V). Ara observem la gràfica de la tensió final al condensador Vf (tensió de lectura), en funció dels valors de llum:

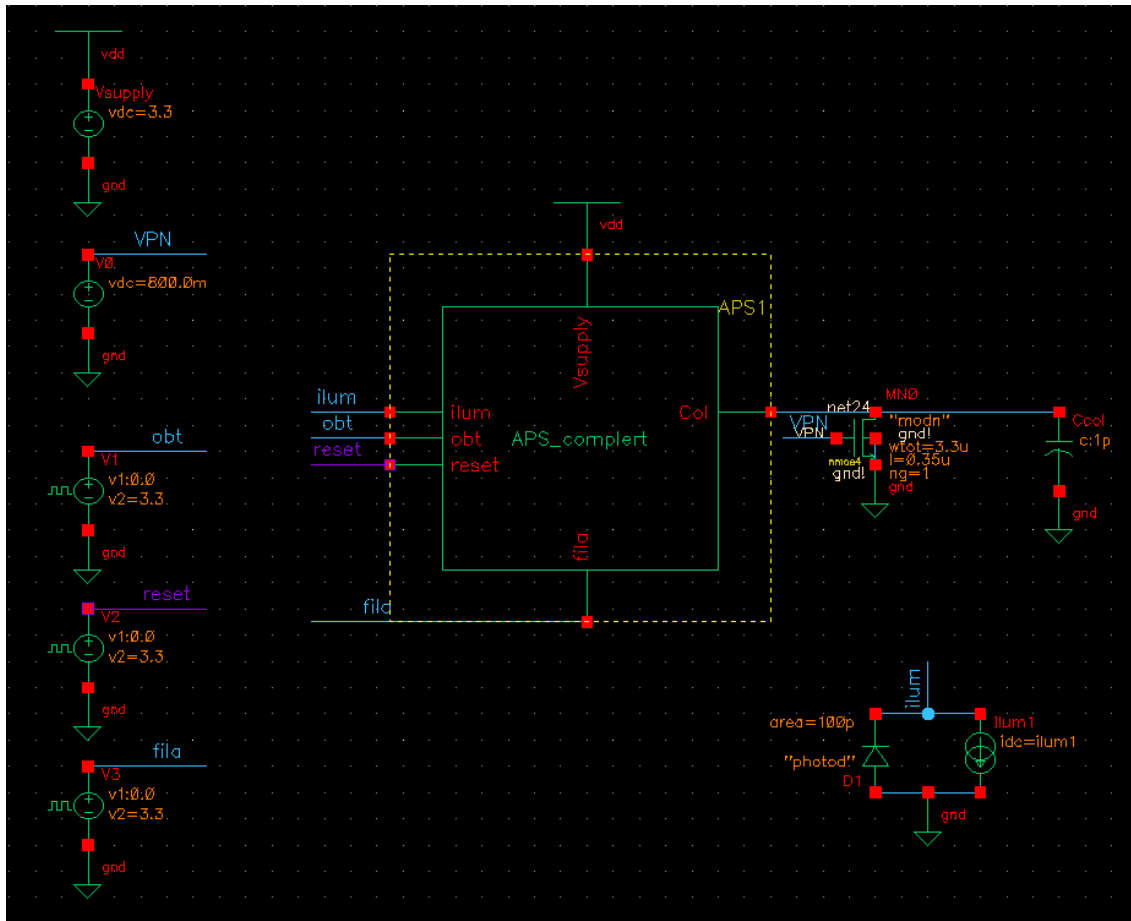


Per comprovar si la relació entre Vf (tensió de lectura) i llum és lineal, passem els valors a una taula d'excel i creem una gràfica.



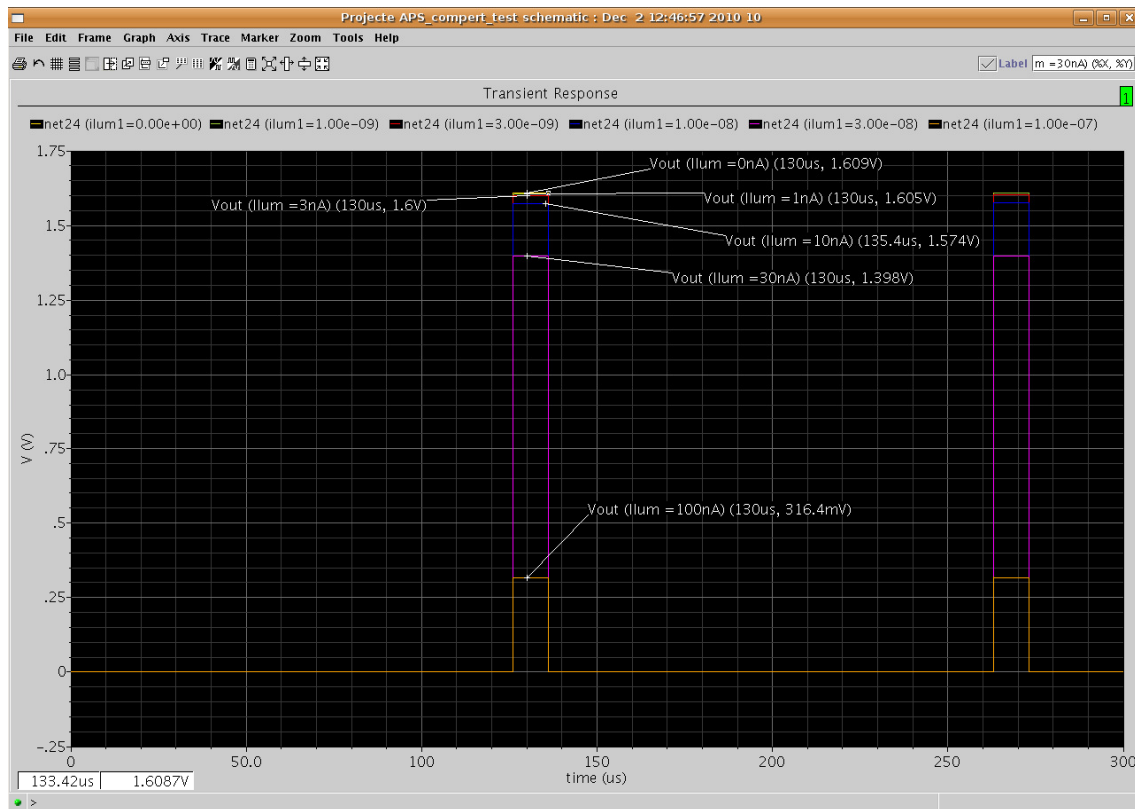
El resultat confirma el comportament lineal.

3.- Complete now the schematic of the APS with transistors M3 and M4. Generate its symbol. Create a test bench in which the APS output is connected to the column capacitance Ccol and transistor M5 biased to $V_{PN}=0.8$ V. Simulate successive cycles of reset, open shutter and row selection, and verify the correct functionality.

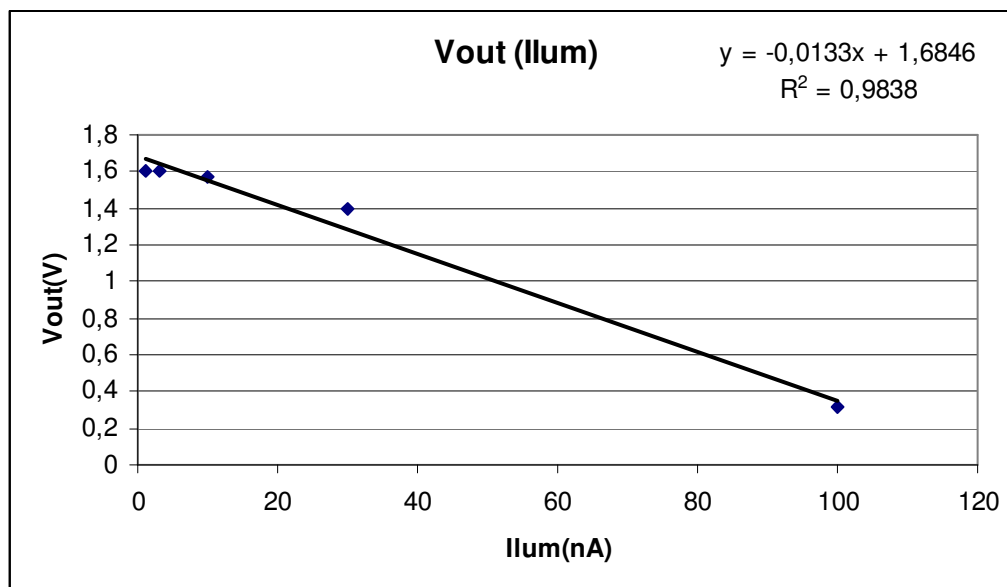


Després de muntar el schematic amb els transistors M3 i M4, generem el símbol APS_complert, creem un nou test bench amb els senyals d'activació corresponents i fem la simulació tran, parametrizant per diversos valors d'illum i deixant Tobt fixat a 125µs. El que obtenim és un gràfic de l'evolució temporal del valor de tensió de sortida (Vout), per a cada valor d'illum:

illum (nA)	Vout (V)
100	0,3164
30	1,398
10	1,574
3	1,605
1	1,609

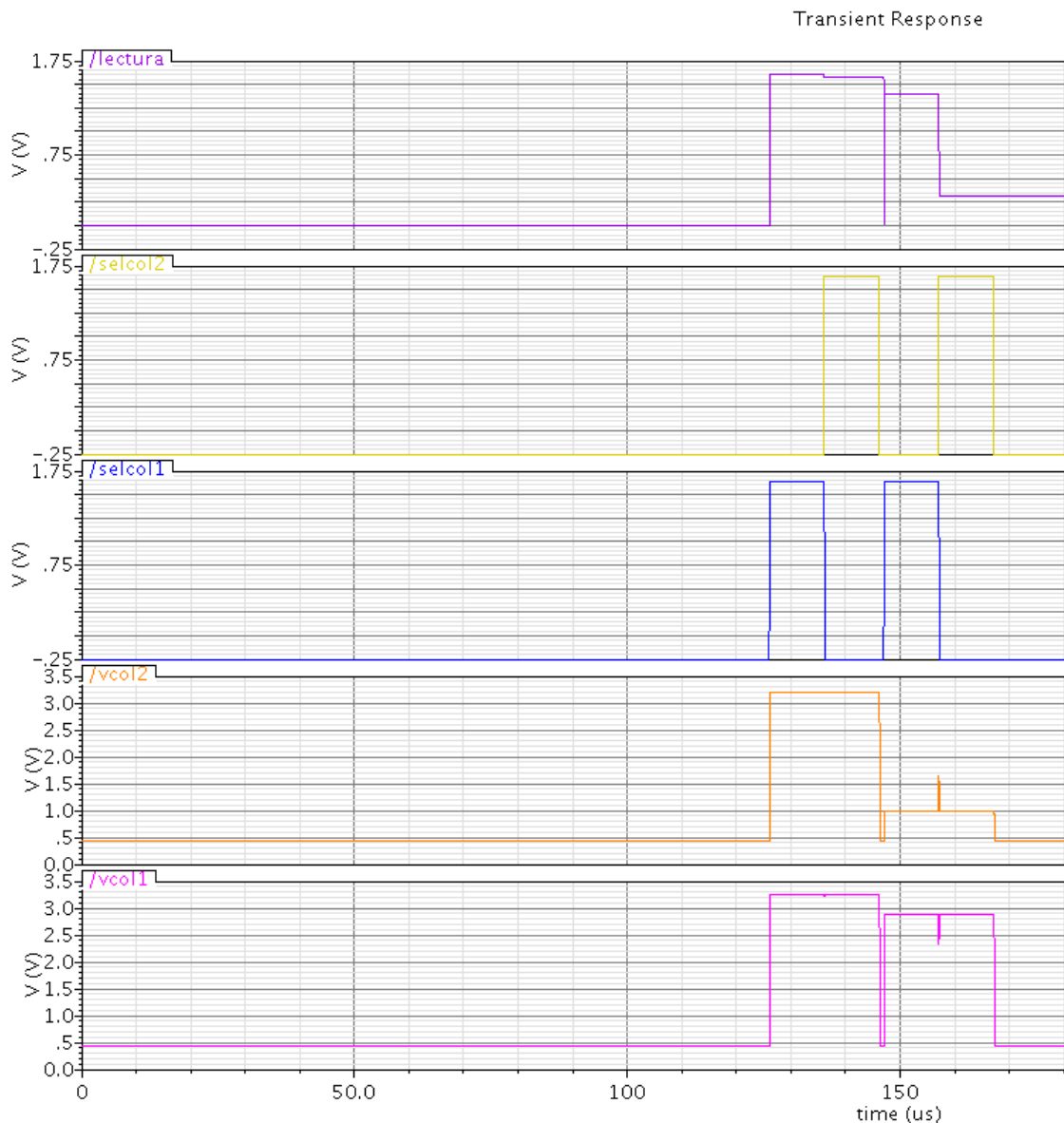


Observem com, en la relació $V_{out}(I_{lum})$ es manté la linealitat observada anteriorment a la gràfica $V_f(I_{lum})$:



4.- Create the schematic of the analog multiplexer, generate its symbol and create a test bench to verify its correct functionality. Remember that the output of the multiplexer must be connected to a capacitance of 100 fF, which emulates the load introduced by the ADC.

El disseny triat per al multiplexor és el d'una doble porta de transmissió PMOS-NMOS, molt més efectiva que la proposada inicialment en l'enunciat de la pràctica. El gràfic següent mostra el seu correcte funcionament un cop connectades les senyals de selecció (selcol1, selcol2, vcol1, vcol2).



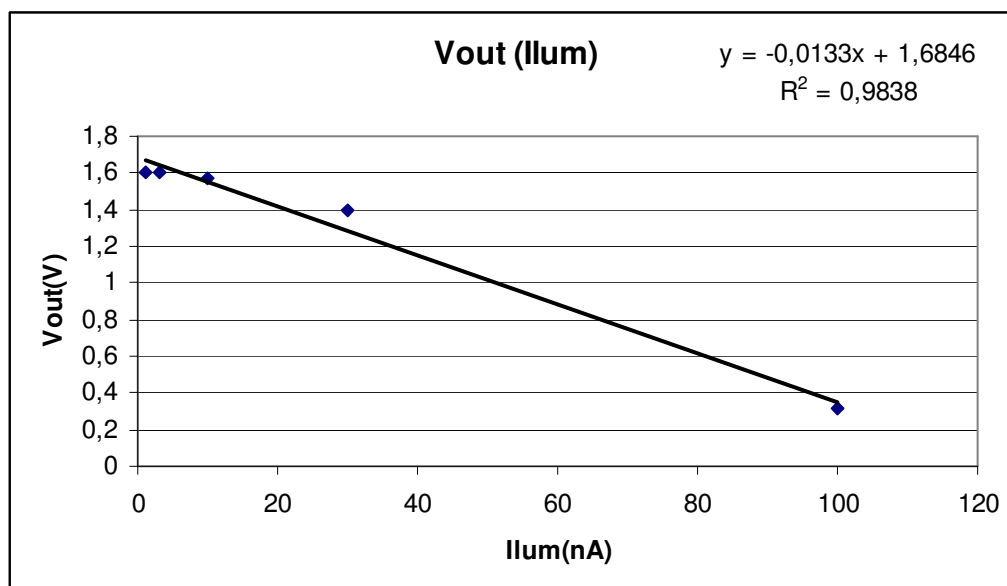
5.- Create now the schematic of the complete analog part of the image sensor, including the 4 pixels, 2 column lines, the analog multiplexer and the output load. Create a test bench to verify the correct functionality, setting 4 different I_{lum} values for the 4 pixels. Verify the correct functionality for different shutter speeds (the same reading should be obtained when doubling the shutter opening time and halving the light value).

Aquest anàlisi el considerem redundant al que es farà després en la part digital. Per aquest motiu s'analitza al final d'aquesta memòria. A més a més, en els punts anteriors ja hem demostrat el correcte funcionament tant del multiplexor com d'un píxel individual, així com la correcta definició dels senyals de control que en la segona part es generaran digitalment.

6.- Study the linearity of the sensor: Represent graphically V_F (voltage in the pixel capacitance after the time exposure is completed), V_{col} (column voltage) and V_{out} in function of I_{lum}, at least for the 5 I_{lum} values specified in question 1. Calculate the sensitivity of the sensor and quantify its linearity (maximum deviation from the average sensitivity).

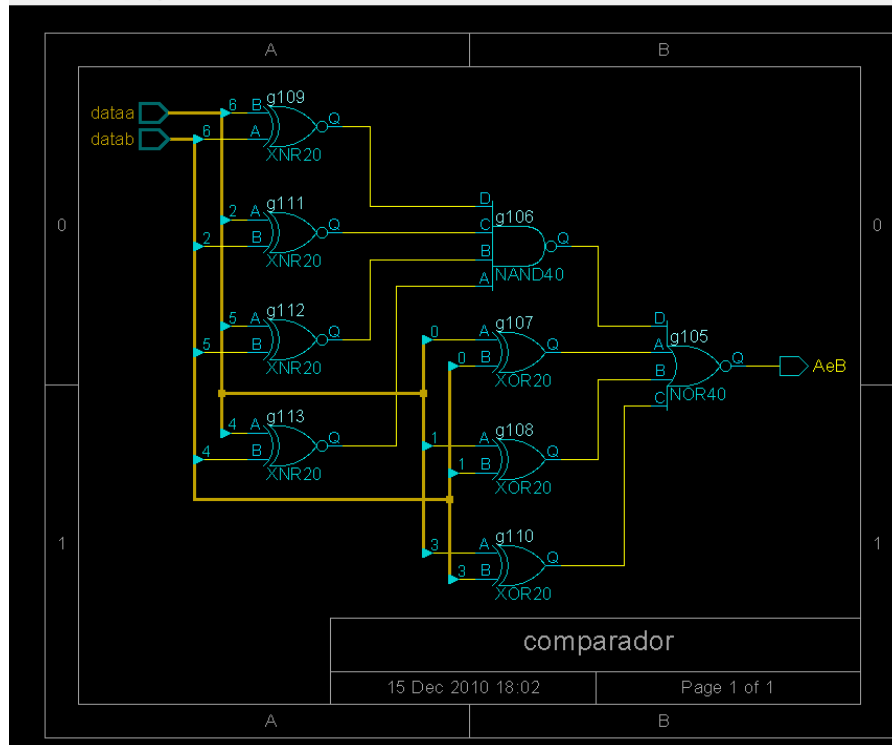
En el nostre cas, al haver fet servir portes de transmissió per al multiplexor, la tensió de sortida (V_{out}) és idèntica a la tensió de columna (V_{col}). Així, els gràfics que es demanen ja els hem mostrat en punts anteriors.

La sensibilitat és aproximadament de -0,0133 V/nA (coeficient de correlació R²=0,9838):

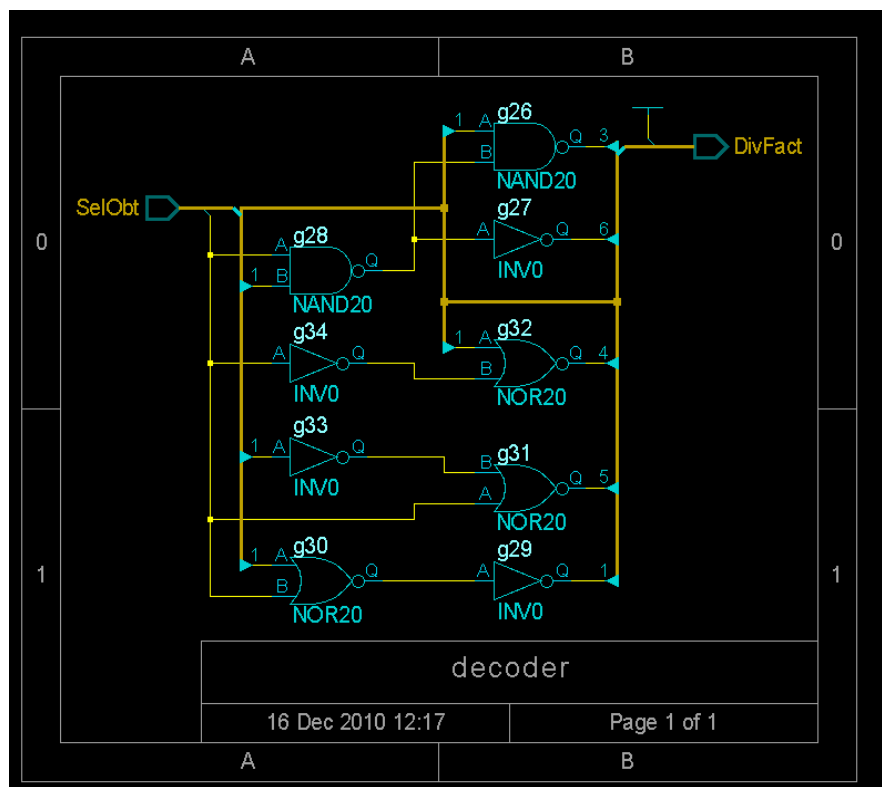


Part 2 – Projecte APS

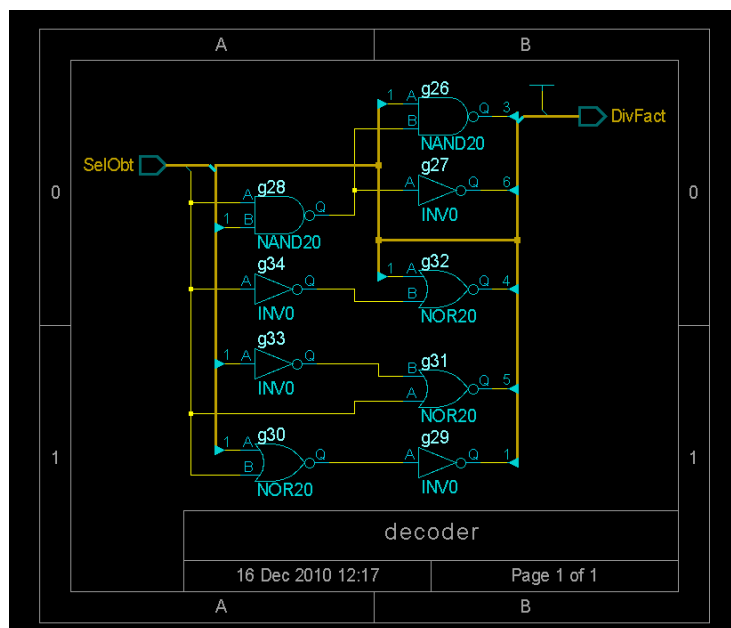
Primer descarreguem el fitxer comparador.vhd i el sintetitzem, de manera que queda:



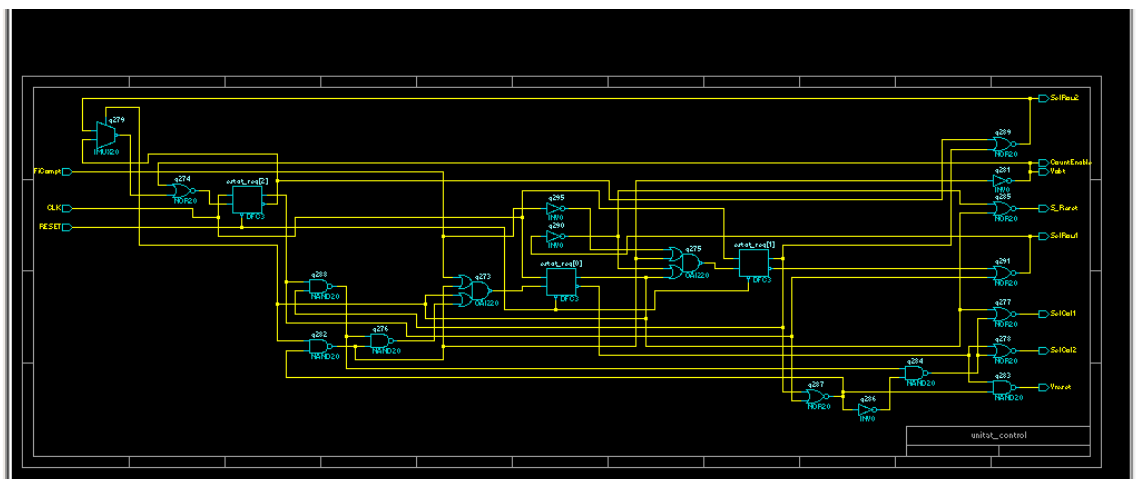
Fem el mateix amb el decoder.vhd:



Amb el fitxer COMTObt.vhd:



I amb unitat_control.vhd:



Llavors importem els fitxers sintetitzats al medi Verilog. Primer el comparador:

```

Log File
File Help 2
@(#)$CDS: ihdl.exe version 5.1.0 06/20/2007 02:12 (ciclno3) $ Thu Dec 16 12:33:45 2010

VerilogIn: *W,26: Library (sample) not initialised in the database.
VerilogIn: *W,151: -destIRlib option used but could not find anything to compile.
Verilog definition for module NOR40 was not found. Using lib 'CORELIB' cell 'NOR40' view 'symbol' as its symbol.
Verilog definition for module NAND40 was not found. Using lib 'CORELIB' cell 'NAND40' view 'symbol' as its symbol.
Verilog definition for module XOR20 was not found. Using lib 'CORELIB' cell 'XOR20' view 'symbol' as its symbol.
Verilog definition for module XNR20 was not found. Using lib 'CORELIB' cell 'XNR20' view 'symbol' as its symbol.
Checked in symbol comparador
Checked in schematic comparador
Checked in functional view comparador. User specification
End of Logfile.

```

Després el decoder:

```
Log File
File Help 3
@(#)SCDS: ihdl.exe version 5.1.0 06/20/2007 02:12 (cicln03) $ Thu Dec 16 12:36:48 2010

VerilogIn: *W,26: Library (sample) not initialised in the database.
VerilogIn: *W,151: -destIRLib option used but could not find anything to compile.
Verilog definition for module NAND20 was not found. Using lib 'CORELIB' cell 'NAND20' view 'symbol' as its symbol.
Verilog definition for module NOR20 was not found. Using lib 'CORELIB' cell 'NOR20' view 'symbol' as its symbol.
Verilog definition for module INV0 was not found. Using lib 'CORELIB' cell 'INV0' view 'symbol' as its symbol.
Checked in symbol decoder
Checked in schematic decoder
Checked in functional view decoder. User specification
End of Logfile.
```

Unitat de control:

```
Log File
File Help 4
@(#)SCDS: ihdl.exe version 5.1.0 06/20/2007 02:12 (cicln03) $ Thu Dec 16 12:39:41 2010

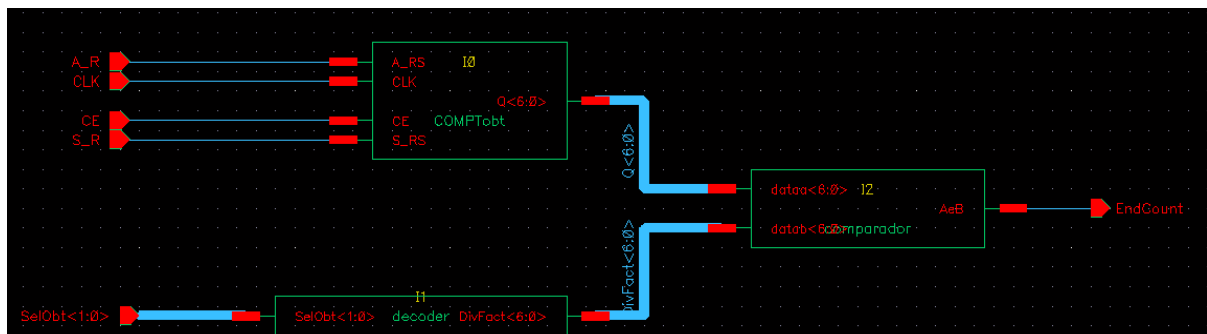
VerilogIn: *W,26: Library (sample) not initialised in the database.
VerilogIn: *W,151: -destIRLib option used but could not find anything to compile.
Verilog definition for module DFC3 was not found. Using lib 'CORELIB' cell 'DFC3' view 'symbol' as its symbol.
Verilog definition for module OAI220 was not found. Using lib 'CORELIB' cell 'OAI220' view 'symbol' as its symbol.
Verilog definition for module NOR20 was not found. Using lib 'CORELIB' cell 'NOR20' view 'symbol' as its symbol.
Verilog definition for module NAND20 was not found. Using lib 'CORELIB' cell 'NAND20' view 'symbol' as its symbol.
Verilog definition for module IMUX20 was not found. Using lib 'CORELIB' cell 'IMUX20' view 'symbol' as its symbol.
Verilog definition for module INV0 was not found. Using lib 'CORELIB' cell 'INV0' view 'symbol' as its symbol.
Checked in symbol unitat_control
Checked in schematic unitat_control
Checked in functional view unitat_control. User specification
End of Logfile.
```

I per últim COMPTobt:

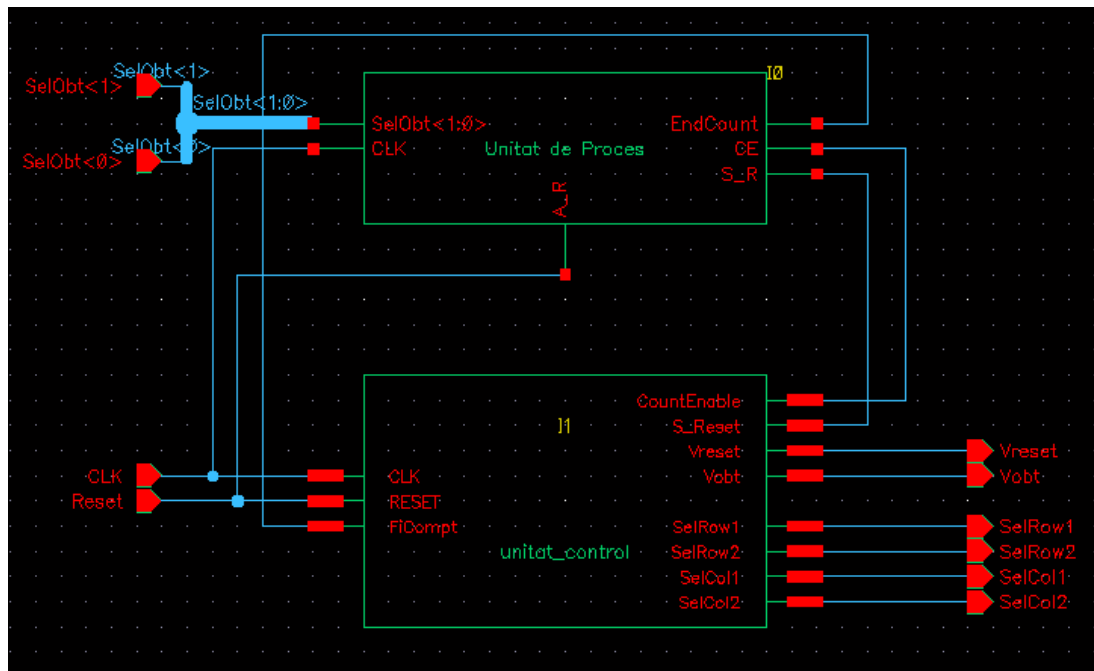
```
Log File
File Help 5
@(#)SCDS: ihdl.exe version 5.1.0 06/20/2007 02:12 (cicln03) $ Thu Dec 16 12:40:38 2010

VerilogIn: *W,26: Library (sample) not initialised in the database.
VerilogIn: *W,151: -destIRLib option used but could not find anything to compile.
Verilog definition for module DFC3 was not found. Using lib 'CORELIB' cell 'DFC3' view 'symbol' as its symbol.
Verilog definition for module NOR20 was not found. Using lib 'CORELIB' cell 'NOR20' view 'symbol' as its symbol.
Verilog definition for module IMUX20 was not found. Using lib 'CORELIB' cell 'IMUX20' view 'symbol' as its symbol.
Verilog definition for module XOR20 was not found. Using lib 'CORELIB' cell 'XOR20' view 'symbol' as its symbol.
Verilog definition for module ADD21 was not found. Using lib 'CORELIB' cell 'ADD21' view 'symbol' as its symbol.
Verilog definition for module XNR20 was not found. Using lib 'CORELIB' cell 'XNR20' view 'symbol' as its symbol.
Checked in symbol COMPTobt
Checked in schematic COMPTobt
Checked in functional view COMPTobt. User specification
End of Logfile.
```

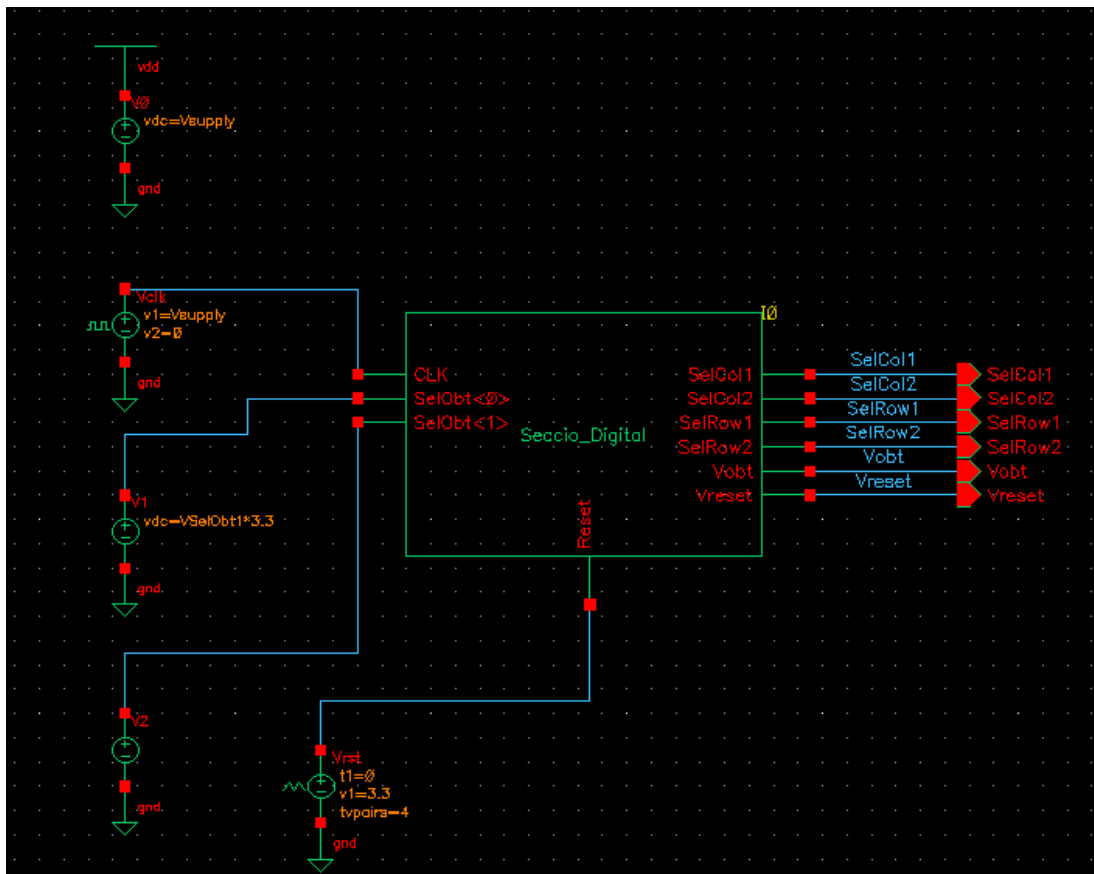
Arribats a aquest punt creem el schematic de la unitat de control, fent servir els símbols del comparador, el comptador i el decoder importats.



Un cop tenim aquest schematic i hem comprovat que funciona correctament, creem el símbol de la unitat de procés, i l'afegim al schematic de la secció digital, que queda de la següent manera:



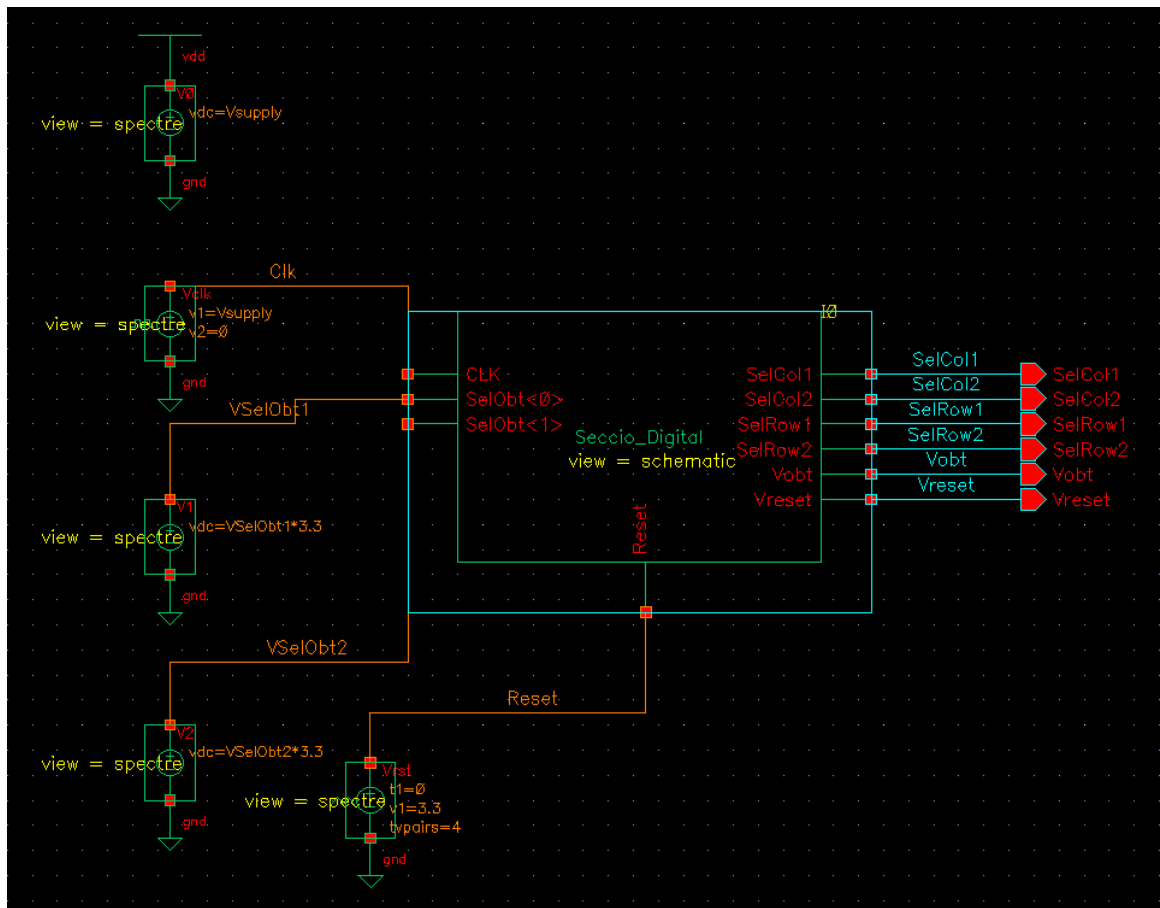
Ahora fem un símbol d'aquest circuit, al qual anomenem Seccio_Digital:



Abans de fer la simulació, hem de canviar la vista de simulació de les Thru#cells per tal d'obtenir una simulació sense artefactes estranys. El procediment és el mateix que ja hem vist a les pràctiques de l'assignatura.



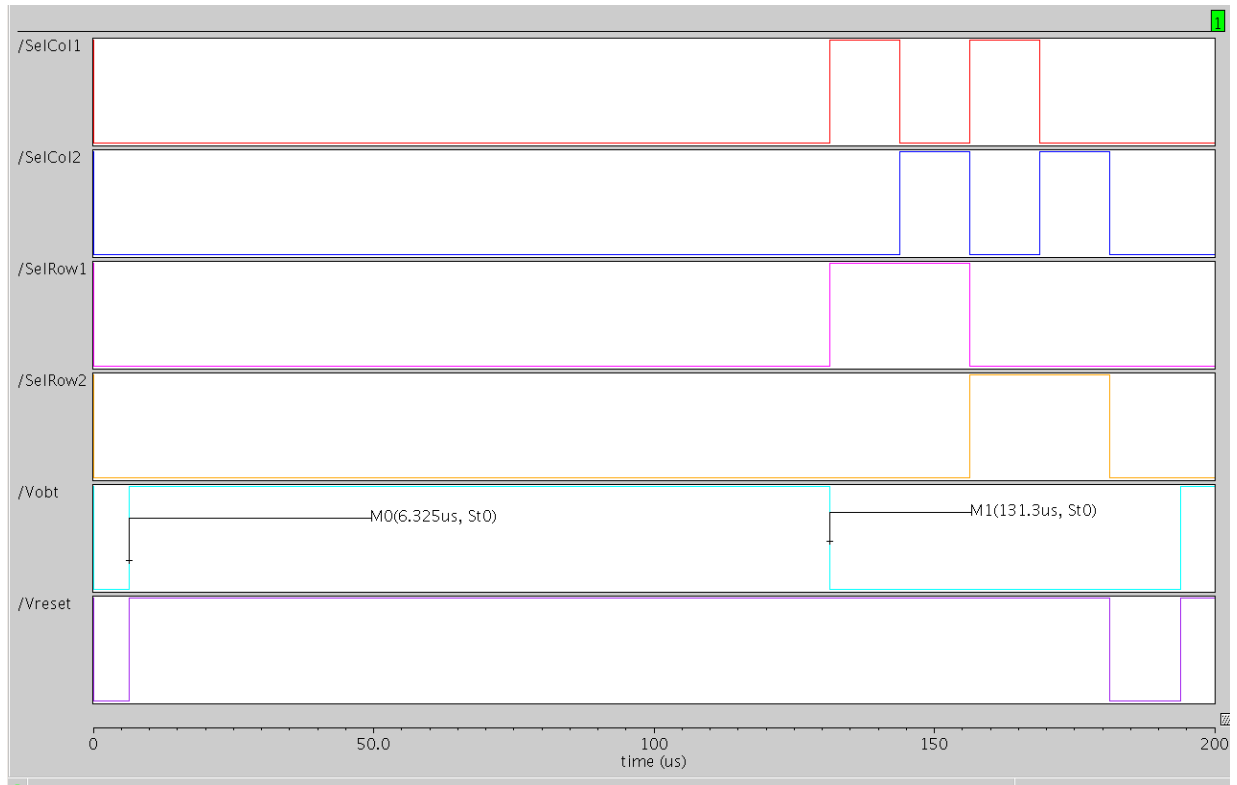
Un cop canviat això, comprovem quines són les parts del circuit analògiques, quines les digitals, i quines mixtes:



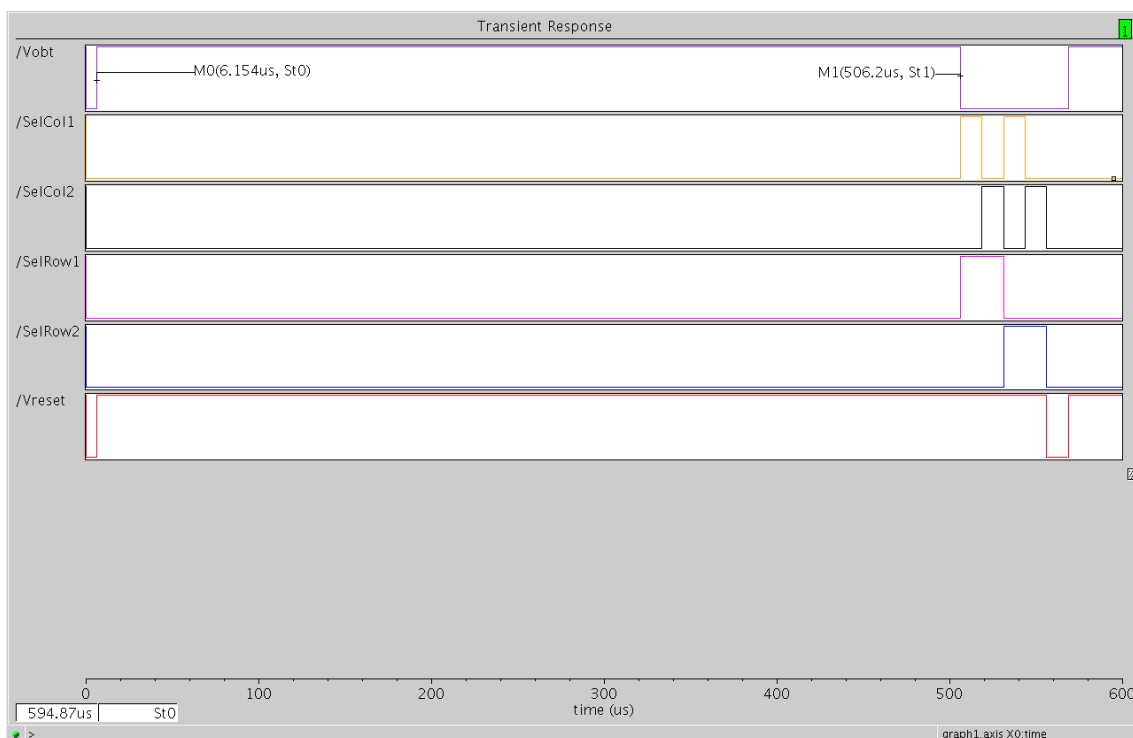
Podem observar en verd les parts que es simularan en entorn analògic, en blau cel les parts digitals i en taronja les parts mixtes.

Ara comprovem el correcte funcionament de la part digital, i al simular trobem aquestes gràfiques:

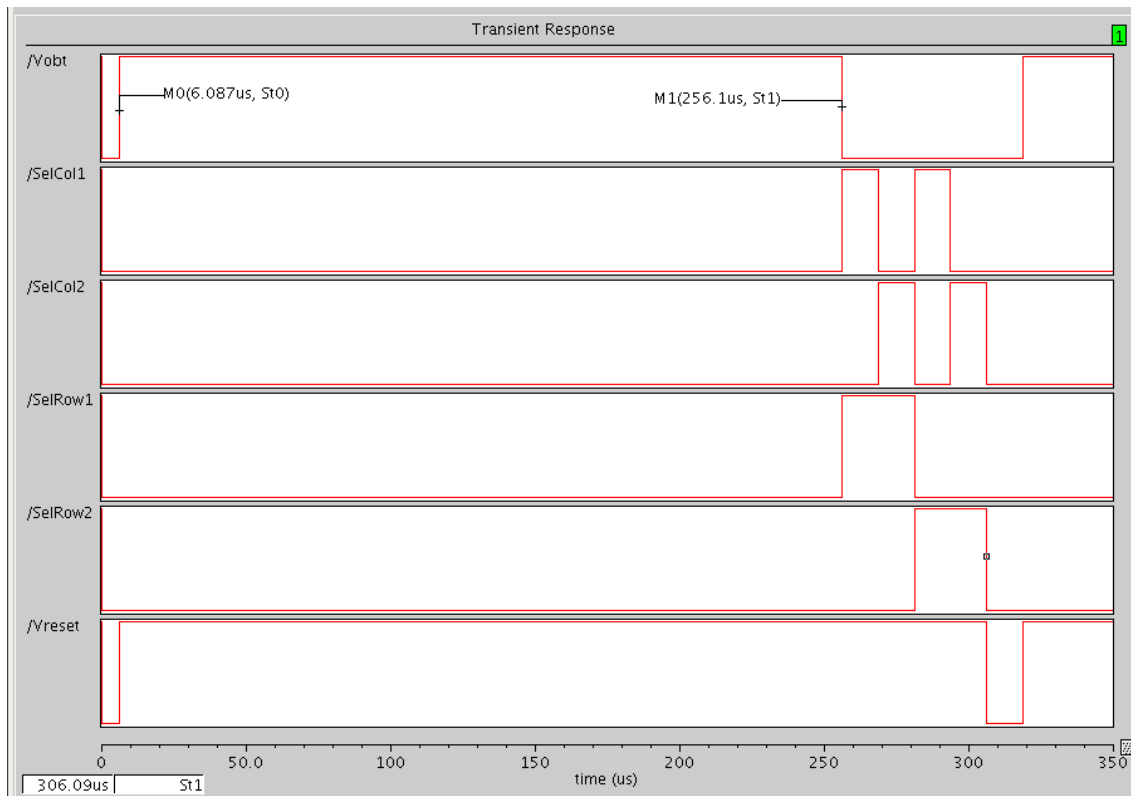
La captura següent mostra els senyals generats per la secció digital per la combinació SelObt1=0 i SelObt0=0 ($T_{obt}=125\mu s$).



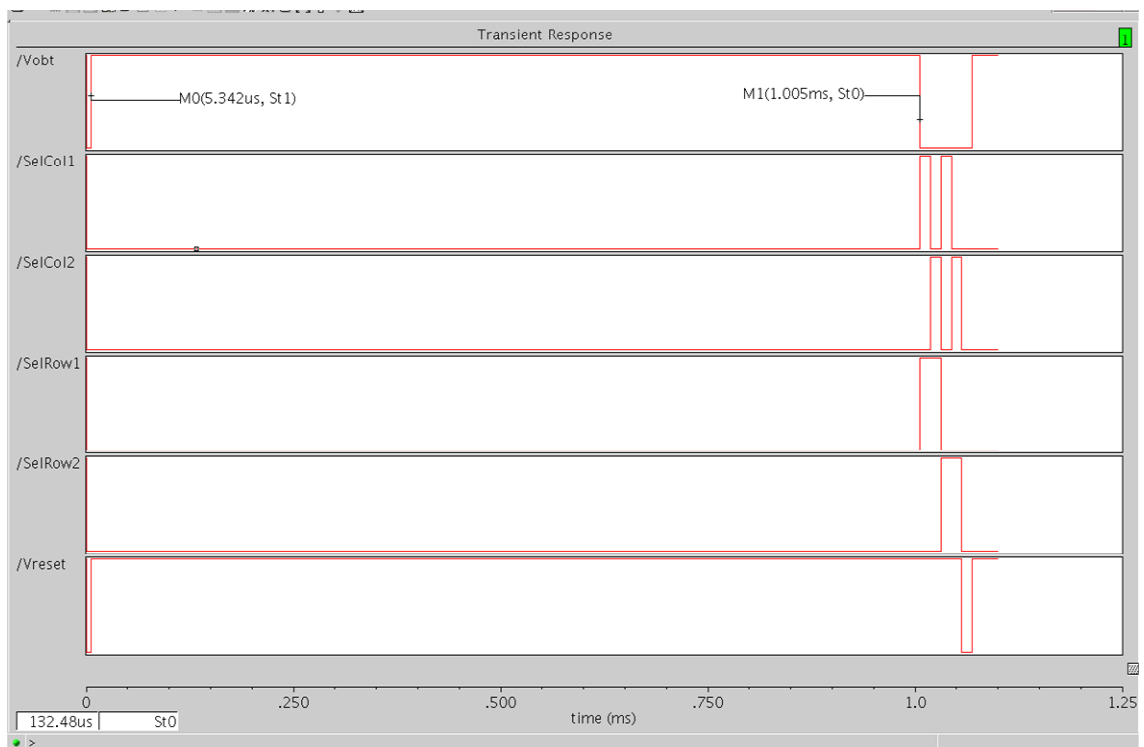
La captura següent mostra els resultats per a $T_{obt}=500\mu s$.



Continuem amb $T_{ob} = 250\mu s$:

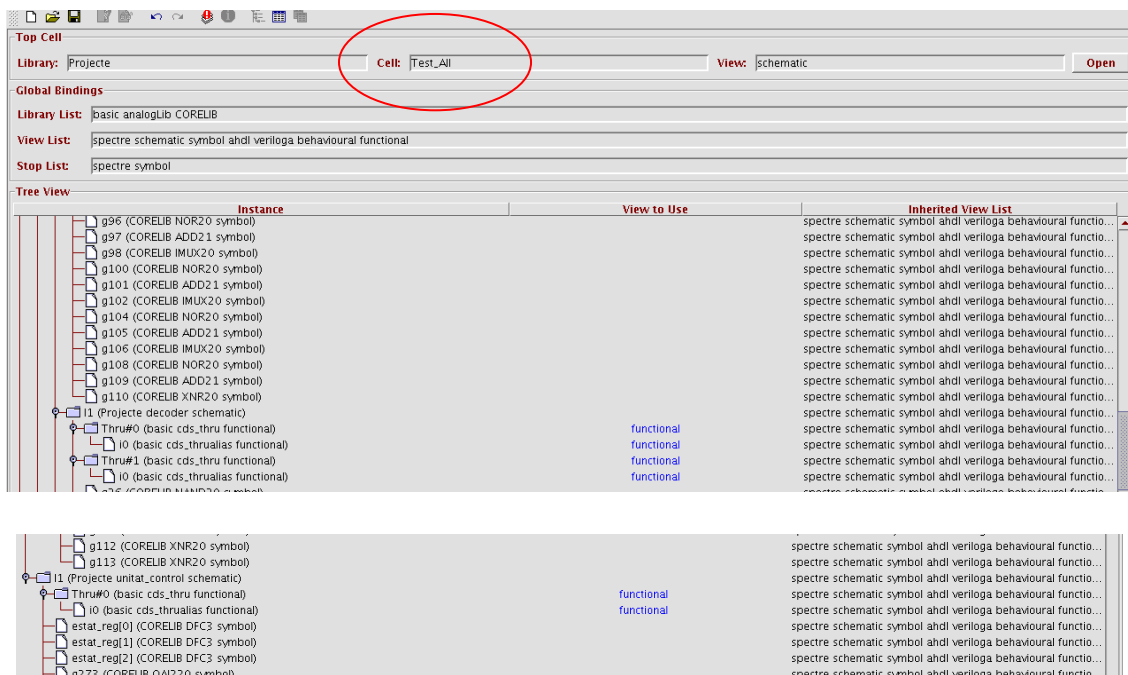


I per acabar, $T_{ob} = 1ms$.

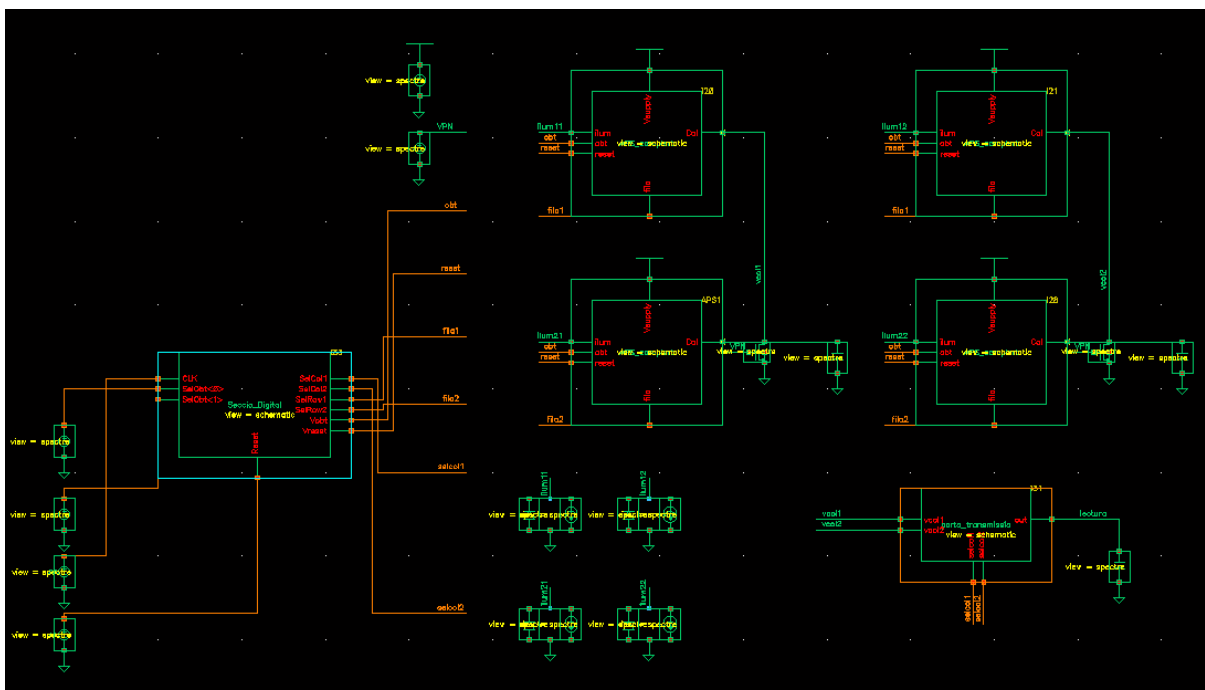


14.- It is now time to verify the correct functionality of the complete system. Edit a schematic called *Test_All* that contains the digital section, the analog section, and the stimulus that you already used to test the digital part.

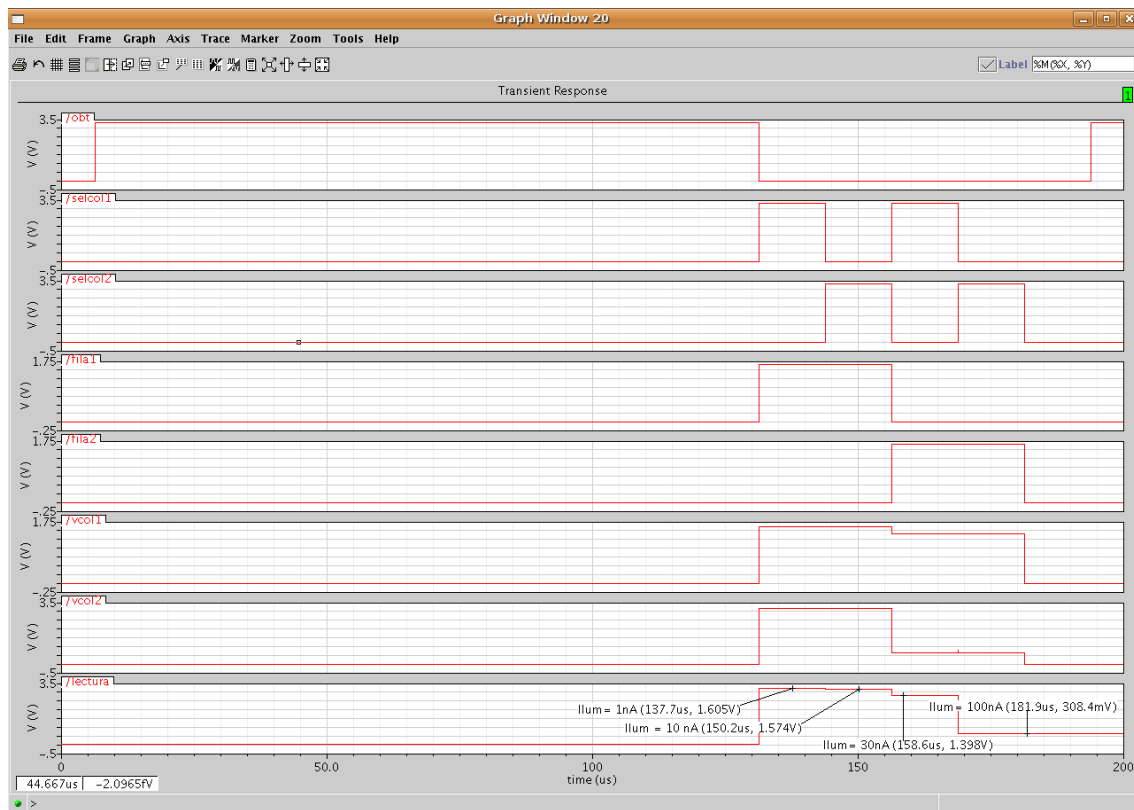
Com en els apartats anteriors, primer hem de canviar la vista de simulació:



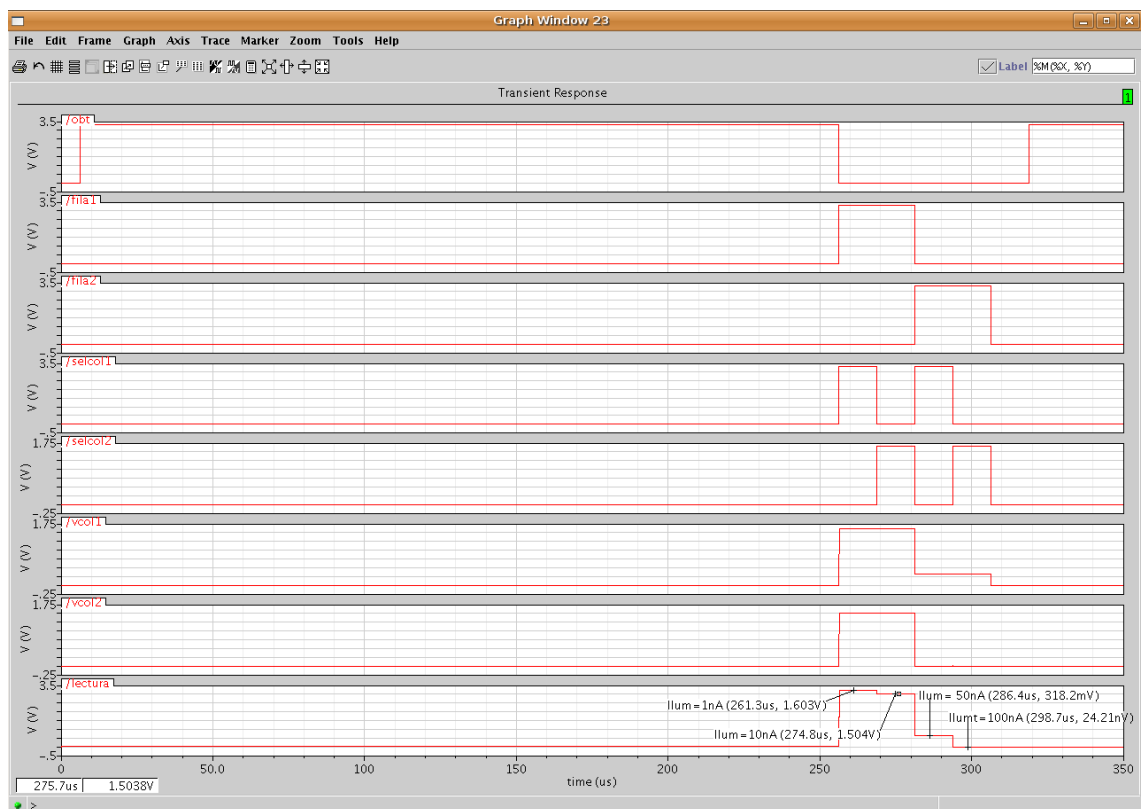
I comprovar què és digital (blau cel), què analògic (verd), i què és mixt (taronja):



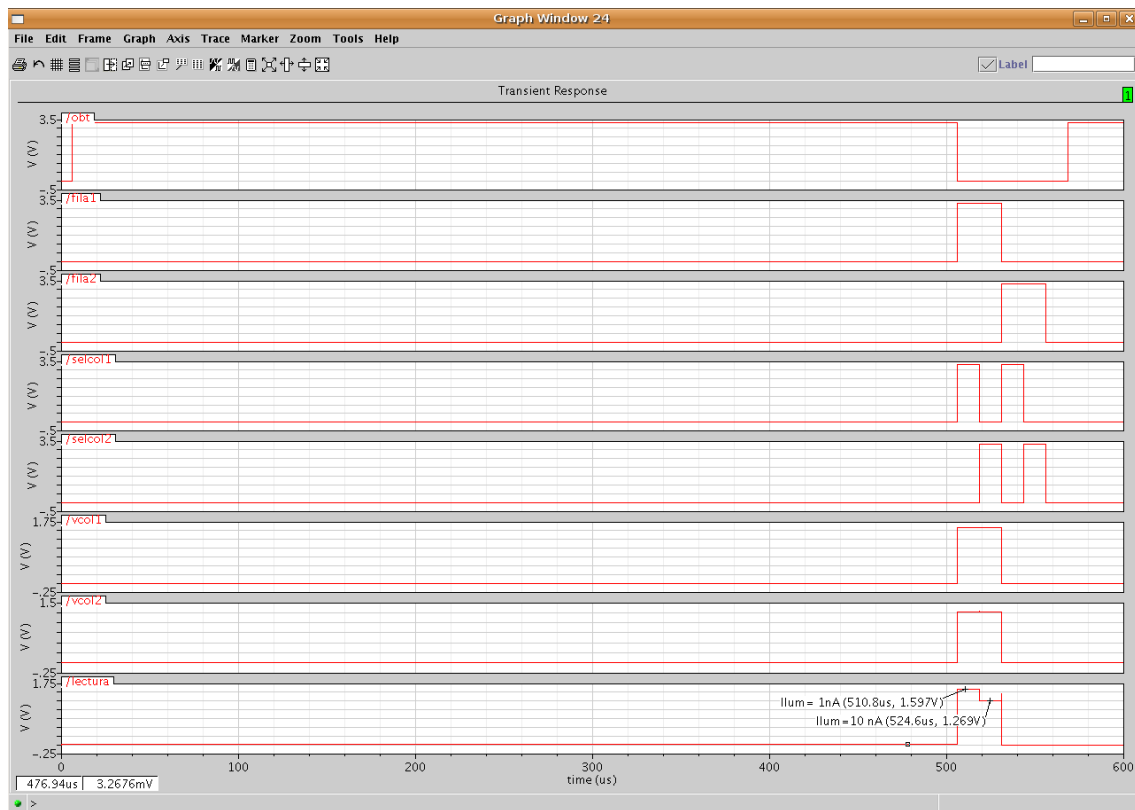
Fem la simulació i trobem per SelObt1=0 i SelObt2=0:



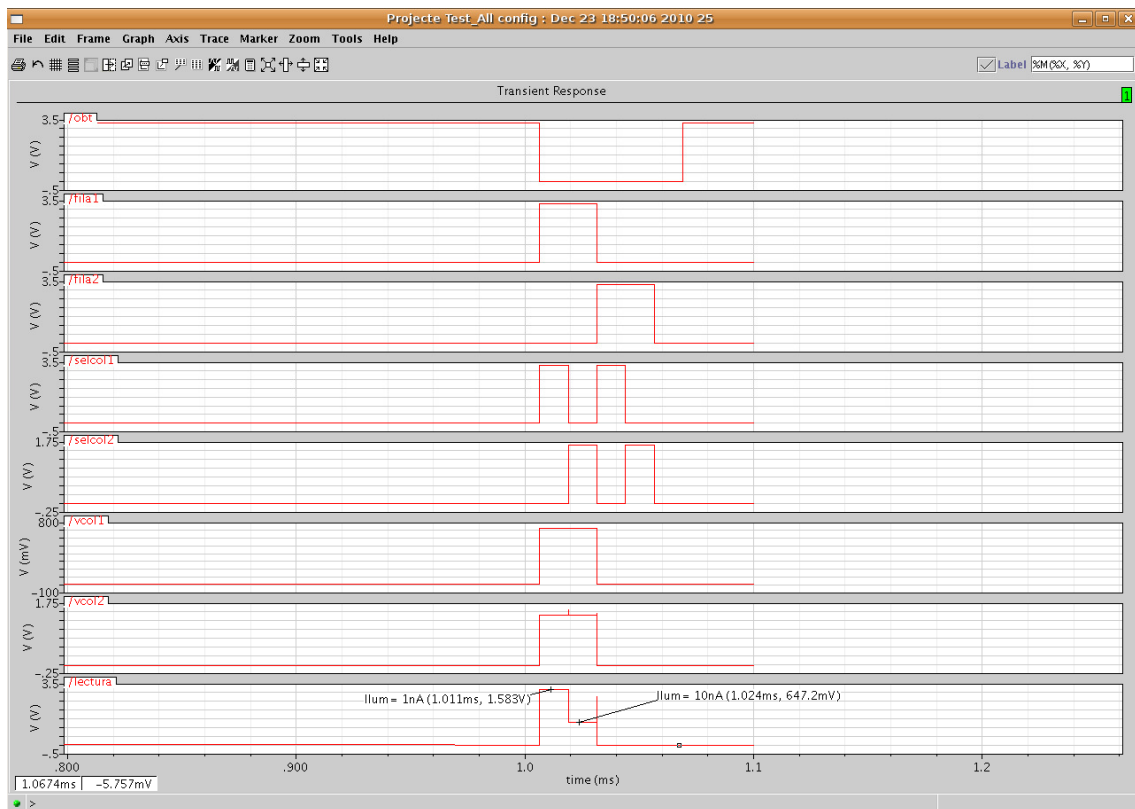
Per SelObt1=1 SelObt2=0:



Per SelObt1=0, SelObt2=1:



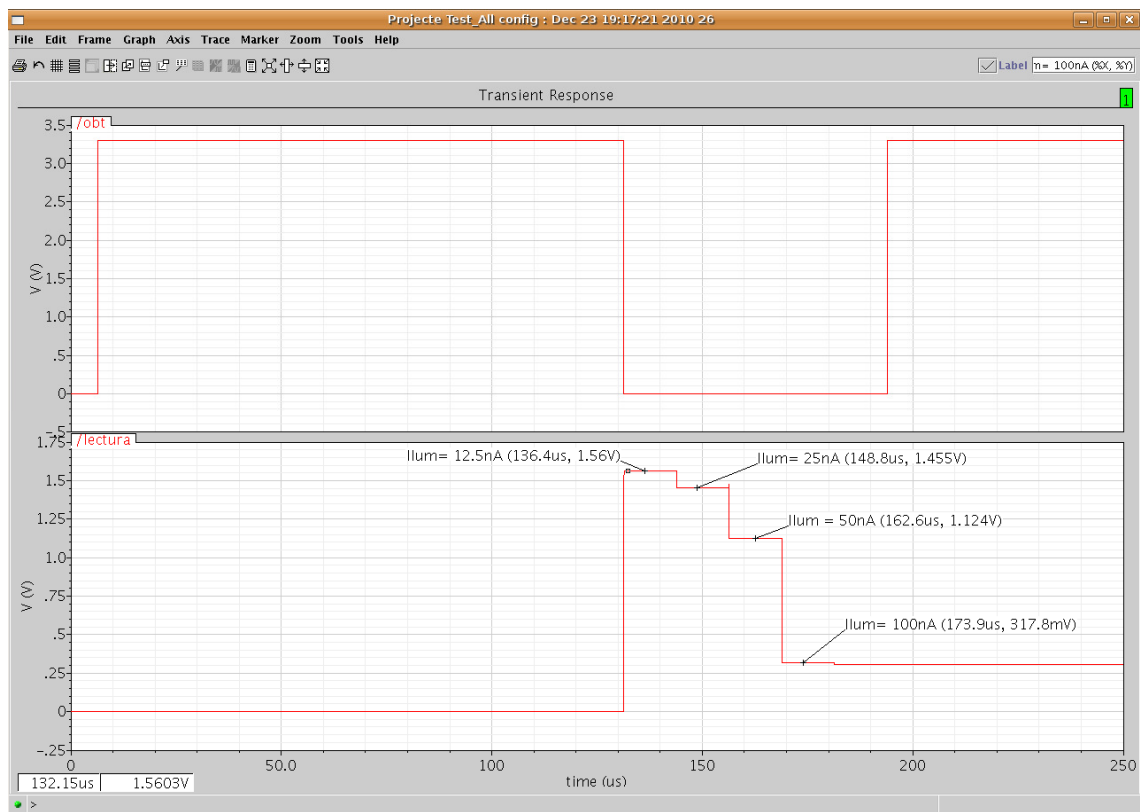
I per SelObt1=1 i SelObt2=1:



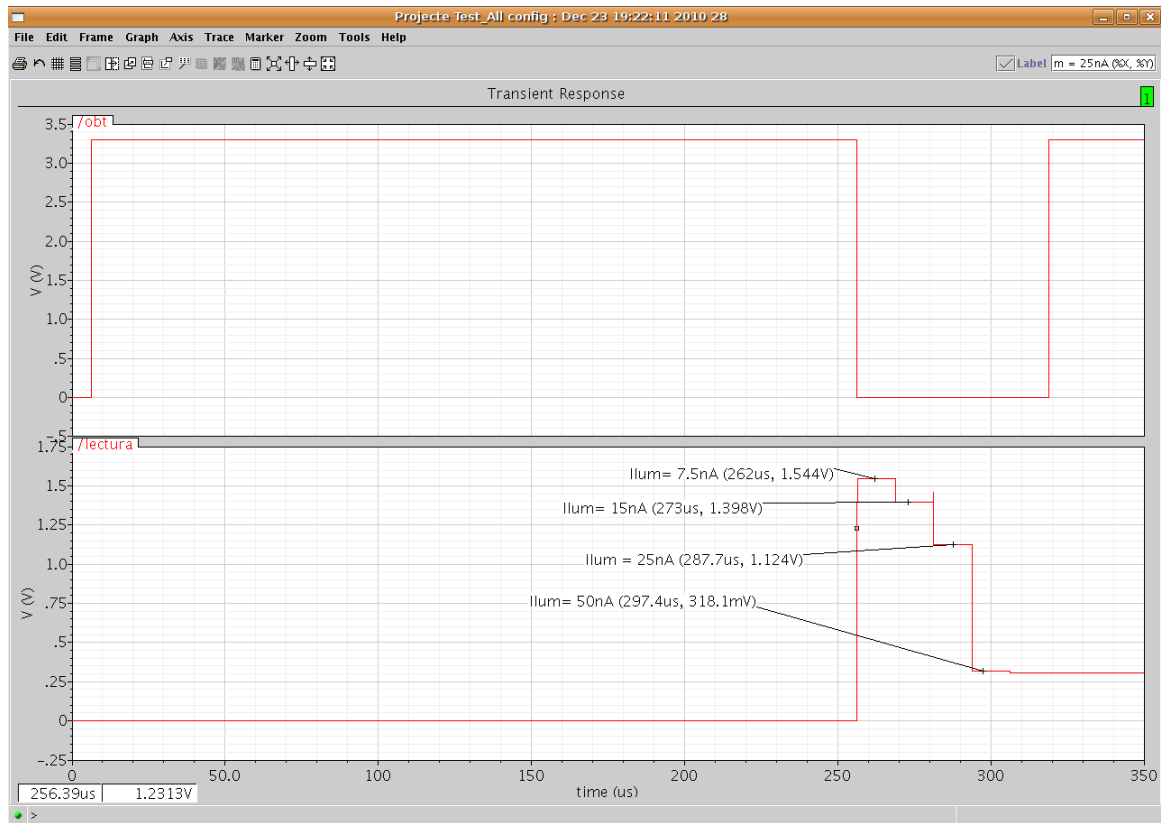
15.- Run the simulation and verify the correct functionality of the complete system, for the same illumination levels and shutter opening times that you simulated in the first part of the design. Compare the results obtained.

Per tal de poder analitzar el que se'ns demanava al apartat 6 de la part analògica (mateixa lectura si dividim per 2 la intensitat lumínica i multipliquem per dos el temps d'obturació) prenem les següents captures:

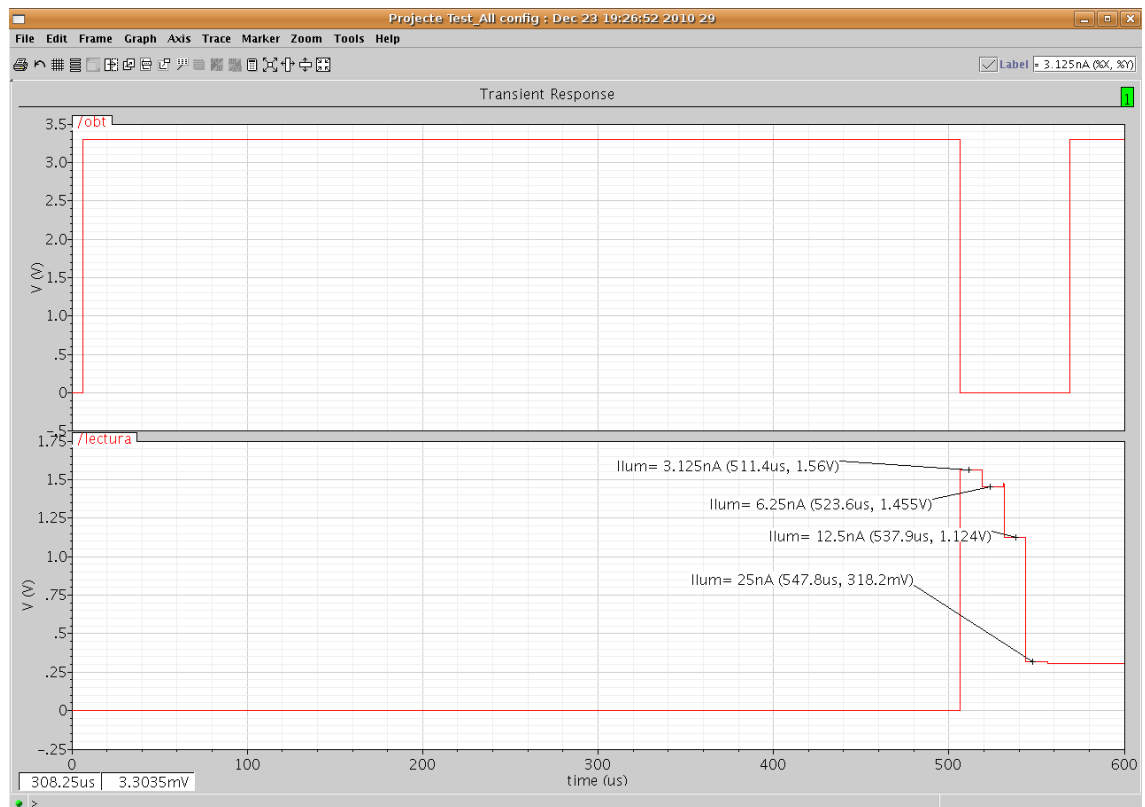
Amb $T_{ob} = 125\mu s$:



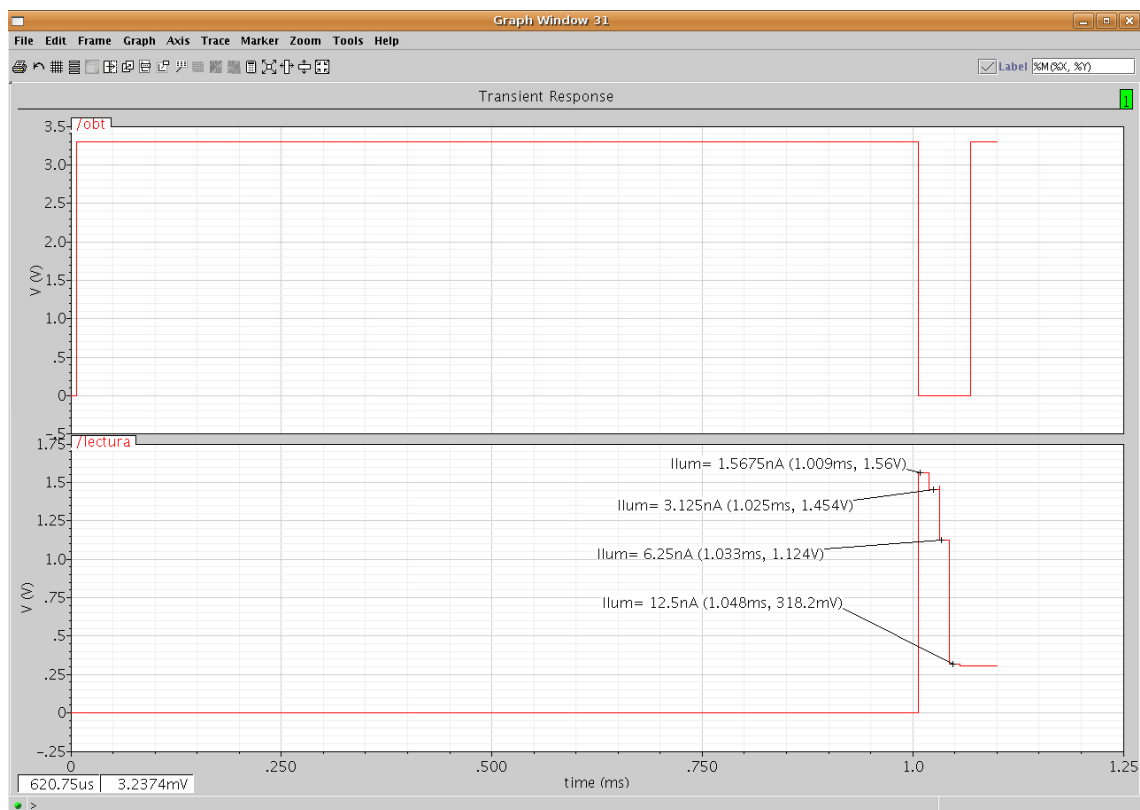
Amb $T_{obf}=250\mu s$:



Amb $T_{obf}=500\mu s$:



Amb $T_{obt} = 1000\mu s$:



Els resultats els tabulem i confirmem el correcte funcionament del conjunt complet. En efecte, els valors de tensió registrats es mantenen constants quan multipliquem per dos el temps d'obturació i dividim la intensitat lumínica.

Tobt=125us		Tobt=250us		Tobt=500us		Tobt=1000us	
Illum (nA)	Vout (V)	Illum (nA)	Vout (V)	Illum (nA)	Vout (V)	Illum (nA)	Vout (V)
100	0,3178	50	0,3181	25	0,3182	12,5	0,3182
50	1,124	25	1,124	12,5	1,124	6,25	1,124
25	1,455	12,5	1,398	6,25	1,455	3,125	1,454
12,5	1,560	6,25	1,544	3,125	1,560	1,5625	1,560

Amb la comprovació del correcte funcionament del sistema complet donem per finalitzat el projecte.