

Exercicis previs DCISE sessió 2

Apartat a:

L'equació que cal resoldre per a trobar V_{INV} és la següent:

$$\frac{K'_N \cdot W_N}{L_N} \cdot \frac{(V_{INV} - V_{TN})^2}{2} \cdot (1 + \lambda \cdot V_{INV}) = \frac{K'_P \cdot W_P}{L_P} \cdot \frac{(V_{INV} - V_{dd} - V_{TP})^2}{2} \cdot (1 - \lambda \cdot (V_{INV} - V_{dd}))$$

$$V_{INV}^3 \cdot \lambda \cdot (R + 1) + V_{INV}^2 \cdot (R \cdot (1 - 2 \cdot \lambda) - (1 + \lambda \cdot V_{dd}) - 2 \cdot \lambda \cdot (V_{dd} + V_{TP})) + V_{INV} \cdot (R \cdot V_{TN} \cdot (\lambda \cdot V_{TN} - 2) + 2 \cdot (1 + \lambda \cdot V_{dd}) \cdot (V_{dd} + V_{TP}) + \lambda \cdot (V_{dd} + V_{TP})^2) + (V_{TN}^2 \cdot R) - (V_{dd} + V_{TP})^2 = 0$$

$$R = \frac{\frac{K'_N \cdot W_N}{L_N}}{\frac{K'_P \cdot W_P}{L_P}}$$

Particularitzant per lambda 0 tenim:

$$V_{INV}^2 \cdot (R - 1) + V_{INV} \cdot (R \cdot V_{TN} \cdot (-2) + 2 \cdot (V_{dd} + V_{TP})) + (V_{TN}^2 \cdot R) - (V_{dd} + V_{TP})^2 = 0$$

Amb els valors de l'enunciat:

$$R = 1.5384; V_{TN} = 0.5; V_{TP} = -0.65; V_{dd} = 3.3; \lambda = 0$$

$$V_{INV} = 1.45969V$$

En cas general per a lambda no zero:

$$R = 1.5384; V_{TN} = 0.5; V_{TP} = -0.65; V_{dd} = 3.3; \lambda = 0.08$$

$$V_{INV} = 1.46657V$$

El resultat varia poc ja que la lambda afecta de forma molt semblant als dos transistors. Donat que el factor al que lambda multiplica és V_{ds} i aquest és quasi igual per als dos transistors aleshores quasi no hi ha diferència entre les dues corrents.

Apartat b:

El voltatge d'inversió no és $V_{dd}/2$ ja que els dos transistors tenen paràmetres de construcció diferents que provoquen que les corrents dels transistors per a $V_{gate} = V_{dd}/2$ siguin diferents. Si volem que $V_{inv} = V_{dd}/2$ forçarem per construcció a que $V_{inv} = V_{dd}/2$ i buscarem les condicions que han de complir les dimensions.

$$\frac{K'_N \cdot W_N}{L_N} \cdot \frac{(V_{dd}/2 - V_{TN})^2}{2} = \frac{K'_P \cdot W_P}{L_P} \cdot \frac{(V_{dd}/2 + V_{TP})^2}{2}$$

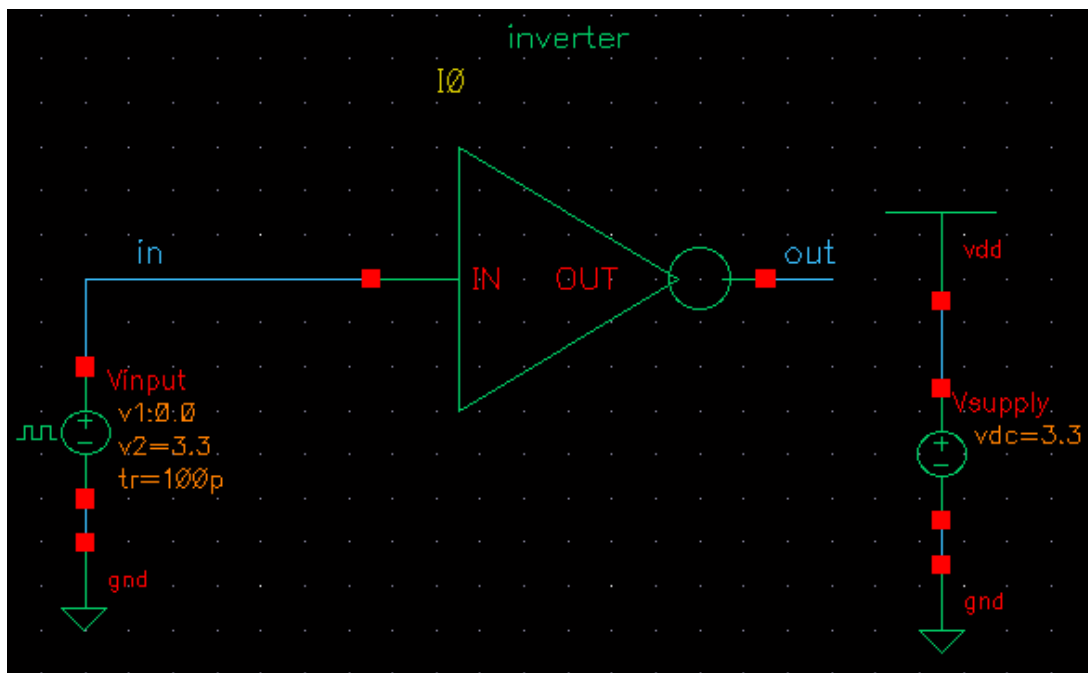
$$\frac{\frac{K'_N \cdot W_N}{L_N}}{\frac{K'_P \cdot W_P}{L_P}} = \frac{(V_{dd}/2 + V_{TP})^2}{(V_{dd}/2 - V_{TN})^2} = 0.7561$$

$$\frac{\frac{K'_N \cdot W_N}{L_N}}{\frac{W_N}{L_P}} = 0.2457$$

Si mantenim el PMOS tal com està i el NMOS el mantenim amb la mateixa llargària de canal aleshores caldrà que l'amplada de l'NMOS sigui $0.4914\mu\text{m}$ enlloc de $1\mu\text{m}$. O bé mantenint el NMOS i modificant l'amplada del PMOS tenim una amplada de $4.07\mu\text{m}$.

Apartat c:

Per a mesurar el voltatge d'inversió col·locarem l'inversor amb una font DC a l'entrada. Aquesta font farà un escombrat de 0 a 3.3V i dibuixarem els nodes V_{in} i V_{out} . D'aquesta manera el gràfic serà una corba que ens descriu la relació sortida/entrada de l'inversor i una recta de pendent 1 que ens servirà per trobar V_{inv} . El punt de tall entre la corba i la recta és el voltatge d'inversió.



Apartat d:

Primerament calculem les resistències equivalents que farem servir per a mesurar el retard.

$$Req_{NMOS} = Req_N / 1\mu\text{m} = 4,84\text{ K}\Omega; Req_{PMOS} = Req_P / 2\mu\text{m} = 6,1\text{ K}\Omega$$

Les capacitats a l'entrada i sortida (sense cap càrrega).

$$\text{HL: } C_{IN_{HL}} = C_{IN_{NHL}} \cdot W_N + C_{IN_{PHL}} \cdot W_P = 1.57 \cdot 1 + 2 \cdot 1.06 = 3.69\text{ fF}$$

$$\text{LH: } C_{IN_{LH}} = C_{IN_{NLH}} \cdot W_N + C_{IN_{PLH}} \cdot W_P = 1.30 \cdot 1 + 2 \cdot 1.79 = 4.88\text{ fF}$$

$$\text{HL: } C_{OUT_{HL}} = C_{OUT_{NHL}} \cdot W_N + C_{OUT_{PHL}} \cdot W_P = 1.97 \cdot 1 + 2 \cdot 2.27 = 6.51\text{ fF}$$

$$\text{LH: } C_{OUT_{LH}} = C_{OUT_{NLH}} \cdot W_N + C_{OUT_{PLH}} \cdot W_P = 2.04 \cdot 1 + 2 \cdot 1.77 = 5.58\text{ fF}$$

Calculem el temps de propagació (càrrega dels condensadors de la sortida) en el cas sense càrrega.

$$tp_{HL} = Req_{NMOS} \cdot C_{OUT_{HL}} \cdot 0.69 = 21.74ps$$

$$tp_{LH} = Req_{PMOS} \cdot C_{OUT_{LH}} \cdot 0.69 = 23.48ps$$

Ara a la capacitat de sortida intrínseca se li afegeix una càrrega C_L .

$$tp_{HL} = Req_{NMOS} \cdot (C_{OUT_{HL}} + C_L) \cdot 0.69 = 55.13ps$$

$$tp_{LH} = Req_{PMOS} \cdot (C_{OUT_{LH}} + C_L) \cdot 0.69 = 65.57ps$$

Ara podem dir que C_L passa a ser la càrrega a l'entrada del segon inversor.

$$tp_{HL} = Req_{NMOS} \cdot (C_{OUT_{HL}} + C_{IN_{LH}}) \cdot 0.69 = 38.13ps$$

$$tp_{LH} = Req_{PMOS} \cdot (C_{OUT_{LH}} + C_{IN_{HL}}) \cdot 0.69 = 39.01ps$$

Si enlloc d'un inversor en tenim 10 aleshores cal multiplicar la càrrega de l'entrada d'un inversor per 10.

$$tp_{HL} = Req_{NMOS} \cdot (C_{OUT_{HL}} + 10 \cdot C_{IN_{LH}}) \cdot 0.69 = 184.7 ps$$

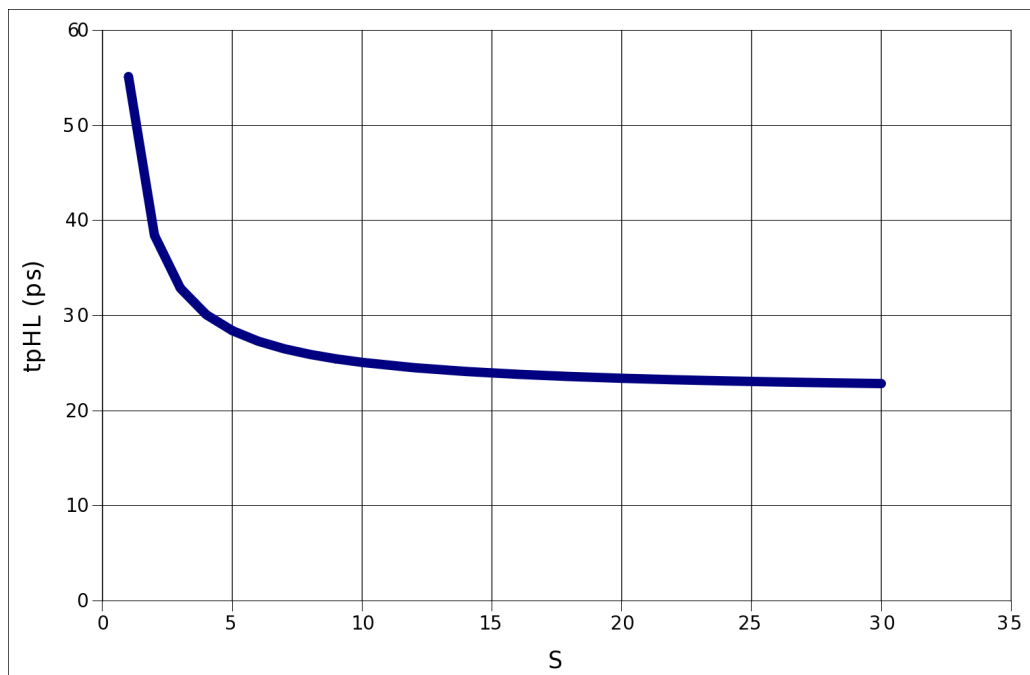
$$tp_{LH} = Req_{PMOS} \cdot (C_{OUT_{LH}} + 10 \cdot C_{IN_{HL}}) \cdot 0.69 = 178.79ps$$

Apartat e:

Representarem el retard “High to Low” en funció de S . Prenem com a W de referència (quan $S=1$) 1um així per $S=1$ tenim els apartats anteriors. A més donat que volem resultats comparables a l'apartat anterior triarem mantenir proporcionals els W dels dos transistors. Així per al PMOS tenim $S \cdot 2um$ i per a NMOS $S \cdot 1um$.

$$tp_{HL}(S) = Req_{NMOS}(S) \cdot (C_{OUT_{HL}}(S) + C_L) \cdot 0.69 = 55.13ps$$

$$tp_{HL}(S) = Req_{N} / (1 \mu \cdot S) \cdot (C_{out_{HL} NMOS} \cdot 1 \mu \cdot S + C_{out_{HL} PMOS} \cdot 2 \mu \cdot S + C_L) \cdot 0.69$$



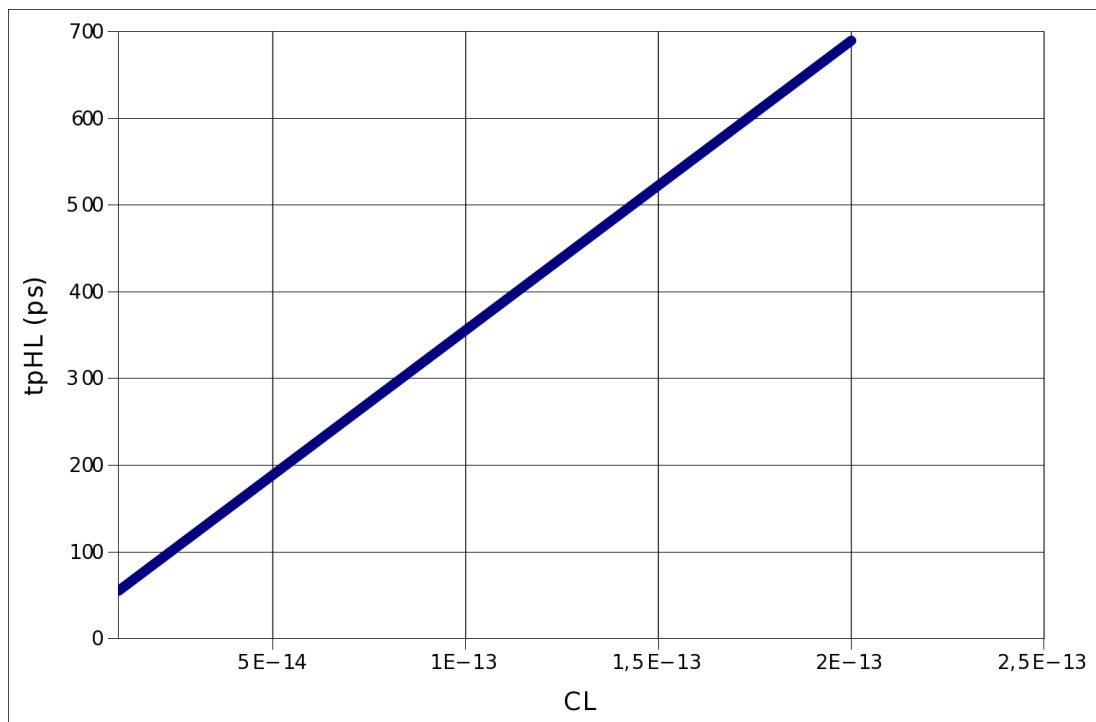
Si mirem l'equació veiem que la càrrega de sortida no afecta al temps, ja que és més gran proporcionalment al W però la resistència del transistor es fa petita en la mateixa proporció. En canvi C_L no creix amb W i sí ho fa com ja hem dit R , així que en fer créixer S veiem que el valor de C_L no ens afecta, només preval la capacitat del propi inversor.

$$tp_{HL}(S) = 0.69 \cdot Req_N \cdot ((C_L) / (1 \mu \cdot S) + C_{out\ HL\ NMOS} + C_{out\ HL\ PMOS})$$

Ara veurem la dependència amb la càrrega que ens hauria de donar segons l'equació següent:

$$tp_{HL} = 0.69 \cdot Req_{NMOS} \cdot (C_{OUT_{HL}} + C_L)$$

L'equació d'una recta amb pas per l'eix d'ordenades quan $C_L = 0$ que és 21.47ps (el primer apartat) i pendent $0.69 \cdot Req$.



Comprovem que per a 10fF tenim uns 55 ps (com havíem calculat).

Apartat f:

El que farem serà assignar als transistors una amplada que sigui una variable. En el NMOS assignem per exemple W i al PMOS $k \cdot W$. W serà fixada a la finestra de variables. En canvi k s'anirà variant. Donat que també hem de fer un sweep de V_{in} caldrà doncs fer un anàlisi paramètric.

En l'anàlisi TRAN farem servir una font variable a l'entrada la qual generarà polsos de 0 a 3.3V amb un cert període (anomenat Per , que sigui una variable fixa). Fent ús de la calculadora generarem la senyal:

```
cross(VT("/Vout") 3.3/2 2 "rising" nil nil ) - cross(VT("/Vout") 3.3/2 2 "falling" nil nil ) - VAR("Per")
```

Aquesta funció resta el temps de pujada i el de baixada (que hauria de ser igual al període) i en fa la resta amb el període. Si el temps de pujada i de baixada no són iguals la funció presentarà valors distints de zero. Així doncs només caldrà jugar amb K fins que trobem un valor molt proper a zero.

Apartat g:

Podem fer ús de les fórmules inicials que hem trobat particularitzant per la capacitat demandada.

$$tp_{HL} = Req_{NMOS} \cdot (C_{OUT_{HL}} + C_L) \cdot 0.69 = 355.7ps$$

$$tp_{LH} = Req_{PMOS} \cdot (C_{OUT_{LH}} + C_L) \cdot 0.69 = 444.38ps$$

$$tp_{avg} = \frac{(tp_{HL} + tp_{LH})}{2} = 400ps$$

Ara busquem la Req del nou inversor així com les seves capacitats.

$$Req_{NMOS} = Req_N / 3 \mu m = 1,61 K \Omega ; Req_{PMOS} = Req_P / 6 \mu m = 2,0 K \Omega$$

$$HL: C_{IN_{HL}} = C_{IN_{NHL}} \cdot W_N + C_{IN_{PHL}} \cdot W_P = 1.57 \cdot 3 + 6 \cdot 1.06 = 11.07 fF$$

$$LH: C_{IN_{LH}} = C_{IN_{NLH}} \cdot W_N + C_{IN_{PLH}} \cdot W_P = 1.30 \cdot 3 + 6 \cdot 1.79 = 14.64 fF$$

$$HL: C_{OUT_{HL}} = C_{OUT_{NHL}} \cdot W_N + C_{OUT_{PHL}} \cdot W_P = 1.97 \cdot 3 + 6 \cdot 2.27 = 19.53 fF$$

$$LH: C_{OUT_{LH}} = C_{OUT_{NLH}} \cdot W_N + C_{OUT_{PLH}} \cdot W_P = 2.04 \cdot 3 + 6 \cdot 1.77 = 16.74 fF$$

El retard del primer inversor:

$$tp_{HL} = Req_{NMOS} \cdot (C_{OUT_{HL}} + C_{IN_{LH}}) \cdot 0.69 = 70.6ps$$

$$tp_{LH} = Req_{PMOS} \cdot (C_{OUT_{LH}} + C_{IN_{HL}}) \cdot 0.69 = 70.0ps \quad tp_{avg} = 70.3ps$$

El retard del segon inversor

$$tp_{HL} = Req_{NMOS} \cdot (C_{OUT_{HL}} + C_L) \cdot 0.69 = 132.78ps$$

$$tp_{LH} = Req_{PMOS} \cdot (C_{OUT_{LH}} + C_L) \cdot 0.69 = 161.1ps \quad tp_{avg} = 147ps$$

$$tp_{avg\ tot} = 70.3ps + 147ps = 217.3ps$$

Es veu com ara el retard és menor (la meitat aprox.) ja que el segon inversor té una resistència menor i això provoca que la càrrega a la sortida trigui menys a carregar-se. Cal tenir el compte que tot i que el retard del segon inversor és molt menor el primer pateix un retard significatiu pel fet que és petit i intenta carregar la porta de l'inversor gran, que té una major capacitat.