

Examen FINAL Estructura de Computadores II

- La duración del examen es de 3 horas.
- Contesta en las hojas de respuestas.
- Las notas finales se publicarán el **27 de junio**.
- La revisión se realizará el **1 de julio**.

curso 2007-2008 Q2

Problema 1 (0,5 punts)

Dibuixeu el bloc d'activació i traduïu **literalment** la següent rutina a ensamblador:

```
int rutina(int i, int *j) {  
    int k;  
    k = *j;  
    *j = i;  
    return (k);  
}
```

Problema 2 (2 puntos)

Dado el siguiente código escrito en C:

```
typedef struct {  
    int x1;  
    char c;  
    unsigned short s;  
} s1;  
typedef struct {  
    s1 w[25];  
    s1 *vs[10];  
    int vi[100];  
    int a, b;  
} s2;  
  
int xxx(char c, int *p);  
int ec2(s2 *ps, char f[100], s1 dato1)  
{  
    int v[100];  
    int i;  
    char c;  
    unsigned short s;  
  
    ...  
}
```

a) **Dibujad** como quedarían almacenadas las estructuras s1 y s2 en linux, indicando claramente los desplazamientos respecto el inicio de la estructura y el tamaño de éstas.

b) **Dibujad** el bloque de activación de la rutina ec2, indicando claramente los desplazamientos y el tamaño de cada elemento.

c) **Traducid** a ensamblador del IA32 la siguiente secuencia de instrucciones escritas en C:

```
c = dato1.c;  
ps->w[4].s = s << 4;
```

suponiendo que se encuentra en la rutina ec2.

d) **Traducid** a ensamblador del IA32 la siguiente secuencia de instrucciones escritas en C:

```
v[40] = xxx(dato1.c, &i);
```

suponiendo que se encuentra en la rutina ec2.

e) **Traducid** a ensamblador del IA32 la siguiente secuencia de instrucciones escritas en C:

```
i=0;  
do {  
    f[i] = c | f[i];  
    i++;  
} while (i<10);
```

suponiendo que se encuentra en la rutina ec2.

Problema 3 (1 punto)

Dado el siguiente código escrito en ensamblador del IA32:

```
    movl $0, %ebx
    movl $0, %esi
for:  cmpl $1024, %esi
      jge end
      (a)  movl (%ebx, %esi,4), %eax
      (b)  movl %eax, 16*1024(%ebx, %esi,4)
      (c)  addl %eax, 16(%ebx, %esi,4)
          addl $1, %esi
          jmp for
end:
```

Suponiendo una memoria cache de datos con **mapeo directo** de **16 Kbytes** y **líneas de 16 bytes**, responde a las siguientes preguntas:

Pista 1: Calcula cuántos accesos a memoria se producen durante su ejecución:

Pista 2: Calcula cuántas líneas tiene la cache:

- 1) Para cada uno de los accesos (etiquetas a, b, c), indicad a qué **línea de la memoria principal** se accede en cada una de las siguientes iteraciones (ver tabla).
- 2) Para cada uno de los accesos (etiquetas a, b, c), indicad a qué **línea de la memoria cache** se accede en cada una de las siguientes iteraciones (ver tabla).
- 3) Suponiendo que la memoria cache es **write NO allocate**, calculad la cantidad de **fallos**, en todo el bucle, para cada una de las 3 instrucciones (a), (b) y (c).

Problema 4 (1 punto)

Disponemos de un sistema formado por:

Un procesador de 32 bits con las siguientes características:

- CPI ideal: 1.6 ciclos por instrucción
- Tiempo de ciclo (Tc): 2ns
- Número de referencias por instrucción (nr): 1.25
- Una cache unificada de datos e instrucciones

Cache:

- La cache no tienen ninguna optimización
- Tiempo de servicio en caso de acierto (Tsa) = 1 ciclo
- Tamaño de línea 64 bytes
- Tasa de fallos 20%
- Política de escritura = CopyBack + Write Allocate
- 25% de escrituras
- 40% de líneas modificadas

Memoria principal:

- Organizada en DIMMs con 8 chips DDR de 1 byte cada uno
- Latencia de fila de los módulos de MP = 2 ciclos
- Latencia de columna de los módulos de MP = 3 ciclos
- Ancho de banda del bus MP↔ MC: 16 bytes por ciclo

Indicad como se ocupan los recursos del sistema en las siguientes situaciones. Para ello usad las letras que se indican a continuación para mostrar la ocupación de cache y memoria en las situaciones correspondientes.

- Cache: acceso en acierto (H), acceso en fallo (M)
- Memoria: acceso a columna (C), acceso a fila (F), transferencia de datos (D)

- 1) Fallo en escritura a una línea no modificada
- 2) Fallo en lectura a una línea no modificada

Calculad las siguientes medidas de rendimiento:

- 3) Tiempo medio de acceso a memoria en ciclos
- 4) Tiempo de ejecución de 10^9 instrucciones en segundos

Problema 5 (1 puntos)

Tenim un processador amb memòria virtual basada en paginació. El sistema de memòria virtual te les següents característiques:

- 16 bits d'adreça lògica
- 15 bits d'adreça física
- mida de pàgina 8 Kbytes

- reemplaçament LRU

El contingut de la taula de pàgines es mostra a la figura 1, on VPN = número de pàgina lògica, P = bit de presència, M = pàgina modificada i PPN = número de pàgina física.

1 Contingut inicial de la Taula de Pàgines

VPN	P	M	PPN
0	0	0	-
1	1	0	3
2	1	1	0
3	1	0	1
4	0	0	-
5	0	0	-
6	1	0	2
7	0	0	-

2 Contingut final de la Taula de Pàgines

VPN	P	M	PPN
0			
1			
2			
3			
4			
5			
6			
7			

Nota: se sap que els 4 accessos previs han estat (en ordre cronològic) a les pàgines lògiques 6, 3, 2 i 1.

Empleneu la següent taula indicant, per cada referència, la pàgina lògica (VPN), el desplaçament, la pàgina física on es troba (PPN) i l'adreça física resultant de la traducció. Indiqueu amb una creu (X) quan es produeix un fallo de pàgina, quan es llegeix de disc dur, quan s'escriu a disc dur i, en cas de reemplaçar una pàgina, indiqueu el VPN i PPN. Indiqueu també el contingut final de la taula de pàgines a la figura 2

	adreça lògica (hexa)	VPN (hexa)	desplaçament (hexa)	PPN (hexa)	adreça física (hexa)	fallo de pàgina	lectura disc	escriptura disc	Pàgina reemplaçada	
									VPN	PPN
escriptura	2EC1									
lectura	7EC2									
lectura	8AC0									
escriptura	FFFF									
lectura	ACAC									
escriptura	CCCC									

Problema 6 (1 punts)

El següent codi, escrit en ensamblador del IA32:

```

    movl $0, %edi
for1: cmpl $10, %edi
    jge end1
    movl $0, %esi
for2: cmpl $(k*1024), %esi
    jge end2
    movl (%esi), %eax
    addl $1024, %esi
    jmp for2
end2: incl %edi
    jmp for1
end1:

```

\$k	16	32	64	128	256
fallos de TLB	2	4	80	160	320
fallos de pàgina	2	4	8	16	320

es executat per diferents valors de la constant **k** i ens dona els resultats de la taula.

- 1) Quina es la mida de pàgina?. Justifica la resposta.
- 2) Quantes entrades té el TLB de dades (sabem que és una potència de 2)? Justifica la resposta.
- 3) Quantes pàgines físiques té el sistema (sabem que és una potència de 2)? Justifica la resposta.

Problema 7 (1 punto)

- 1) **Indiqueu** com quedarien els flags (codis de condició) després d'executar la instrucció **adbb %al, %ah**.

Sabent que: **%al = 10001010, %ah = 01111111**

CF = ZF = SF = OF =

Indiqueu el contingut (en binari) del registre **%ah** després d'executar la instrucció **adcb %al, %ah**.

Sabent que: **%al = 10001010 %ah = 01111111 CF = 1 ZF = 0 SF = 1 OF = 0**

%ah =

- 2) Disponemos de un sistema de memoria principal con las siguientes características:

- 1 DIMM con 8 chips de memoria DDR.
- Cada chip dispone de 4 bancos de memoria.

- Cada banco dispone de 2048 filas y 2048 columnas de 1 byte cada una.
- La datos están entrelazados a nivel de chip. Posiciones consecutivas de memoria están en chips diferentes. Dentro del chip los datos NO están entrelazados.

Responded a las siguientes preguntas:

- **Dibujad** una dirección de memoria principal indicando claramente los campos usados para seleccionar Chip, banco, fila y columna y el tamaño de cada uno de estos campos.
 - **¿Qué dirección** (en hexa) de memoria principal tiene el byte que se encuentra en el chip 4, banco 3, fila 0x473 y columna 0x3B2?
- 3) Disponemos de 20 discos físicos de 500 Gbytes cada uno. Con estos discos montamos un RAID 6+1. **Indicad** la capacidad útil (en Gbytes y en Tbytes) del RAID.
- 4) Disponemos de un bus con las siguientes características:
- Frecuencia: 2 GHz
 - líneas de control: 12 bits
 - líneas de dirección: 24 bits
 - líneas de datos: 32 bits.

Calculad el ancho de banda del bus (dad el resultado en **Gbits/s** y en **Mbytes/s**).

Pregunta 8 (0.5 puntos)

Dibujad el esquema de diseño interno de una memoria cache 2-asociativa de 16 líneas y 32 bytes por línea para un procesador que lanza direcciones de 24 bits. Indica claramente las conexiones entre los diferentes bloques de la memoria y con los bits del bus de direcciones del procesador. **Indicad** la anchura de cada bus.

Pregunta 9 (0.5 puntos)

En un sistema con una memoria cache 8-asociativa de tamaño 64KB, en el que se accede simultáneamente a la cache y al TLB, ¿cual es el tamaño máximo de página que soporta este sistema? **Justificad** la respuesta.

Pregunta 10 (1.5 puntos)

Responded a las siguientes afirmaciones poniendo una X en el recuadro correspondiente (en la columna C si la afirmación es cierta o en la columna F si la afirmación es falsa). Cada respuesta contestada correctamente SUMA 0,1 puntos. **Cada respuesta incorrecta RESTA 0,1 puntos**. Las respuestas no contestadas no se tienen en cuenta.

C	F	Afirmación a evaluar
		La operación "%ebx <- 10*%eax - %eax + 45" se puede hacer en una sola instrucción de IA32
		El orden de los campos de un struct NO influye en el tamaño total del mismo
		El tiempo de acceso al primer dato en una EDO DRAM es el mismo que en una BEDO DRAM con la misma tecnología.
		El número de bancos de una DRAM siempre ha de ser potencia de 2.
		El número de conjuntos de una cache asociativa por conjuntos siempre ha de ser potencia de 2.
		En una memoria cache copy back-write no allocate nunca hay líneas sucias porque en caso de fallo de escritura el dato no se trae a memoria cache.
		En un sistema de memoria con TLB, siempre que se produce un fallo de página, se ha producido antes un fallo de TLB.
		El controlador de interrupciones, entre otras cosas, permite identificar el dispositivo que ha realizado una petición de interrupción.
		Una RAI (Rutina de Atención a Interrupción) se invoca desde el Sistema Operativo.
		Desde el punto de vista de la programación, es indiferente que los registros de entrada/salida estén mapeados en memoria o no
		El DMA ha de programarse con direcciones físicas.
		Los buses serie tienen más ancho de banda que los buses paralelos.
		Un bus PCIe es un bus full duplex, porque permite enviar y recibir datos simultáneamente.
		El bus ATA es un bus de nivel 4 y el bus SATA es un bus de nivel 5.
		Un RAID 6+1 tiene seis discos de datos y uno con información redundante.