

II - Conectividad de elementos digitales (1/2 semana) 1.3A

2.1 Características eléctricas de las familias lógicas

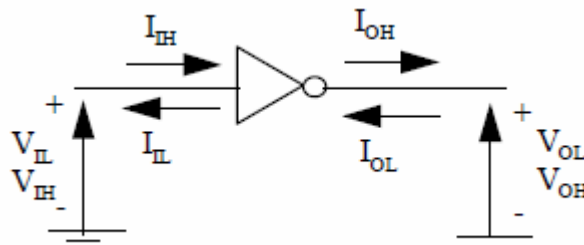
Una familia lógica es un conjunto de dispositivos lógicos que pueden interactuar entre sí, esto es, que hablan el mismo idioma. En circuitos digitales implica una interpretación consistente de los niveles lógicos “0” y “1” para lógica binaria.

Parámetros básicos y compatibilidad entre puertas

a) Condiciones de operación:

- Temperatura
- V_{CC}

b) Características eléctricas estáticas:



En general el catálogo dirá los rangos que pueden tomar todas las magnitudes, pero en general suelen definirse los siguientes extremos:

$V_{IH \min}$: Mínima tensión de entrada que se interpreta como “1”

$V_{IL \max}$: Máxima tensión de entrada que se interpreta como “0”

$V_{OH \min}$: Mínima tensión de salida cuando se genera un “1”

$V_{OL \max}$: Máxima tensión de salida cuando se genera un “0”

$I_{IH \max}, I_{IL \max}$ Corrientes máximas que entran o salen, respectivamente, en la entrada de una puerta cuando el valor lógico de entrada es alto y bajo respectivamente.

$I_{OH \max}, I_{OL \max}$ Corrientes máximas que puede suministrar una puerta cuando impone un “1” o un “0” respectivamente.

La $I_{OH \max}, I_{OL \max}$ pueden estar ligadas a los valores de $V_{OH \min}$ y $V_{OL \max}$ de manera que la corriente de salida máxima se defina para aquel valor que degrada en exceso la tensión de salida. Puede tomarse como hipótesis pero no tiene por que ser cierta en todos los casos.

Cuando en un ejercicio se habla de V_{IH} , V_{IL} , V_{OH} , V_{OL} , I_{IH} , I_{IL} , I_{OH} o I_{OL} , se entiende que se habla de los extremos mínimos o máximos anteriormente descritos.

DM74LS00 Quad 2-Input NAND Gate

General Description

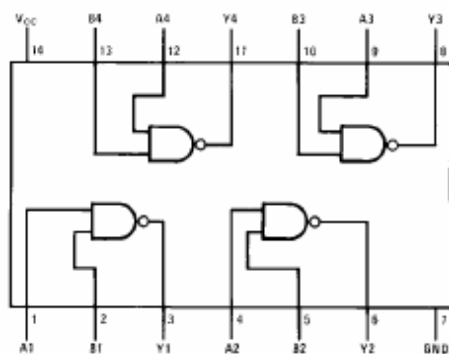
This device contains four independent gates each of which performs the logic NAND function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS00M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS00SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS00N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = \overline{AB}$$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level
L = LOW Logic Level

Ejemplo de puerta digital TTL.

Absolute Maximum Ratings(Note 1)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V_{CC}	Supply Voltage	4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage	2			V
V_{IL}	LOW Level Input Voltage			0.8	V
I_{OH}	HIGH Level Output Current			-0.4	mA
I_{OL}	LOW Level Output Current			8	mA
T_A	Free Air Operating Temperature	0		70	°C

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
V_I	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -18 \text{ mA}$			-1.5	V
V_{OH}	HIGH Level Output Voltage	$V_{CC} = \text{Min}, I_{OH} = \text{Max}, V_{IL} = \text{Max}$	2.7	3.4		V
V_{OL}	LOW Level Output Voltage	$V_{CC} = \text{Min}, I_{OL} = \text{Max}, V_{IH} = \text{Min}$		0.35	0.5	V
		$I_{OL} = 4 \text{ mA}, V_{CC} = \text{Min}$		0.25	0.4	
I_I	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}, V_I = 7V$			0.1	mA
I_{IH}	HIGH Level Input Current	$V_{CC} = \text{Max}, V_I = 2.7V$			20	μA
I_{IL}	LOW Level Input Current	$V_{CC} = \text{Max}, V_I = 0.4V$			-0.36	mA
I_{OS}	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 3)	-20		-100	mA
I_{OCH}	Supply Current with Outputs HIGH	$V_{CC} = \text{Max}$		0.8	1.6	mA
I_{OCL}	Supply Current with Outputs LOW	$V_{CC} = \text{Max}$		2.4	4.4	mA

Note 2: All typicals are at $V_{CC} = 5V, T_A = 25^\circ\text{C}$.

Note 3: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Switching Characteristics

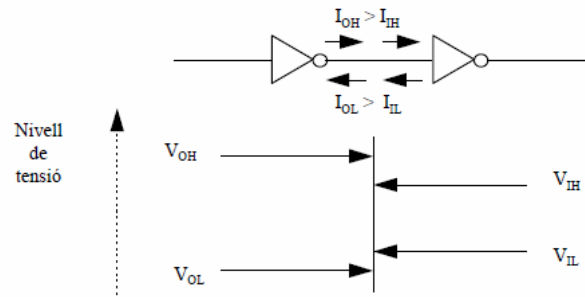
at $V_{CC} = 5V$ and $T_A = 25^\circ\text{C}$

Symbol	Parameter	$R_L = 2\text{ k}\Omega$				Units
		$C_L = 15\text{ pF}$		$C_L = 50\text{ pF}$		
		Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	3	10	4	15	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	3	10	4	15	ns

Ejemplo de valores extremos de V_i , V_o , I_i e I_o .

Compatibilidad entre puertas de una familia.

Para que dos puertas sean compatibles entre sí, los niveles de salida de una puerta siempre deben ser interpretados correctamente por la puerta que le sucede. La compatibilidad debe darse tanto a nivel de tensión como de corriente.



Compatibilidad de tensión: Márgenes de Ruido:

La compatibilidad entre tensiones debe permanecer aún en presencia de ruido, el cual podrá alcanzar los valores máximos siguientes:

Para el "1": $NMH = \Delta V_H = V_{OH \min} - V_{IH \min}$

Para el "0": $NML = \Delta V_L = V_{IL \max} - V_{OL \max}$

Se define un margen de ruido global (total) como el mínimo de los dos anteriores.

Compatibilidad de corriente: Fan-In, Fan-Out:

Se ha de cumplir al juntar varias puertas:

$$I_{OH} > \sum I_{IH} \quad I_{OL} > \sum I_{IL}$$

Para el caso peor se tomarán las corrientes máximas en todas las magnitudes.

Se define una $I_{IH \max}$, $I_{IL \max}$ básicas $I_{IH \max 0}$, $I_{IL \max 0}$, normalmente las del inversor básico de la familia.

De ello, para cada puerta se define:

Fan-Out: Número de puertas que puede atacar.

$$Fan - Out = \min \left\{ \frac{I_{OH \max}}{I_{IH \max 0}}, \frac{I_{OL \max}}{I_{IL \max 0}} \right\}$$

Fan-In: Número de puertas básicas a las que equivale su entrada.

El inversor básico tendrá, por definición, un fan-in de 1.

$$Fan - In = \max \left\{ \frac{I_{IH \max}}{I_{IH \max 0}}, \frac{I_{IL \max}}{I_{IL \max 0}} \right\}$$

Para que las corrientes sean compatibles en un nodo, basta que el fan-out de la puerta que ataca el nodo sea superior a la suma de fan-in que se conectan a él.

$$Fan - Out > \sum Fan - In$$

c) Características eléctricas dinámicas:

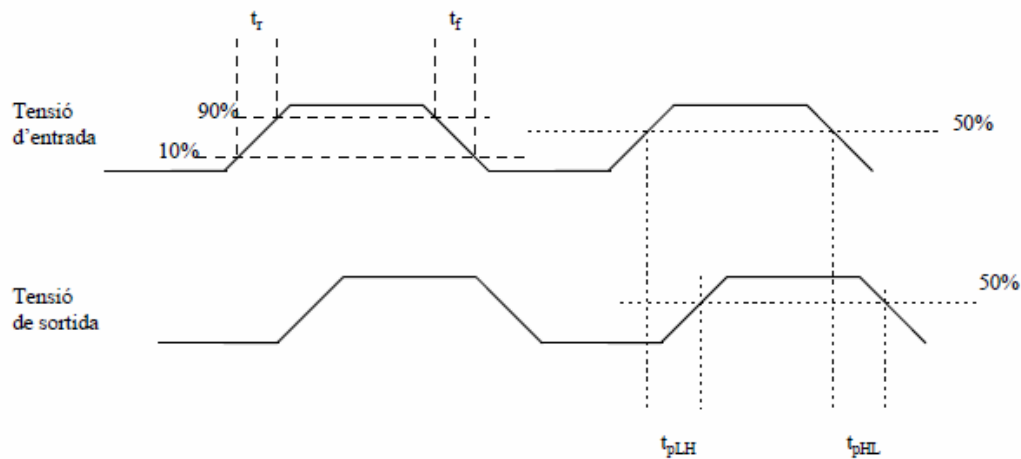
Las puertas digitales tienen un tiempo de respuesta que se puede definir de distintas formas:

t_r (Rise) : Tiempo desde el 10% al 90% de la excursión dinámica.

t_f (Fall): Tiempo desde el 90% al 10% de la excursión dinámica.

t_{pLH} : Tiempo entre pasos por el 50% para cambio de salida de "0" a "1".

t_{pHL} : Tiempo entre pasos por el 50% para cambio de salida de "1" a "0".



Dentro del catálogo se suelen definir valores típicos, máximos y mínimos.

La frecuencia de operación de un circuito está limitada por los retardos de sus componentes.

$$t_{p\max} = \frac{t_{pHL\max} + t_{pLH\max}}{2} \quad f_{\max} \approx \frac{1}{4 \cdot t_{p\max}}$$

Este cálculo aproximado se hace para un sistema síncrono típico, pero para sistemas complejos puede diferir mucho.

2.2 Buses

Denominamos buses a las vías de comunicación de señales digitales entre distintos subsistemas.

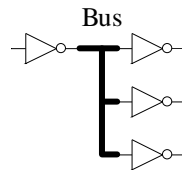
Se pueden clasificar dependiendo del número de emisores y receptores que hacen uso del bus:

1TXR: 1 Transmisor, X Receptores

XT1R: X Transmisores, 1 Receptor

XTXT: X Transmisores, X Receptores

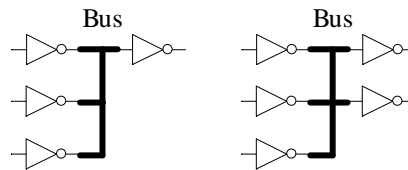
a) Caso 1TXR



No hay ningún problema mientras se cumpla el Fan-Out.

Si no se cumple por haber muchos receptores, se añade un buffer.

b) Caso XT1R (También XT XR)



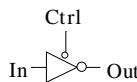
Si dos transmisores intentan forzar niveles lógicos distintos en la misma línea, se da una colisión. El resultado es alta corriente (potencialmente destructiva) y un nivel lógico indeterminado.

La única solución es añadir un tercer estado que no es alto “1” ni bajo “0”. Se le denomina 3r estado o de “Alta Impedancia” y se usa la letra “Z” para él.

Estado de alta impedancia

La implementación puede se puede hacer de dos maneras:

a) **Uso de puertas con señal de activación de alta impedancia.**



In	Ctrl	Out
X	1	Z
0	0	1
1	0	0

Bajo esta implementación, en realidad, en un instante dado, sólo un transmisor fuerza niveles “0” o “1”, el resto debe permanecer en estado “Z”.

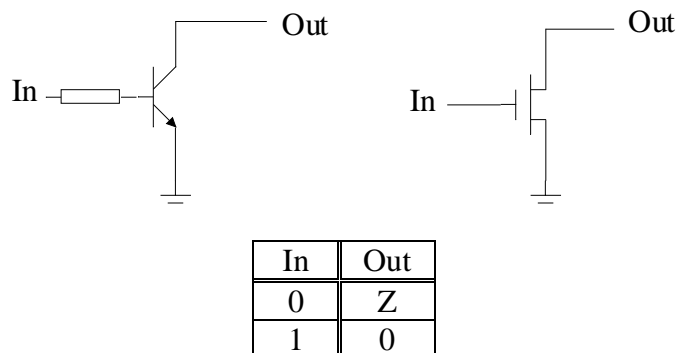
Este tipo de implementación precisa que se arbitre un sistema que haga que nunca intenten transmitir dos transmisores a la vez.

Es lo que suele emplearse en buses como el de datos, que puede tener varios transmisores pero que su uso lo arbitra el μP .

b) Uso de lógica en Colector/Drenador Abierto.

Consiste en que todos los transmisores conectados al bus, sólo puedan forzar un nivel lógico “0” o “1”. Cuando se deba imponer su complementario, se pondrá el estado “Z”.

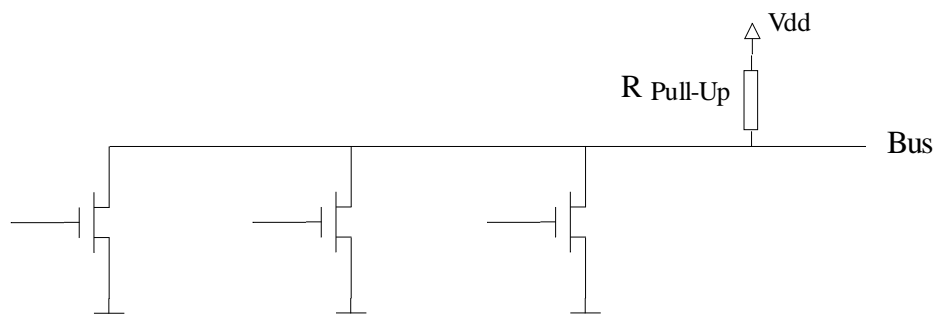
Inversor en colector (o drenador) abierto:



En estos casos sólo se fuerza el “0”, en lugar del “1” se usa “Z”.

Se puede hacer una realización complementaria en la que se use “1” y “Z”, pero no es habitual.

Dado que los circuitos que se conectan como receptores al bus no pueden leer el valor “Z”, se añade una resistencia de pull-up:



De este modo, cuando no fuerza nadie el valor en el bus, se lee un “1”.

El uso de una resistencia de Pull-Up para forzar el “1” degrada el retardo de subida t_r y el t_{pLH} especialmente si R es alta. Si R es baja, por otro lado, aumenta el consumo cuando se fuerza el “0”.

El uso de salidas en drenador abierto permite que haya varios transmisores simultáneos sin que haya colisión, no obstante, los receptores perciben la función lógica AND si las

señales son de **lógica positiva** o la función lógica OR si las señales son de **lógica negativa**.

A	B	Out
0	0	0
0	1	0
1	0	0
1	1	1

Las salidas en colector/drenador abierto se suelen usar en líneas de buses XT1R o XTXR en las que no hay nadie que garantice que no pueda haber varias transmisiones a la vez.

Tal es el caso de las líneas de interrupción. Como interesa que se genere una interrupción cuando algún periférico lo solicite (función OR), lo normal es que las líneas de interrupción usen lógica negada (o negativa).

En lógica negativa (muy habitual en algunas líneas de los $\mu P/\mu C$ las funciones de las puertas AND y OR se invierten). Para sumar varias señales que emplean lógica negada, por tanto, usaremos puertas AND.

2.3 Cálculo de Resistencias de Pull-Up

La resistencia de pull-up debe calcularse adecuadamente. Un valor demasiado bajo o demasiado alto podría comprometer los niveles lógicos.

Supondremos un bus XTXR.

Punto de partida

Hipótesis:

H1: Los límites $V_{OL\ max}$ y $V_{OH\ min}$ se dan cuando la demanda de corriente es máxima.

$$\begin{array}{ll} V_{OL} = V_{OL\ max} & \text{sii } I_{OL} = I_{OL\ max} \\ V_{OH} = V_{OH\ min} & \text{sii } I_{OL} = I_{OH\ max} \end{array}$$

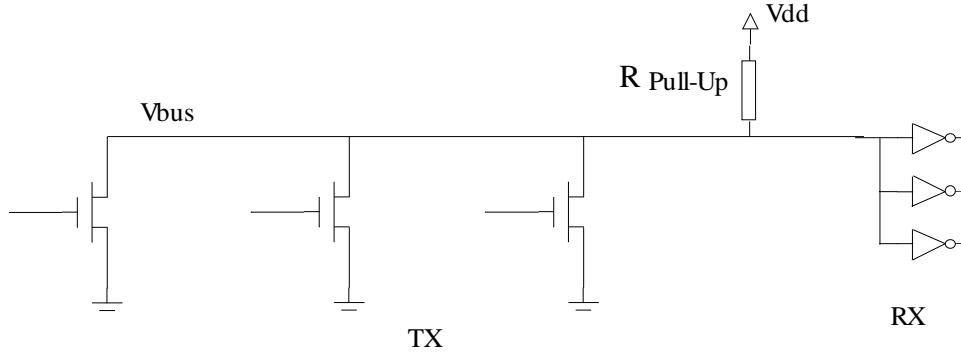
H2: En las entradas las corrientes I_I son salientes para I_{IL} y entrantes para I_{IH}

H3: Puede existir una corriente de fugas en corte para los transistores de salida en drenador abierto. La llamaremos $I_{fuga\ max}$ en el caso máximo y será entrante. También se puede llamar a $I_{fuga\ max}$ con el nombre $I_{OH\ max}$ dada que es la máxima corriente que drena cuando se halla en nivel alto.

Datos a obtener:

Obtener una resistencia mínima que garantiza el valor que $V_{bus} < V_{OL\ max}$ para el nivel bajo.

Obtener una resistencia máxima que garantiza que $V_{bus} > V_{OH\ min}$ para el nivel alto.



Para R_{MIN}

Se cumplirá, cuando el bus se halle a nivel bajo “0”:

Supondremos activo sólo uno de los transmisores en colector abierto.

$$V_{bus} = Vdd - R \cdot I_R$$

$$I_R + \sum I_{IL(RX)} = I_{OL(activo)} + \sum I_{Fuga(inactivos)}$$

De ello:

$$I_R = I_{OL(activo)} + \sum I_{Fuga(inactivos)} - \sum I_{IL(RX)}$$

$$V_{bus} = Vdd - R \cdot \{I_{OL(activo)} + \sum I_{Fuga(inactivos)} - \sum I_{IL(RX)}\}$$

Deseamos $V_{bus} < V_{OLmax}$

$$V_{bus} = Vdd - R \cdot \{I_{OL(activo)} + \sum I_{Fuga(inactivos)} - \sum I_{IL(RX)}\} < V_{OLmax}$$

$$Vdd - V_{OLmax} < R \cdot \{I_{OL(activo)} + \sum I_{Fuga(inactivos)} - \sum I_{IL(RX)}\}$$

$$R > \frac{Vdd - V_{OLmax}}{I_{OL(activo)} + \sum I_{Fuga(inactivos)} - \sum I_{IL(RX)}}$$

La resistencia tendrá que ser siempre mayor que la mayor que se pueda obtener de la expresión anterior para el peor caso de todas las variables. Esto es, para el valor de todas las variables que maximiza R.

Ello corresponde a Vdd máxima, a I_{IL} máxima y al mínimo valor de I_{Fuga} de los inactivos que es 0. Para I_{OL} tomaremos el valor de I_{OLmax}.

$$R_{MIN} = \frac{Vdd_{max} - V_{OLmax}}{I_{OLmax(activo)} - \sum I_{ILmax(RX)}}$$

Para R_{MAX}

Se cumplirá, cuando el bus se halle a nivel alto “1”:
Todos los transmisores (TX) se hallarán inactivos:

$$V_{bus} = Vdd - R \cdot I_R$$
$$I_R = \sum I_{Fuga(inactivos)} + \sum I_{IH(RX)}$$

Deseamos que $V_{bus} > V_{OH \min}$

$$V_{bus} = Vdd - R \cdot \left\{ \sum I_{Fuga(inactivos)} + \sum I_{IH(RX)} \right\} > V_{OH \min}$$

$$Vdd - V_{OH \min} > R \cdot \left\{ \sum I_{Fuga(inactivos)} + \sum I_{IH(RX)} \right\}$$

$$R < \frac{Vdd - V_{OH \min}}{\sum I_{Fuga(inactivos)} + \sum I_{IH(RX)}}$$

La resistencia tendrá que ser siempre menor que la menor que se pueda obtener de la expresión anterior para el peor caso de todas las variables. Esto es, para el valor de todas las variables que minimiza R.

Ello corresponde a Vdd mínima, a I_{Fuga} máxima y a I_{IHmax} .

El caso peor se dará para Vdd mínima, de ello:

$$R_{MAX} = \frac{Vdd_{MIN} - V_{OH \min}}{\sum I_{Fuga(inactivos)} + \sum I_{IH \max(RX)}}$$

Con ello se cumplen las especificaciones para los niveles lógicos.

Se ha de verificar, no obstante, que se cumplan las especificaciones temporales, ya que la R de Pull-Up tiene impacto en el retardo de las señales en este bus.
Retardo aumenta al aumentar R.

Del mismo modo la disminución de R también tiene un impacto en la potencia consumida en la resistencia cuando se impone un 0.
Potencia disminuye al disminuir R.