

---

# Modelat i comportament del MOS

Disseny de Circuits i Sistemes Electrònics

Escola Tècnica Superior d'Enginyeria de Telecomunicacions

Departament d'Enginyeria Electrònica  
Universitat Politècnica de Catalunya



Escola Tècnica Superior d'Enginyeria  
de Telecomunicació de Barcelona  
UNIVERSITAT POLITÈCNICA DE CATALUNYA



Disseny de Circuits i Sistemes Electrònics: El MOS  
1

---

## Índex:

1. El transistor MOS. Estructura i descripció del seu comportament.
2. Equacions del MOS (canal llarg). Alguns efectes de segon ordre.
3. Equacions del MOS (canal curt).
4. Model de capacitats.

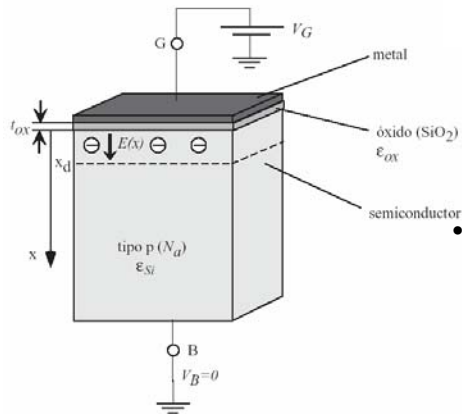


Escola Tècnica Superior d'Enginyeria  
de Telecomunicació de Barcelona  
UNIVERSITAT POLITÈCNICA DE CATALUNYA



Disseny de Circuits i Sistemes Electrònics: El MOS  
2

## Condensador MOS



- M-O-S: Estructura compuesta por metal, dieléctrico ( $\text{SiO}_2$ ), y semiconductor

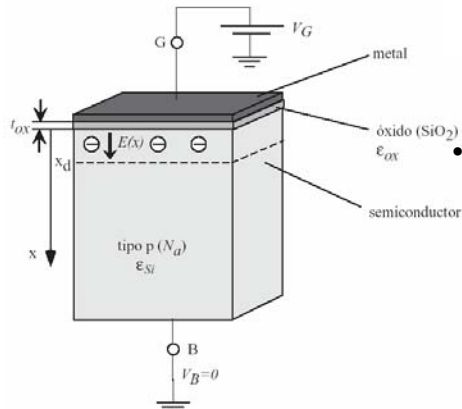
$$C_{GATE} = C_{ox} \cdot Area = C_{ox} \cdot W \cdot L$$

$$C_{ox} = \frac{\epsilon_{SiO_2}}{t_{ox}}$$

- En un condensador M-O-M, todo el potencial cae en el óxido. En un condensador M-O-S, parte del potencial cae en el semiconductor (principalmente en la superficie)

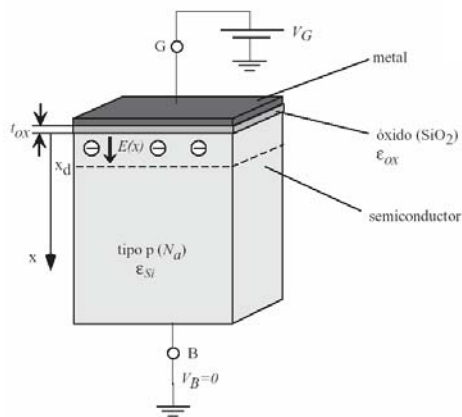
$$V_G = V_{ox} + \phi_s$$

## Condensador MOS



- La caída del potencial en el semiconductor implica la existencia de un campo eléctrico  $E(x)$ , perpendicular a la superficie.
- El campo  $E(x)$  provoca una repulsión y desaparición de cargas positivas (huecos, portadores con carga positiva) en la superficie, hasta crease una región de vaciamiento de cargas (más concretamente, de portadores con carga positiva), de profundidad  $x_d$ .

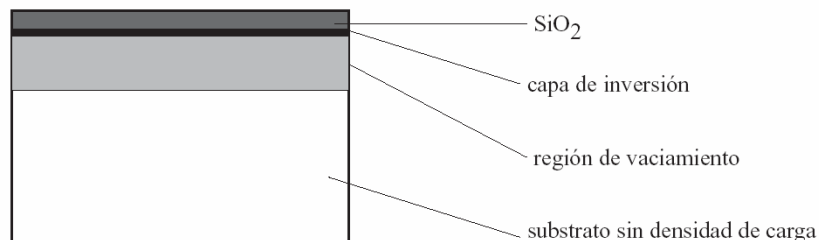
## Condensador MOS



- Si el campo sigue aumentando (aumento de  $V_G$ ), la concentración de cargas positivas (portadores mayoritarios) disminuye hasta convertirse en inferior a la concentración de cargas negativas (portadores minoritarios), creándose una región de tipo N cerca de la superficie (capa de inversión, o canal en un MOSFET)

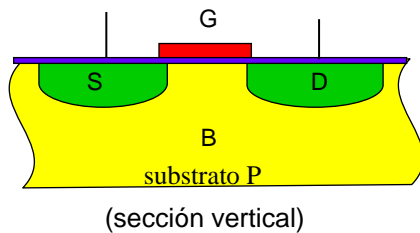
## Condensador MOS

- Si el campo sigue aumentando, aumenta la profundidad y concentración de carga de la capa de inversión (aumenta la conductividad), y se mantiene constante la región de vaciamiento.
- A la tensión  $V_G$  a partir de la cual se forma la capa de inversión, se la denomina tensión umbral,  $V_T$ .



## Transistor MOS

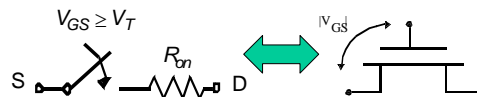
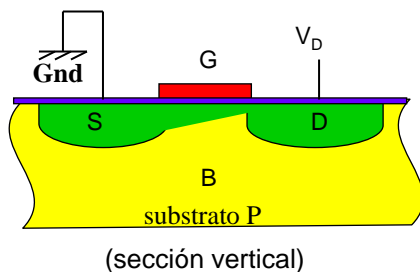
- Transistor MOS = condensador MOS + Drenador + Surtidor
- NMOS: D y S tipo N, B tipo P      PMOS: D y S tipo P, B tipo N
- En un NMOS,  $V_D > V_S$ . En un PMOS,  $V_S > V_D$



- En todo caso, en DC,  $I_G=0$
- $I_{SB}, I_{DB} = 0$  (diodos polarizados en inversa)
- Sustrato (pozos) P polarizado a GND. Sustrato (pozos) N polarizado a  $V_{DD}$

## Transistor MOS

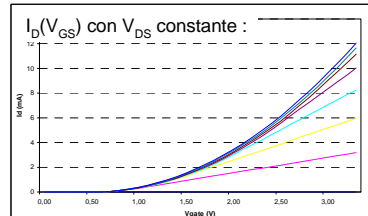
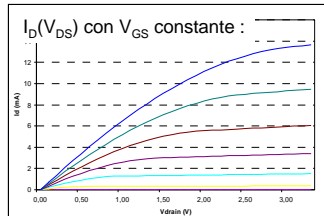
- La existencia del canal (capa de inversión) permite el flujo de corriente entre Drenador y Surtidor ( $I_{DS}$ )
- El transistor se comporta como un interruptor no ideal (resistencia serie), controlado por  $V_G$



- El canal se hace más estrecho allí donde su tensión es mayor (aumento de la región de vaciamiento)
- La resistencia serie (y por lo tanto la corriente  $I_{DS}$ ) son no lineales, dependen de  $V_{GS}, V_{DS}$ .

## Transistor MOS: comportamiento

- El comportamiento estático de un transistor se caracteriza por la dependencia de  $I_{DS}$  con las tensiones entre terminales. Comúnmente se toma la tensión del surtidor  $V_S$  como referencia



- A partir del comportamiento experimental, se obtienen expresiones analíticas (modelos) que se ajustan a las curvas medidas

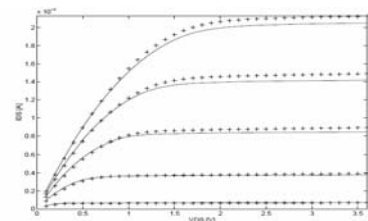


Fig. 5.13 NMOS output characteristic of a typical wafer.  $W/L = 0.8/1.0$ ,  $V_{DS} = 0.1, 0.2, 1.2, 2.7, 3.3$  V,  $V_{BS} = 0$  V.  $+$  = measured,  $—$  = BSIM3v3 model

EI MOS  
9

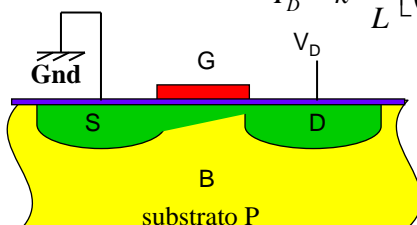
## Transistor MOS: comportamiento ideal (canal largo)

- Mientras el canal se extiende de S a D, se cumple (región óhmica)

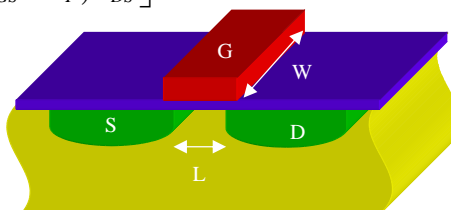
$$I_D = k' \frac{W}{L} \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad k' = \mu_{ob} C_{ox} = \mu_{ob} \frac{\epsilon_{SiO2}}{t_{ox}}$$

- Para  $V_{DS}$  pequeñas, se puede aproximar por (región lineal)

$$I_D = k' \frac{W}{L} [(V_{GS} - V_T) V_{DS}]$$

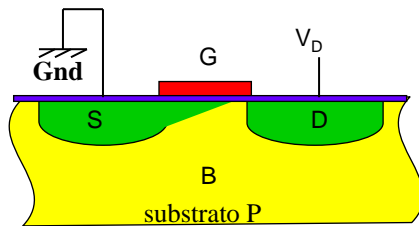


(sección vertical)



## Transistor MOS: comportamiento ideal (canal largo)

- Para tensiones  $V_{DS}$  por encima de  $V_{GS} - V_T$ , el canal no alcanza la zona de drenador (canal estrangulado, *pinch off*).
- Los portadores en esta región alcanzan su velocidad de saturación, por lo que la corriente se hace prácticamente independiente de  $V_{DS}$  (comportamiento como una fuente de corriente).



(sección vertical)

$$I_D = k' \frac{W}{L} \frac{(V_{GS} - V_T)^2}{2}$$



Escola Tècnica Superior d'Enginyeria  
de Telecomunicació de Barcelona  
UNIVERSITAT POLITÈCNICA DE CATALUNYA

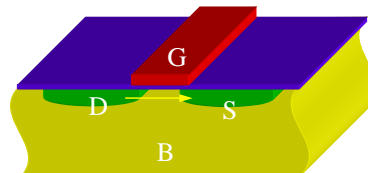
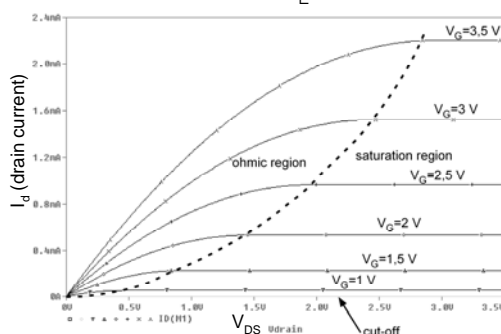


Disseny de Circuits i Sistemes Electrònics: El MOS  
11

## Transistor MOS: comportamiento ideal (canal largo)

- Transistor en corte si  $V_{GS} \leq V_T \Rightarrow I_D = 0$
- Transistor en zona óhmica si  $0 \leq V_{DS} \leq V_{GS} - V_T \Rightarrow$
- Transistor en zona de saturación si  $V_{GS} - V_T \leq V_{DS} \Rightarrow$

$$I_D = k' \frac{W}{L} \left[ (V_{GS} - V_T) V_{\min} - \frac{V_{\min}^2}{2} \right] \text{ con } V_{\min} = \min \{ V_{DS}, V_{GS} - V_T \}$$



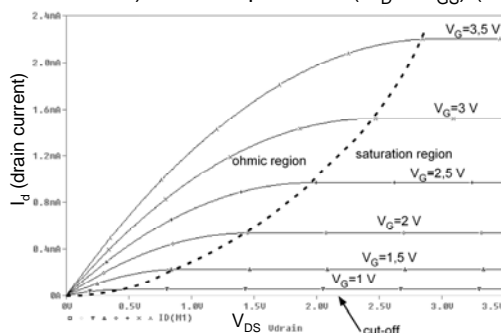
Escola Tècnica Superior d'Enginyeria  
de Telecomunicació de Barcelona  
UNIVERSITAT POLITÈCNICA DE CATALUNYA



Disseny de Circuits i Sistemes Electrònics: El MOS  
12

## Transistor MOS: utilitzacions típiques

- En circuits digitals, com interruptor
  - OFF: corte
  - ON: lineal
- En circuits analògics
  - a) com font de corrent (saturació)
  - b) com amplificador ( $\Delta I_D / \Delta V_{GS}$ ) (saturació)



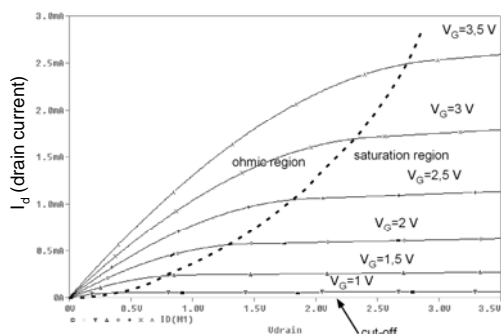
Escola Tècnica Superior d'Enginyeria  
de Telecomunicació de Barcelona  
UNIVERSITAT POLITÈCNICA DE CATALUNYA



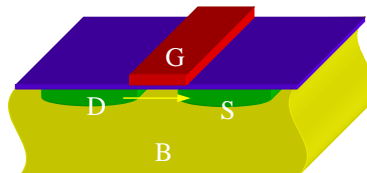
Disseny de Circuits i Sistemes Electrònics: El MOS  
13

## Transistor MOS: comportament no ideal (canal llarg)

- En la pràctica, en la regió de saturació hi ha una certa dependència de la corrent  $I_D$  amb  $V_{DS}$ , aproximadament lineal.
- A este efecte se li denomina modulació de longitud de canal, i se modela a través del paràmetre  $\lambda$  (orden 0,01  $V^{-1}$ )



$$I_D = k' \frac{W}{L} \frac{(V_{GS} - V_T)^2}{2} [1 + \lambda V_{DS}]$$



Escola Tècnica Superior d'Enginyeria  
de Telecomunicació de Barcelona  
UNIVERSITAT POLITÈCNICA DE CATALUNYA

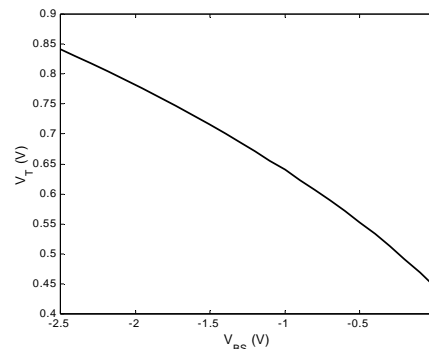


Disseny de Circuits i Sistemes Electrònics: El MOS  
14

## Transistor MOS: comportamiento no ideal (canal largo)

- Efecto sustrato o *body effect*: dependencia de  $V_T$  con la tensión  $V_{BS}$

$$V_T = V_{TO} + \gamma \left( \sqrt{2\phi_F - V_{BS}} - \sqrt{2\phi_F} \right)$$



(figure from "Digital Integrated Circuits, A Design Perspective", J. M. Rabaey, A. Chandrakasan, B. Nikolic, Prentice Hall, 2003)



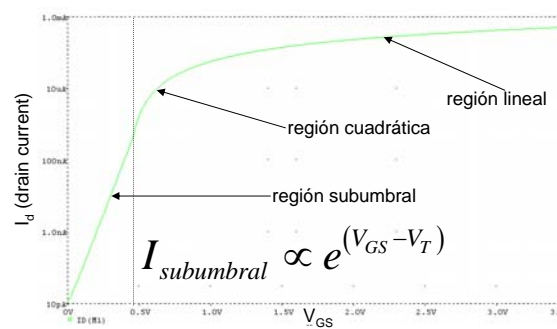
Escola Tècnica Superior d'Enginyeria  
de Telecomunicació de Barcelona  
UNIVERSITAT POLITÈCNICA DE CATALUNYA



Disseny de Circuits i Sistemes Electrònics: El MOS  
15

## Transistor MOS: comportamiento no ideal (canal largo)

- Corriente subumbral: en corte, la corriente  $I_D$  no es nula.



- Esto provoca que en realidad, el consumo estático de una puerta CMOS no sea nulo.
- Para  $V_{GS}=0$ , el consumo aumenta exponencialmente al disminuir  $V_T$



Escola Tècnica Superior d'Enginyeria  
de Telecomunicació de Barcelona  
UNIVERSITAT POLITÈCNICA DE CATALUNYA



Disseny de Circuits i Sistemes Electrònics: El MOS  
16



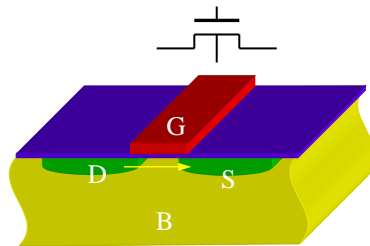
## Modelo MOS canal largo (modelo clásico):

### • MOS de canal N (NMOS)

- Transistor en corte si  $V_{GS} \leq V_T \Rightarrow I_D \approx 0$  (*subumbral*)
- Transistor en zona óhmica si  $0 \leq V_{DS} \leq V_{GS} - V_T \Rightarrow$
- Transistor en zona de saturación si  $0 \leq V_{GS} - V_T \leq V_{DS} \Rightarrow$

$$I_D = k' \frac{W}{L} \left[ (V_{GS} - V_T) V_{\min} - \frac{V_{\min}^2}{2} \right] [1 + \lambda V_{DS}] \quad \text{con} \quad V_{\min} = \min \{ V_{DS}, V_{GS} - V_T \}$$

$$V_T(V_{BS})$$



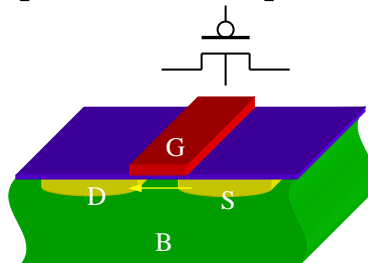
## Modelo MOS canal largo (modelo clásico):

### • MOS de canal P (PMOS)

- Transistor en corte si  $V_{GS} \geq V_T \Rightarrow I_D \approx 0$  (*subumbral*)
- Transistor en zona óhmica si  $V_{GS} - V_T \leq V_{DS} \leq 0 \Rightarrow$
- Transistor en zona de saturación si  $V_{DS} \leq V_{GS} - V_T \leq 0 \Rightarrow$

$$I_D = k' \frac{W}{L} \left[ (V_{GS} - V_T) V_{\max} - \frac{V_{\max}^2}{2} \right] [1 + \lambda |V_{DS}|] \quad \text{con} \quad V_{\max} = \max \{ V_{DS}, V_{GS} - V_T \}$$

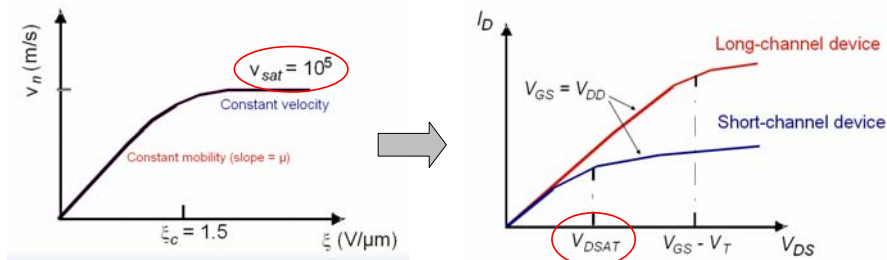
$$V_T(V_{BS})$$



Donde ahora  $V_T$  para un PMOS es  $< 0$

## Transistor MOS: efectos de canal corto

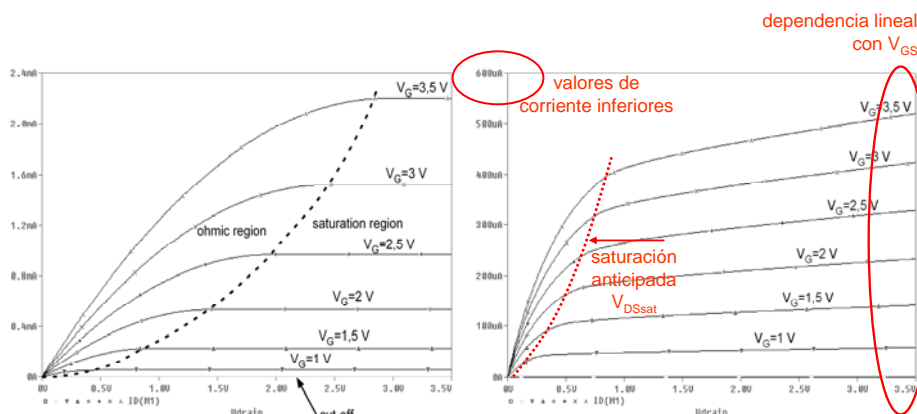
- Efectos de canal corto:
  - Propios de tecnologías sub-100 nm (aprox.)
  - Campo eléctrico a lo largo del canal aumenta con menor  $L$ , mayor  $V_{DS}$
  - A partir de cierta intensidad del campo eléctrico, los portadores alcanzan su velocidad de saturación, y  $I_D$  deja de aumentar a pesar de que aumente  $V_{DS}$
  - La tensión de saturación se alcanza para una  $V_{DSsat}$  inferior a  $V_{GS} - V_T$



(figures from "Digital Integrated Circuits, A Design Perspective", J. M. Rabaey, A. Chandrakasan, B. Nikolic, Prentice Hall, 2003)

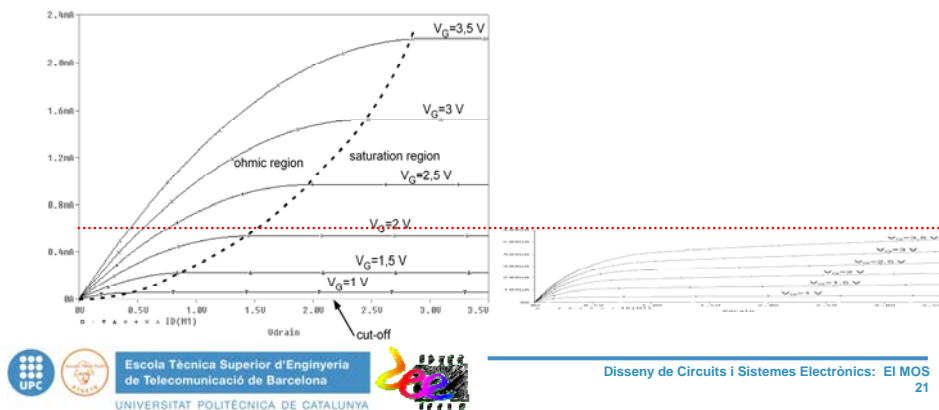
## Transistor MOS: efectos de canal corto

- Esto se traduce en:
  - Saturación antes de lo previsto
  - Dependencia de  $I_D$  con  $V_{GS}$  lineal en lugar de cuadrática



## Transistor MOS: efectos de canal corto

- Otros efectos
  - Dependencia de  $V_T$  con  $V_{DS}$  (DIBL)
  - Portadores "calientes" (corrientes de sustrato, corrientes de puerta)
- En las tecnologías actuales, el modelo ideal es una mala aproximación de la realidad



## Transistor MOS: modelo de canal corto

- Propuesta de modelo único para canal largo y canal corto (NMOS):
- Transistor en corte si  $V_{GS} \leq V_{TN} \Rightarrow I_D \approx 0$  (*subumbral*)
- Transistor en conducción si  $V_{GS} \geq V_{TN}$

$$I_D = k' \frac{W}{L} \left[ (V_{GS} - V_{TN}) V_{\min} - \frac{V_{\min}^2}{2} \right] [1 + \lambda V_{DS}]$$

$$\text{con } V_{\min} = \min[V_{DS}, V_{GS} - V_{TN}, V_{DSsat}] \quad V_T(V_{BS})$$

$V_{\min} = V_{DS}$  si zona óhmica ( $V_{DS} < V_{GS} - V_{TN}$  para canal largo;  $V_{DS} < V_{DSsat}$  para canal corto)

$V_{\min} = V_{GS} - V_{TN}$  si saturación, canal largo

$V_{\min} = V_{DSsat}$  si saturación, canal corto

$$\text{con } V_{DSsat} = L \cdot E_{sat} = L \cdot \frac{v_{sat}}{\mu_{ob}}$$

$$v_{sat} \approx 10^5 \text{ m/s} \text{ tanto para portadores } n \text{ como para portadores } p$$

## Transistor MOS: modelo de canal corto

- Propuesta de modelo único para canal largo y canal corto (PMOS):
- Transistor en corte si  $V_{GS} \geq V_{TP} \Rightarrow I_D \approx 0$  (*subumbral*)
- Transistor en conducción si  $V_{GS} \leq V_{TP}$

$$I_D = k' \frac{W}{L} \left[ (V_{GS} - V_{TP}) V_{\max} - \frac{V_{\max}^2}{2} \right] \left[ 1 + \lambda |V_{DS}| \right]$$

$$\text{con } V_{\max} = \max[V_{DS}, V_{GS} - V_{TP}, V_{DSsat}] \quad V_T(V_{BS})$$

$V_{\max} = V_{DS}$  si zona óhmica ( $V_{DS} > V_{GS} - V_{TP}$  para canal largo;  $V_{DS} > V_{DSsat}$  para canal corto)

$V_{\max} = V_{GS} - V_{TP}$  si saturación, canal largo

$V_{\max} = V_{DSsat}$  si saturación, canal corto

$$\text{con } V_{DSsat} = -L \cdot E_{sat} = -L \cdot \frac{v_{sat}}{\mu_{ob}}$$

$$v_{sat} \simeq 10^5 \text{ m/s} \quad \text{tanto para portadores } n \text{ como para portadores } p$$



Escola Tècnica Superior d'Enginyeria  
de Telecomunicació de Barcelona  
UNIVERSITAT POLITÈCNICA DE CATALUNYA

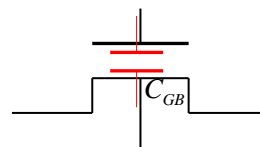
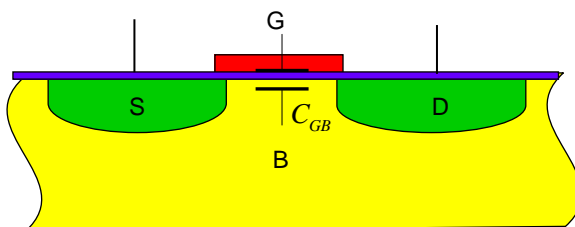


Disseny de Circuits i Sistemes Electrònics: El MOS  
23

## Capacidades MOS

- Capacidades de un transistor en corte (no hay canal)
- Capacidad puerta-sustrato

$$C_{GB} = \epsilon_{SiO_2} \frac{W \cdot L}{t_{ox}}$$



Escola Tècnica Superior d'Enginyeria  
de Telecomunicació de Barcelona  
UNIVERSITAT POLITÈCNICA DE CATALUNYA

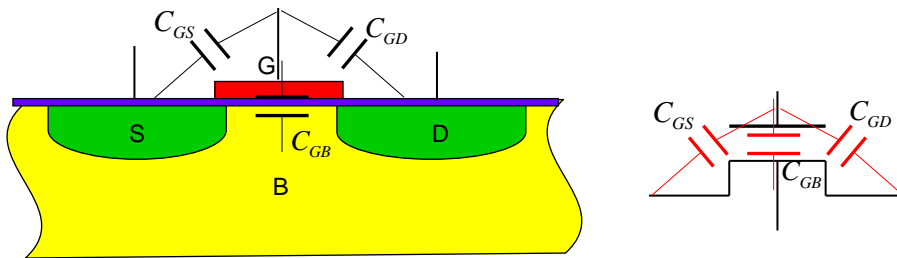


Disseny de Circuits i Sistemes Electrònics: El MOS  
24

## Capacidades MOS

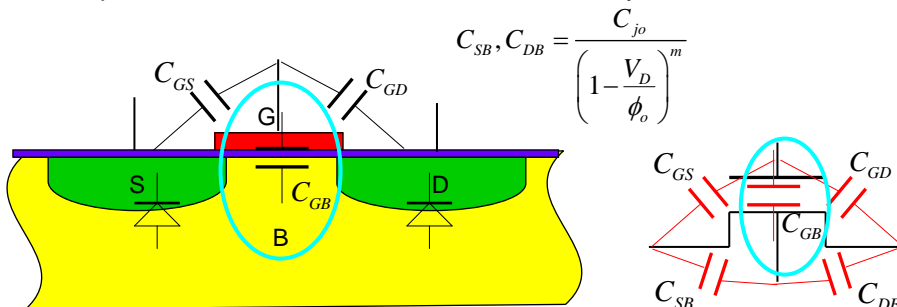
- Capacidades de transistor en corte (no hay canal)
  - Capacidad puerta-substrato
  - Capacidades laterales puerta-drenador y puerta-surtidor,

$$C_{GD} = C_{GD\text{overlap}} ; C_{GS} = C_{GS\text{overlap}}$$



## Capacidades MOS

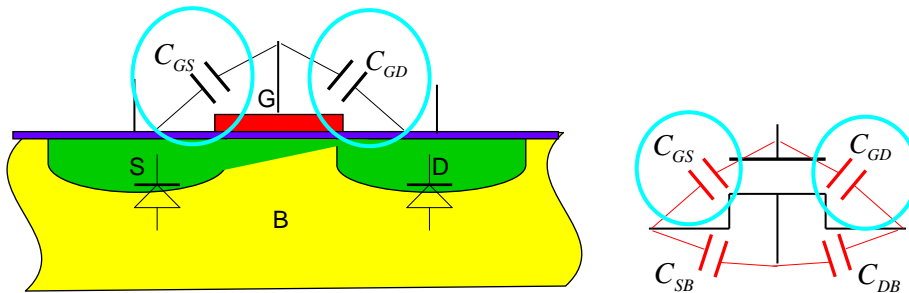
- Capacidades de un transistor en corte (no hay canal)
  - Capacidad puerta-substrato
  - Capacidades laterales puerta-drenador y puerta-surtidor,  $C_{GD\text{overlap}}$
  - Capacidades de los diodos drenador-substrato y surtidor-substrato



## Capacidades MOS

- Si el transistor está en zona óhmica, la capacidad puerta-canal se reparte a partes iguales hacia el drenador y el surtidor

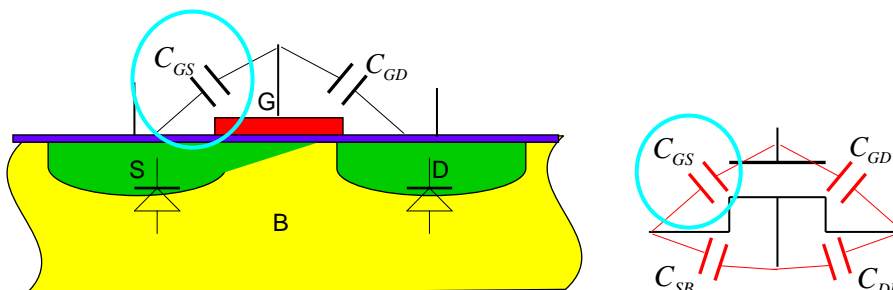
$$C_{GD} = C_{GS} = C_{overlap} + \frac{1}{2} \epsilon_{SiO_2} \frac{W \cdot L}{t_{ox}}$$



## Capacidades MOS

- Si el transistor está en zona de saturación, el reparto es:

$$C_{GS} = C_{GSoverlap} + \frac{2}{3} \epsilon_{SiO_2} \frac{W \cdot L}{t_{ox}} \quad C_{GD} = C_{GDoverlap}$$



## Capacidades MOS

- Las capacidades asociadas a la puerta se denominan *intrínsecas*

- En corte,  $C_{GB} = \epsilon_{SiO_2} \frac{W \cdot L}{t_{ox}}$
- En ohmica,  $C_{GS} = C_{GD} = \frac{1}{2} \epsilon_{SiO_2} \frac{W \cdot L}{t_{ox}}$
- En saturación  $C_{GS} = \frac{2}{3} \epsilon_{SiO_2} \frac{W \cdot L}{t_{ox}}$

- Las capacidades de overlap y de los diodos al sustrato se denominan *extrínsecas*

- $C_{GDoverlap}$        $C_{GSoverlap}$
- $C_{SB}, C_{DB} = \frac{C_{jo}}{\left(1 - \frac{V_D}{\phi_o}\right)^m}$

