

ETSETB
Enginyeria de Telecomunicació
CISE IV

Quadrimestre Primavera 2003-04

11 de Juny de 2004

Notes provisionals: 22/06/2004

Límit al·legacions: 24/06/2004

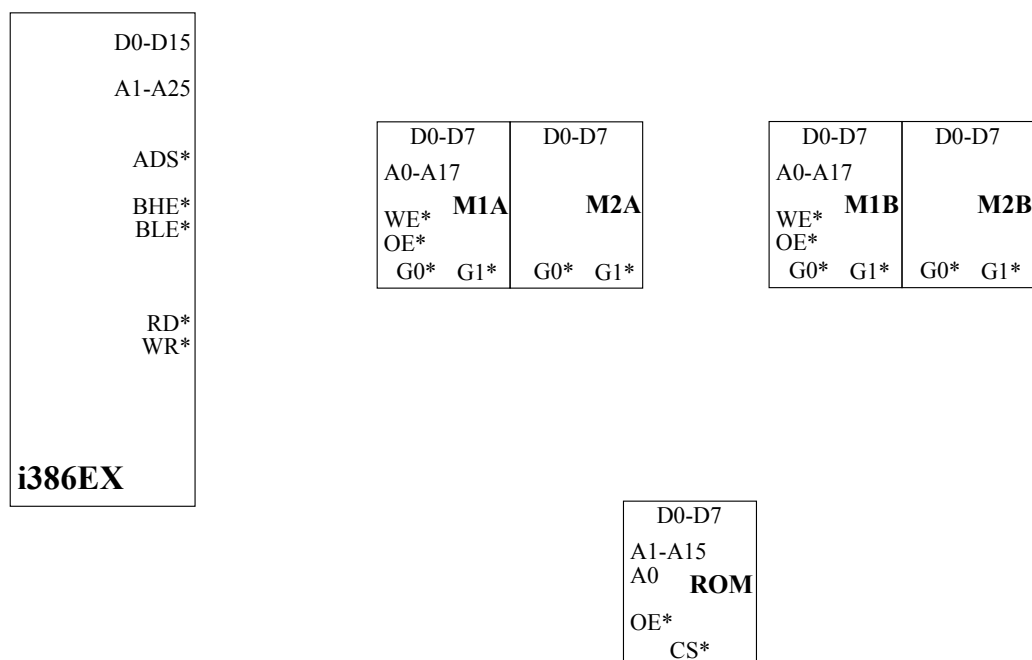
Notes definitives: 28/01/2004

S'ha de respondre en els mateixos fulls. No es poden entregar fulls addicionals

Temps: 3.5 hores

PROBLEMA 1 (20%)

Es vol dissenyar un sistema basat en el microcontrolador i386EX. Aquest controlador està basat en el microprocessador i386 d'Intel però incorpora una sèrie de perifèrics interns que el converteixen en un microcontrolador. El sistema a dissenyar inclou els següents chips:



La descripció dels senyals del microcontrolador és:

A1-A25: Bus d'adreces de 25 bits

D0-D15: Bus de dades

ADS*: Address Strobe

BHE*: Bus High Enable (habilitació D8-D15)

BLE*: Bus Low Enable (habilitació D0-D7)

RD*: Senyal que quan val '0' indica cicle de lectura

WR*: Senyal que quan val '0' indica cicle d'escriptura

NOTA: Els senyals G0* i G1* de les memòries RAM són senyals habilitadors (com *Chip Select* o *Chip Enable*). Tots dos senyals han d'estar activats per a que una RAM faci una lectura o escriptura.

Es demana :

- 1) (1 punt) Indicar la capacitat i l'organització de cada xip de RAM. Ídem del chip de ROM.

RAM:

ROM:

- 2) (2 punts) Indicar la capacitat del mapa de memòria del μC **en bytes**, i la seves adreces inicial, de meitat del mapa i final.

@ inicial (hexadecimal):

@ meitat (“ ”)::

@ final (“ ”)::

Capacitat total mapa de memòria (en bytes):

- 3) (3 punts) Implementar totes les connexions necessàries i dissenyar el circuit descodificador més simple possible (amb portes lògiques) per situar la RAM del sistema en la meitat baixa (adreces baixes) del mapa del μC , amb només 4 zones imatge consecutives on la primera comenci a l'adreça inicial del mapa. S'ha de deixar lliure la meitat del mapa d'adreces més altes.

(respondre a l'esquema de l'enunciat del problema)

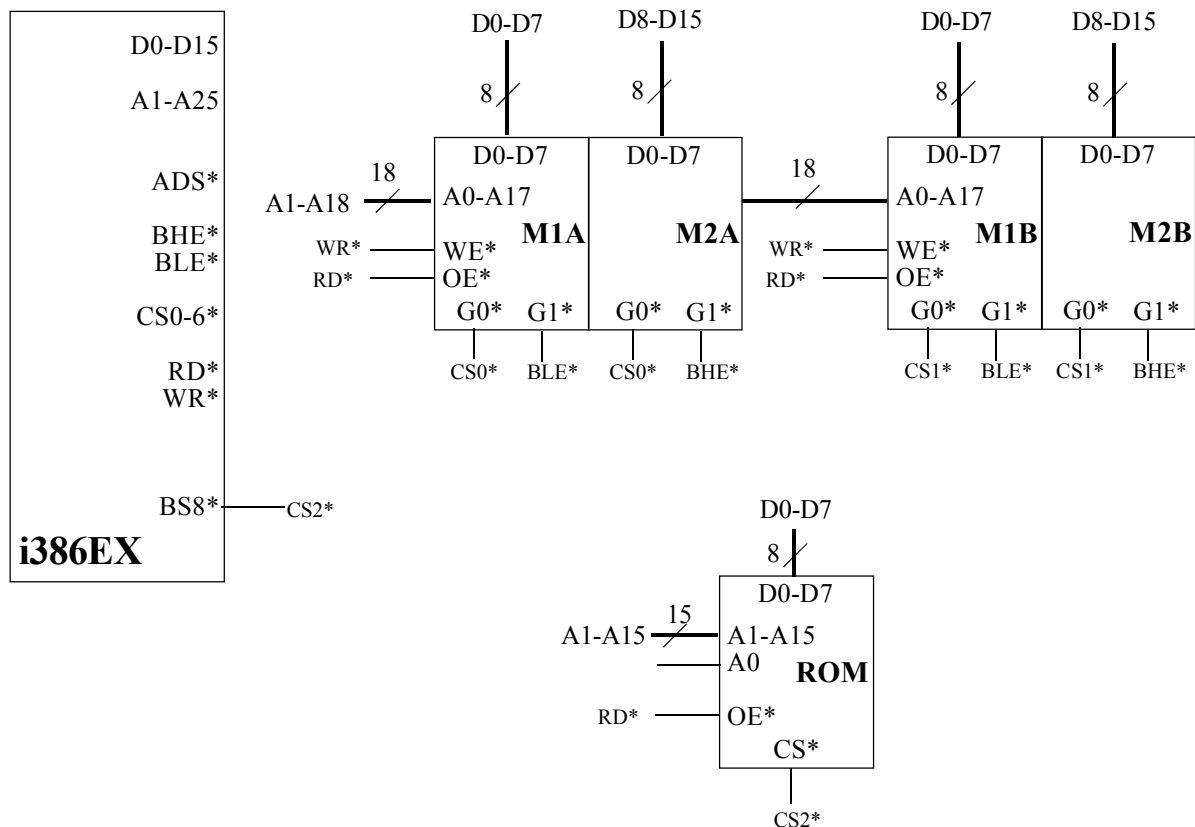
- 4) (3 punts) El chip de ROM del que disposem és de 8 bits (D0-D7). **Suposarem que el microcontrolador i386EX (que és de 16 bits, D0-D16) ha estat programat per fer NOMÉS accessos a memòria de BYTE quan accedeix a la ROM (és a dir, el microcontrolador no faria mai cicles de lectura de word a la ROM sinó només de byte).** Tenint en compte això, feu la descodificació més simple possible de la memòria ROM de manera que estigui a la meitat d'adreces més altes del mapa de memòria, i la última zona imatge acabi al final del mapa de memòria. La descodificació pot ser incompleta.

(respondre a l'esquema de l'enunciat del problema)

- 5) (1 punt) Indiqueu el mapa de memòria resultant, especificant el nombre de zones imatge de cada chip.

PROBLEMA 2 (35%)

En aquest problema es vol aprofitar una prestació del mateix microcontrolador i386EX d'Intel que no es va tenir en compte al problema anterior. Els circuits integrats del sistema de memòria són els mateixos, i es proporciona el connexionat amb el μC , el qual presenta uns senyals de control addicionals que s'especifiquen a continuació. El sistema dissenyat resultant és el següent:



La descripció dels senyals del microcontrolador és:

A1-A25: Bus d'adreces de 25 bits

D0-D15: Bus de dades

ADS*: Address Strobe

BHE*: Bus High Enable (Habilitació D8-D15)

BLE*: Bus Low Enable (Habilitació D0-D7)

RD*: Senyal que quan val '0' indica cicle de lectura

WR*: Senyal que quan val '0' indica cicle d'escriptura

CS0-6*: Set senyals específics per habilitar memòries

BS8*: Senyal d'entrada del microprocessador que indica que s'està accedint a un dispositiu de 8 bits.

Els senyals CS0-6* serveixen per minimitzar la lògica de descodificació externa. Cada senyal CSi* només s'activa per un determinat rang d'adreces de memòria i cadascun d'aquests rangs és definit per l'usuari configurant uns certs registres. Aquests blocs de memòria són anomenats *Memory Channels*.

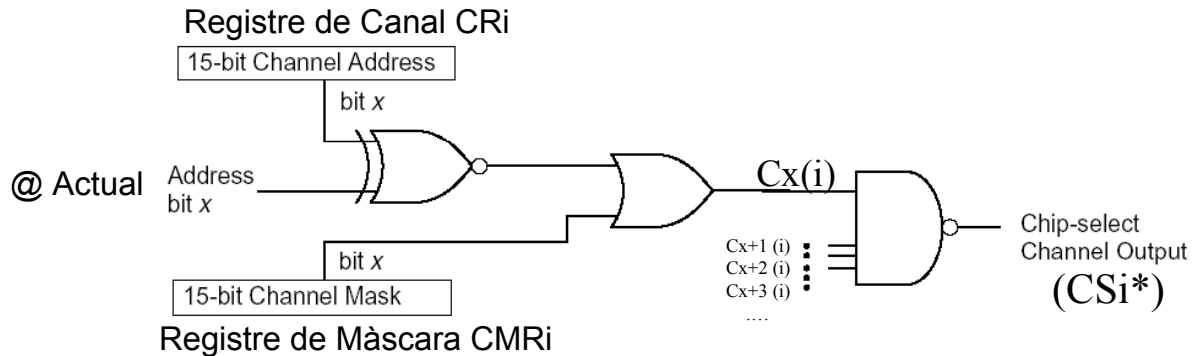
NOTA:

Els senyals G0* i G1* de les memòries RAM són senyals habilitadors. Tots dos senyals han d'estar activats per a que una RAM faci una lectura o escriptura.

La configuració de cada *Memory Channel* (0-6) es realitza mitjançant dos registres:

- CR0-6: registres de Canal, on s'especifiquen els 15 bits més significatius (A25-A11) que estaran relacionats amb l'adreça d'inici de cada Canal de Memòria segons sigui el contingut dels registres de Màscara.
- CMR0-6: registres de Màscara de 15 bits: serveixen per acabar de determinar el tamany i situació de cada Canal de Memòria en combinació amb els registres de Canal.

El circuit intern que genera els CSi* del microcontrolador és el següent:



Cada bit x de l'adreça actual (25 \$ x \$11) és comparat amb el bit x del registre de canal (i) (la porta XNOR dona '1' només si les seves entrades són iguals). Al resultat d'aquesta comparació se li fa una operació OR amb el bit x del registre de màscara (i) (obtenint el senyal Cx(i)). Per últim, els 15 senyals Cx(i) van a una porta NAND per a generar el corresponent CSi*.

D'aquesta manera si el registre de màscara del Canal 0, té els 15 bits a '1', el senyal CS0* s'activarà per a qualsevol adreça del mapa de memòria. Si tots els bits són '0', només s'activarà quan l'adreça actual (@Actual) a la que vulguem accedir tingui els bits A25-A11 idèntics als del registre de canal 0.

Es demana:

- (1 punt) Si el contingut del registre de màscara d'un canal és '000 0000 0000 0000', quina serà la mida, en *bytes*, del *Memory Channel* corresponent ?
- (1 punt) Especifiquen el rang d'adreces (en hexadecimal i sempre de *bytes*) ocupat per les memòries M1A-M2A, si hem programat els registres de control del canal 0 amb els següents valors:

$CR0 = (\text{bit relatiu a A25}) \text{ '000 1010 1111 0000' } (\text{bit relatiu a A11})$
 $CMR0 = (\text{bit relatiu a A25}) \text{ '000 0000 1111 1111' } (\text{bit relatiu a A11})$

Rang adreces M1A-M2A (en hexadecimal):

- (1 punt) Estem aprofitant tota la memòria, si hem programat els registres de control del canal 1 amb els següents valors ? Per què ?

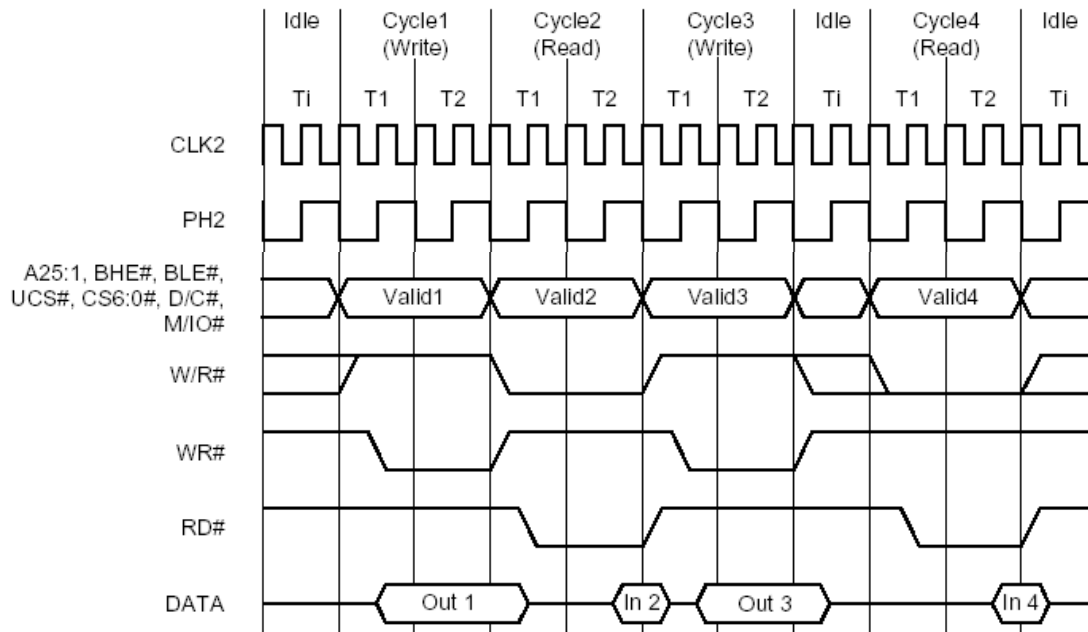
$CR1 = (\text{bit relatiu a A25}) \text{ '001 1011 0000 0000' } (\text{bit relatiu a A11})$
 $CMR1 = (\text{bit relatiu a A25}) \text{ '000 0000 0111 1111' } (\text{bit relatiu a A11})$

- (1 punt) Especifiquen justificadament el nombre de zones imatge de les memòries M1A-M2A si programem els registres del canal 0 amb els següents valors:

$CR0 = (\text{bit relatiu a A25}) \text{ '100 1010 1010 1010' } (\text{bit relatiu a A11})$
 $CMR0 = (\text{bit relatiu a A25}) \text{ '000 0011 1111 1111' } (\text{bit relatiu a A11})$

A la següent figura podem veure diversos cicles de lectura i escriptura del microcontrolador.

NOTA: en el gràfic, el símbol '#' indica senyal actiu a nivell baix.



- e) (2 punts) Si el rellotge CLK2 té una freqüència de 40 MHz, quin seria el màxim temps d'accés de G0*-G1* de les memòries RAM **en lectura** per a no afegir cicles d'espera? I el de OE*?

(Considereu que el temps de setup és 0 ns i que les sortides del microcontrolador només poden canviar en els flancs de pujada de CLK2 i no tenen retard).

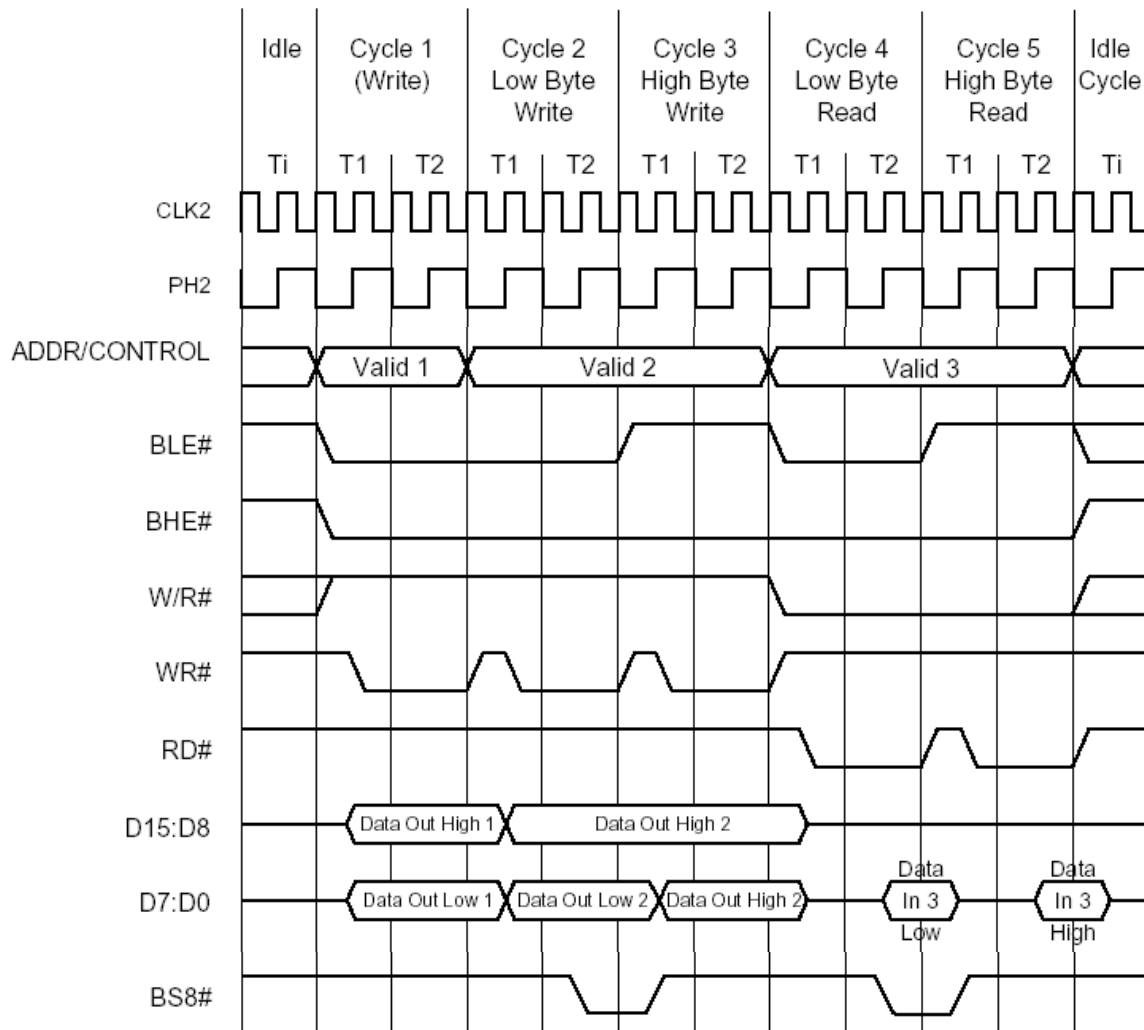
$t_{G0^*-G1^*} =$

$t_{OE} =$

Aquest microcontrolador permet fer accessos a dispositius de 8 bits (com la memòria ROM del nostre sistema), no com havíem dit al problema anterior sinó amb un altre mecanisme més eficient. Quan comença el cicle de bus, no sap si el dispositiu que respondrà és de 8 o 16 bits. El que fa és suposar que el dispositiu és de 16 bits i just al final del cicle mostreja el valor del senyal **BS8* (senyal d'entrada al microcontrolador)**. Si en aquell moment, aquest senyal està activat vol dir que el perifèric que ha respost és de 8 bits, i per tant l'operació de lectura o escriptura de 16 bits pot no haver-se fet correctament.

Per exemple, si la transferència demandada pel microcontrolador era de word, els bits D0-D7 s'hauran llegit o escrit correctament, però els D8-D15 no. Aleshores, el microcontrolador comença un altre cicle de bus, per acabar l'operació anterior, on el byte que queda es transferirà per la part baixa del bus (D0-D7).

A la següent figura s'observen un cicle d'escriptura de 16 bits normal, un cicle d'escriptura de word a un dispositiu de 8 bits i un altre cicle de lectura de word a un dispositiu de 8 bits. Aquests dos últims cicles es descomponen cadascun en 2 cicles successius de byte.

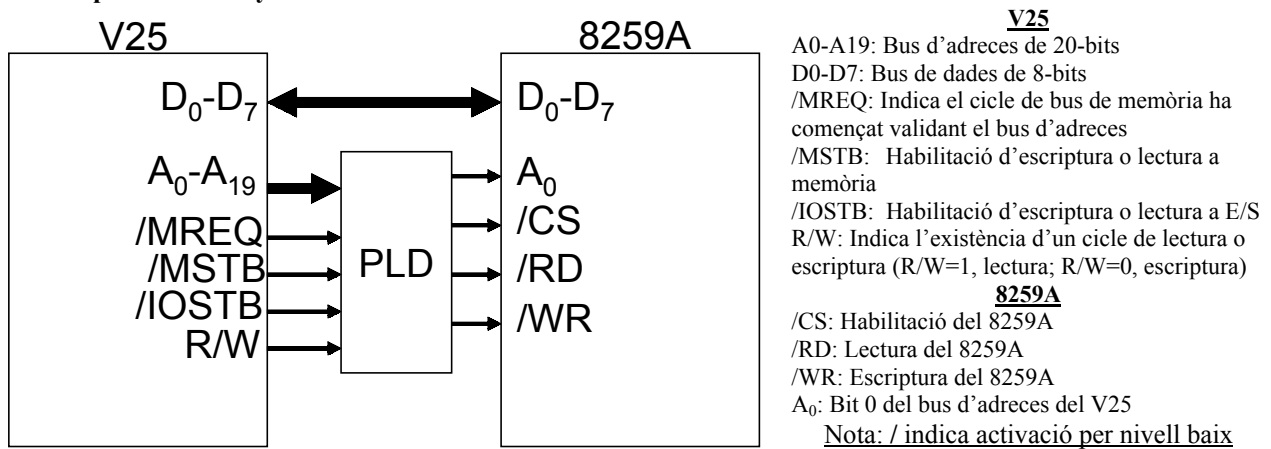


- f) (2 punts) Quin senyal haurem de connectar a l'entrada A0 de la ROM ? Per què ?
- g) (2 punts) Tenint en compte la resposta de l'apartat anterior i l'esquema del sistema, quin pensau que pot ser el procés de lectura d'un BYTE situat a adreça senar a la ROM ?

NOTA (apartats f i g): Fixeu-vos que hem connectat el senyal CS2* a BS8* i al CS* de la ROM. Per tant, cada cop que fem un accés a la ROM activem BS8* i indiquem per tant al microcontrolador que la memòria ROM és un dispositiu de 8 bits.

PROBLEMA 3 (30 %)

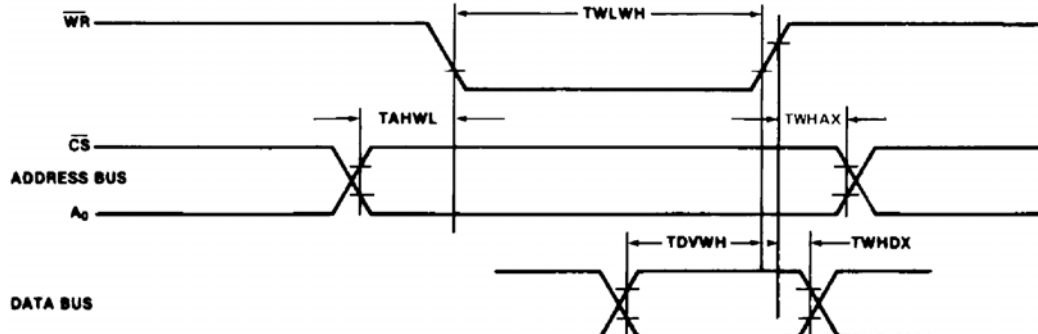
Es vol interconnectar un V25 amb el controlador d'interrupcions 8259A. Per això es proposa l'esquema de sota on un dispositiu lògic programable (PLD) és l'encarregat de generar els senyals de comandament del 8259 a partir dels senyals de control del V25 i el bus d'adreces.



1. (1p) **Completar l'esquema únicament amb aquells senyals que serveixen per a gestionar les interrupcions entre el V25 i el 8259.** Incloure expressament a l'esquema la seva interconnexió i una breu explicació de la seva funcionalitat.
2. (1p) **Determinar raonadament la funció de sortida /CS del PLD** per tal de que s'accedís al 8259 al rang d'adreces del mapa d'E/S de 64Kbytes comprés entre 8000H i BFFFH. ¿Amb aquesta configuració quan ocupa el 8259?
3. (1p) **Proposar un codi exemple** (en C o en ensamblador) que escrivís o llegís dades a la zona del mapa d'E/S que ocupa el 8259 en l'apartat 2
4. (1p.) **Justificar perquè és possible una configuració alternativa del PLD per tal d'accedir al 8259 dins del mapa de memòria.** ¿El V25 té per defecte altres dispositius d'E/S ja mapejats a memòria? ¿Quins problemes s'haurien d'evitar per tal de que el mapejat a memòria del 8259 fos compatible amb la configuració del mapa de memòria del V25?
5. (0.5p) **Determinar justificadament la funció de sortida /CS del PLD** per tal de que s'accedís al 8259 a partir de l'adreça FFF00H del mapa de memòria ocupant ara només 128 bytes.

6. (0.5p) **Proposar de nou un codi exemple** (en C o en ensamblador) que escrivís o llegís dades a la zona del mapa de memòria que ocupa el 8259 en l'apartat 5

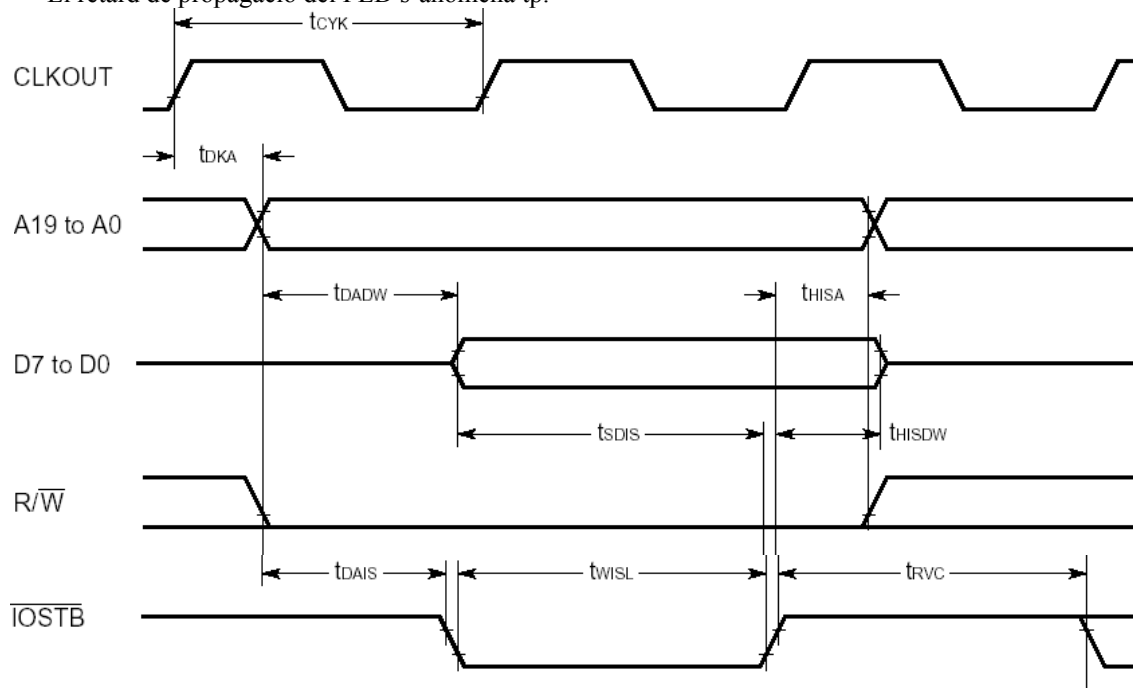
Finalment es decideix accedir al 8259 mitjançant el mapa d'E/S. Per això es disposen de les següents especificacions temporals del 8259 en un cicle d'escriptura:



Symbol	Parameter	8259A		8259A-2		Units
		Min	Max	Min	Max	
TAHL	AO/ \overline{CS} Setup to $\overline{WR} \downarrow$	0		0		ns
TWHX	AO/ \overline{CS} Hold after $\overline{WR} \uparrow$	0		0		ns
TWLWH	\overline{WR} Pulse Width	290		190		ns
TDVWH	Data Setup to $\overline{WR} \uparrow$	240		160		ns
TWHDX	Data Hold after $\overline{WR} \uparrow$	0		0		ns

7. (1p) **Completar el cicle de bus d'escriptura d'E/S del V25 adjunt** incorporant les senyals de sortida del PLD /CS i /WR si:

- $/CS = /IOSTB + f(A_{19}, \dots, A_0)$
- $/WR = /IOSTB + R/W$
- El retard de propagació del PLD s'anomena t_p .



/WR

/CS

8. (1p) **Marcar al cronograma del V25 els temps $TAHWL_{CS}$, $TAHWL_{A0}$, $TWLWH$, $TDVWH$, $TWHDX$, $TWHAX_{CS}$ i $TWHAX_{A0}$ d'acord amb les definicions que apareixen a la taula del 8259.**
9. (2p) **Determinar els temps següents en funció dels paràmetres del V25 inclosos a la taula de sota i el retard de propagació del PLD (t_p)**

$TAHWL_{CS}^1 =$

$TAHWL_{A0} =$

$TWLWH =$

$TDVWH =$

$TWHDX =$

$TWHAX_{CS} =$

$TWHAX_{A0} =$

Parameter	Symbol	MIN.	MAX.	Unit
Address Delay Time from CLKOUT	t_{DKA}		90	ns
Control Signal Recovery Time	t_{RVC}	$T - 25$		ns
Data Output Delay Time from Address	t_{DADW}		$0.5T + 50$	ns
Address Setup Time (to $\overline{IOSTB} \downarrow$)	t_{DAIS}	$0.5T - 30$		ns
\overline{IOSTB} Low-Level Width	t_{WISL}	$(n + 1)T - 30$		ns
Address Hold Time (from $\overline{IOSTB} \uparrow$)	t_{HISA}	$0.5T - 30$		ns
Data Input Hold Time (from $\overline{IOREQ} \uparrow$)	t_{HISDR}	0		ns
Data Output Setup Time (to $\overline{IOSTB} \uparrow$)	t_{SDIS}	$(n + 1)T - 50$		ns
Data Output Hold Time (from $\overline{IOSTB} \uparrow$)	t_{HISDW}	$0.5T - 30$		ns

10. (1p) **Calcular finalment, de forma justificada, el nombre de cicles d'espera d'E/S del V25 per tal de que es compleixen els 7 temps mínims requerits en el cicle d'escriptura del 8259 (inclosos a la taula del 8259) particularitzant les fórmules calculades a l'apartat anterior pels corresponents valors numèrics, si:**
- f_{clk} = freqüència interna del V25 = **5MHZ**,
 - $T = t_{cyk}$ = període clk del V25,
 - n = cicles d'espera
 - t_p = retard de propagació del PLD = **20ns**.

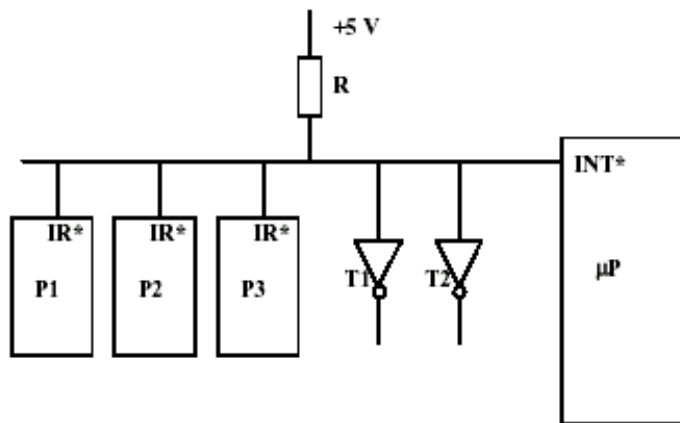
¹ P.ex. $TAHWL_{CS} = t_{DADW} + 2t_p$ (a títol indicatiu: no és la resposta correcta)

PROBLEMA 4 (15 %)

En la connexió circuital de petició d'interrupcions de la figura, tant el μP com les càrregues T1 i T2 tenen característiques d'entrada TTL :

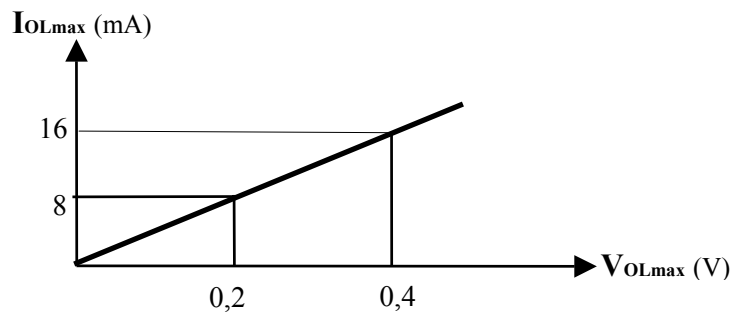
$$V_{ILmax} = 0.8 \text{ V} ; V_{IHmin} = 2.0 \text{ V}$$

$$I_{ILmax} = -1.6 \text{ mA} ; I_{IHmax} = 40 \text{ } \mu\text{A}$$



D'altra banda, els perifèrics P1, P2 i P3 tenen sortides en col·lector obert amb les següents característiques:

$$I_{OHmax} = 200 \text{ } \mu\text{A}$$



Calculeu l'interval de valors vàlids de **R** per tal d'assegurar uns marges de soroll de **NMH = NML = 0.75 V**.