

CISE IV - Control (Quadrimestre de Tardor de 2000-2001)

Problema 2 : (6 punts)

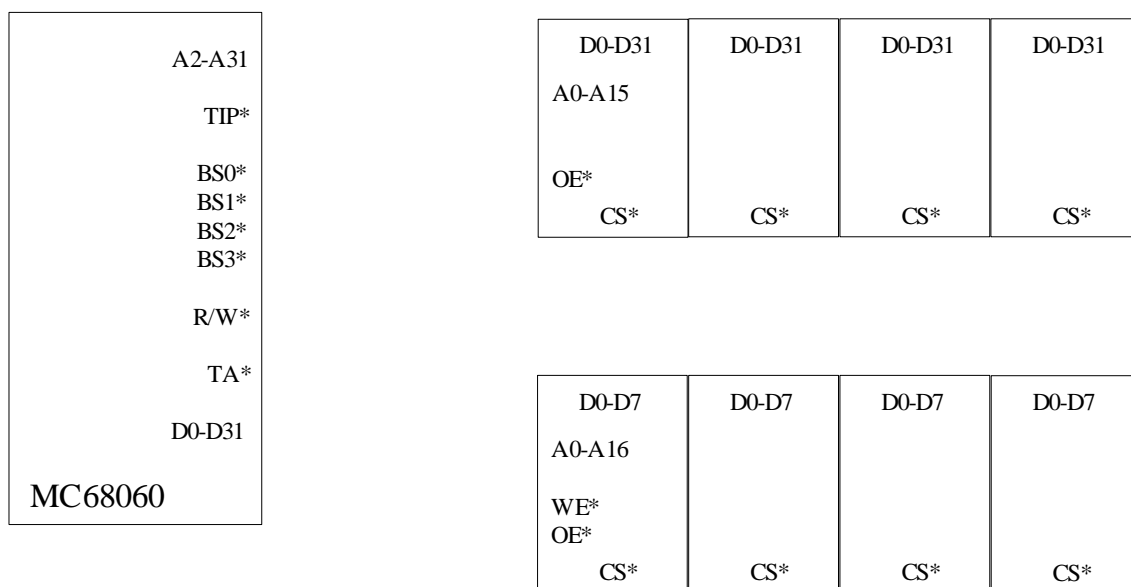
Es vol dissenyar un sistema basat en el μ P MC68060. La interfície d'aquest μ P és:

- A2-A31: Bus d'adreces
- TIP* : Transfer in progress (validació d'adreces)
- D0-D31: Bus de dades (4 bytes)
- BS0* - BS3*: Data Strokes de cadascun dels bytes que conformen el bus de dades:
(BS0*: D0-D7, BS1*: D8-D15, BS2*: D16-D23, BS3*: D24-D31)
- R/W* : Senyal de escriptura-lectura
- TA* : Senyal d'entrada que indica la finalització de cicle (similar a DTACK*).

Es vol situar la memòria RAM a partir de l'adreça 0A00000H i la ROM a partir de l'adreça D1000000H.

Es demana, a partir del esquema de la figura:

- Mapa de memòria suposant descodificació completa. (1p)
- Descodificació de la memòria RAM minimitzant el número de portes utilitzades. La descodificació pot ser incompleta. (2p)
- Descodificació de la memòria ROM minimitzant el número de portes utilitzades. La descodificació pot ser incompleta. (2p)
- Mapa de memòria resultant de les descodificacions dels apartats b) i c). (1p)



CISE IV - Febrer 2001

Problema 3 :

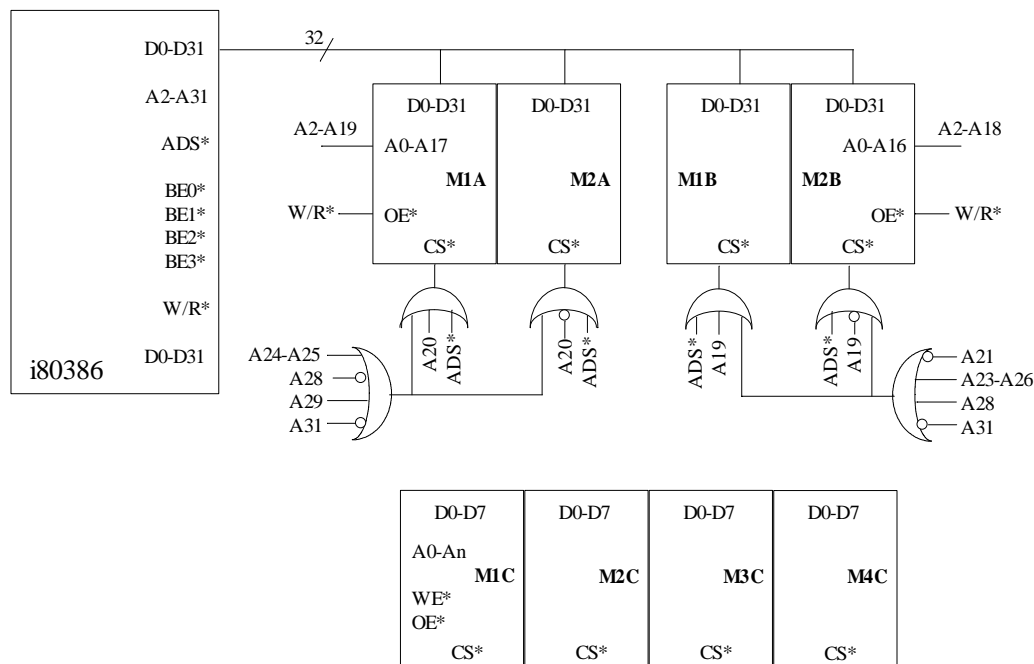
S'ha dissenyat un sistema basat en el μP i80486DX d'Intel i que conté memòria ROM estructurada en dos blocs: memòries M1A-M2A i memòries M1B-M2B, totes de 32 bits (veieu figura). Es vol afegir un total de 1 MByte de memòria RAM distribuïda en 4 chips de 8 bits cadascun (M1C-M4C).

La interfície del μP és:

- A2-A31: Bus d'adreces
- ADS* : Address Strobe
- D0-D31: Bus de dades (4 bytes)
- BE0* - BE3*: Data Strobes de cadascun dels bytes que conformen el bus de dades:
(BE0*: D0-D7, BE1*: D8-D15, BE2*: D16-D23, BE3*: D24-D31)
- W/R* : Senyal de escriptura-lectura

Es demana:

- a) Capacitat total de memòria ROM al sistema, expressada en bytes. (1p)
- b) Numero de zones imatge del bloc de memòria M1A-M2A i número de zones imatge del bloc M1B-M2B. (1p)
- c) Rang d'adreces ocupat per la zona imatge d'adreces més altes corresponent al bloc M1A-M2A (mapa expressat en bytes). (2p)
- d) Rang d'adreces ocupat per la zona imatge d'adreces mes baixes corresponent al bloc M1B-M2B. (2p)
- e) Completeu la descodificació del bloc de memòria M1C-M4C de manera que comenci a l'adreça 00000000H minimitzant el número de portes. La descodificació pot ser incompleta, emplenant el mapa de memòria tant com es vulgui sense que hagi col·lisions amb la ROM. Només es poden fer servir portes OR i NOR de 2 o 3 entrades i inversors.



CISE IV - Control (Quadrimestre de Tardor de 2001)

Problema 1 : (6 punts)

Es vol dissenyar un sistema basat en el mP i80386. La interfície d'aquest µP és:

- A2-A31: Bus d'adreces
- ADS* : Address Strobe
- D0-D31: Bus de dades (4 bytes)
- BE0* - BE3*: Data Strobes de cadascun dels bytes que conformen el bus de dades:
(BE0*: D0-D7, BE1*: D8-D15, BE2*: D16-D23, BE3*: D24-D31)

La quantitat total de memòria RAM és de 512 kByte.

La quantitat total de memòria ROM es de 256 kByte.

L'adreça de reset és FFFFFFFF0.

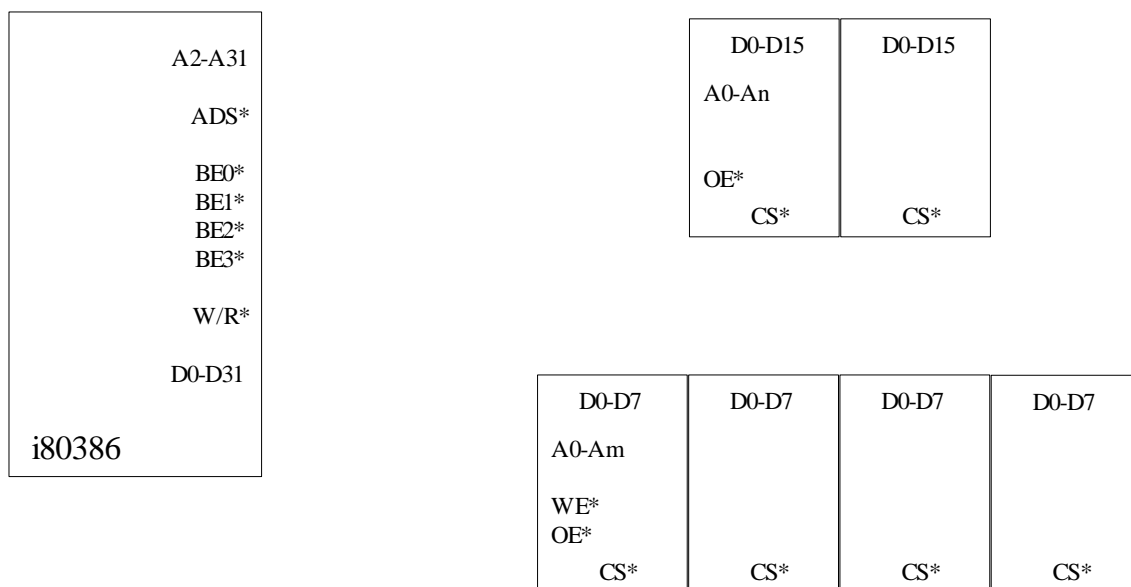
La taula de 256 vectors d'interrupció està situada a partir de l'adreça 00000000H.

Es demana, a partir del esquema de la figura:

a) Els valors de **n** i **m** i el mapa de memòria suposant descodificació completa. (1p)

b) Descodificació de les memòries RAM i ROM (pot ser incompleta). (4p)

c) Mapa de memòria resultant de la descodificació del apartat b). (1p)



Problema a respondre sobre les pròpies fulles de l'enunciat.

Nom i Cognoms: _____

Problema 1 (35% del total)

S'ha dissenyat un sistema basat en el μC V25 de NEC. L'objectiu és poder fer transferències molt ràpides entre dos bancs de memòria (banc M1A-M2A i banc M1B-M2B). La solució adoptada és la de la figura de l'apartat d). Es demana:

- a) (1 punt) Rang(s) d'adreces en què el microcontrolador pot escriure a la memòria M1A. Rang(s) d'adreces en què el microcontrolador pot llegir de la memòria M2B.

M1A(μC write):

M2B(μC read):

- b) (4 punts) Quins són els efectes de les següents instruccions ? En cas de que hi hagi una transacció de dada, esmenteu l'origen i destí de la mateixa (memòria M1A, M2A..., V25, etc.), i el seu valor quan sigui possible. Justifiqueu breument les respostes.

mov al,[0A00h:1234h]

Origen:

Destí:

Valor:

mov al,[9200h:1234h]

Origen:

Destí:

Valor:

mov [7FF0h:1234h],56h

Origen:

Destí:

Valor:

mov [700Ah:1234h],56h

Origen:

Destí:

Valor:

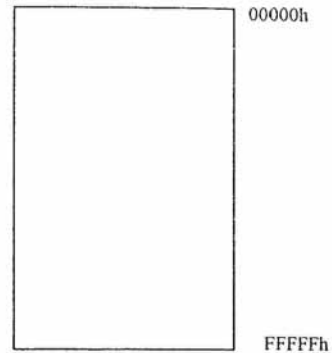
NOTES:

- Totes les transaccions són de byte.
- El format de la instrucció és *mov 'destí', 'origen' ó 'dada immediata'*
- El V25 calcula l'adreça de sortida de 20 bits de la següent manera: $[\text{@-20bits}] = [\text{Seg:Despl}] = \text{Seg} * 16 + \text{Despl}$.

- ```
mov [D000h:1234h],78h
```

- [illegible]

e) (1 punt) Mapa de memòria resultant.



**NOTES:**

- El vector de reset està situat a la posició FFFF0h.
- La porta XOR de dues entrades dóna '1' només quan les entrades prenen valors diferents.
- En els buffers bidireccionals, quan EN\*=0 (buffer activat) el senyal DIR controla el sentit de les dades (DIR=1, cap al  $\mu$ C; DIR=0 cap a les memòries). Quan el senyal EN\*=1 (desactivat) el buffer es posa en alta impedància a totes dues bandes, indiferentment del que indiqui el senyal DIR.
- No es corregiran solucions poc clares: a l'apartat d) es recomana l'ús del llapis.

**ETSETB**  
*Enginyeria de Telecomunicació*  
**CISE IV**

Quadrimestre Primavera 2003-04

11 de Juny de 2004

Notes provisionals: 22/06/2004

Límit al·legacions: 24/06/2004

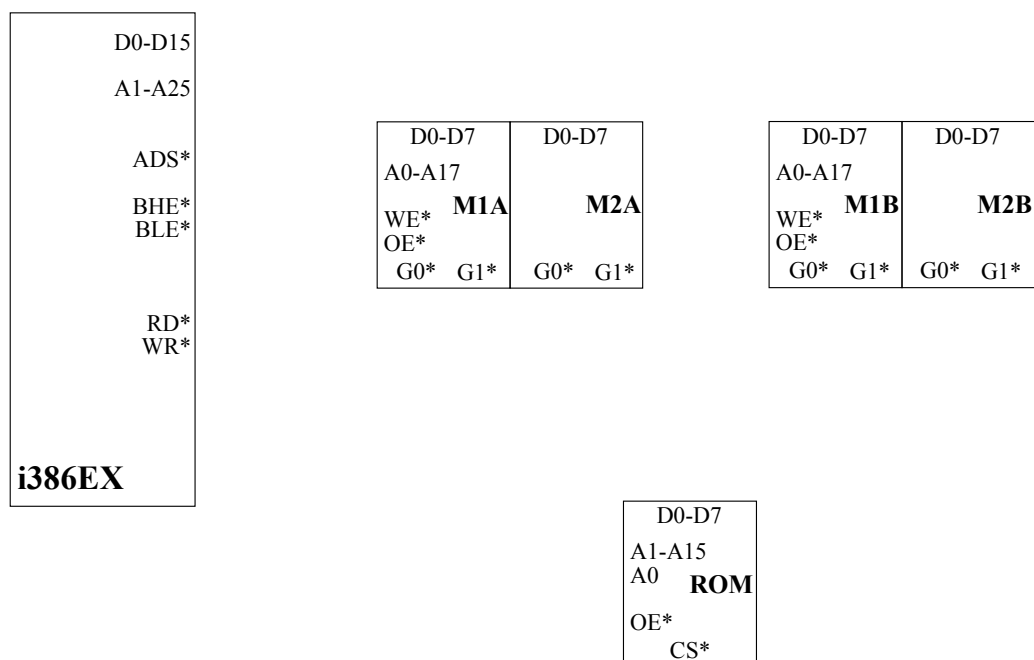
Notes definitives: 28/01/2004

**S'ha de respondre en els mateixos fulls. No es poden entregar fulls addicionals**

**Temps: 3.5 hores**

**PROBLEMA 1 (20%)**

Es vol dissenyar un sistema basat en el microcontrolador i386EX. Aquest controlador està basat en el microprocessador i386 d'Intel però incorpora una sèrie de perifèrics interns que el converteixen en un microcontrolador. El sistema a dissenyar inclou els següents chips:



La descripció dels senyals del microcontrolador és:

A1-A25: Bus d'adreces de 25 bits

D0-D15: Bus de dades

ADS\*: Address Strobe

BHE\*: Bus High Enable (habilitació D8-D15)

BLE\*: Bus Low Enable (habilitació D0-D7)

RD\*: Senyal que quan val '0' indica cicle de lectura

WR\*: Senyal que quan val '0' indica cicle d'escriptura

**NOTA:** Els senyals G0\* i G1\* de les memòries RAM són senyals habilitadors (com *Chip Select* o *Chip Enable*). Tots dos senyals han d'estar activats per a que una RAM faci una lectura o escriptura.

Es demana :

- 1) (1 punt) Indicar la capacitat i l'organització de cada xip de RAM. Ídem del chip de ROM.

**RAM:**

**ROM:**

- 2) (2 punts) Indicar la capacitat del mapa de memòria del  $\mu C$  **en bytes**, i la seves adreces inicial, de meitat del mapa i final.

**@ inicial (hexadecimal):**

**@ meitat ( “ ” ):**

**@ final ( “ ” ):**

**Capacitat total mapa de memòria (en bytes):**

- 3) (3 punts) Implementar totes les connexions necessàries i dissenyar el circuit descodificador més simple possible (amb portes lògiques) per situar la RAM del sistema en la meitat baixa (adreces baixes) del mapa del  $\mu C$ , amb només 4 zones imatge consecutives on la primera comenci a l'adreça inicial del mapa. S'ha de deixar lliure la meitat del mapa d'adreces més altes.

(respondre a l'esquema de l'enunciat del problema)

- 4) (3 punts) El chip de ROM del que disposem és de 8 bits (D0-D7). **Suposarem que el microcontrolador i386EX (que és de 16 bits, D0-D16) ha estat programat per fer NOMÉS accessos a memòria de BYTE quan accedeix a la ROM (és a dir, el microcontrolador no faria mai cicles de lectura de word a la ROM sinó només de byte).** Tenint en compte això, feu la descodificació més simple possible de la memòria ROM de manera que estigui a la meitat d'adreces més altes del mapa de memòria, i la última zona imatge acabi al final del mapa de memòria. La descodificació pot ser incompleta.

(respondre a l'esquema de l'enunciat del problema)

- 5) (1 punt) Indiqueu el mapa de memòria resultant, especificant el nombre de zones imatge de cada chip.

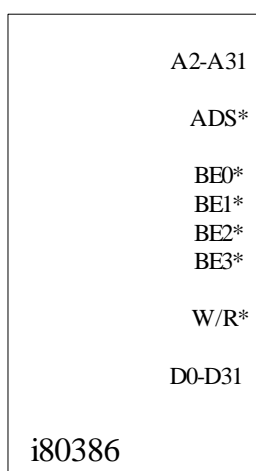


## CISE IV - Control (Quadrimestre de Tardor de 2001)

### Problema 2 : (6 punts)

Es vol dissenyar un sistema basat en el  $\mu$ P i80386. La quantitat total de memòria RAM és de 512 kByte. La quantitat total de memòria ROM és de 1MByte.

- a) Els valors de **n** i **m**. (1p)
- b) Dissenyar una descodificació de les memòries RAM i ROM. La descodificació ha de ser completa. Es vol que la memòria RAM comenci a l'adreça 0 i que la ROM es trobe immediatament després de la RAM. (4p)
- c) Mapa de memòria resultant de la descodificació del apartat b). (1p)



|        |        |        |        |
|--------|--------|--------|--------|
| D0-D15 | D0-D15 | D0-D15 | D0-D15 |
| A0-An  |        |        |        |
| OE*    |        |        |        |
| CS*    | CS*    | CS*    | CS*    |

|       |       |       |       |
|-------|-------|-------|-------|
| D0-D7 | D0-D7 | D0-D7 | D0-D7 |
| A0-Am |       |       |       |
| WE*   |       |       |       |
| OE*   |       |       |       |
| CS*   | CS*   | CS*   | CS*   |

2 gener 2008  
(2007 Tada)

Nom i cognoms:

Grup:

## PROBLEMA 2 (35%)

Es vol dissenyar un sistema amb en el microcontrolador S3C44B0X de 32 bits de Samsung, basat en el microprocessador ARM7TDMI. Disposa dels següents senyals per controlar els cicles de bus a memòries:

A0-A24: Bus d'adreces

D0-D31: Bus de dades

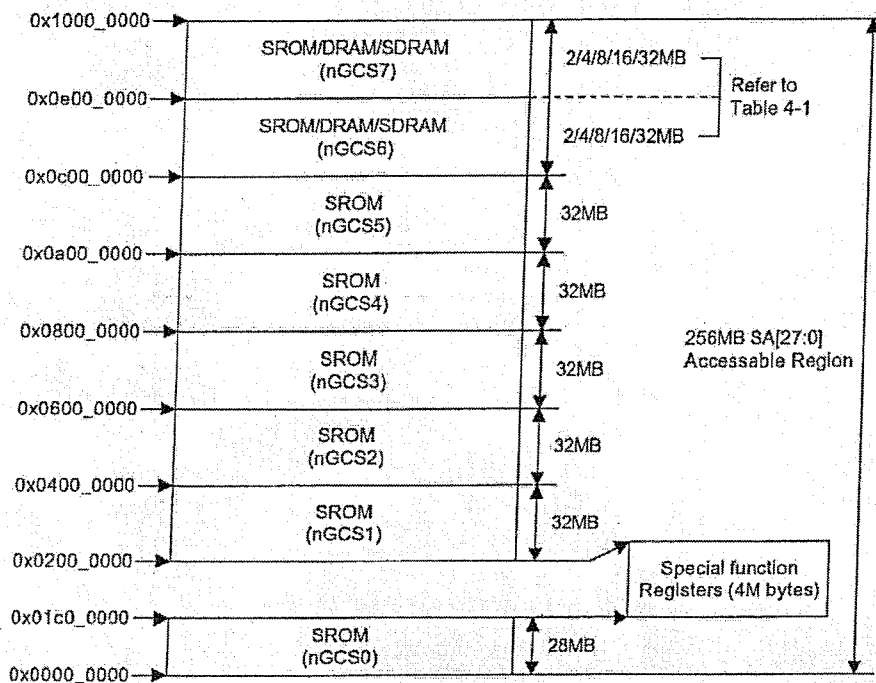
nGCS0-7: 8 senyals actius a nivell baix generats per a connectar a CS\* de memòries.

nWE0-3: 4 senyals d'escriptura actius a nivell baix relacionats respectivament amb D0-D7, D8-D15, D16-D23, D24-D31.

nOE: Senyal global d'habilitació de lectura, actiu a nivell baix.

nWE: Senyal global d'habilitació d'escriptura, actiu a nivell baix.

Aquest microcontrolador genera senyals (nGCSx, nWEx, etc.) que es connecten directament als senyals corresponents dels xips de memòria del sistema. Els senyals nGCSx són activats depenent de l'adreça a la que estiguem accedint segons la següent taula:



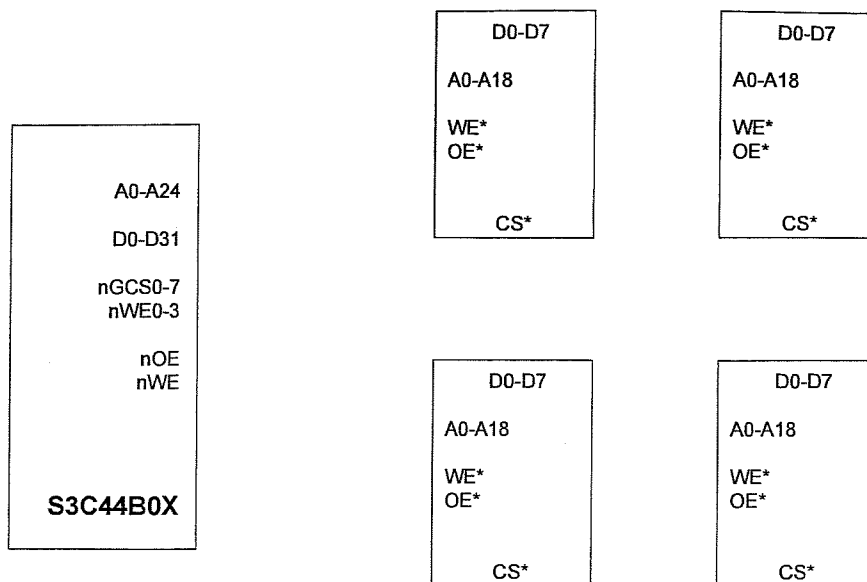
**NOTA:** Per exemple si accedim a la posició 0x0a12 3456 s'activarà el senyal nGCS5 i no s'activaran nGCS0-4, ni nGCS6-7. SROM pot ser memòria RAM estàtica o ROM. MB vol dir Megabyte.

Una altra característica d'aquest processador és que permet accedir a dispositius externs de 8, 16 o 32 bits al bus de dades. Per a cada bloc de memòria accedit per un senyal nGCSx és possible especificar al microprocessador, per programa, si el o els dispositius connectats poden fer transferències en un cicle de bus de 8, 16 o 32 bits.

- *Mode de 8 bits:* les transferències només es poden realitzar per D0-D7 en el bus de dades del microprocessador. L'adreça s'especifica a A0-A24.
- *Mode de 16 bits:* les transferències només es poden realitzar per D0-D15 en el bus de dades del microprocessador. L'adreça s'especifica a A1-A24.
- *Mode de 32 bits:* les transferències es poden realitzar per D0-D31 en el bus de dades del microprocessador. L'adreça s'especifica a A2-A24.

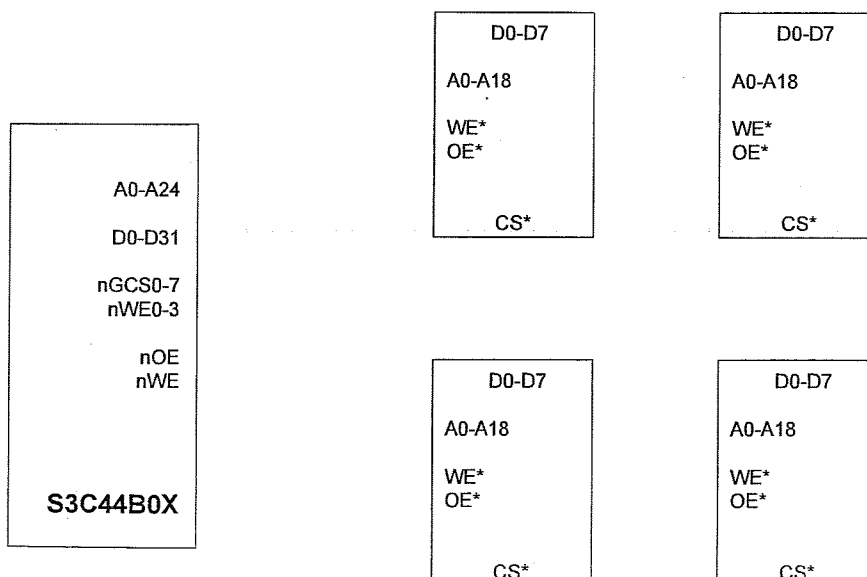
Es precisament per aquesta raó que el bus d'adreces comença amb el bit A0 (en comptes del típic A2 d'un microprocessador de 32 bits al bus de dades). Tenint en compte això:

- a) (2 punts) ) eu totes les connexions dels 4 xips de memòria RAM als senyals del microprocessador, sense afegir cap porta, per tal que estiguin situades a les adreces 0x0600 0000 – 0x07) ) ) ) , si el microprocessador està programat en Mode de 32 bits a tot el mapa de memòria. 'ndiqueu nombre de zones imatge si n'hi ha.



nº z.i.:

- b) (2 punts) ) eu el mateix que a l'apartat anterior, però ara tenint en compte que el microprocesador ha estat programat en Mode de 8 bits a tot el mapa de memòria. Podeu afegir portes a l'esquema, el mtnim nombre possible i amb màxima simplicitat. 'ndiqueu nombre de zones imatge si n'hi ha.



nº z.i.:

bl cronograma en lectura del microprocessador es pot veure a la següent figura.