

Nom i Cognoms: _____

EXAMEN FINAL CISE IV

TARDOR 2000-2001 (23 de Gener 2001) Durada: 3.5 hores

NOTA:

- S'ha de respondre únicament en els fulls d'examen. Es recomana fer servir llapis, al menys en els dibuixos.
- Assegureu-vos de posar el nom a **tots els fulls d'examen.**
- Es recollirà l'examen sencer grapat.

PROBLEMA 1 (25%): S'ha dissenyat un sistema basat en el μ P i80486DX d'Intel i que conté memòria ROM estructurada en dos blocs: memòries M1A-M2A i memòries M1B-M2B, totes de 32 bits (veieu figura). Es vol afegir un total de 1 Mbyte de memòria RAM distribuïda en 4 chips de 8 bits cadascun (M1C-M4C).

La interfície del microprocessador és:

- A2-A31: Bus d'adreces
- ADS*: Address Strobe
- D0-D31: Bus de dades (4 bytes)
- BE0*-BE3*: Data Strobes de cadascun dels bytes que conformen el bus de dades:
(BE0: D0-D7, BE1: D8-15, BE2: D16-23, BE3: D24-D31)
- W/R*: Senyal de escriptura - lectura

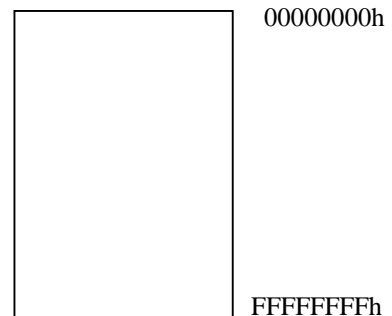
Es demana:

- (1 punt) Capacitat total de memòria ROM al sistema, expressada en bytes.
- (1 punt) Número de zones imatge del bloc de memòria ROM M1A-M2A i número de zones imatge del bloc ROM M1B-M2B.

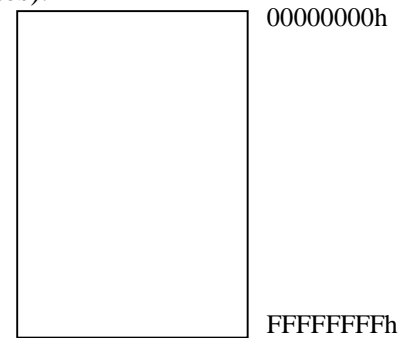
Bloc M1A-M2A:

Bloc M1B-M2B:

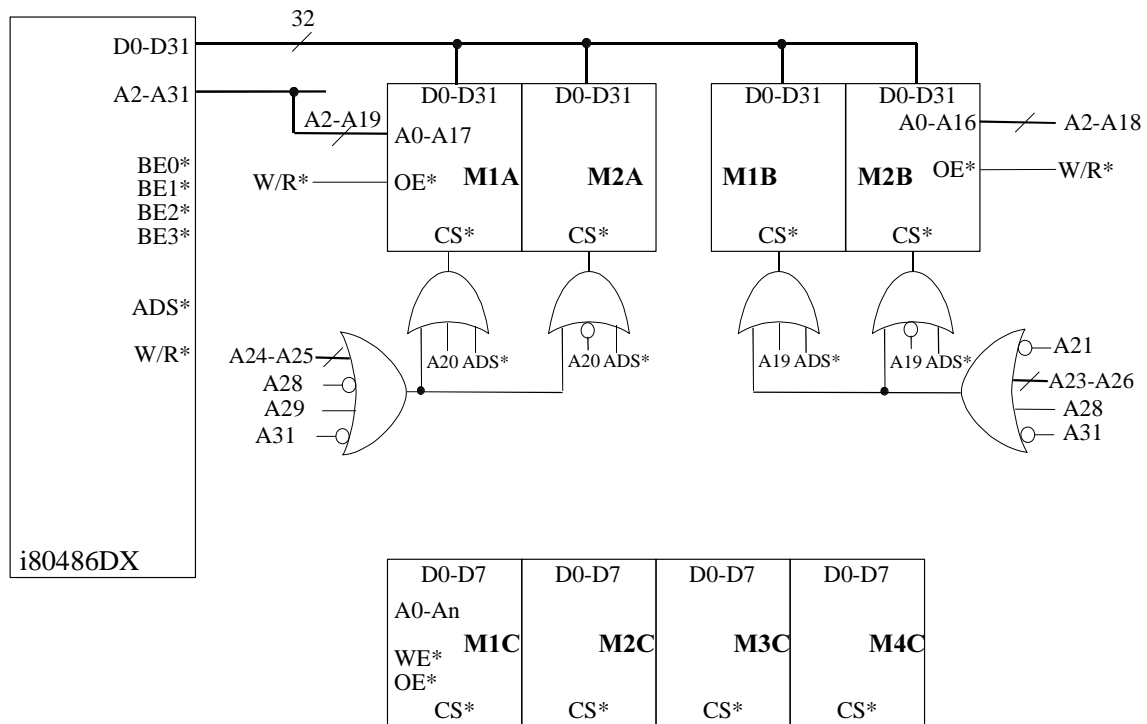
- (2 punts) Rang d'adreces ocupat per la zona imatge d'adreces més altes corresponent al bloc M1A-M2A (mapa expressat en bytes).



- d) (2 punts) Rang d'adreces ocupat per la zona imatge d'adreces més baixes corresponent al bloc M1B-M2B (mapa expressat en bytes).



- e) (4 punts) Completeu la descodificació del bloc de memòria RAM M1C-M4C de manera que comenci a l'adreça 00000000h minimitzant el número de portes. La descodificació pot ser incompleta, emplenant el mapa de memòria tant com es vulgui sense que hagi col·lisions amb la ROM. Només es poden fer servir portes OR i NOR de 2 o 3 entrades i inversors.

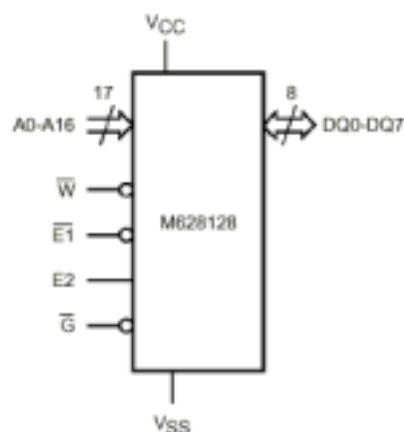


D0-D7	D0-D7	D0-D7	D0-D7
A0-An			
WE* M1C	M2C	M3C	M4C
OE*			
CS*	CS*	CS*	CS*

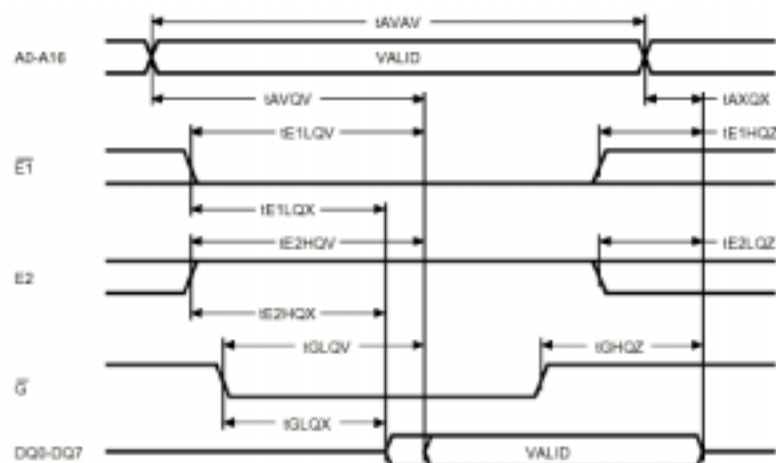
Parameter	Symbol	Test Conditions	MIN.	MAX.	Unit
Address Delay Time from CLKOUT	t_{DCA}			90	ns
Data Input Delay Time from Address	t_{DAOI}			$(n + 1.5)T - 90$	ns
Data Delay Time from MREQ ↓	t_{DMRD}			$(n + 1)T - 75$	ns
Data Delay Time from MSTB ↓	t_{DMSD}			$(n + 0.5)T - 75$	ns
MSTB ↓ Delay Time from MREQ ↓	t_{DMMS}		$0.5T - 35$	$0.5T + 35$	ns
MREQ Low-Level Width	t_{MWL}		$(n + 1)T - 30$	$(n + 1)T + 30$	ns
Address Hold Time (from MREQ ↑)	t_{MAH}		$0.5T - 30$		ns
Data Input Hold Time (from MREQ ↑)	t_{MDH}		0		ns
Control Signal Recovery Time	t_{RVC}		$T - 25$		ns
Data Output Delay Time from Address	t_{DAOW}			$0.5T + 50$	ns
Address Setup Time (to MREQ ↓)	t_{DAMS}		$0.5T - 30$		ns
Address Setup Time (to MSTB ↓)	t_{DAMS}		$T - 30$		ns
MSTB Low-Level Width	t_{MWL}		$(n + 0.5)T - 30$	$(n + 0.5)T + 30$	ns

A la taula n significa el nombre d'estats d'espera introduïts.

Suposem que volem connectar un chip de memòria del tipus M628128, amb una capacitat total de 1 Mbit, i amb un diagrama de blocs tal com el que apareix a continuació:



El diagrama de temps i els valors associats apareixen a continuació:



Nom i Cognoms:_____

Symbol	Parameter	M628128				Unit
		-15		-20		
		Min	Max	Min	Max	
t_{OAV}	Read Cycle Time	15		20		ns
$t_{WVdr}^{(1)}$	Address Valid to Output Valid		15		20	ns
$t_{E1LOV}^{(1)}$	Chip Enable 1 Low to Output Valid		15		20	ns
$t_{E2HOV}^{(1)}$	Chip Enable 2 High to Output Valid		15		20	ns
$t_{OLOV}^{(1)}$	Output Enable Low to Output Valid		7		8	ns
$t_{E1LOZ}^{(2)}$	Chip Enable 1 Low to Output Transition	2		2		ns
$t_{E2HOZ}^{(2)}$	Chip Enable 2 High to Output Transition	2		2		ns
$t_{OLOZ}^{(2)}$	Output Enable Low to Output Transition	0		0		ns
$t_{E1HZ}^{(2)}$	Chip Enable 1 High to Output Hi-Z	0	8	0	10	ns
$t_{E2LOZ}^{(2)}$	Chip Enable 2 Low to Output Hi-Z	0	8	0	10	ns

Suposant que s'ha connectat el microprocessador V25 a un circuit de memòria del tipus M628128-20, responeu a les qüestions següents (**pels càlculs següents podeu considerar despreciables els temps de pujada i baixada dels senyals**):

- Quina es la organització interna del chip de memòria?
- Feu una estimació del temps de SETUP del microprocessador.
- Suposant que en el procés de lectura, tal i com s'ha indicat, es deixa actiu permanentment el terminal G* (Output enable) de la memòria, determineu la freqüència correcta de treball perquè no s'hagi d'afegir cap estat d'espera.

PROBLEMA 3 (25%)

Volem construir un sistema d'E/S per a un determinat μP , utilitzant controladors de perifèric amb les següents característiques:

- Tenen dos registres cadascun, ambdós de lectura i escriptura. Els corresponents senyals de selecció, anomenats A i B, són vàlids a nivell alt.
- Tenen un senyal de selecció, vàlid baix, anomenat CS*.
- Tenen una entrada R/W* de selecció de lectura (alt) i escriptura (baix).
- Tenen una sortida d'interrupció, en col·lector obert i vàlida baixa, INT*.
- Tenen una entrada IACKIN* i una sortida IACKOUT*, ambdues vàlides baixes, que permeten connectar-los en una cadena de prioritat en funció de la posició de manera que, encara que poden demanar una interrupció en qualsevol moment, només han de rebre el senyal de reconeixement IACK*, vàlid baix, quan són prioritaris en la cadena.. El corresponent vector d'interrupció està disponible a V0-V7 35 ns després de rebre el senyal de reconeixement.
- El retard entre IACKIN* i IACKOUT* és de 40 ns.

D'altra banda, el μP te les següents característiques, pel que fa a les E/S i al reconeixement de les interrupcions:

- El mapa d'E/S es selecciona amb el senyal IOSTB* (vàlid baix)
- Durant un cicle d'E/S, només les 8 primeres (mes baixes) línies d'adreces son vàlides. Això vol dir que el mapa d'E/S és de 256 bytes.
- El cicle de reconeixement d'interrupció és el de la figura 1. La CPU llegeix el vector amb el flanc de baixada de T2 i el seu temps de *set-up* és de 20 ns.
- La freqüència de rellotge és de 10 MHz.

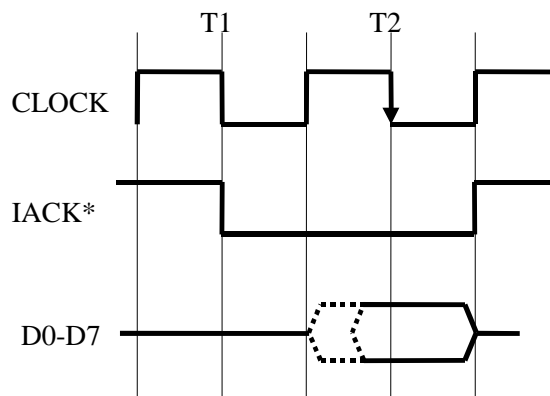


Fig. 1

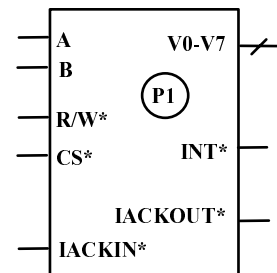
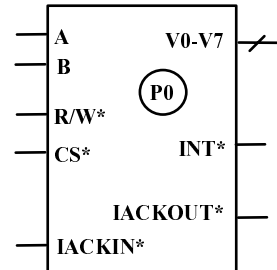
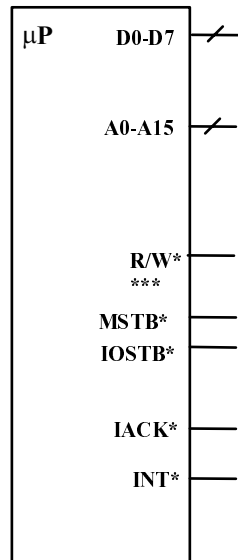
D'aquests controladors de perifèric, en volem connectar 2, mapejats en el mapa de E/S de tal manera que poden ocupar tot el mapa de E/S. La descodificació volem que sigui el més senzilla possible (no necessàriament completa).

D'acord amb aquestes especificacions es demana:

1. Connectar correctament les entrades CS*, les entrades A i B de selecció dels respectius registres i l'entrada R/W* dels dos controladors de perifèric. (2 punts)
2. Quina es l'adreça o adreces del registre A de P0 ? (1 punt)

Nom i Cognoms: _____

3. Connectar correctament les sortides INT* dels controladors a l'entrada INT* del μP . Afegir els elements externs necessaris. (2 punts)
4. Connectar correctament les sortides V0-V7, les entrades IACKIN* i les sortides IACKOUT* dels dos controladors, considerant P0 el més prioritari. (1 punt)

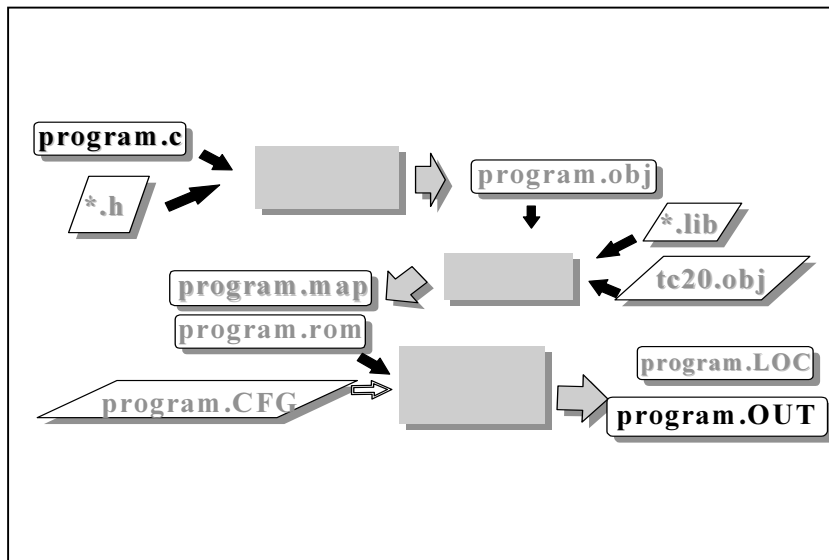


5. Considerant el cicle de reconeixement d'interrupció indicat, analitzar si el sistema de prioritat funciona correctament en tots els casos i raonar la resposta. (4 punts)

QÜESTIONS (30%)

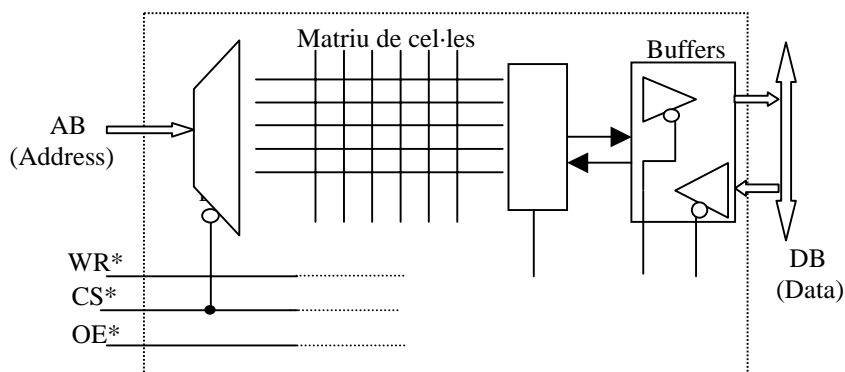
AVIS.- Tenir en compta que cada resposta correcta contarà 1 punt i cada resposta incorrecta restarà 1/3 de punt.

Q1. Al següent diagrama, el qual il·lustra el procés d'obtenció de fitxers executables a la placa del V25 a partir d'un programa en llenguatge C, empleneu els blocs amb noms dels programes, o les ordres de control que els executen, emprats a les pràctiques.



A LES SEGÜENTS QÜESTIONS MARQUEU LA RESPOSTA QUE CONSIDEREU CORRECTA

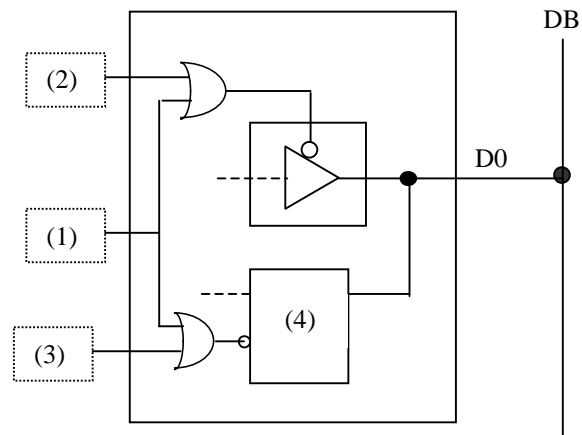
Q2. En un xip de memòria, el diagrama de blocs i connexions bàsiques del qual és el que es mostra a la figura, de quin tipus de memòria es tracta i quina seria la relació correcta entre els seus temps d'accés i de cicle de lectura (t_{CRead})?



- A) EPROM , $t_{Address} = t_{CS} = 200ns$ $t_{OE} = 20ns$ $(t_{CRead}) \approx 200ns$
- B) SRAM, $t_{Address} = 100ns$ $t_{CS} = t_{OE} = 20ns$ $(t_{CRead}) \approx 100ns$
- C) SRAM, $t_{Address} = t_{CS} = 100ns$ $t_{OE} = 20ns$ $(t_{CRead}) \approx 100ns$
- D) DRAM, $t_{Address} = 200ns$ $t_{CS} = t_{OE} = 20ns$ $(t_{CRead}) \approx 400ns$

Nom i Cognoms: _____

Q3. El següent diagrama mostra la connexió d'una línia del Bus de Dades (DB) d'un dispositiu (d'E/S o de memòria) de lectura /escriptura al DB d'un sistema μP . Trieu la resposta **més correcta** per als senyals de control (1), (2) i (3) i el bloc (4).



- A) (1) : WR* (2) : CS* (3) : OE* (4) : Bàscula D
- B) (1) : CS* (2) : OE* (3) : WR* (4) : Bàscula D
- C) (1) : OE* (2) : CS* (3) : WR* (4) : *Buffer* tres estats
- D) (1) : WR* (2) : OE* (3) : CS* (4) : *Buffer* tres estats

Q4. Quants cicles de lectura trigarà un μP (de 16 bits i 1Gword adreçable) en l'execució d'una instrucció de lectura d'una dada de 16 bits des de memòria amb una instrucció d'adreçament:

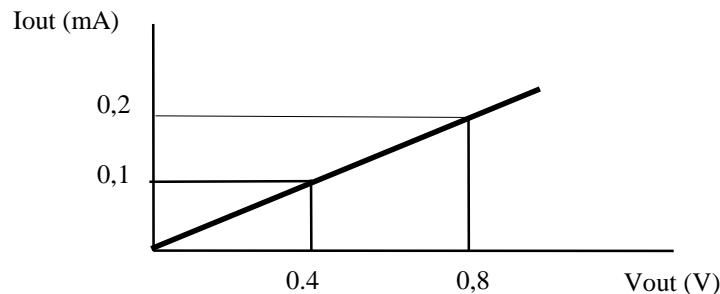
- 1) immediat. 2) directe. 3) indirecte per registre (amb el registre ja carregat amb el contingut adequat).

- A) 1) : 2 cicles 2) : 4 cicles 3) : 2 cicles
- B) 1) : 1 cicle 2) : 3 cicles 3) : 2 cicles
- C) 1) : 2 cicles 2) : 3 cicles 3) : 1 cicles
- D) 1) : 1 cicle 2) : 4 cicles 3) : 1 cicles

Q5. Una memòria SRAM presenta el temps d'accés de lectura següents: $t_{Ad} = 100\text{ns}$, $t_{CS} = t_{OE} = 30\text{ ns}$. Si el senyal d'OE s'activa 30ns després de l'aplicació del senyal d'adreces, i el de CS 80ns després del mateix instant, ¿quin temps trigarà la memòria en donar la dada al bus **des de l'inici** del cicle de bus de lectura del microprocessador si la nova adreça arriba a la memòria 20 ns després de l'esmentat començament de cicle ?

- A) 110ns B) 130ns C) 120ns D) 140ns

Q6. Si en una típica connexió en drenador obert (amb una R_p a 5V) a l'entrada de petició d'interrupció d'un μP (INT*: $V_{IL\text{ max}} = 1,5\text{V}$, $I_{IL\text{ max}} = -5\text{ }\mu\text{A}$) cal accomplir un marge de soroll al nivell baix de 1V, quina serà la R_p límit adient (màxima o mínima a determinar) si la característica de sortida dels perifèrics és la de la figura següent:



- A) $R_p < 100\text{k}$ B) $R_p > 150\text{k}$ C) $R_p < 29,17\text{k}$ D) $R_p > 37,5\text{k}$

Q7. Tenint present l'entorn de pràctiques, quina de les següents afirmacions és **falsa**?

- A) El compilador genera un fitxer objecte per cada fitxer font.
- B) El muntador (*linker*) genera codi reubicable.
- C) El fitxer executable (.rom) és codi absolut.
- D) La utilitat 'make' serveix per agilitar el procés complet d'obtenció d'un executable.

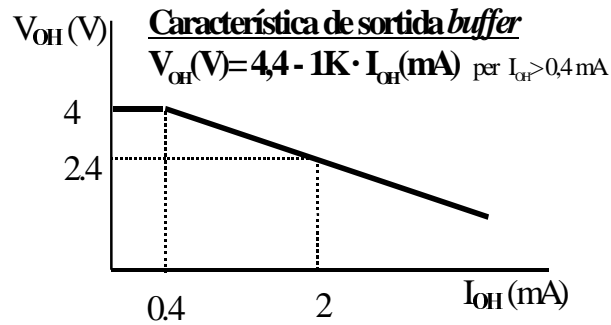
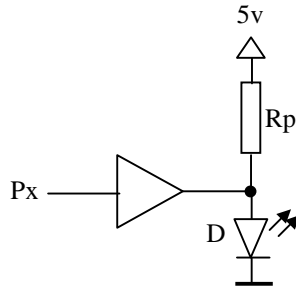
Q8. Quina d'aquestes afirmacions és **certa**?

- A) Els fitxers header (*.h) contenen codi de subrutines.
- B) Per a molts microcontroladors la configuració per defecte dels ports d'E/S després d'un reset és d'entrada.
- C) Es convenient capturar el vector d'interrupcions (*setvect*) d'un dispositiu després d'activar (desemmascarar) la generació d'interrupcions del dispositiu en qüestió.
- D) Els registres interns del V25 corresponents a temporitzadors, comunicació sèrie, ports E/S, etc. es troben mapejats en mapa d'E/S.

Nom i Cognoms: _____

Q9. Per tal d'atacar un díode LED amb el *buffer* de baix corrent de la sortida d'un port , es connecta mitjançant una resistència a l'alimentació, tal com s'indica a la figura. Determineu, amb les dades que es proporcionen, el marge de valors de R_p que poden emprar-se perquè el LED s'il·lumini quan el *buffer* dona una sortida de nivell alt.

Dades LED : Marge de corrent per il·luminació entre $I_D = 7,5 \text{ mA}$ ($V_D = 1,8 \text{ V}$) i $I_D = 10 \text{ mA}$ ($V_D = 2,2 \text{ V}$)



- A) $0,29k < R_p < 0,59k$ B) $0,54k < R_p < 1,52k$
 C) $0,36k < R_p < 0,65k$ D) $1,25k < R_p < 1,66k$

Q10. Quines són les relacions de tensió i corrent que han d'acomplir la sortida i l'entrada de dos circuits digitals (amb $V_{cc} > 0$) per poder connectar-se en cascada ?

- A) $V_{OH} > V_{IH}$; $V_{OL} > V_{IL}$; $|I_{OH}| > I_{IH}$; $I_{OL} > |I_{IL}|$
 B) $V_{OH} < V_{IH}$; $V_{OL} < V_{IL}$; $|I_{OH}| > I_{IH}$; $I_{OL} > |I_{IL}|$
 C) $V_{OH} > V_{IH}$; $V_{OL} < V_{IL}$; $|I_{OH}| < I_{IH}$; $I_{OL} > |I_{IL}|$
 D) $V_{OH} > V_{IH}$; $V_{OL} < V_{IL}$; $|I_{OH}| > I_{IH}$; $I_{OL} > |I_{IL}|$

Examen CISE IV – Tardor 2000-01 (23 de gener)

Respostes (Opcions A + B)

Problema 1.-

Opció A

a) (1 punt) Capacitat total de memòria ROM al sistema, expressada en bytes.

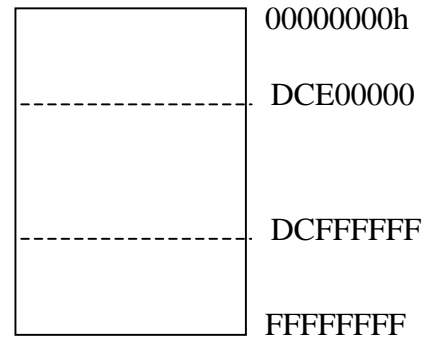
3 Mbytes

b) (1 punt) Número de zones imatge del bloc de memòria ROM M1A-M2A i número de zones imatge del bloc ROM M1B-M2B.

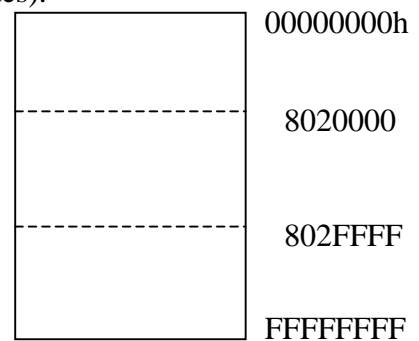
Bloc M1A-M2A: 64

Bloc M1B-M2B: 32

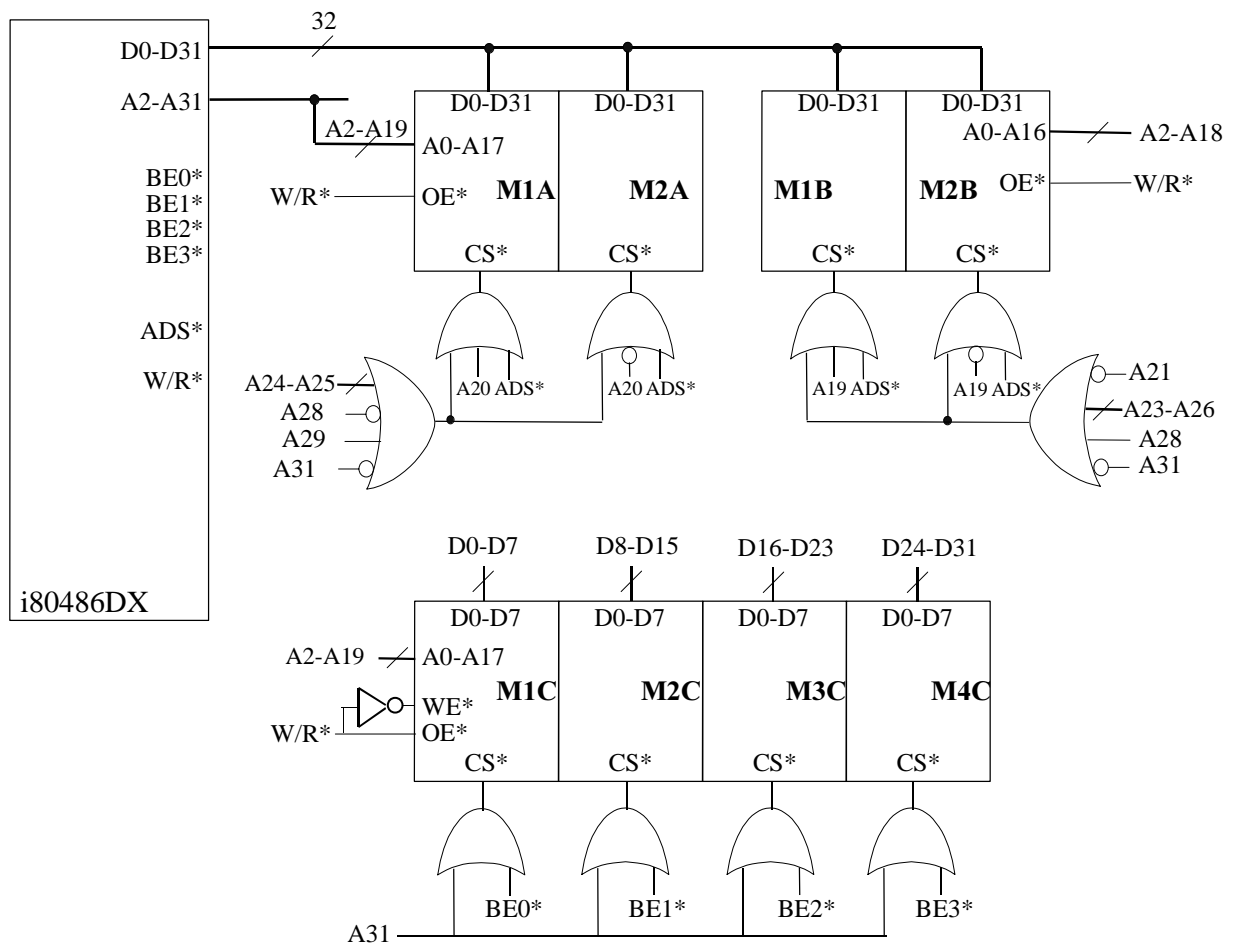
c) (2 punts) Rang d'adreces ocupat per la zona imatge d'adreces més altes corresponent al bloc M1A-M2A (mapa expressat en bytes).



d) (2 punts) Rang d'adreces ocupat per la zona imatge d'adreces més baixes corresponent al bloc M1B-M2B (mapa expressat en bytes).



e) (4 punts) Completeu la descodificació del bloc de memòria RAM M1C-M4C de manera que comenci a l'adreça 00000000h minimitzant el número de portes. La descodificació pot ser incompleta, emplenant el mapa de memòria tant com es vulgui sense que hagi col.lisions amb la ROM. Només es poden fer servir portes OR i NOR de 2 o 3 entrades i inversors.



Opció B:

a) (1 punt) Capacitat total de memòria ROM al sistema, expressada en bytes.

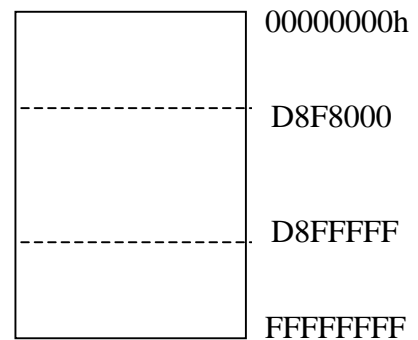
2.5 Mbytes

b) (1 punt) Número de zones imatge del bloc de memòria ROM M1A-M2A i número de zones imatge del bloc ROM M1B-M2B.

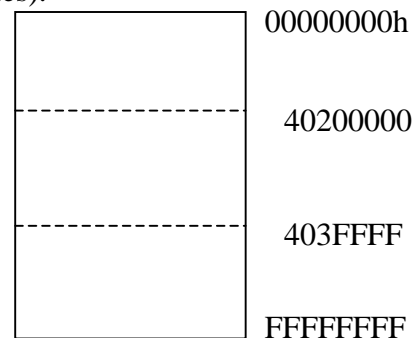
Bloc M1A-M2A: 128

Bloc M1B-M2B: 64

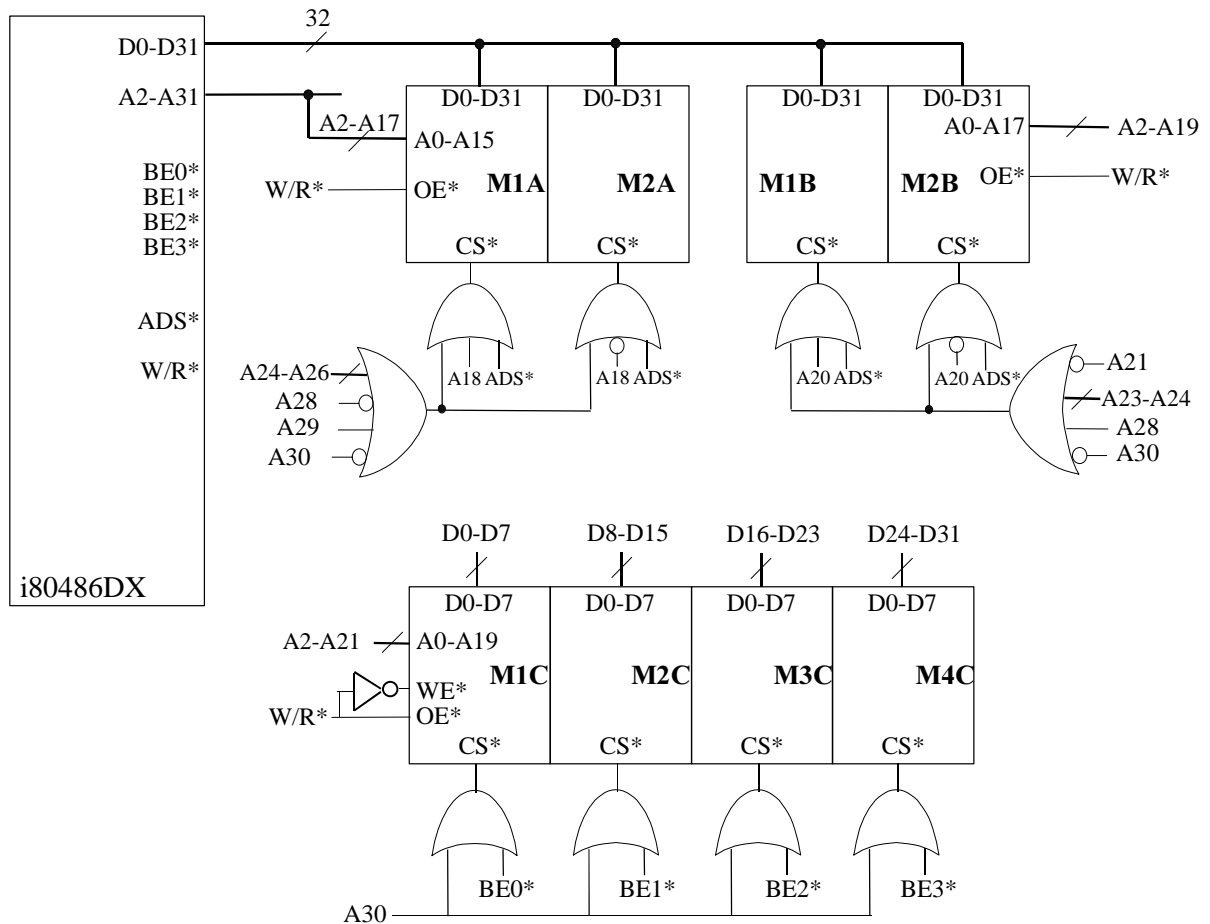
c) (2 punts) Rang d'adreces ocupat per la zona imatge d'adreces més altes corresponent al bloc M1A-M2A (mapa expressat en bytes).



d) (2 punts) Rang d'adreces ocupat per la zona imatge d'adreces més baixes corresponent al bloc M1B-M2B (mapa expressat en bytes).



e) (4 punts) Completeu la descodificació del bloc de memòria RAM M1C-M4C de manera que comenci a l'adreça 00000000h minimitzant el número de portes. La descodificació pot ser incompleta, emplenant el mapa de memòria tant com es vulgui sense que hagi col·lisions amb la ROM. Només es poden fer servir portes OR i NOR de 2 o 3 entrades i inversors.



Problema 2.-

Les respostes per les questions 1 i 2 son idèntiques:

- 1) La organització de la memoria es de 128K x 8
- 2) El temps de SETUP es pot estimar de varies formes, la més directe però seria, tenint en compte les propies definicions de temps involucrats:

$$T_{\text{SETUP}} = t_{\text{WMRLmin}} - t_{\text{DMRD}} = T-30-(T-75) = 45 \text{ ns}$$

Per la questio 3, la resposta es diferents depenent de la opció de l'examen:

Opció A: $f \leq 8,3 \text{ MHz}$

Opció B: $f \leq 17,4 \text{ MHz}$

Qüestions:

Q1.- (Compilador) TurboC o tcc; Muntador (*linker* del turbo C) o tlink; Locate

	Q_a	Q_b	
Q2.-	C	B	
Q3.-	B	A	
Q4.-	A	C	(1: CO + dada; 2: CO + 2xadreça + dada 3: CO + dada)
Q5.-	B	C	(20ns + 80ns + 30ns = 130 ns)____(20ns + 70ns + 20ns = 110ns)
Q6.-	D	cap	$(5V-(1,5V-1V))/(0,125mA-0,005mA) = 37,5k$ $(3,3-(1-0,7))/(0,075mA-0,005mA) = 42,86k$
Q7.-	C	B	
Q8.-	B	B	
Q9.-	C	A	$R_p \gg (5 - V_{led})/(I_{led} + ((V_{led} - 4,4)/1k))$
Q10.-	D	C	