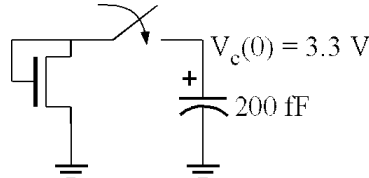


EXERCICIS PER DCISE BLOC 2: ANÀLISI DINÀMICA DE CIRCUITS

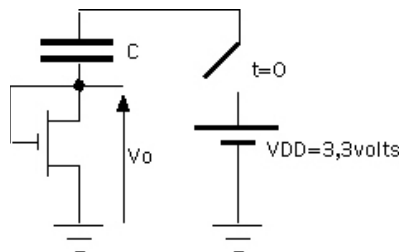
1.- En el següent circuit el condensador està inicialment carregat a una tensió de 3.3 V. En l'instant $t=0$ l'interruptor es tanca, de forma que s'inicia la seva descàrrega.

$$\begin{aligned} K_N' &= 150 \mu\text{A/V}^2 \\ V_{TN} &= 0.55 \text{ V} \\ W/L &= 12 \\ \lambda &= 0 \end{aligned}$$



- Es descarregarà el condensador totalment? Quina serà la seva tensió final?
- Es defineix el temps de descàrrega com la diferència de temps entre els instants en què la sortida ha fet el 10% i el 90% de la seva excursió de tensió. Calculeu el temps de descàrrega, plantejant l'equació diferencial del circuit i resolent-la, integrant entre els límits de l'excursió de tensió definida.
- Calculeu ara la resistència equivalent del transistor, utilitzant la coneguda expressió de Rabaey (preneu com a V_{GS} la tensió promig dels límits de l'excursió de tensió definida). Utilitzant aquest valor de resistència equivalent, calculeu ara el temps de descàrrega, i compareu-lo amb l'obtingut a partir de la integració exacta.

2.- El circuit de la figura es connecta a $V_{DD}=3,3 \text{ V}$ en $t=0$. El condensador C comença a carregar-se partir d'aquest moment. Es demana analitzar l'evolució de la tensió de sortida V_O en el temps. Considereu un factor de transconductància del NMOS $K=K' \cdot W/L=120 \mu\text{A/V}^2$ i una tensió llindar $V_T=0,4 \text{ volts}$. Menyspreu l'efecte de modulació de canal. Considereu un valor de $C=200 \text{ fF}$. Menyspreu qualsevol efecte temporal no associat a la càrrega de C .



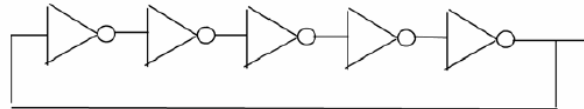
- Quina serà la tensió final a V_O ?
- Determineu l'equació diferencial que regeix el procés de càrrega.
- Determineu una expressió per V_O .
- Determineu el temps de càrrega del condensador al 90% del seu valor final.

3.- Supposeu que un circuit digital alimentat a 5 V té una freqüència màxima d'operació (la qual està directament relacionada amb els temps de propagació dels blocs que componen el circuit) de 300 MHz. Si el mateix circuit s'alimenta a 4 V, estimeu quina serà aproximadament la freqüència màxima que pot suportar.

4.- Una tecnologia de $0,25 \mu\text{m}$ implementa les seves portes digitals amb transistors de longitud mínima, i d'amplada $W = 1 \mu\text{m}$. S'ha comprovat que el retard de propagació en un inversor és lineal amb la capacitat de càrrega, essent de 3 ps/fF .

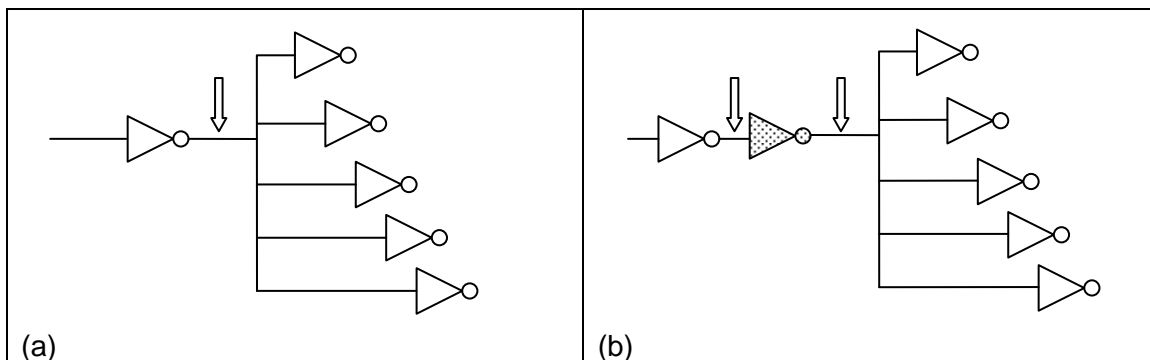
- Calculeu el retard de propagació per un inversor carregat amb dues portes NAND, sabent que la capacitat de porta per unitat d'àrea dels transistors és de $C_{ox}=10 \text{ fF}/\mu\text{m}^2$.
- Redissenyeu l'inversor de forma que, per aquesta mateixa càrrega de dues portes NAND, el retard de propagació sigui una tercera part de l'obtingut a l'apartat a) (tenint en compte que es manté la mateixa tecnologia i tensió d'alimentació)

5.- La figura mostra un circuit compost per 5 inversors formant un anell. Aquest circuit és un oscil·lador en anell, molt utilitzat en sistemes digitals. Els 5 inversors són iguals i quan l'oscil·lador no té càrrega a la sortida i s'alimenta a 3 volts la freqüència d'oscil·lació és de 25MHz. El semi període d'oscil·lació és la suma dels retards de cada inversor.



- Doneu una predicció aproximada (menyspreu V_T) de la freqüència d'oscil·lació si la tensió d'alimentació s'augmenta a 5 volts.
- Calculeu la potència dinàmica dissipada per cada inversor i per l'oscil·lador en conjunt.

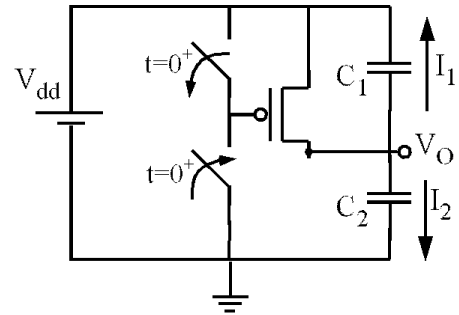
6.- Els dos circuits mostrats abaix tenen una entrada i cinc sortides. A cada una de les cinc sortides hi ha una capacitat de càrrega igual, de 0,1pF (que no es mostra a l'esquema). Les portes NOT de color blanc tenen les següents dimensions de canal de transistor: $(W/L)_n = (0,5\mu\text{m}/0,5\mu\text{m})$, $(W/L)_p = (1,2\mu\text{m}/0,5\mu\text{m})$. Es demana:



- Al circuit (a), tenint en compte les dimensions que s'han indicat en l'anterior paràgraf, calculeu el valor de capacitat al node indicat amb una fletxa. Podeu menysprear la capacitat de les interconnexions.
- Usant la fórmula aproximada per al temps de propagació, calculeu aquest temps per a la primera porta NOT del circuit.
- Ara al circuit (b) s'insereix una porta NOT de dimensions: $(W/L)_n = (1\mu\text{m}/0,5\mu\text{m})$, $(W/L)_p = (2,4\mu\text{m}/0,5\mu\text{m})$, mentre que les altres portes NOT tenen les mateixes dimensions que en el circuit anterior.
- Calculeu el valor de capacitat als dos nodes indicats amb fletxes.
- El retard total, (calculat com la suma dels retards de cada etapa consecutiva) serà més gran o més petit? Calculeu els retards individuals de les dues primeres NOT i feu després la suma per respondre a la pregunta.

Dades: $K_n'=0,3\text{mA}/\text{V}^2$, $K_p'=0,1\text{mA}/\text{V}^2$, $V_{DD}=2\text{V}$, $V_{thn}=-V_{thp}=1\text{V}$, $C_{ox}=1\text{E}-2\text{F}/\text{m}^2$

7.- El següent circuit permet analitzar la dinàmica d'una transició de pujada a la sortida d'una porta CMOS. Supposeu que, a $t=0^+$, els interruptors commuten tal com s'especifica al dibuix, i que V_O començarà a evolucionar des del seu valor inicial, $V_O(t=0)=0$ V.



Assumiu les següents dades:

$$V_{DD}=2 \text{ V}$$

$$C_1=C_2=100 \text{ fF}$$

$$W=0,25 \text{ } \mu\text{m}, L=90 \text{ nm}$$

$$k_N' = 200 \text{ } \mu\text{A/V}^2 ; k_P' = 60 \text{ } \mu\text{A/V}^2$$

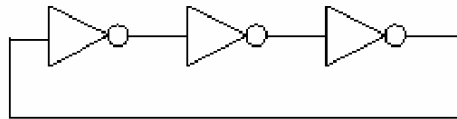
$$V_{TN}= 0,5 \text{ V} ; V_{TP}= -0,5 \text{ V}$$

$$\lambda_n=\lambda_p=0.02 \text{ V}^{-1}$$

$$\mu_n = 400 \text{ cm}^2/\text{V}\cdot\text{s} ; \mu_p = 120 \text{ cm}^2/\text{V}\cdot\text{s}$$

- Doneu les expressions de I_1 i I_2 en funció de les tensions V_O i V_{DD} . Trobeu l'equació diferencial que relaciona el corrent a través del PMOS, I_D , amb les tensions i capacitats del circuit.
- A l'instant de $t=0^+$, el transistor està en conducció i en règim de canal curt. Es mantindrà aquesta situació durant tot el temps de càrrega/descàrrega de les capacitats? Si no és així, per quin valor de V_O es produirà el canvi?
- En quin estat es trobarà el transistor després del canvi esmentat a l'apartat b)?
- Trobeu l'instant de temps pel qual es produirà el canvi esmentat a l'apartat b)

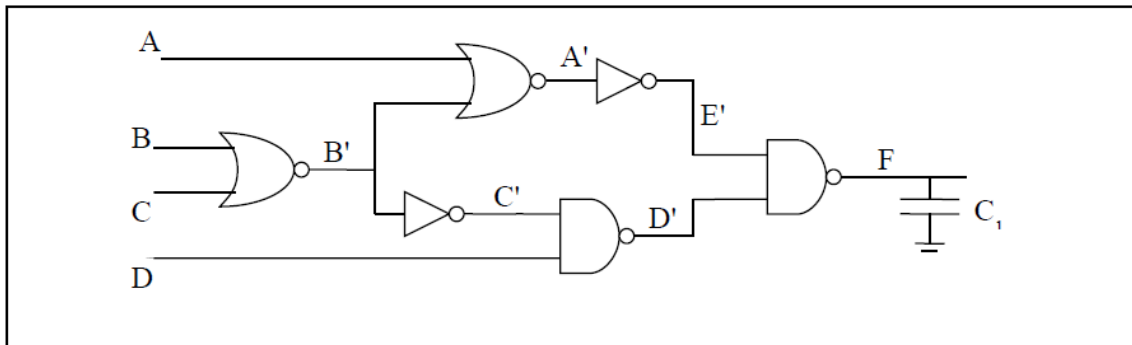
8.- El següent circuit és un oscil.lador d'anell, on cada inversor té com a capacitat de càrrega la capacitat d'entrada d'un inversor com ell.



Considereu que el circuit fabricat en tecnologia de $0,35 \text{ } \mu\text{m}$ i alimentat a 5 V fa que cada inversor tingui un retard de $t_{pLH}=0,9 \text{ ns}$ en les transicions de pujada, un retard $t_{pHL}=0,7 \text{ ns}$ en les transicions de baixada. Els transistors tenen una amplada $W=3 \text{ } \mu\text{m}$, i cada inversor té una capacitat d'entrada de 100 fF .

Es demana:

- Calculeu la freqüència d'oscil.lació
- Calculeu la potència dinàmica dissipada per cada inversor i per l'oscil.lador en conjunt.
- Com es veuria afectada la freqüència si l'amplada dels transistors passa a ser de $5 \text{ } \mu\text{m}$?
- Com es veurà afectada la potència si $V_{DD}=3 \text{ V}$?

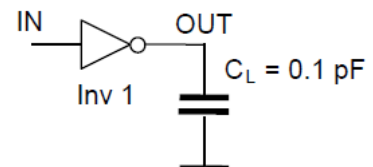


Tots els PMOS tenen les mateixes mides W, L i el mateix passa amb els NMOS.
La suma (PMOS+NMOS) de les seves capacitats de porta és C_1 .

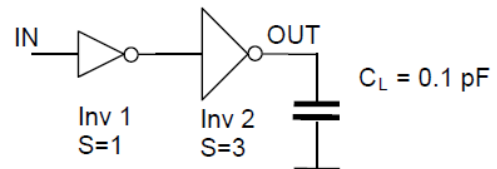
- Calculeu el valor de capacitat a cada node A' , E' , B' , C' i D' en funció de C_1 .
- Calculeu l'energia dinàmica dissipada (no la proporcionada per la font d'alimentació) a cada una de les dues transicions següents (notació ABCD): 1110 \rightarrow 0110 \rightarrow 0010. Compteu l'energia de cada porta dibuixada, i l'energia total com a suma de l'energia de cada porta.

9.-

10.- The dimensions of the transistors of the inverter in the figure are $W_N=0.5 \mu\text{m}$, $W_P=1.2 \mu\text{m}$, $L_N=L_P=0.5 \mu\text{m}$. The parasitic capacitances seen at the output of the inverter are 0.5 times those of the input (i.e., $C_{out}/C_{in}=1/2$). The parameters of the CMOS technology are $k_N'=0.3 \text{ mA/V}^2$, $k_P'=0.1 \text{ mA/V}^2$, $V_{DD}=3 \text{ V}$, $V_{TN}=0.6 \text{ V}$, $V_{TP}=-0.6 \text{ V}$, $C_{OX}=10^{-2} \text{ F/m}^2$.



- Calculate the total capacitance at the OUT node.
- Calculate the average propagation time from IN to OUT.
- Now assume an extra inverter *Inv2* is added between the former inverter *Inv1* and the capacitance C_L . This new inverter *Inv2* has transistors with W/L ratios 3 times larger of those of the first inverter *Inv1*. Calculate the capacitances at the outputs of each inverter and the new average propagation time.



- The input of the former circuit shows 25 rising edges every 100 clock cycles. Assume a clock frequency of 100 MHz and calculate the average power of the circuits in sections a) and c).