

Laboratori DCISE

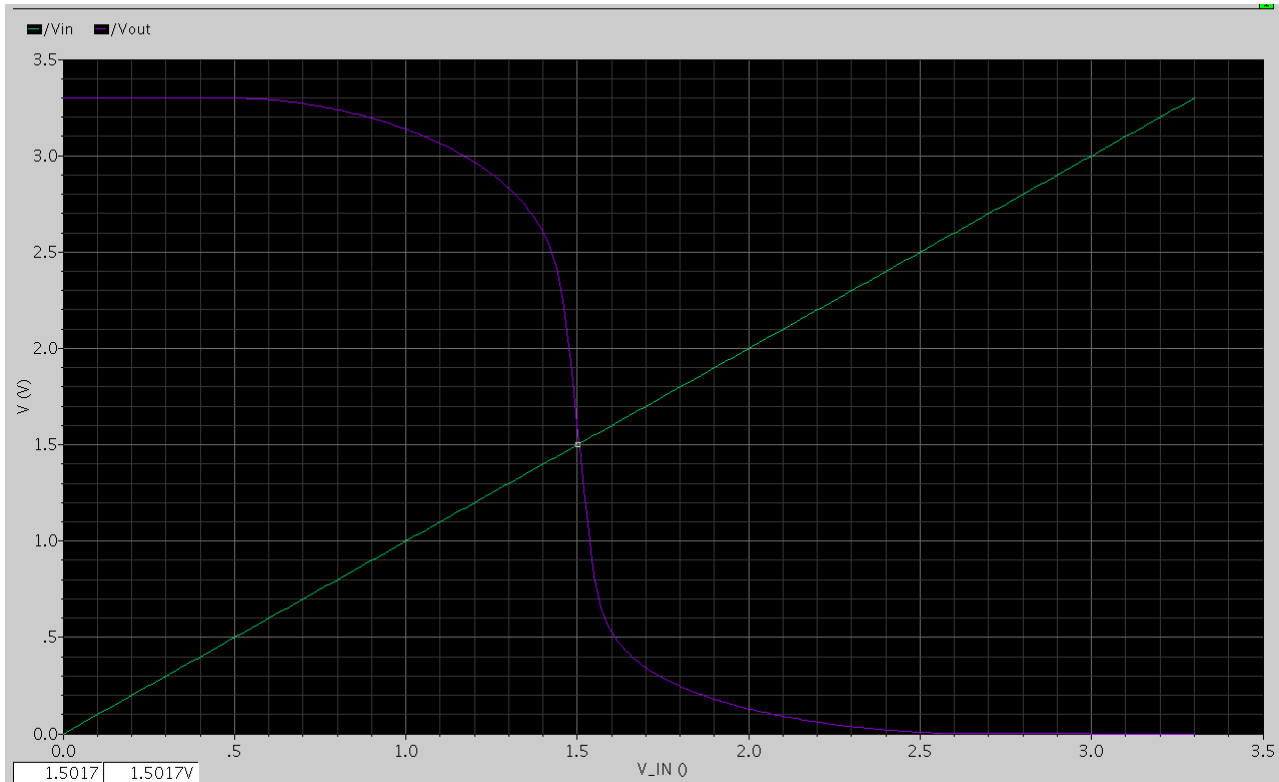
Sessió 2

Xavier Garcia Pich
David Guillen Fandos

Sessió 2

Pregunta 1

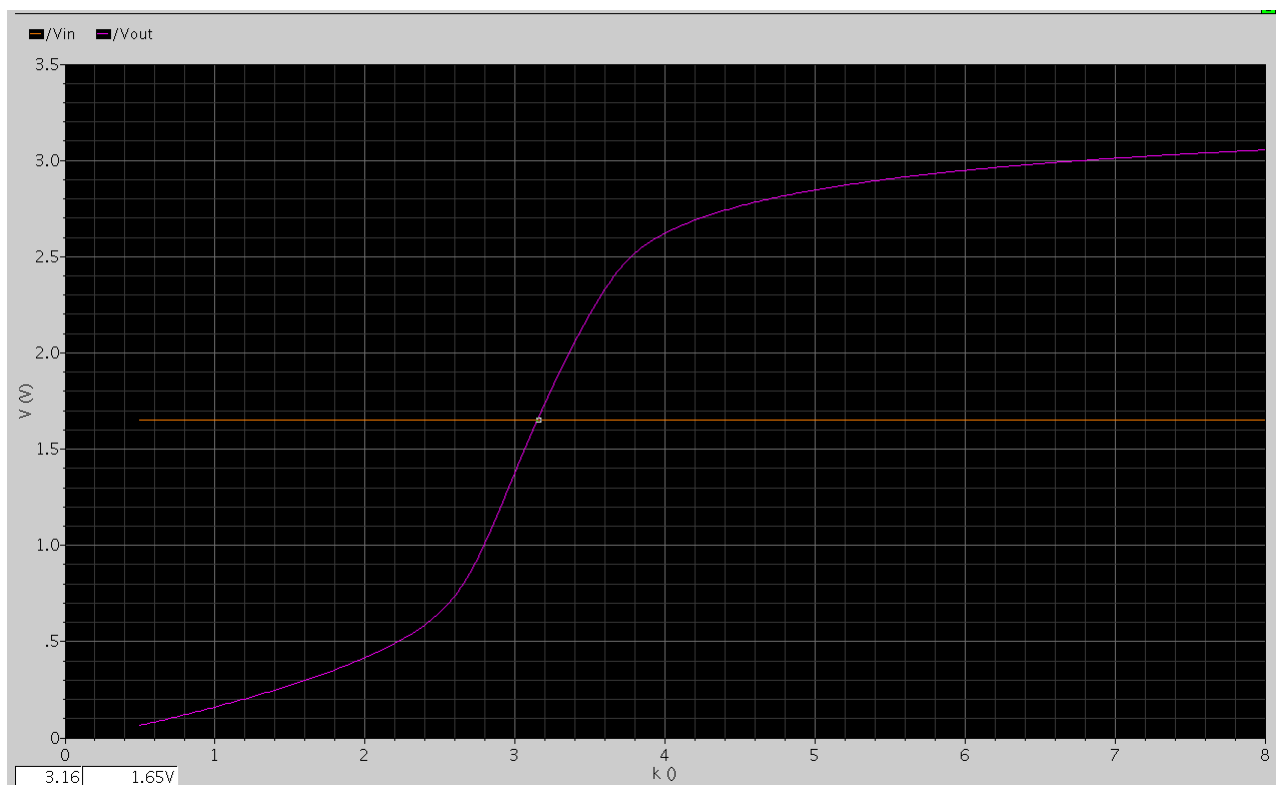
El resultat obtingut per a V_{inv} és 1.50V mentre que a l'estudi previ hem obtingut un valor de 1,46V. La diferència és mínima i és deguda al model que fa servir Cadence, que és més precís.



Pregunta 2

Mantenint L constant volem trobar quina relació d'amplades del transistors produeixen una $V_{inv} = 1,65V$. Per a fer-ho realitzem un anàlisi DC fent variar el paràmetre k (que representa la relació entre l'amplada del PMOS i l'NMOS) des de 0.5 fins a 8. Representem V_{out} en funció de k mantenint a l'entrada $V_{in} = 1,65V$ i representant també aquesta senyal.

El punt de tall entre les dues corbes serà doncs aquell valor de k que provoca $V_{in} = V_{out}$. En aquest cas obtenim 3,16 enfront del 4,07 que obtenim a l'estudi previ. En principi el valor és correcte i la diferència entre el teòric i l'obtingut és degut a la diferència de models dels transistors (a l'EP fem servir l'equació més senzilla de totes, amb el que perdem precisió).



	Pràctica		Estudi previ	
	tpLH (ps)	tpHL (ps)	tpLH (ps)	tpHL (ps)
$C_L = 10\text{fF}$	66,13	57,49	65,57	55,13
Fanout = 1	42,71	36,28	44,03	34,06
Fanout = 10	249,4	158,0	228,88	144,97
Unloaded	23,51	21,83	23,48	21,74

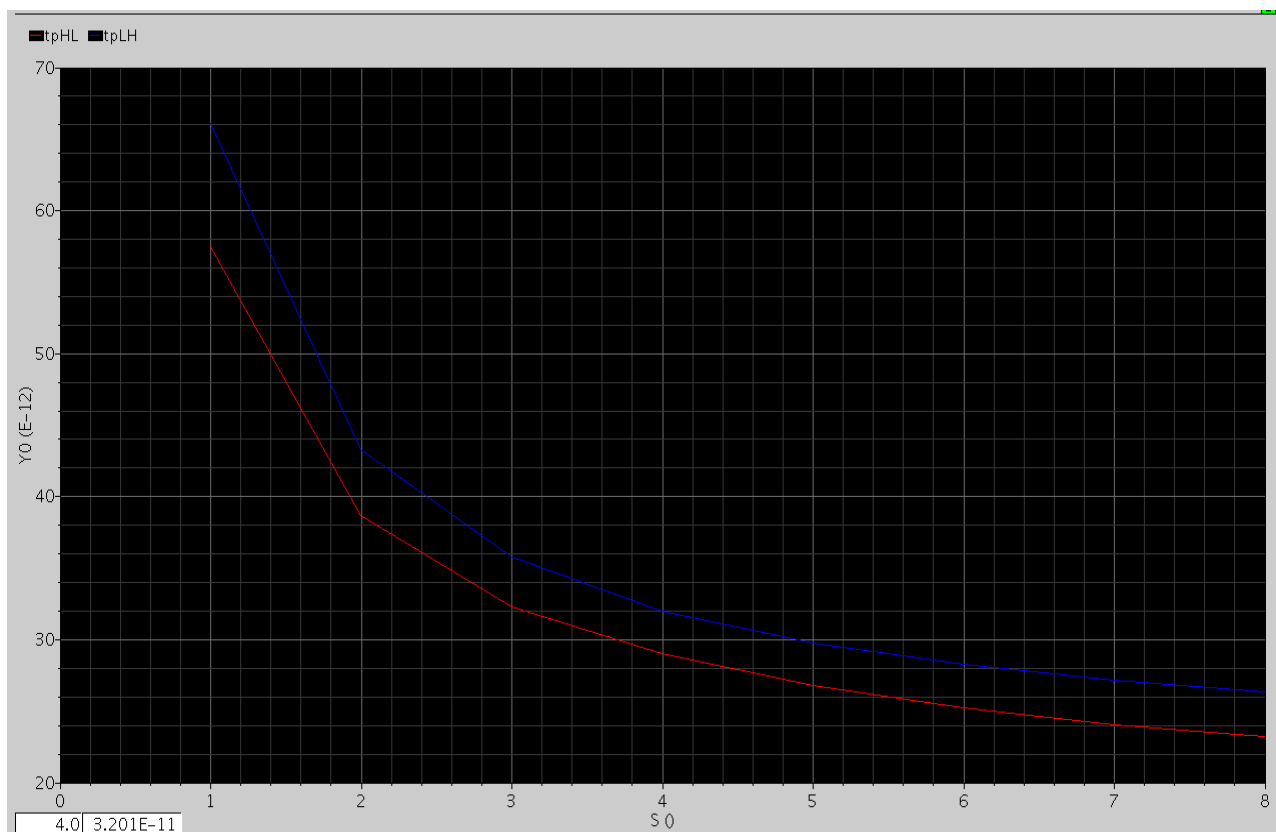
Com es veu a la taula la diferència entre els valors obtinguts i els valors teòrics és molt petita i serà deguda novament a la diferència entre els models emprats. Les expressions que ens calculen els retard són:

$$\begin{aligned} \text{TPHL} &= (\text{cross}(\text{VT}("/\text{Vout}")) (3.3 / 2) 1 \text{ "falling" nil nil}) - \text{cross}(\text{VT}("/\text{Vin}")) (3.3 / 2) 1 \text{ "rising" nil nil}) \\ \text{TPLH} &= (\text{cross}(\text{VT}("/\text{Vout}")) (3.3 / 2) 1 \text{ "rising" nil nil}) - \text{cross}(\text{VT}("/\text{Vin}")) (3.3 / 2) 1 \text{ "falling" nil nil}) \end{aligned}$$

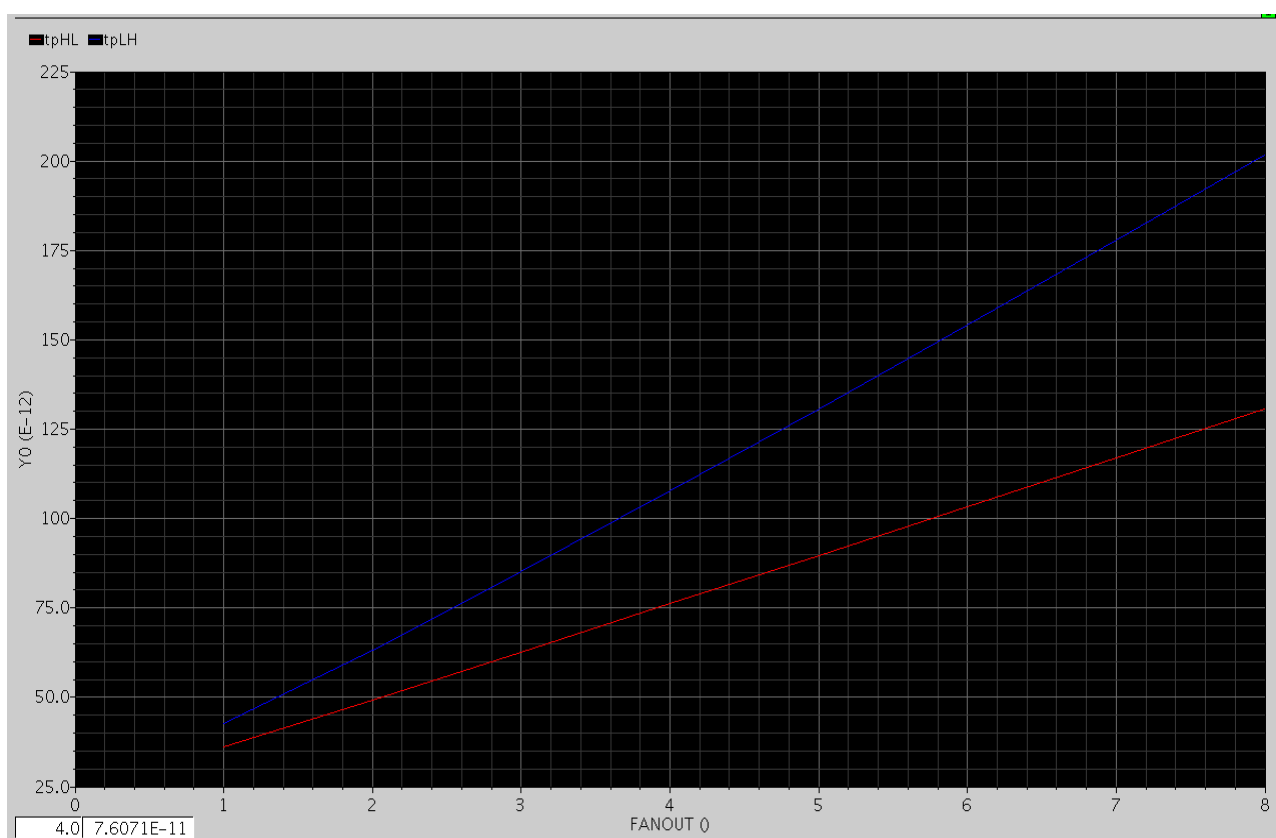
Pregunta 3

Dibuixem les corbes de tpHL i tpLH en els casos: $C_L=10\text{fF}$ escombrant l'amplada dels transistors i l'altre fixant l'amplada i escombrant el valor de C_L .

Veiem que les dues gràfiques són iguals a les que hem obtingut previ, tant en forma com en els valors. Observem que tp(S) té una asímptota que depèn dels paràmetres del propi transistor (per a valors molt grans de S es negligeix C_L). En el cas de tp(C_L) la gràfica és una recta ja que no varia cap paràmetre del transistor, pel que la seva R equivalent i la seva capacitat de sortida es mantenen.



tp_{HL} i tp_{LH} en funció de S .



tp_{HL} i tp_{LH} en funció de C_L .

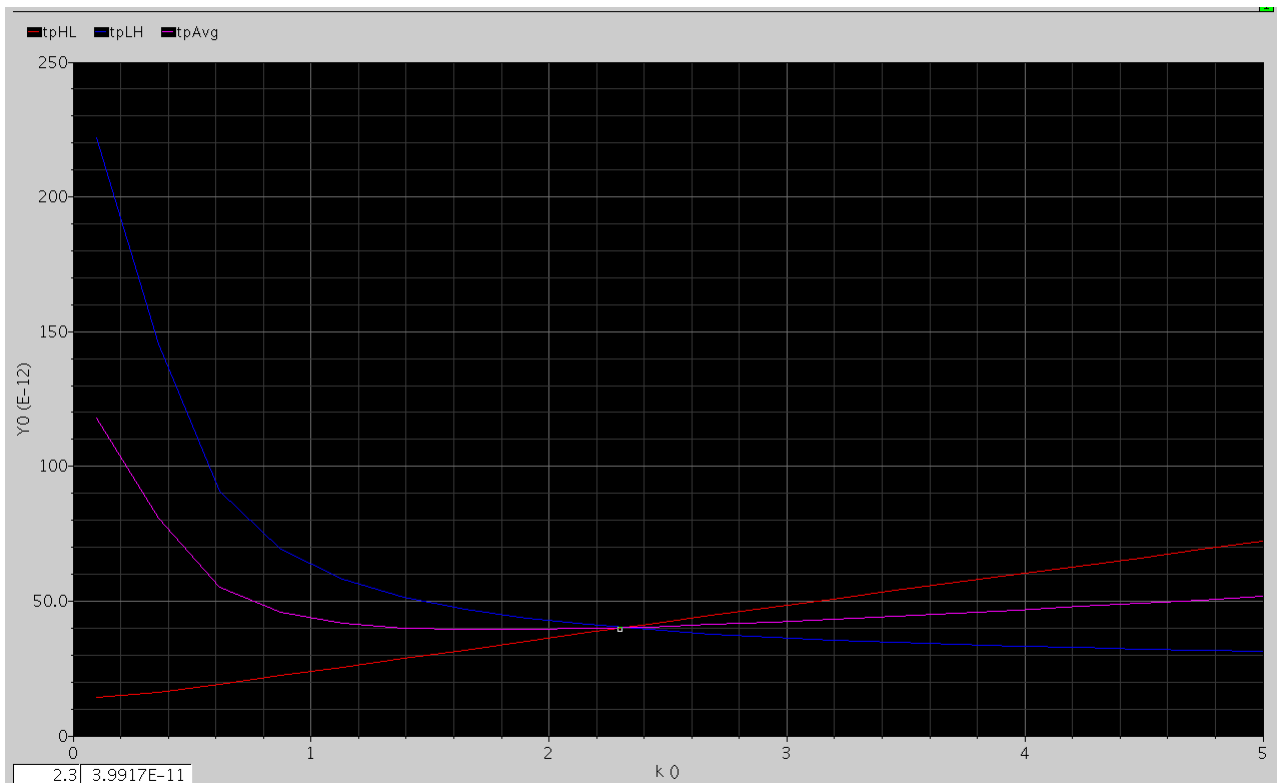
Pregunta 4

Hem fet un anàlisi paramètric, fent variar la relació k de les dimensions dels transistors del segon inversor, en un anàlisi transitori on la font és un senyal quadrat amb període 10ns i $t_{rise}=t_{fall}=1ps$ (pràcticament instantani).

Dibuixem, fent servir les expressions CROSS anteriors del $tpHL$ i $tpLH$, el punt de tall de les dues corbes.

El resultat obtingut (el que fa que $tpHL=tpLH$) és $k = 2,3$.

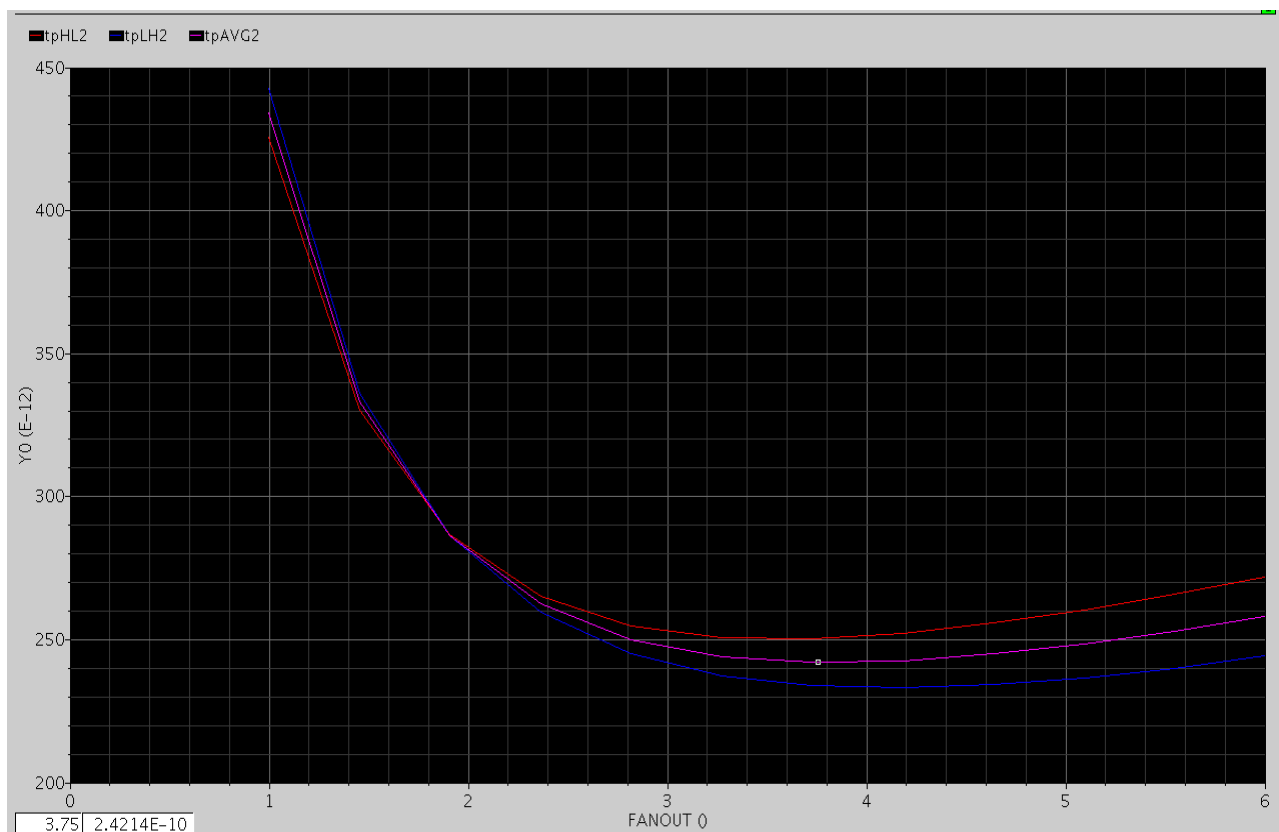
Com que totes dues pendents són iguals amb pendents oposades, el punt de tall coincideix amb el mínim del temps mig de propagació.



Pregunta 5

Primerament fem un anàlisi dels dos inversors amb $S=3$ i obtenim uns temps de retard de $tpHL = 252,7ps$ i $tpLH = 241,4ps$.

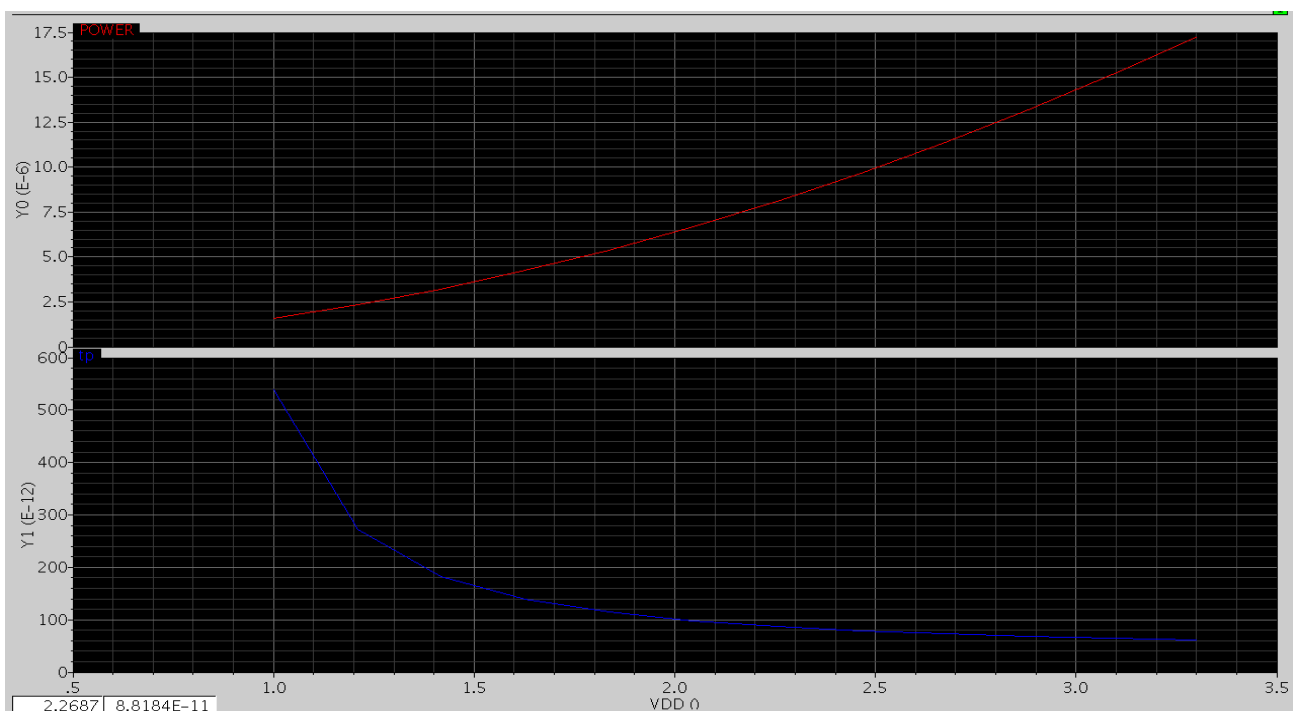
Ara fem un anàlisi paramètric en funció de S per tal d'esbrinar quin és el valor que minimitza aquest retard. Com veiem en la gràfica següent obtenim el retard mig mínim per a un valor de $S = 3,75$.



Pregunta 6

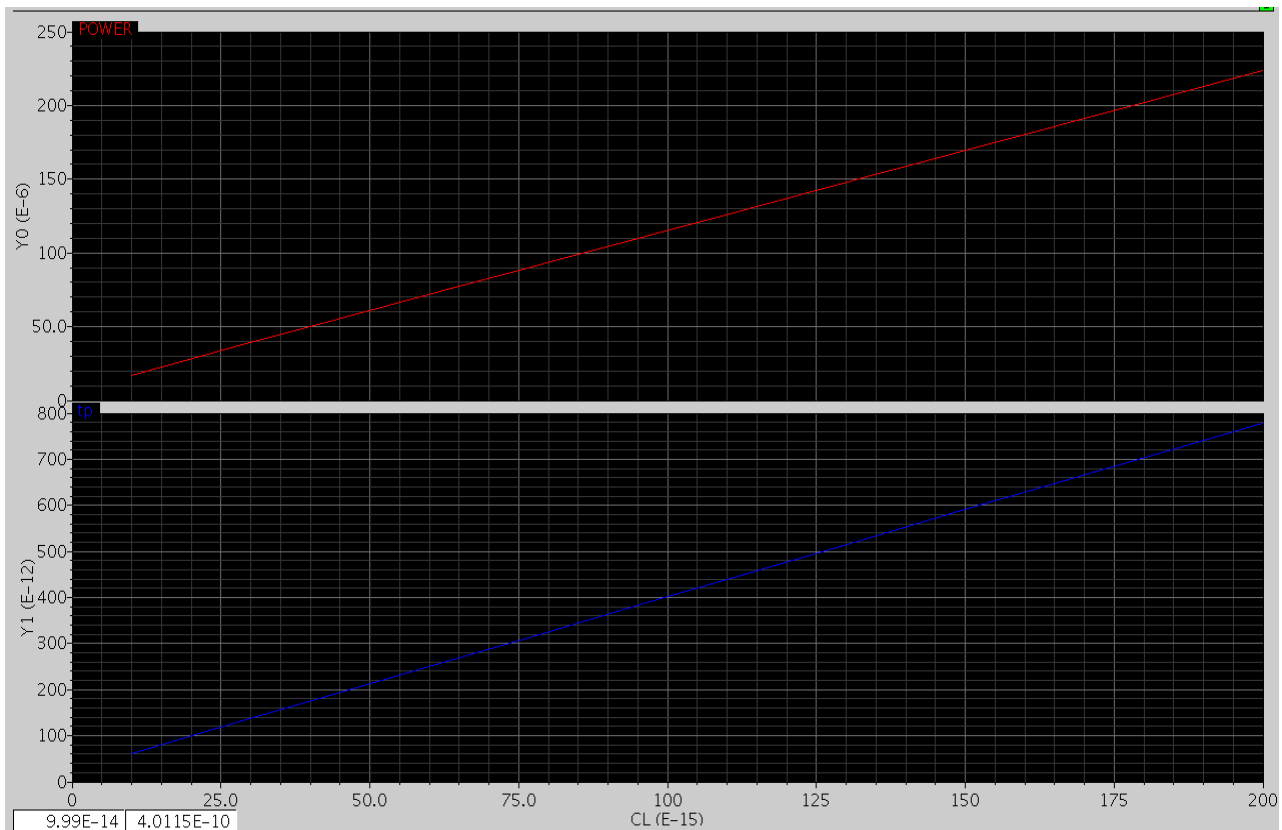
Fem un anàlisi paramètric en funció de V_{DD} , amb l'inversor carregat amb una capacitat de sortida de 10fF, per observar com varien la potència i el retard.

$$\text{Potència} = \text{VAR}("VDD") * \text{integ}((-IT("V0/PLUS")) \text{ 5n 15n }) / 10\text{n}$$



Com veiem en la gràfica, la dependència de la potència amb el valor de V_{DD} és quadràtica. Per altra banda, el retard total t_p és inversament proporcional a V_{DD} , en general ($t_p \propto 1/V_{DD}$). Però en el cas de tenir comportament de canal curt (en la gràfica, $V_{DD} > 1,5V$) el comportament és gairebé independent de V_{DD} ($t_p \propto V_{DD}/(V_{DD}-V_T)$).

Fem un anàlisi paramètric en funció de la capacitat de sortida C_L , fixant el valor de V_{DD} a 3,3V.



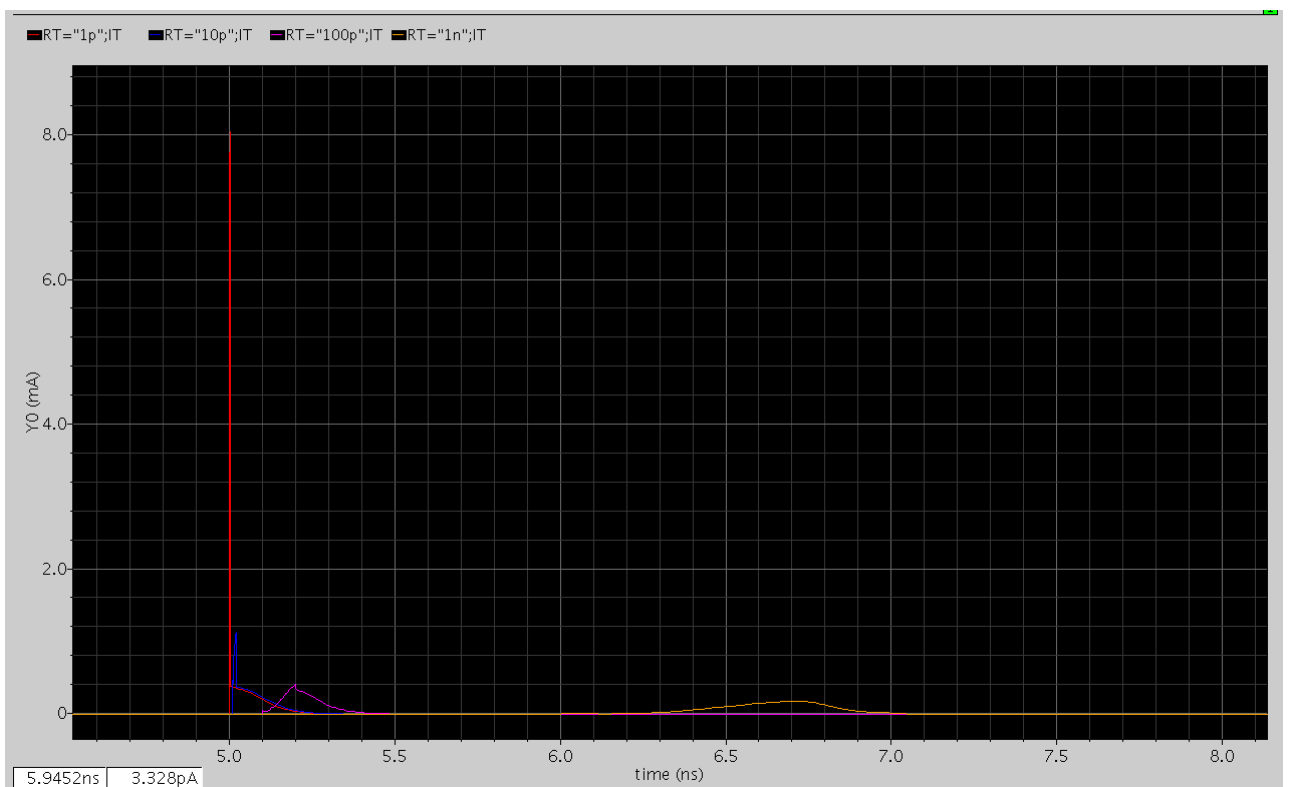
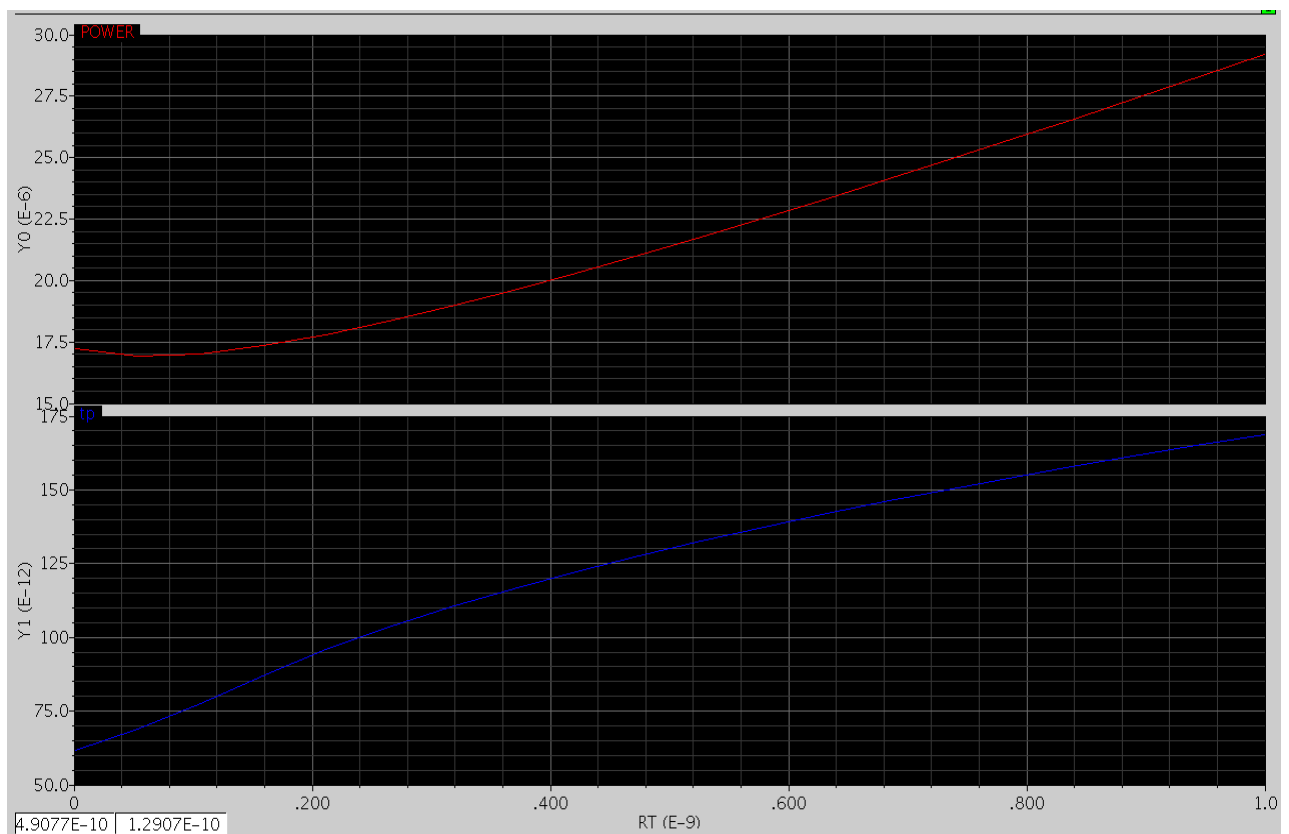
Com podem observar, tant el retard com la potència depèn de forma lineal amb la capacitat. $Pot = C_L \cdot f \cdot V^2$ $t_p \propto \frac{C_L \cdot V_{DD}}{I_{DS}}$

Pregunta 7 (Opcional)

Fem un anàlisi paramètric, fixant $V_{DD}=3,3V$ i $C_L=10fF$, en funció del t_{rise} del pols d'entrada, fent-lo variar de 1ps a 1ns.

Es veu com la potència és una funció lineal del temps de pujada a l'entrada. La justificació és que la corrent que consumeix l'inversor (que típicament és un pic) dura més en el temps, ja que variem l'entrada lentament. Aleshores l'àrea sota la corba (proporcional a la potència) és escalada per un factor que depèn del temps de pujada.

El retard és aproximadament proporcional al retard de l'entrada. Tot i això l'excursió és potser massa petita com per a dir exactament quina forma té el gràfic.



Com es pot veure, la corba de la corrent s'eixampla en el temps i es redueix el pic. L'àrea és proporcional a la potència.