

Memoria Principal

Agustín Fernández, Josep Llosa, Fermín Sánchez

Estructura de Computadors II
Departament d'Arquitectura de Computadors
Facultat d'Informàtica de Barcelona



Bibliografia

- *Tulika Mitra*. "[Dynamic Random Access Memory: A Survey](#)". Este trabajo es un resumen bastante bueno sobre DRAMs. Se puede encontrar desde la descripción del funcionamiento interno de una celda de DRAM, hasta la descripción de una DDR SDRAM.
- *Scott Mueller*. "Upgrading and Repairing PCs". 16th Edición, Editorial QUE, 2005.
- Fuentes de información muy interesantes son las páginas web de los principales fabricantes de memoria: Kingston, Micron, etc.

Índice

- Introducción
- Memorias de Semiconductores
- Estructura interna de una DRAM
- Tipos de DRAM
 - Fast Page Mode DRAM (FPM DRAM)
 - Extended Data Out DRAM (EDO DRAM)
 - Burst EDO DRAM (BEDO DRAM)
 - Synchronous DRAM (SDRAM)
 - Double Data Rate SDRAM (DDR SDRAM)
 - DDR2 SDRAM
 - Rambus DRAM (RDRAM)
- Aspectos Tecnológicos



Introducción

- ¿En qué se mide la memoria?
- ¿Cuánto vale 1K, 10^3 o 2^{10} ?
- ¿Cuánto es 1 KHz?
- ¿Y 1 Mbit/s?
- ¿Y 1 Gbyte?

- ¿Qué pesa más, un kilo de hierro o un kilo de paja?
- ¿Qué ocupa más, un Gbyte de disco o un Gbyte de memoria?



Introducción

- Hay un cierto desconcierto a la hora de utilizar los prefijos

Nombre	Símbolo	Base 2	Base 10
Kilo	K	$2^{10} = 1024$	$10^3 = 1000$
Mega	M	2^{20}	10^6
Giga	G	2^{30}	10^9
Tera	T	2^{40}	10^{12}
Peta	P	2^{50}	10^{15}
Exa	E	2^{60}	10^{18}
Zetta	Z	2^{70}	10^{21}
Yotta	Y	2^{80}	10^{24}
Xenta/Xora/Bronto		2^{90}	10^{27}



Introducción

- La diferencia no hace más que crecer (2.4% al kilo, 20.8% al yotta)
- El problema es que no todo el mundo quiere decir lo mismo cuando utiliza la misma palabra:
 - Los Hercios (Hz) se miden en potencias de 10: un procesador a 1 GigaHercio (GHz) va a 1.000.000.000 Hz.
 - La velocidad de transmisión se mide en potencias de 10: un MP3 stream a 128 Kbit/s transmite 128.000 bits por segundo, una conexión ADSL de 1 Mbit/s acepta un máximo de 1.000.000 bits por segundo.
 - El ancho de banda de los buses también se mide en potencias de 10
 - La Memoria RAM siempre se mide en potencias de 2: 1MB de RAM es 2^{20} bytes de RAM.
 - ¿Y en los dispositivos de almacenamiento?



Introducción

- Los discos duros (HD) utilizan potencias de 10.
- Un HD de 30GB tiene 30×10^9 bytes (aproximadamente 28×2^{30})
- No es por marketing, sino por tradición: la estructura física de los discos (platos, pistas, sectores) no tiene por qué ser potencia de 2.
- Además, el SO suele indicar el tamaño del disco en potencias de 2.
 - Lo hacen por coherencia (¿?): tanta RAM, tanto HD.
 - Por tanto, si según el vendedor tenemos un portátil con 1GB de RAM y 30 GB de HD, Windows nos dirá que tiene 1GB de RAM y 28GB de disco duro.



Introducción

- Algunos dispositivos utilizan sistemas híbridos:
 - Un floppy disc de 1,44 MB no es ni $1,44 \times 10^6$ ni $1,44 \times 2^{20}$, sino $1,44 \times 1000 \times 1024$ bytes (1,406 MB binarios, 1,475 MB decimales)
- Para acabar: los CDs y los DVDs
 - La capacidad de un CD está en potencias de 2 (un CD de 700MB = "80 minutos" tiene 700×2^{20} bytes)
 - La capacidad de un DVD está en potencias de 10 (un DVD de 4.7 GB tiene 4.7×10^9 bytes = 4.38×2^{30} bytes)



Introducción

Modelo de Memoria Principal

- La Memoria Principal (MP) puede verse como:

```
byte M[MemSize];
```

- Operaciones básicas:

- Lectura: `dato = M[direccion];`
- Escritura: `M[direccion] = dato;`

- ¡Atención!

- La MP se direcciona a nivel de byte.
- Los accesos a memoria pueden ser de múltiples tamaños: 1, 2, 4 u 8 bytes.
- Si leemos 4 bytes en la dirección X, accedemos a las direcciones X, X+1, X+2 y X+3
- Little endian vs big endian



Introducción

Tipos de Memorias

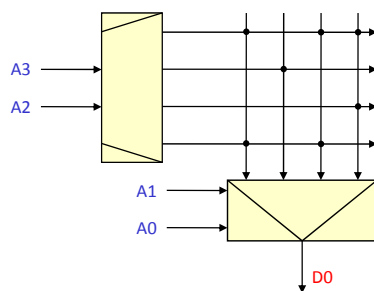
- En función de la **perdurabilidad**:
 - Volátil
 - No Volátil
- En función del **tipo de acceso**:
 - Sólo lectura (ROM, Read Only Memory)
 - Lectura / Escritura (RAM, Random Access Memory)
- En función del **tipo de uso**:
 - Primaria (semiconductores)
 - Secundaria (dispositivos de almacenamiento E/S, magnéticos y ópticos).
- En función de la **forma de acceso**:
 - Memorias de Acceso Secuencial (cinta VHS)
 - Memorias de Acceso Directo (DVD)



Introducción

Tipos de Memorias

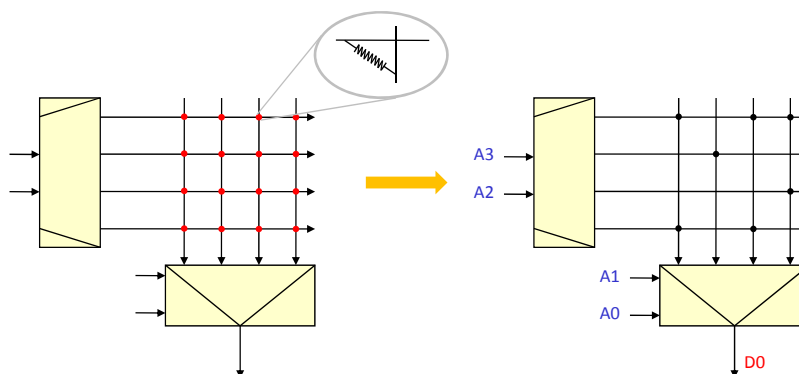
- Memorias de sólo lectura:
 - **ROM** (Read Only Memory). La información se graba durante el proceso de fabricación. Es caro, sólo es factible si necesitamos un número muy elevado de dispositivos.



Introducción

Tipos de Memorias

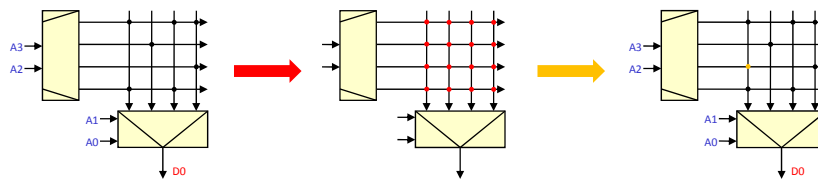
- Memorias de sólo lectura:
 - **PROM** (Programmable ROM). La información se graba mediante un proceso irreversible.



Introducción

Tipos de Memorias

- Memorias de sólo lectura:
 - **EPROM** (Erasable PROM). La información es permanente, pero se puede borrar con rayos ultravioleta (antiguas BIOS).



Introducción

Tipos de Memorias

- Memorias de sólo lectura:
 - **ROM** (Read Only Memory). La información se graba durante el proceso de fabricación. Es caro, sólo es factible si necesitamos un número muy elevado de dispositivos.
 - **PROM** (Programmable ROM). La información se graba mediante un proceso irreversible.
 - **EPROM** (Erasable PROM). La información es permanente, pero se puede borrar con rayos ultravioleta (antiguas BIOS).
 - **EEPROM** (Electrically EPROM). Se puede borrar palabra a palabra usando corrientes elevadas.
 - **Flash**. Se pueden borrar y escribir fácilmente. Pueden estar organizadas en bancos independientes (actuales BIOS, tarjetas de memoria de cámaras de fotos, etc.).

Memorias de Semiconductores

Tipos de Memoria de Semiconductores:

- Memoria **Estática** (SRAM, Static RAM). Cada celda de memoria equivale a 1 biestable (7-8 transistores). En comparación con las DRAM son **rápidas**, tienen un **alto consumo**, **poca capacidad** y son **caras**.

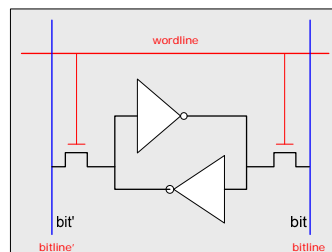
→ **Memoria Cache**

- Memoria **Dinámica** (DRAM, Dynamic RAM). Cada celda se comporta como un condensador (1-1.x transistores). En comparación con las SRAM son **lentas**, tienen un **bajo consumo**, **mucha capacidad** y son **baratas**. Problema del refresco.

→ **Memoria Principal**

Memorias de Semiconductores

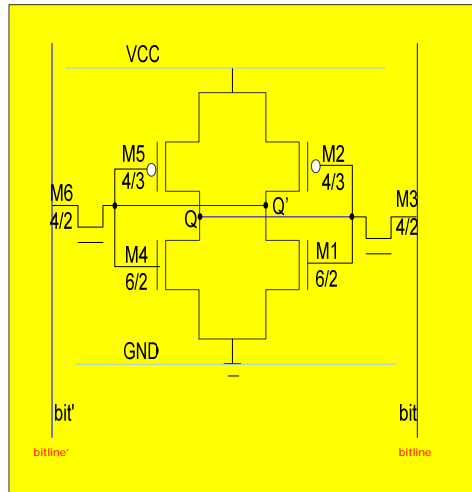
Celda SRAM de 6 Transistores



- La información se almacena en 2 inversores acoplados.
- Al activar la **word line** el dato almacenado se lee a través de las bit lines.
- Se obtiene el dato negado y sin negar.

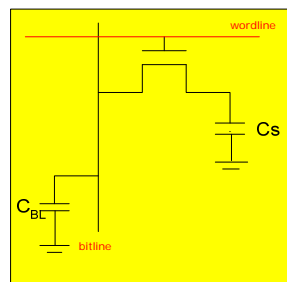
Memorias de Semiconductores

Celda SRAM de 6 Transistores



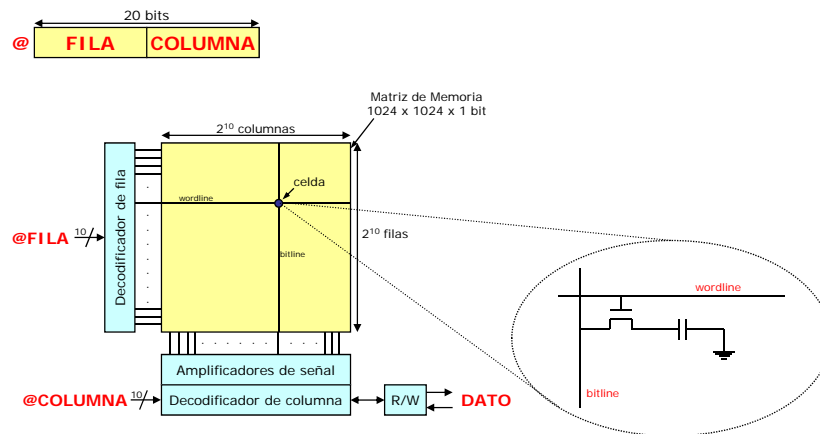
Memorias de Semiconductores

Celda DRAM de 1 Transistor



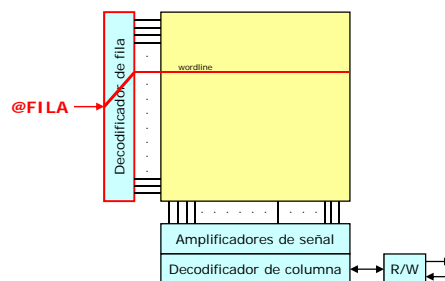
- La información se almacena en el condensador Cs.
- Al activar la **word line** el dato almacenado se lee a través de la bitline.
- El condensador se va descargando poco a poco, es necesario recargarlo regularmente (refresco).

Estructura interna de una DRAM



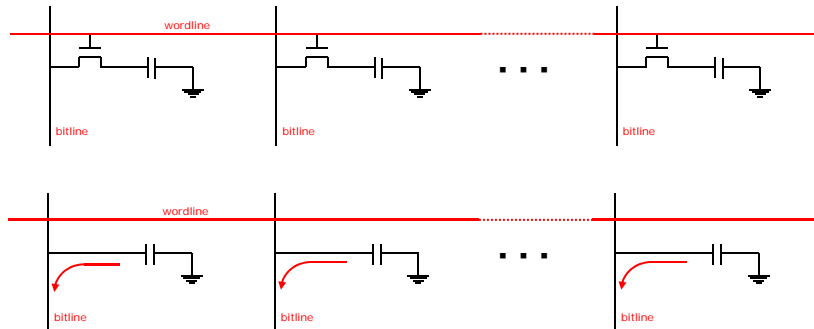
Estructura interna de una DRAM

- Una operación de lectura:
 - Decodificar @FILA, se activa la señal wordline



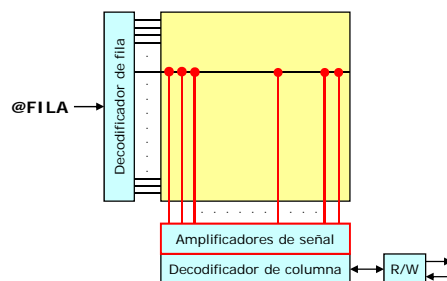
Estructura interna de una DRAM

- Una operación de lectura:
 - Se accede a todas las celdas de la fila, los datos de toda la fila se envían a los amplificadores de señal y se recupera la tensión (el dato está en un condensador que se va descargando poco a poco).



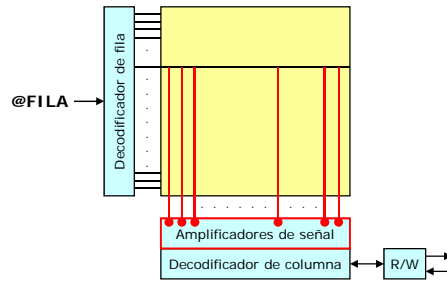
Estructura interna de una DRAM

- Una operación de lectura:
 - Se accede a todas las celdas de la fila, los datos de toda la fila se envían a los amplificadores de señal y se recupera la tensión.



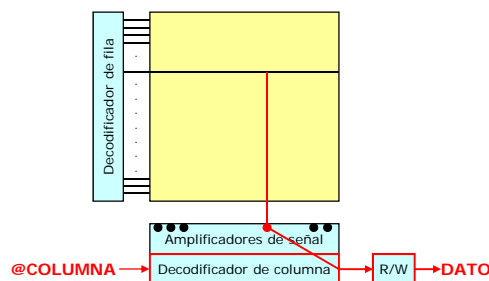
Estructura interna de una DRAM

- Una operación de lectura:
 - 2) Se accede a todas las celdas de la fila, los datos de toda la fila se envían a los amplificadores de señal y se recupera la tensión.



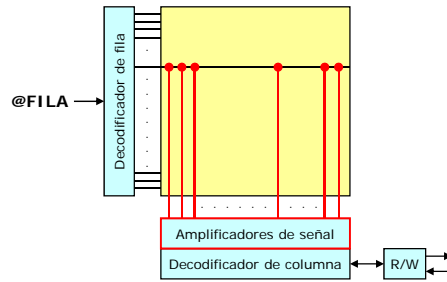
Estructura interna de una DRAM

- Una operación de lectura:
 - 3) Decodificar @COLUMNNA, se selecciona una **bitline** y se envía el dato al exterior a través del buffer R/W.



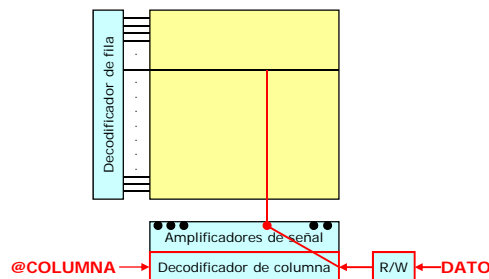
Estructura interna de una DRAM

- Una operación de lectura:
 - La lectura es destructiva, hay que reescribir la celda (y toda la fila) para recuperar el valor original (equivale a precargar la fila para el siguiente acceso a memoria).



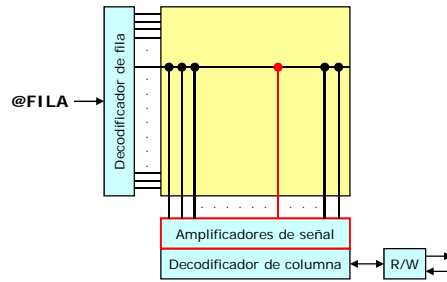
Estructura interna de una DRAM

- Una operación de escritura:
 - Prácticamente igual, la única diferencia es que la celda se reescribe con el dato que entra por el buffer R/W.



Estructura interna de una DRAM

- Una operación de escritura:
 - 4) Hay que reescribir la celda con el nuevo valor (y el resto de la fila con el valor original).

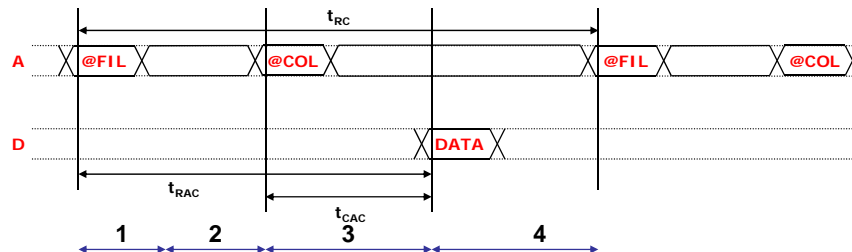


Estructura interna de una DRAM

- Una operación de lectura. Resumen:
 - 1) Decodificar @FILA, se activa la señal **wordline**
 - 2) Se accede a todas las celdas de la fila, los datos de toda la fila se envían a los amplificadores de señal y se recupera la tensión (el dato está en un condensador que se va descargando poco a poco).
 - 3) Decodificar @COLUMNNA, se selecciona una **bitline** y se envía el dato al exterior a través del buffer R/W.
 - 4) La lectura es destructiva, hay que reescribir la celda (y toda la fila) para recuperar el valor original (equivale a precargar la fila para el siguiente acceso a memoria).
- Una operación de escritura:
 - 3) Prácticamente igual, la única diferencia es que la celda se reescribe con el dato que entra por el buffer R/W.
 - 4) Hay que reescribir la celda con el nuevo valor (y el resto de la fila con el valor original).

Estructura interna de una DRAM

Cronograma simplificado de una operación de lectura

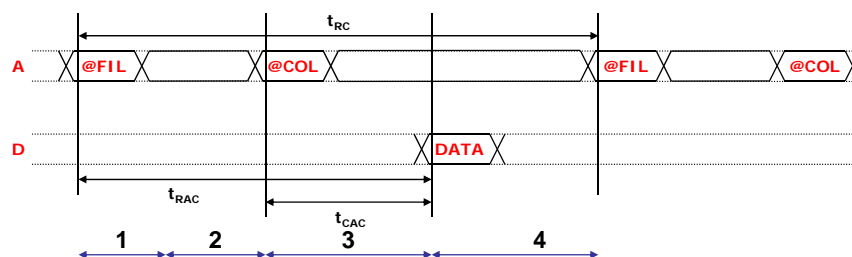


3 Valores fundamentales:

- **Tiempo de acceso (t_{RAC})**: retardo máximo desde que se suministra la dirección de fila hasta que se obtiene el dato → **latencia de memoria**.
- **Tiempo de ciclo (t_{RC})**: intervalo de tiempo mínimo entre dos accesos consecutivos a memoria → **ancho de banda**.
- **Tiempo de acceso a columna (t_{CAC})**: retardo máximo desde que se suministra la dirección de columna hasta que se obtiene el dato.

Estructura interna de una DRAM

Cronograma simplificado de una operación de lectura



Valores típicos:

- Tiempo de acceso (t_{RAC}): 50ns.
- Tiempo de ciclo (t_{RC}): 70ns.
- Tiempo de acceso a columna (t_{CAC}): 20ns.

¿Posibles Mejoras? → **Acceso a Bloques de Información.**

- Aprovechando que los datos de la fila están en los amplificadores de señal, sólo es necesario enviar la @COL+1, @COL+2, ...

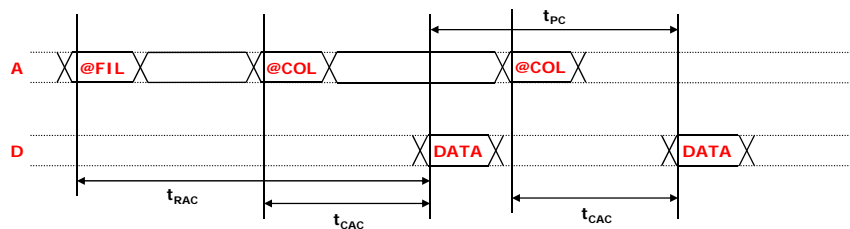
Tipos de DRAM

- Fast Page Mode DRAM (FPM DRAM)
- Extended Data Out DRAM (EDO DRAM)
- Burst EDO DRAM (BEDO DRAM)
- Synchronous DRAM (SDRAM)
- Double Data Rate SDRAM (DDR SDRAM)
- DDR2 SDRAM
- DDR3 SDRAM
- Rambus DRAM (RDRAM)



FPM DRAM (Fast Page Mode DRAM)

- Idea Fundamental: una vez accedida la fila, se puede acceder a varias columnas simplemente cambiando la @COL.
→ Aprovechamos la localidad espacial

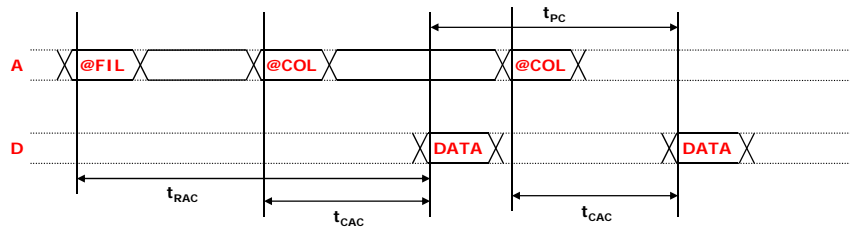


- Valores típicos:
 - 1^{er} acceso (t_{RAC}): 50ns.
 - 2^o acceso (t_{PC}): 35ns.



Evaluación FPM DRAM

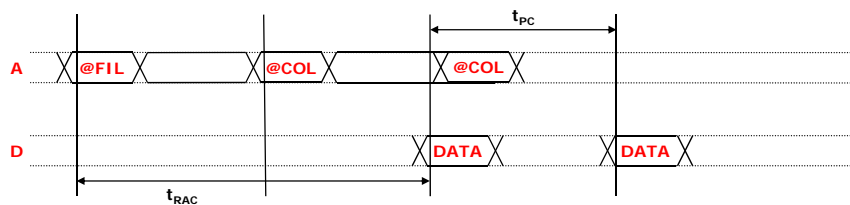
- Leer un bloque de 32 bytes (suponiendo que la MP está 8 entrelazada):
 - Placa Base de 66MHz (tiempo de ciclo: 15ns).
 - 4 Accesos a Memoria.
 - Temporización: 5-3-3-3 (incluye precarga).
 - Ancho de Banda: 152 Mbytes/s.



- Problemas de la FPM DRAM: hay que esperar a que el dato sea leído antes de enviar la nueva @COL.

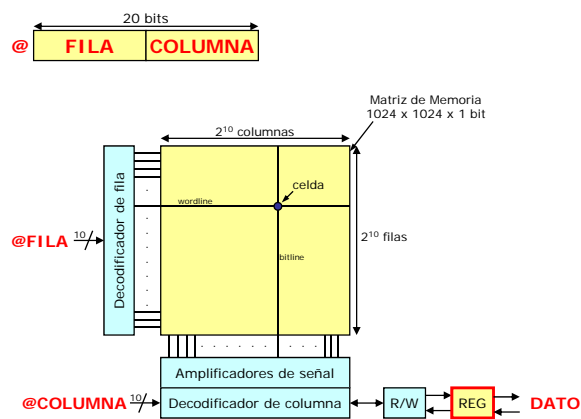
EDO DRAM (Extended Data Out DRAM)

- Idea Fundamental: se añade un registro en la salida de datos
 - se puede solapar el acceso a los datos
 - con el envío de la nueva @COL



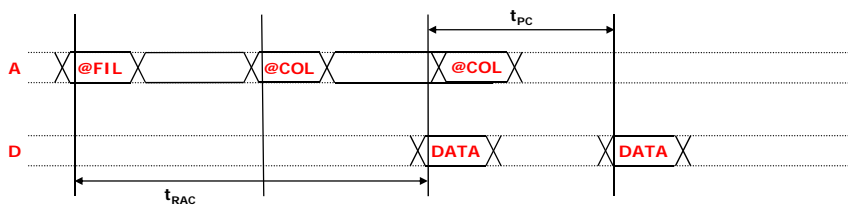
- Valores típicos:
 - 1^{er} acceso (t_{RAC}): 50ns.
 - 2^o acceso (t_{PC}): 20ns.

Estructura interna de una EDO DRAM



Evaluación EDO DRAM

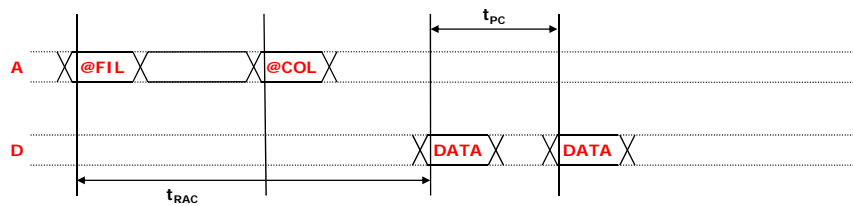
- Leer un bloque de 32 bytes:
 - Placa Base de 66MHz (tiempo de ciclo: 15ns).
 - 4 Accesos a Memoria.
 - Temporización: 5-2-2-2 (incluye precarga).
 - Ancho de Banda: 193 Mbytes/s.



- Posibles mejoras de la EDO DRAM: Los accesos siempre son a posiciones consecutivas.

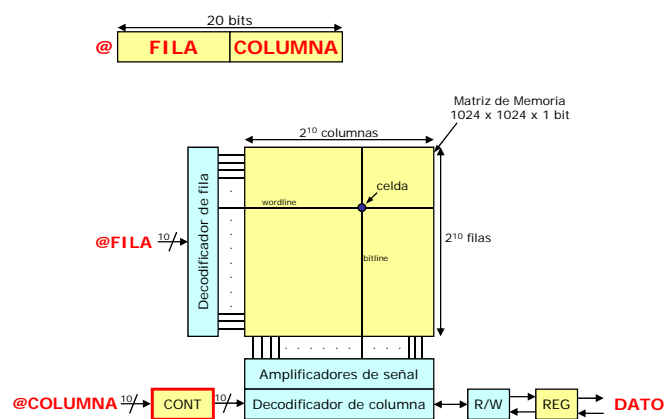
BEDO DRAM (Burst EDO DRAM)

- Idea Fundamental: añadir un contador para generar la nueva @COL.



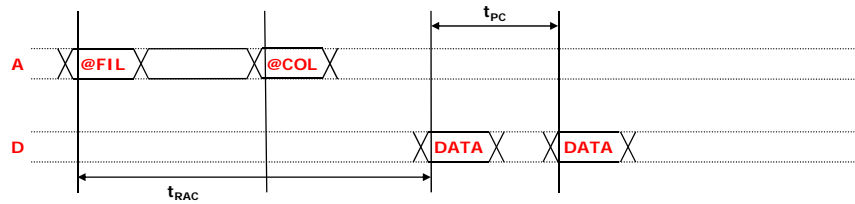
- Valores típicos:
 - 1^{er} acceso (t_{RAC}): 50ns.
 - 2^o acceso (t_{PC}): 15ns.

Estructura interna de una BEDO DRAM



Evaluación BEDO DRAM

- Leer un bloque de 32 bytes:
 - Placa Base de 66MHz (tiempo de ciclo: 15ns).
 - 4 Accesos a Memoria.
 - Temporización: 5-1-1-1 (incluye precarga).
 - Ancho de Banda: 266 Mbytes/s.



- **Problema:** Es una memoria **asíncrona**. Las memorias asíncronas son difíciles de mejorar por problemas de ruido. Es muy difícil que soporten frecuencias superiores a los 66MHz.

Solución Arquitectónica

- **Problema:** las memorias asíncronas no se pueden mejorar.
- **Solución Arquitectónica:**
 - Segmentar el funcionamiento interno de las memorias
 - Hacer que funcionen de forma **SÍNCRONA**.
 - Desaparecen los problemas de ruido
 - Se puede aumentar la frecuencia de funcionamiento

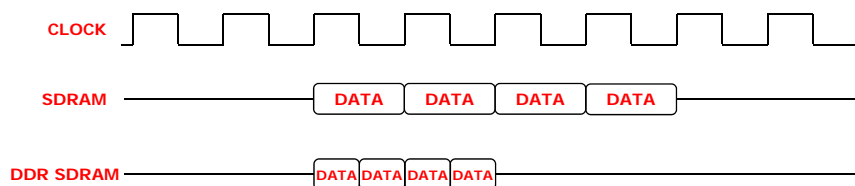
SDRAM (Synchronous DRAM)

- Funcionamiento segmentado.
- Síncrona.
- Puede funcionar a mucha más frecuencia que una DRAM asíncrona.
- Autoincremento de la @COL.
- Programable vía comandos.
- Dispone de múltiples bancos (permite ocultar la precarga).
- El funcionamiento interno es muy similar a una DRAM asíncrona.



DDR SDRAM (Double Data Rate SDRAM)

- Es una SDRAM que envía los datos a doble velocidad que una SDRAM convencional.

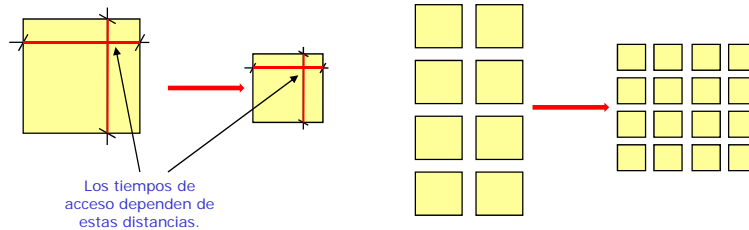


- Modificando exclusivamente la circuitería encargada de la entrada/salida de datos se dobla el ancho de banda.
- La latencia de memoria es prácticamente la misma.



DDR2 SDRAM

- Es una DDR mejorada en los siguientes aspectos:
 - Reducción del tamaño de página (número de columnas del array):
 - Reduce el tiempo de acceso
 - Reduce el consumo de energía
 - Aumenta el número de bancos
 - Aumenta las posibilidades de solapar, con un buen controlador de memoria, la precarga y el acceso a fila de bancos independientes.
 - Aumento de la frecuencia



RDRAM Rambus DRAM

- Aumento sustancial de la frecuencia del bus de transmisión:
 - Separar bus de datos, direcciones y control, minimizando el ruido eléctrico.
 - Estrechar bus de datos.
 - Ancho de banda = frecuencia x anchura datos
- Primeras implementaciones 400 MHz (x2).
- Marca registrada (más cara que DDR DRAM).
- Han perdido mucho mercado respecto a las previsiones iniciales.
- La PlayStation2 utiliza RDRAM
- El núcleo básico es el mismo de todas las DRAM.

Tipos de DRAM

Ejemplos de Memorias DRAM comerciales

Año	Tipo Memoria	Capacidad	Frec. Placa Base	Latencia 1r dato / resto	Timing	Ancho Banda lect. 32bytes
2000	EDO DRAM	64 Mbits	66 MHz	50 / 20 ns	5-2-2-2	193.9 Mbytes/s
2002	SDRAM	128 Mbits	167 MHz	36 / 6 ns	6-1-1-1	592.5 Mbytes/s
2003	DDR SDRAM	256 Mbits	200 MHz	30 / 2.5 ns	6-0.5-0.5-0.5	853.3 Mbytes/s

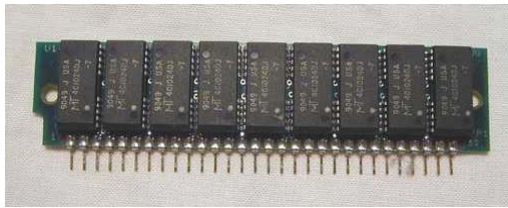
Aspectos Tecnológicos

- Conexión de la memoria a la placa base.
- Existen 3 variantes para conectar los módulos de memoria a la placa base:
 - **DIP**: típicos chips con una doble fila de pins (*Dual In-line Package*). Van soldados directamente en la placa base o insertados en zócalos.



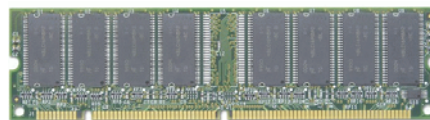
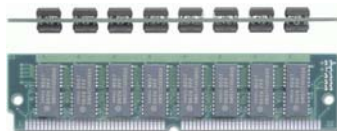
Aspectos Tecnológicos

- Conexión de la memoria a la placa base.
- Existen 3 variantes para conectar los módulos de memoria a la placa base:
 - **SIPP**: empaquetado de pines alineados (*Single In-line Pin Package*). Pequeñas placas de circuito impreso donde están conectados los chips de memoria con unas púas alargadas para su conexión.



Aspectos Tecnológicos

- Conexión de la memoria a la placa base.
- Existen 3 variantes para conectar los módulos de memoria a la placa base:
 - **SIMM, DIMM, RIMM** (*Single, Dual, Rambus Inline Memory Module*). Circuitos impresos donde están conectados los chips de memoria, por una cara o las dos, y que se insertan en unos zócalos dispuestos a tal efecto en la placa base.



Aspectos Tecnológicos

- 3 puntos fundamentales a tener en cuenta para comprar la memoria:
 - Comprar, siempre que sea posible, memorias de marcas de confianza.
 - Es importante no desaprovechar las prestaciones de nuestro equipo. Hay que conjugar correctamente las velocidades de la placa base y memoria principal.
 - Tamaño suficiente



Aspectos Tecnológicos

Especificaciones técnicas: Medidas de rendimiento

- **Velocidad:**
 - Tiempo de acceso
 - FPM -7 (70 ns)
 - EDO -7 (70 ns) y -6 (60 ns)
 - BEDO -5 (50ns) y -4 (40 ns)
 - Latencia de columna
 - SDRAM -15 (ns para 66MHz), -8 (ns para 125MHz), -75 (7.5 ns para 133MHz)
 - DDR -75 (7.5ns para 133x2 MHz), -6 (6ns para 166x2 MHz)
- **Frecuencia**
 - Se puede obtener directamente el tiempo de ciclo.
 - Es el mismo parámetro utilizado para comparar procesadores.
 - "Mejor cuanto más alto" (¡Fácil de entender!)



Aspectos Tecnológicos

Especificaciones técnicas: Medidas de rendimiento

- **Frecuencia del bus**, denominación PC-XXX. El ancho de banda se podía calcular multiplicando por 8 la frecuencia. Por ejemplo, una SDRAM PC-133, tiene un ancho de banda de 1066 Mbytes/s y obtiene un rendimiento óptimo en una placa base de 133 MHz.
- **Ancho de Banda**, denominación PC-XXXX.
 - En una DDR el ancho siempre es 8 bytes.
 - En una RDRAM el ancho puede ser 2, 4 u 8 bytes.
- Denominación X-Y-Z **timing**
 - X representa la latencia de columna (CAS)
 - Y representa la latencia de fila (RAS a CAS)
 - Z representa la latencia de precarga.
 - Los 3 parámetros se dan en ciclos de reloj.



Aspectos Tecnológicos

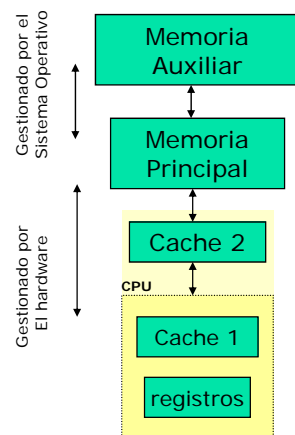
Especificaciones técnicas: Medidas de rendimiento

- Referente de rendimiento más utilizado en el mercado para cada tipo de memoria.

Periodo	Tipo de Memoria	Parámetro Comercial de Referencia	Magnitud implícita	Ejemplos de uso
1990-1996	FPM, EDO, BEDO	Tiempo de acceso	ns x 10	-7, -6, -5
1997-1999	SDRAM	Latencia de columna	ns	-10, -8, -7
1997-1999	SDRAM	Frecuencia	-	100 MHz, 133 MHz
2000-2001	DDR, RDRAM	Frecuencia bus	MHz	PC-100, PC-133
2002-2003	DDR, SDRAM	Ancho de banda	Mbytes/s	PC-2700, PC-3200



Jerarquía de Memoria (repaso EC1)



Objetivo: qué cuando el procesador acceda a un dato, éste se encuentre en los niveles de la jerarquía más cercanos al procesador.

Memoria Entrelazada

- La unidad de transferencia de información entre Memoria Principal y Memoria Cache es la línea
- Una línea es un conjunto de bytes, típicamente entre 32 y 256
- El coste de leer una línea de MP depende directamente de la organización de la MP.
- Para que la jerarquía de memoria sea eficiente es preciso que el coste de leer una línea de MP sea similar o poco mayor al coste de leer un dato (1-8 bytes) de MP.

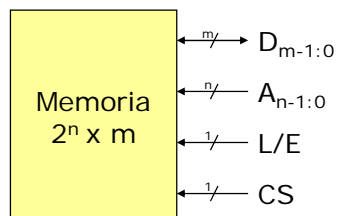
→ MEMORIA ENTRELAZADA

Memoria Entrelazada

- Hemos de contestar a las siguientes preguntas:
 - ¿Cómo está distribuida la información en Memoria Principal?
 - ¿Cómo se accede a una línea de Memoria Principal?
 - ¿Cómo se relaciona el acceso a una línea de MP con la estructura interna de una DRAM?

Memoria Entrelazada

Módulo Básico de MP

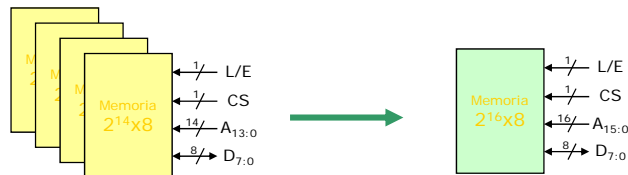


- Bus de datos: D , m bits.
- Bus de direcciones: A , n bits
- Señal de Lectura / Escritura: L/E , $=0$ lectura, $=1$ escritura.
- Chip Select: CS , si $CS=1$ el módulo actúa en función de las otras señales, si $CS=0$ no actúa.

¡Repaso de IC y EC1!

Memoria Entrelazada

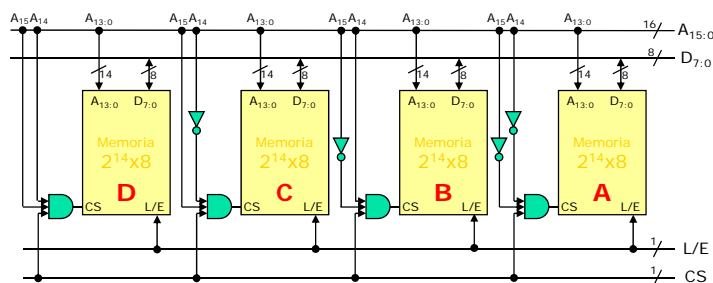
- Ejercicio con módulos de memoria
 - Construir un módulo de $2^{16} \times 8$ con 4 módulos de $2^{14} \times 8$.



¡Repaso de IC y EC1!

Memoria Entrelazada

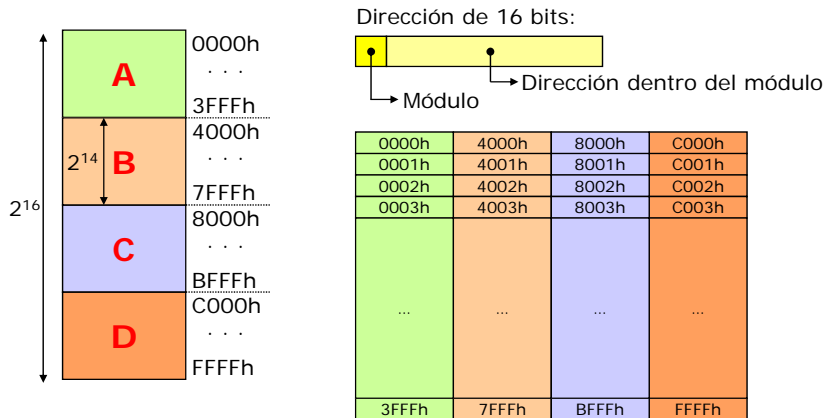
- Ejercicio con módulos de memoria
 - Construir un módulo de $2^{16} \times 8$ con 4 módulos de $2^{14} \times 8$.



¡Repaso de IC y EC1!

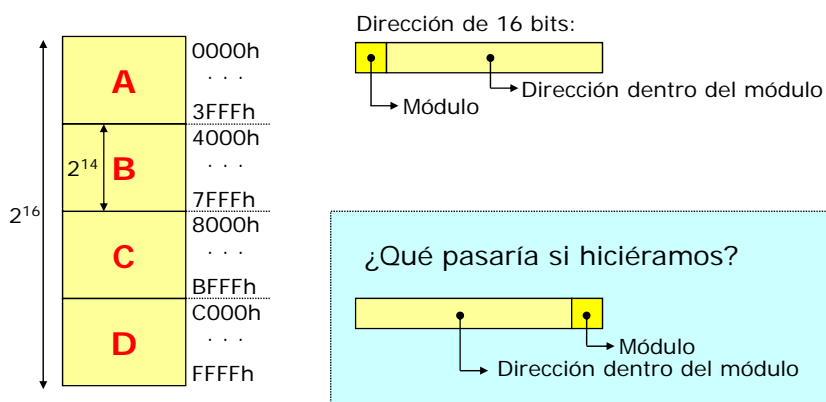
Memoria Entrelazada

- Ejercicio con módulos de memoria
 - Construir un módulo de $2^{16} \times 8$ con 4 módulos de $2^{14} \times 8$.
 - MAPA de MEMORIA

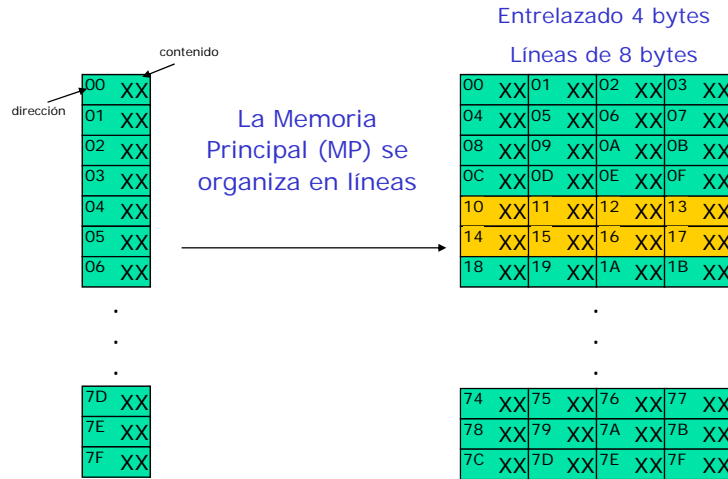


Memoria Entrelazada

- Ejercicio con módulos de memoria
 - Construir un módulo de $2^{16} \times 8$ con 4 módulos de $2^{14} \times 8$.
 - MAPA de MEMORIA



Memoria Entrelazada

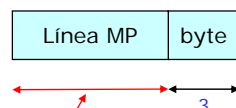


¿Cuántas líneas hay en esta memoria?

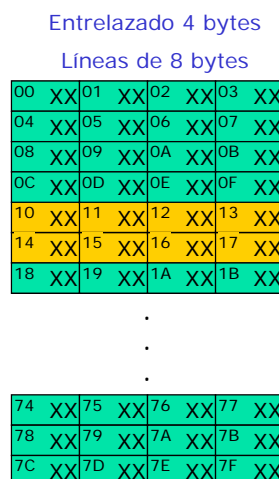
Memoria Entrelazada

Cada línea es un conjunto de bytes almacenados en posiciones consecutivas.

Dirección de MP

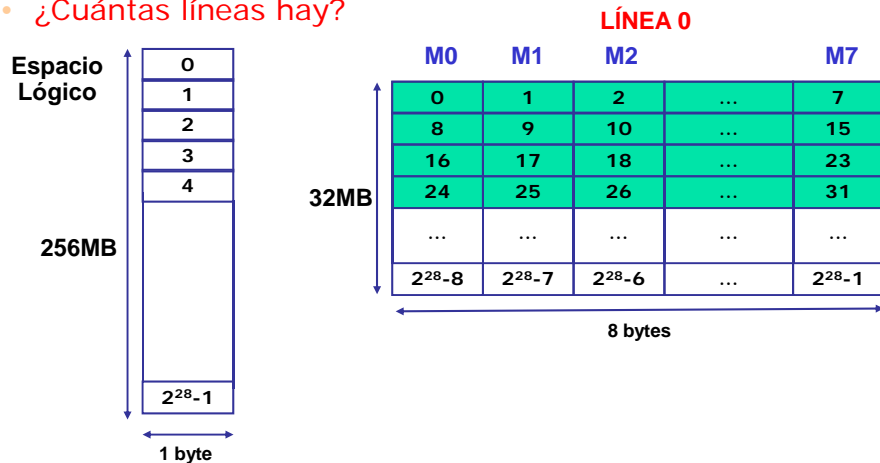


¿Cuántos bits?



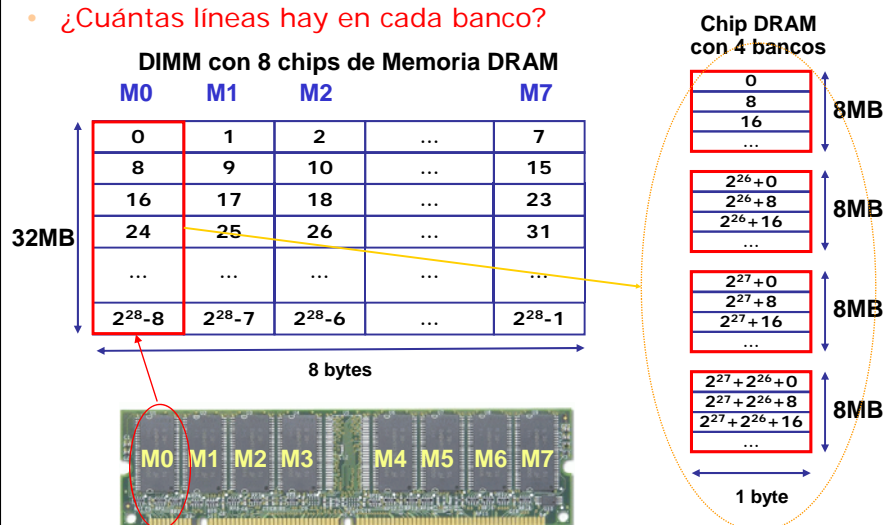
Memoria Entrelazada

- Memoria Principal 8-entrelazada de 256 Mbytes
- Líneas 32 bytes.
- ¿Cuántas líneas hay?

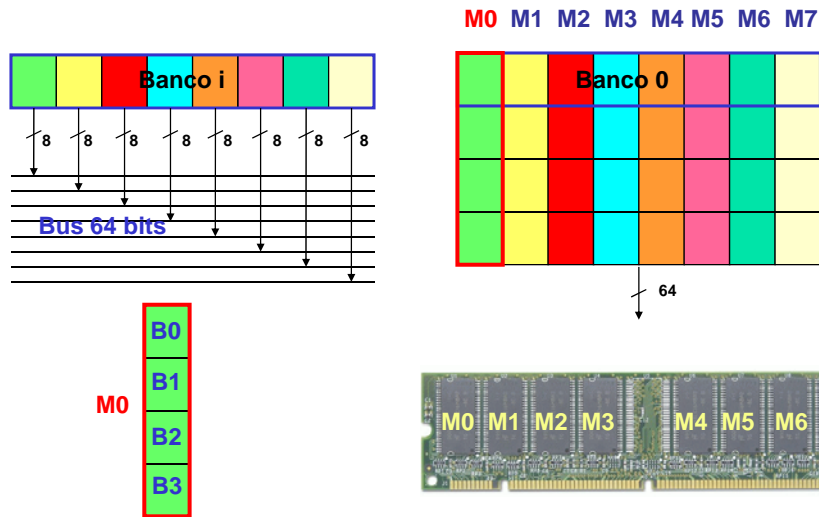


Memoria Entrelazada

- Memoria Principal 8-entrelazada de 256 Mbytes
- ¿Cuántas líneas hay en cada banco?



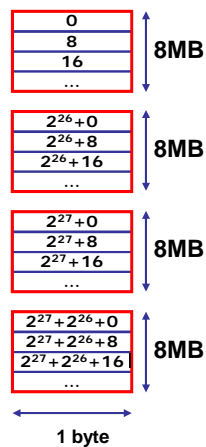
Memoria Entrelazada



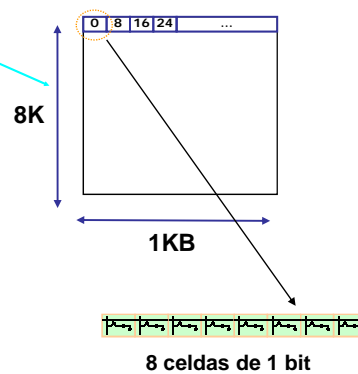
Memoria Entrelazada

- Memoria Principal 8-entrelazada de 256 Mbytes
- Cada banco contiene 4 bytes de cada línea de 32 bytes
- Cada banco contiene 2^{21} líneas

DRAM con 4 bancos



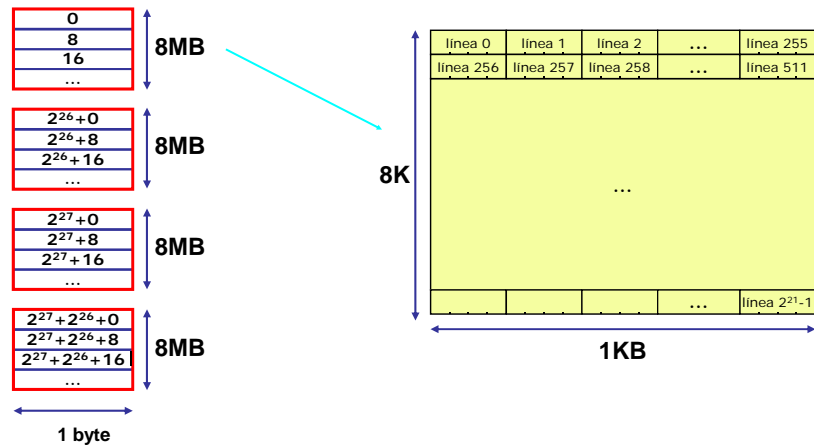
Estructura de un banco de 8 MB



Memoria Entrelazada

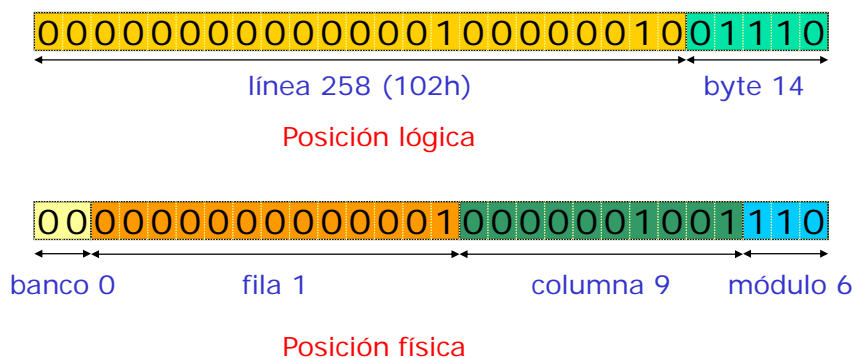
- Memoria Principal 8-entrelazada de 256 Mbytes
- Distribución de los 4 bytes de cada línea dentro de un módulo DRAM

DRAM con 4 bancos

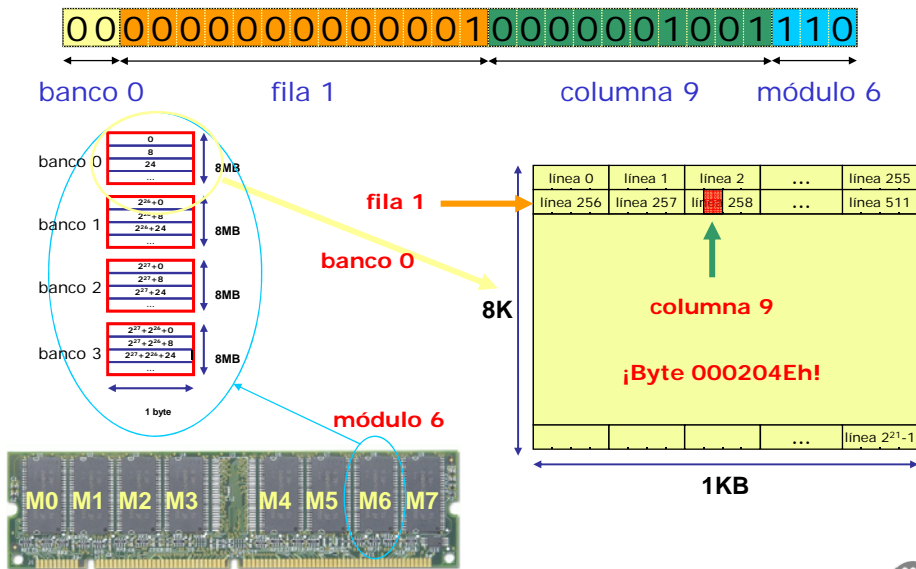


Memoria Entrelazada

- Memoria Principal 8-entrelazada de 256 Mbytes
- Líneas de 32 bytes
- ¿Dónde está el byte 000204Eh?



Memoria Entrelazada



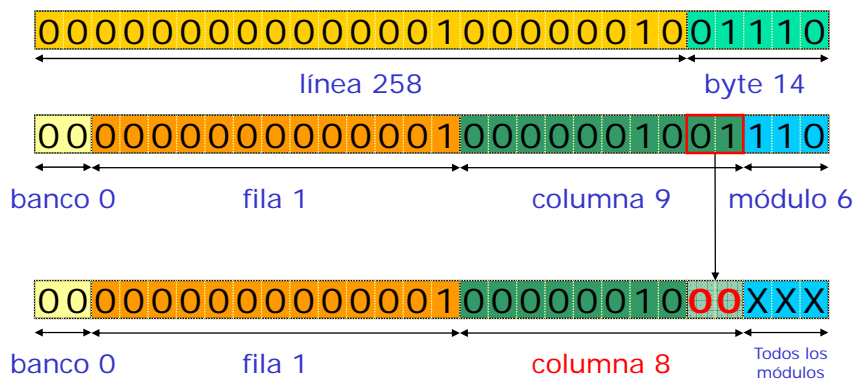
Memoria Principal

69



Memoria Entrelazada

- La transmisión de datos entre MP y MC se hace por líneas completas
- Es preciso cambiar la dirección de acceso, para acceder al primer byte de la línea
- Se accede **simultáneamente** a todos los módulos
- Cada módulo contiene 4 bytes de cada línea



Memoria Principal

70



Memoria entrelazada

- Queremos montar 1 GByte de memoria RAM usando módulos DIMM de 256 Mbytes.
 - La dirección tiene 30 bits
 - Necesitamos 4 DIMM
 - Cada uno de los DIMM se direcciona con 28 bits
 - Todos los DIMM están físicamente conectados al mismo bus de datos (**triestados**)
 - Sólo uno de los DIMM puede funcionar en cada momento
 - Los dos bits de mayor peso de la dirección determinan cuál de los DIMM funciona (CS)
 - Los 28 bits restantes determinan cómo se accede al DIMM

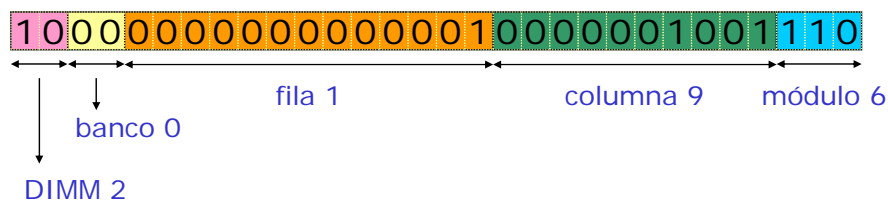


Memoria entrelazada

- Queremos montar 1 GByte de memoria RAM usando DIMM de 256 Mbytes.
- Ejemplo: Acceso a la dirección 2000204Eh

Entrelazado
"vertical"

Entrelazado
"horizontal"



Memoria Entrelazada

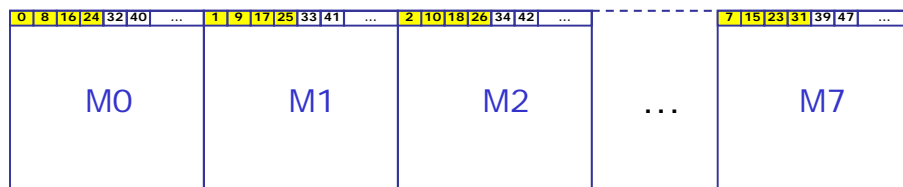
- Memoria Principal 8-entrelazada de 256 Mbytes
- Líneas de 32 bytes
 - ¿Cómo queda distribuida la línea 0 en los chips de Memoria?



**Ejemplo: Lectura de una línea de 32 bytes
LÍNEA 0**

Memoria Entrelazada

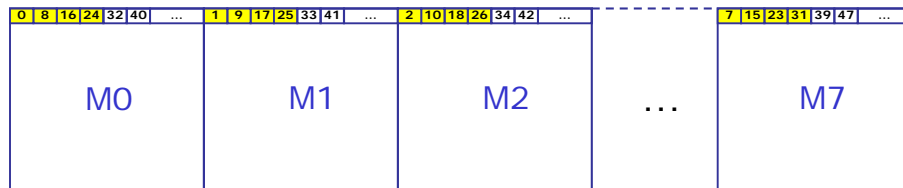
- Memoria Principal de 256 Mbytes
- ¿Cómo queda la línea 0 distribuida físicamente en Memoria?



**Ejemplo: Lectura de una línea de 32 bytes
LÍNEA 0**

Memoria Entrelazada

- Memoria Principal de 256 Mbytes
 - ¿Cómo se lee la línea 0 de MP?



- Enviar / decodificar la @fila (fila 0)
- Leer la fila y enviarla a los amplificadores de señal

Memoria Entrelazada

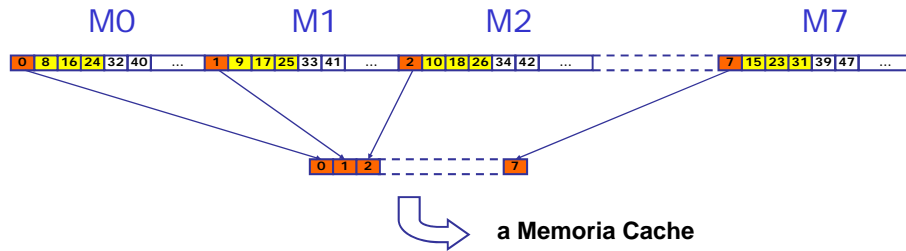
- Memoria Principal de 256 Mbytes
 - ¿Cómo se lee la línea 0 de MP?



- Enviar / decodificar la @fila (fila 0)
- Leer la fila y enviarla a los amplificadores de señal

Memoria Entrelazada

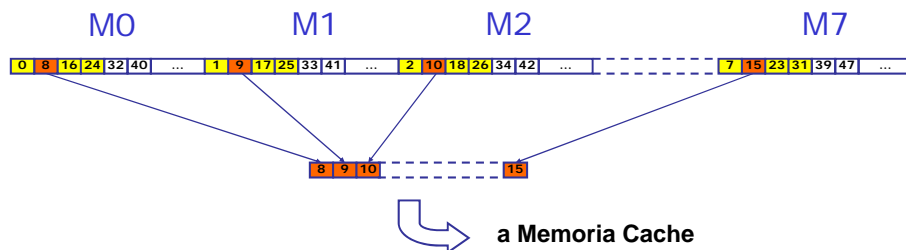
- Memoria Principal de 256 Mbytes
 - ¿Cómo se lee la línea 0 de MP?



- Enviar/ decodificar la @col (col 0)
- Leer el 1^{er} dato de la línea en todos los módulos
- Enviar los primeros 8 bytes a la MC

Memoria Entrelazada

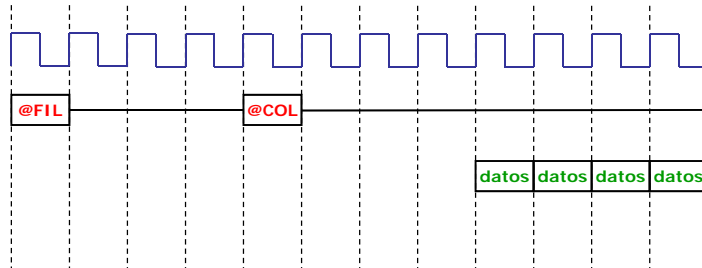
- Memoria Principal de 256 Mbytes
 - ¿Cómo se lee la línea 0 de MP?



- Incrementar la @col (col=1)
- Leer el 2^o dato de la línea en todos los módulos
- Enviar los siguientes 8 bytes a la MC
- ...

Memoria Entrelazada

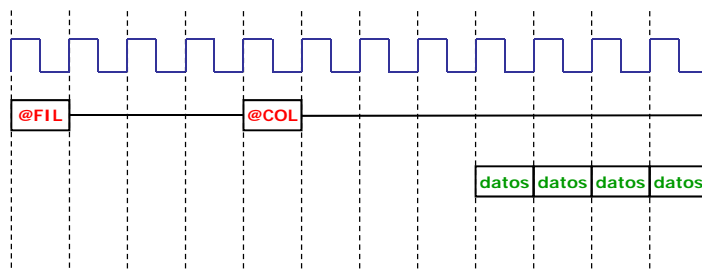
- **Lectura** de 1 línea de 32 bytes, la MP está organizada en DIMMs de 8 bytes de ancho.
 - Cronograma Simplificado:
 - Latencia fila (4 ciclos), latencia columna (4 ciclos), velocidad transferencia (8 bytes por ciclo)



- La velocidad de salida / transferencia de los datos dependerá del tipo de Memoria y de la placa base (buses)

Memoria Entrelazada

- **Escritura** de 1 línea de 32 bytes, la MP está organizada en DIMMs de 8 bytes de ancho.
 - Cronograma Simplificado:
 - Latencia fila (4 ciclos), latencia columna (4 ciclos), velocidad transferencia (8 bytes por ciclo)



- ¡El cronograma es idéntico!

Memoria Entrelazada

- Ejemplo de cronograma de transferencia de una línea entre Memoria Principal y Memoria Cache:
 - Tamaño de línea: 8 bytes.
 - Latencia de fila: 3 ciclos.
 - Latencia de columna: 2 ciclos.
 - Memoria Principal organizada en "DIMMs" de 2 bytes de ancho
 - Velocidad de transferencia entre MP y MC: 2 bytes por ciclo
 - Memoria cache tarda 1 ciclo en detectar miss (se requiere transferencia de 1 línea desde MP)
 - Memoria cache tarda 1 ciclo en escribir la línea recibida y enviar el dato al procesador (hit)
- ¿Cuánto se tardaría en leer 1 sólo byte de memoria?
- ¿Cuánto se tardaría en leer 1 línea?

Memoria Entrelazada

