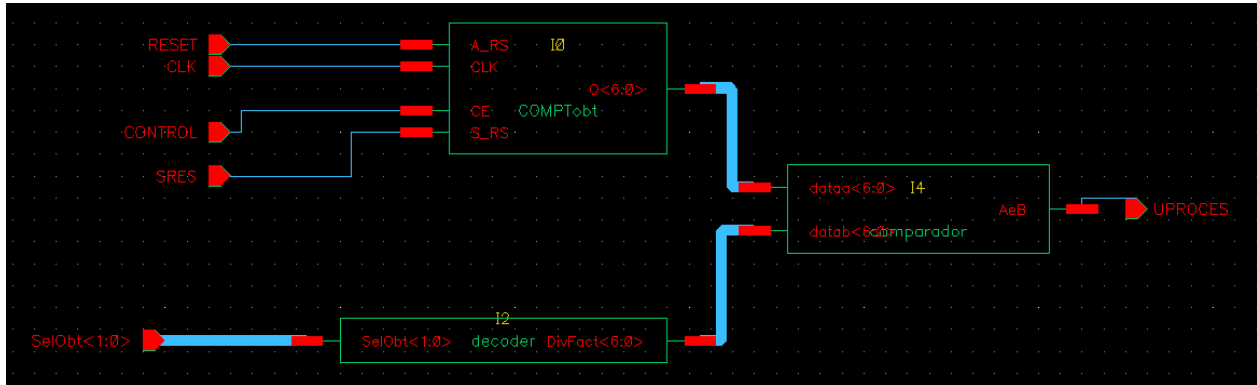


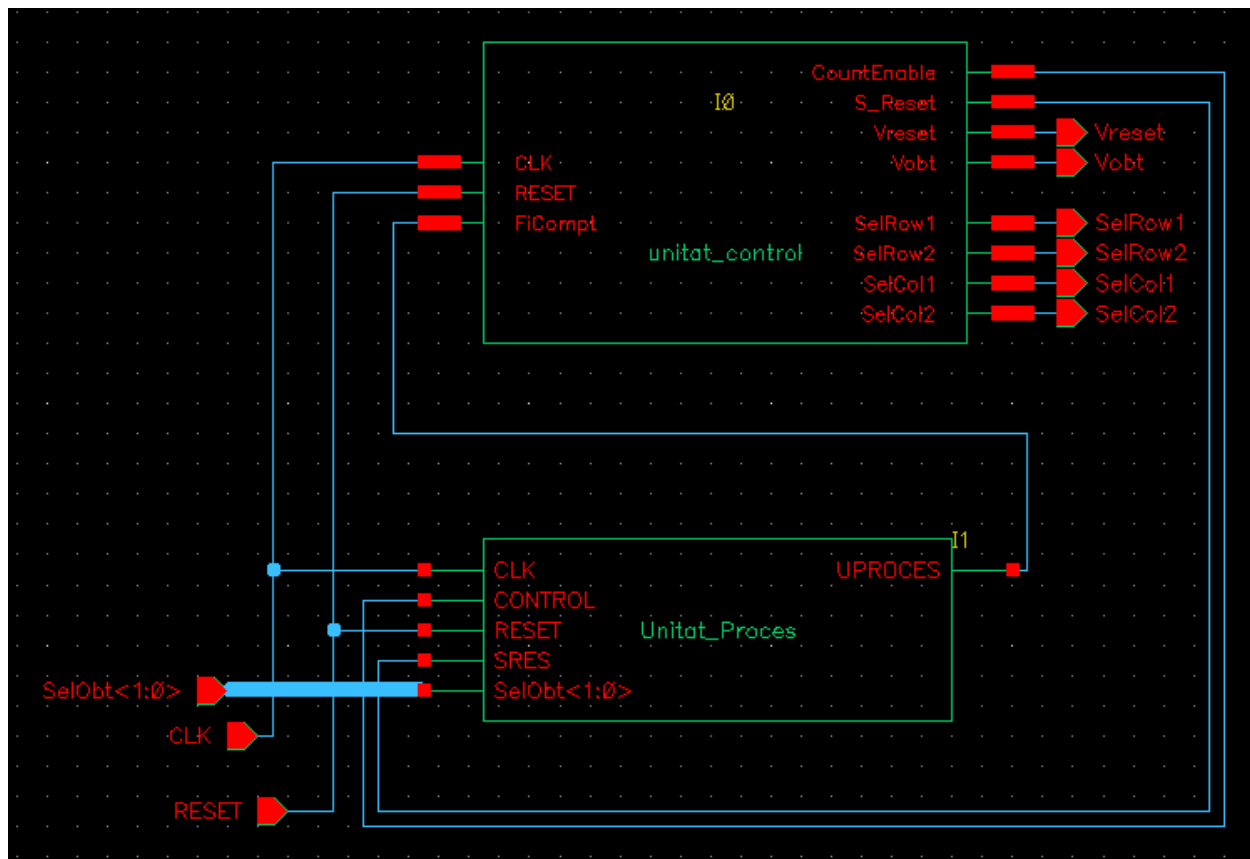
## Disseny del sistema de control digital

Hem realitzat el sistema complet digital. A continuació mostrem les parts més interessants del disseny així com les proves realitzades per a la seva verificació.

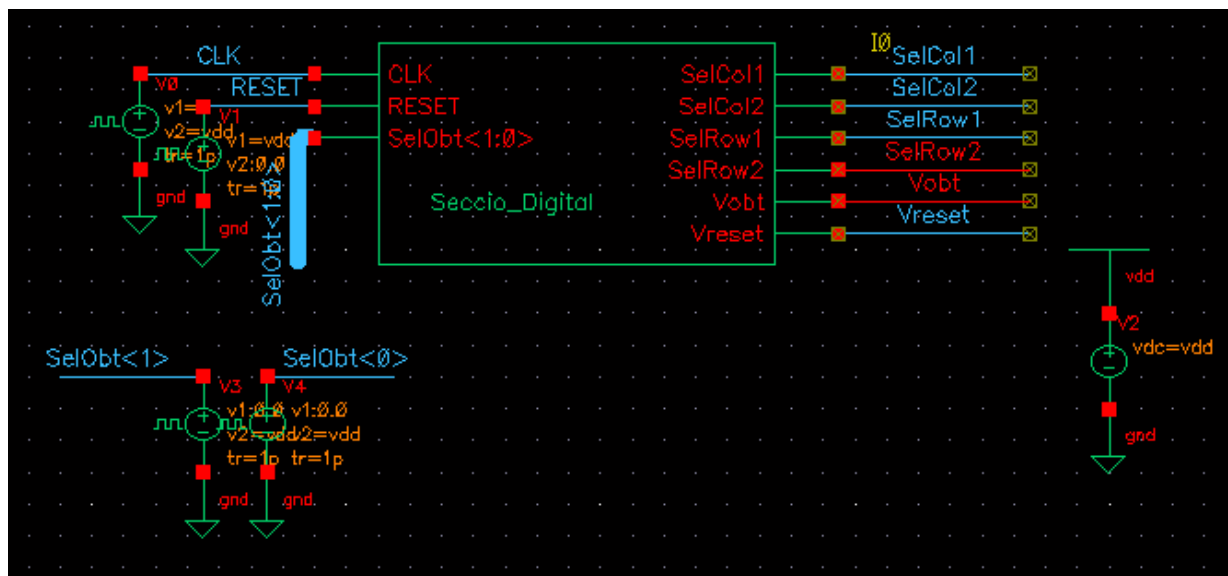
### Unitat de procés



### Sistema complet

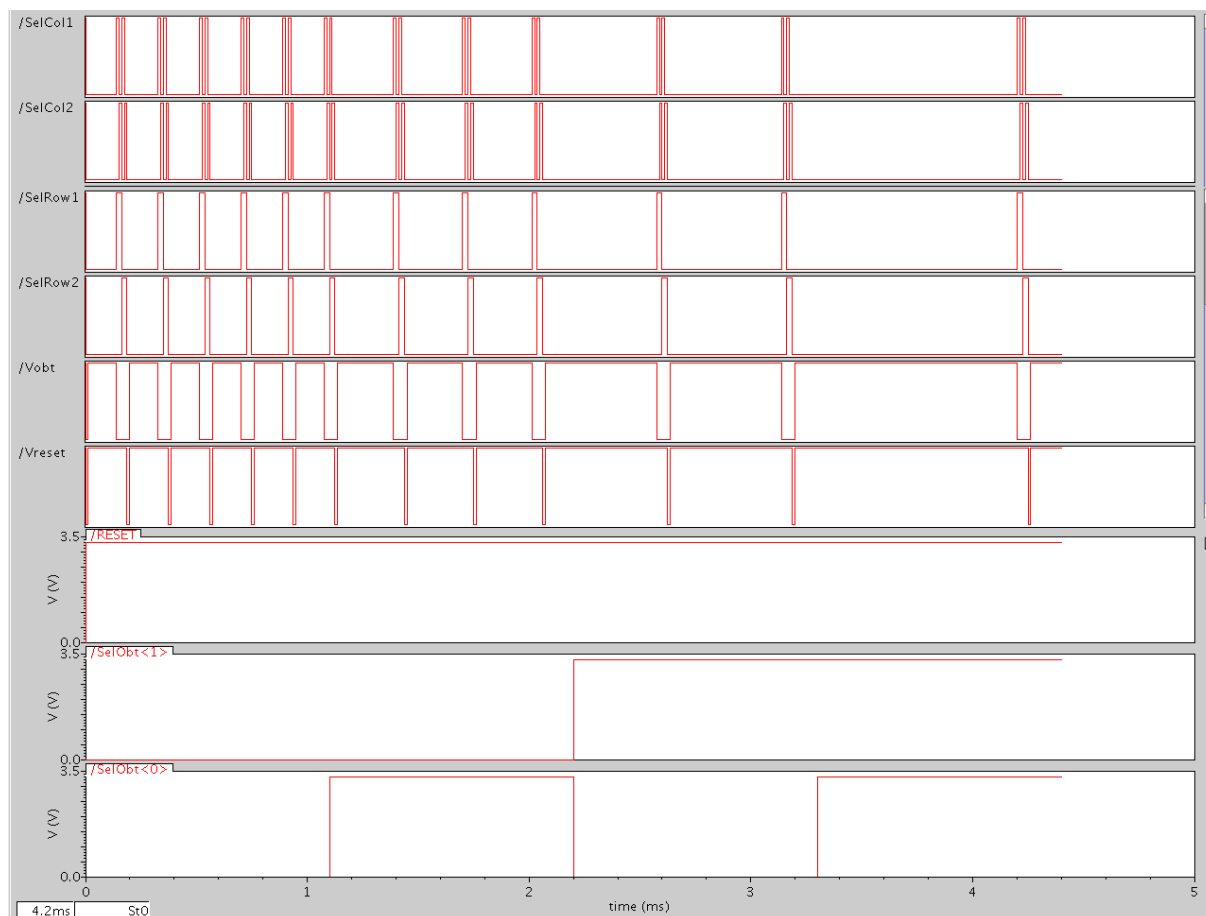


El dos blocs es realitzen fent ús dels fixers VHDL proporcionats. Tot seguit es comprova el sistema digital fent ús del següent circuit.

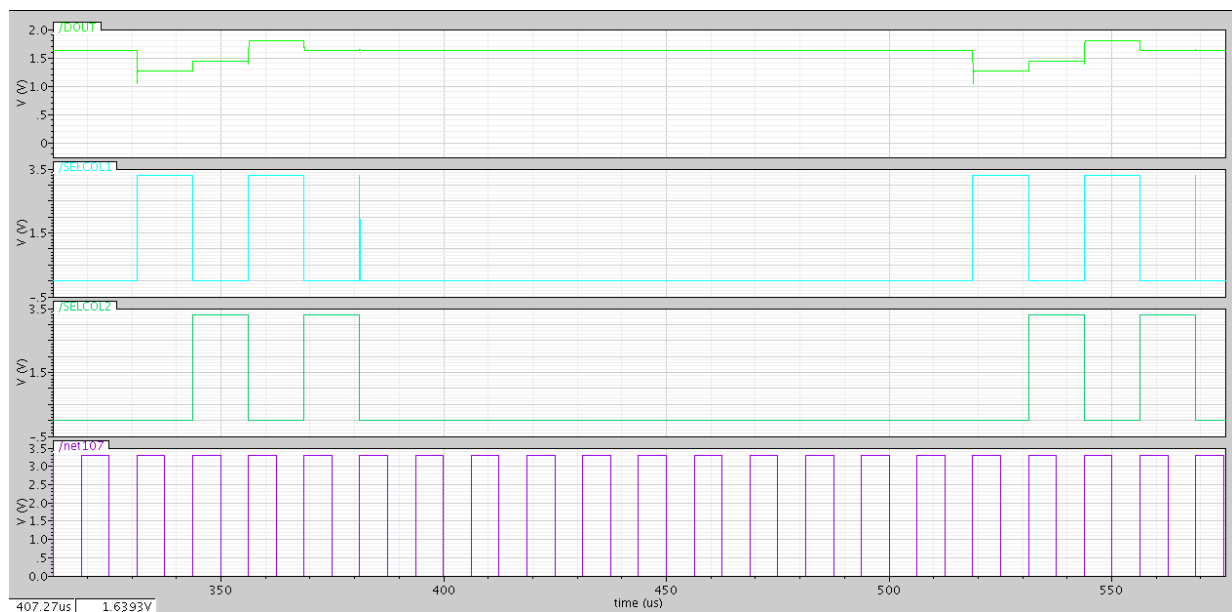
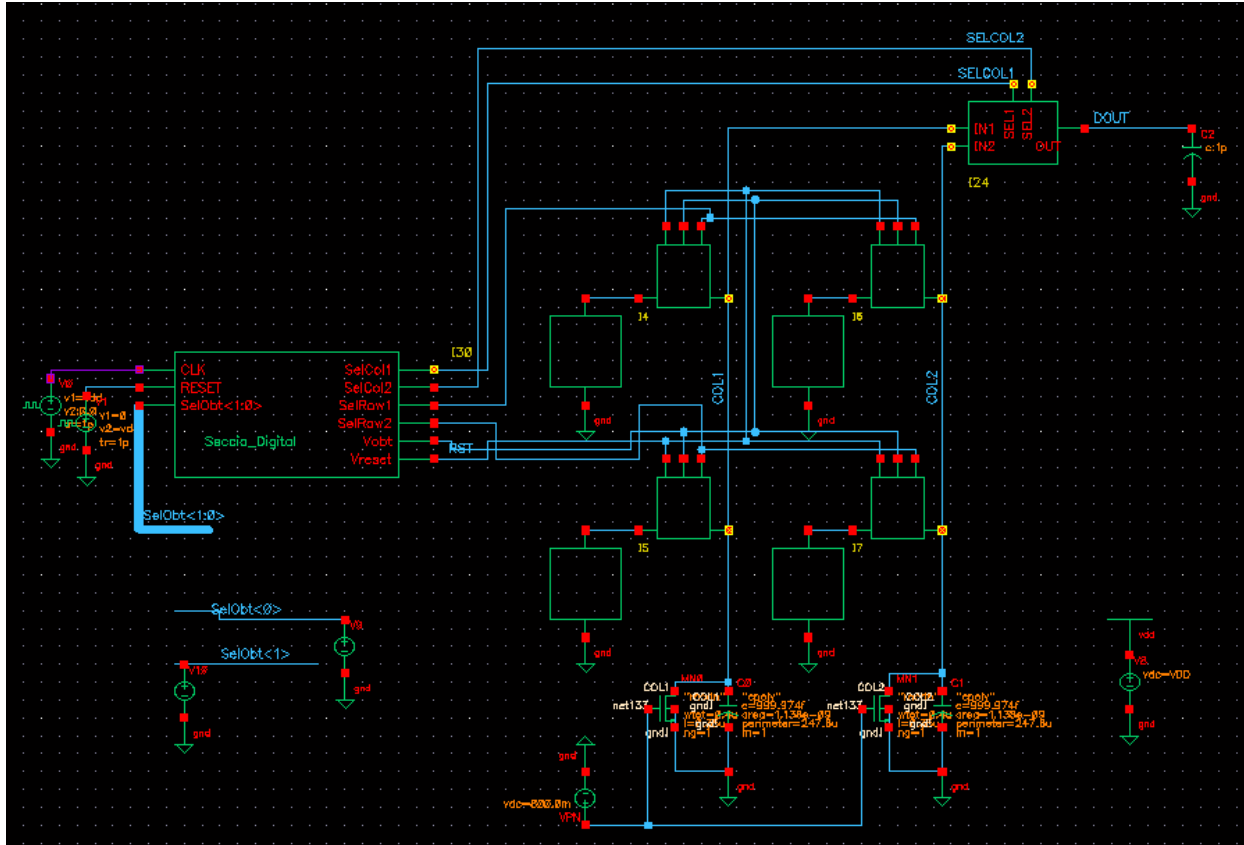


El circuit fa ús de simulació *mixed signal* amb fonts de tensió com a entrades dels circuits. Les fonts de tensió estan programades per a comprovar els quatre possibles temps d'obturació. A l'inici de la simulació es fa un reset del circuit complet i a partir d'aquest moment es prova el circuit durant 1,25ms per cada temps d'obturació.

A la imatge es pot veure el resultat.



Ara, vist que el funcionament és el desitjat, només queda substituir les fonts que hem fet servir per a simular el circuit analògic pel circuit digital.



També adjuntem una simulació del circuit amb un temps d'obtenció de 125us, mostrant el rellotge del sistema, per a poder comptar els cicles. En aquest cas tenim 1 cicle de reset més 10 d'obtenció i a continuació es veuen els 4 cicles de sortida amb el moviment de les senyals dels multiplexors.