

CISE IV

EXAMEN FINAL. 16/01/2003

Temps total: 3 hores

Notes provisionals: 23/1/03

Problema 1 (25%)

D'un sistema basat en el microprocessador 68000, la figura 1 mostra la lògica de descodificació feta servir per l'adreçament de 4 memòries ROM de 4 *kwords* cadascuna, 8 memòries RAM de 1 *kword* i de 8 perifèrics amb 8 *words* cadascun. Es demana:

- a) (2.5 punts) Determineu el mapa de memòria corresponent detallant les adreces inicial i final de cadascuna de les memòries i perifèrics. Hi han zones imatge?

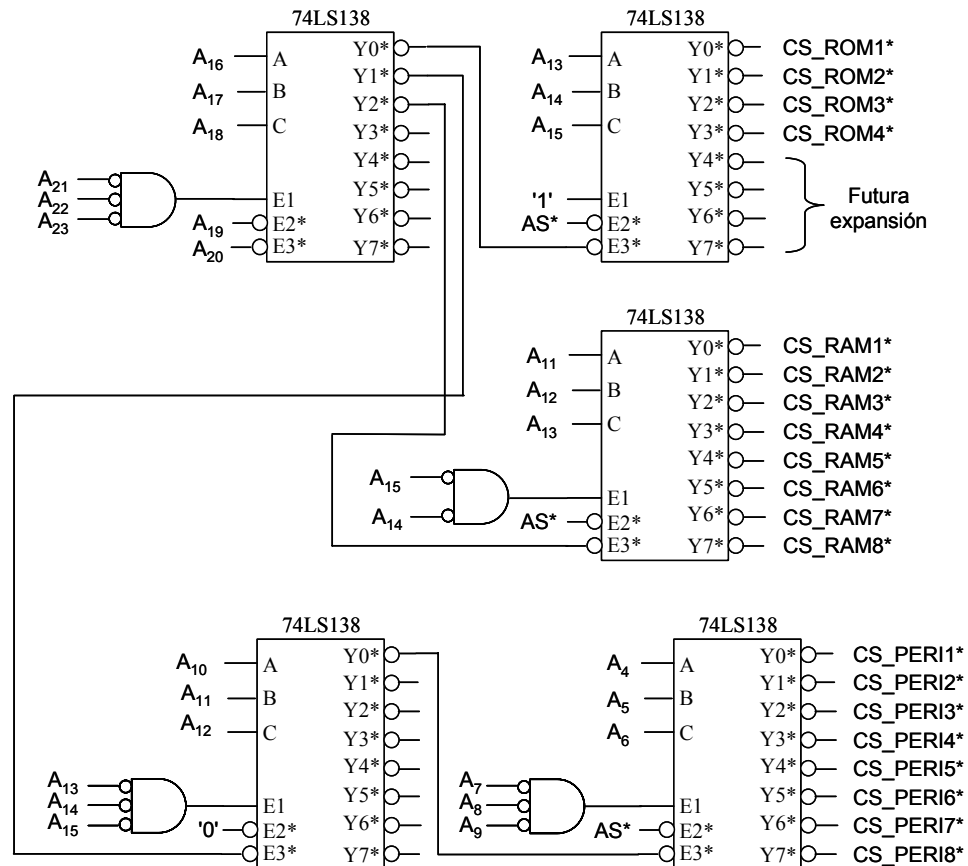


Figura 1

- b) (3 punts) Cada ROM està formada per dos xips de 4 *kbytes* com el de la figura 2. Connecteu adientment el bloc ROM1 al 68000 fent servir els seus senyals i els resultants de la descodificació que apareixen a la figura 1. Indiqueu clarament el valor de *y*.

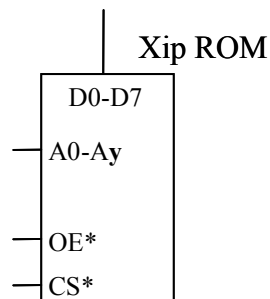
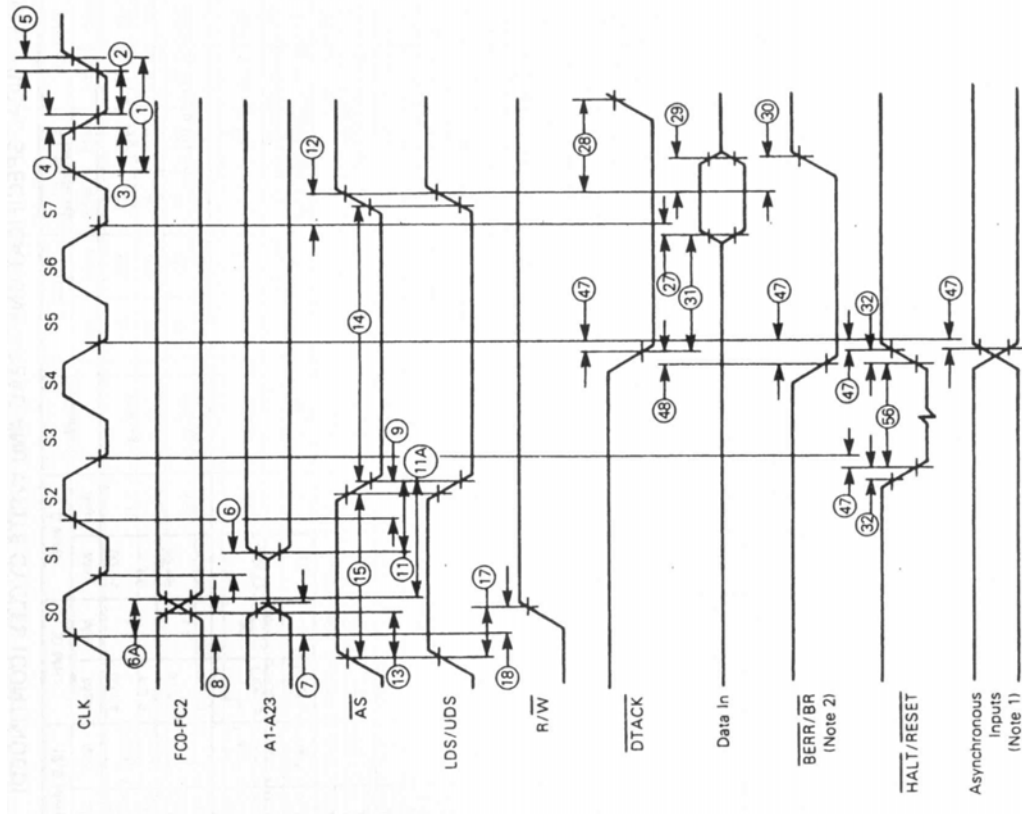


Figura 2

- c) (3 punts) Tenint en compte el cronograma que correspon a un cicle de lectura del microprocessador i els temps descrits a la taula que s'adjunten, determineu el temps d'accés màxim que poden tenir les memòries

per tal de poder treballar a 10 MHz. Suposeu que els descodificadors tenen un retard de 20 ns i que cada porta lògica suposa un retard de 10 ns. Justifiqueu tots els càlculs.

- d) (1.5 punts) Genereu el senyal DTACK* del microprocessador si es fan servir memòries amb un temps d'accés de 110 ns.



Num.	Characteristic	Symbol	8 MHz		10 MHz		12.5 MHz		Unit
			Min	Max	Min	Max	Min	Max	
1	Clock Period	t_{cyc}	125	250	100	250	80	250	ns
2	Clock Width Low	t_{CL}	55	125	45	125	35	125	ns
3	Clock Width High	t_{CH}	55	125	45	125	35	125	ns
4	Clock Fall Time	t_{Cl}	—	10	—	10	—	5	ns
5	Clock Rise Time	t_{Cr}	—	10	—	10	—	5	ns
6	Clock Low to Address Valid	t_{CLAV}	—	70	—	60	—	55	ns
6A	Clock High to FC Valid	t_{CHFCV}	—	70	—	60	—	55	ns
7	Clock High to Address, Data Bus High Impedance (Maximum)	t_{CHADZ}	—	80	—	70	—	60	ns
8	Clock High to Address, FC Invalid (Minimum)	t_{CHAFI}	0	—	0	—	0	—	ns
9 ¹	Clock High to \overline{AS} , \overline{DS} Low	t_{CHSL}	0	60	0	55	0	55	ns
11 ²	Address Valid to \overline{AS} , \overline{DS} Low (Read)/ \overline{AS} Low (Write)	t_{AVSL}	30	—	20	—	0	—	ns
11A2.7	FC Valid to \overline{AS} , \overline{DS} Low (Read)/ \overline{AS} Low (Write)	t_{FCVSL}	60	—	50	—	40	—	ns
12 ¹	Clock Low to \overline{AS} , \overline{DS} High	t_{CLSH}	—	70	—	55	—	50	ns
13 ²	\overline{AS} , \overline{DS} High to Address/FC Invalid	t_{SHAFI}	30	—	20	—	10	—	ns
14 ^{2.5}	\overline{AS} , \overline{DS} Width Low (Read)/ \overline{AS} Low (Write)	t_{SL}	240	—	195	—	160	—	ns
14A.2	\overline{DS} Width Low (Write)	t_{DSL}	115	—	95	—	80	—	ns
15 ²	\overline{AS} , \overline{DS} Width High	t_{SH}	150	—	105	—	65	—	ns
16	Clock High to Control Bus High Impedance	t_{CHCZ}	—	80	—	70	—	60	ns
17 ²	\overline{AS} , \overline{DS} High to R/W High (Read)	t_{SHRH}	40	—	20	—	10	—	ns
18 ¹	Clock High to R/W High	t_{CHRH}	0	70	0	60	0	60	ns
20 ¹	Clock High to R/W Low (Write)	t_{CHRL}	—	70	—	60	—	60	ns
20A.8	\overline{AS} Low to R/W Valid (Write)	t_{ASRV}	—	20	—	20	—	20	ns
21 ²	Address Valid to R/W Low (Write)	t_{AVRL}	20	—	0	—	0	—	ns
21A2.7	FC Valid to R/W Low (Write)	t_{FCVRL}	60	—	50	—	30	—	ns
22 ²	R/W Low to \overline{DS} Low (Write)	t_{RLSL}	80	—	50	—	30	—	ns
23	Clock Low to Data Out Valid (Write)	t_{CLDO}	—	70	—	55	—	55	ns
25 ²	\overline{AS} , \overline{DS} High to Data Out Invalid (Write)	t_{SHDOI}	30	—	20	—	15	—	ns
26 ²	Data Out Valid to \overline{DS} Low (Write)	t_{DOSL}	30	—	20	—	15	—	ns
27 ⁶	Data In to Clock Low (Setup Time on Read)	t_{DIDL}	15	—	10	—	10	—	ns
28 ^{2.5}	\overline{AS} , \overline{DS} High to \overline{DTACK} High	t_{SHDAH}	0	245	0	190	0	150	ns
29	\overline{AS} , \overline{DS} High to Data In Invalid (Hold Time on Read)	t_{SHDI}	0	—	0	—	0	—	ns
30	\overline{AS} , \overline{DS} High to \overline{BERR} High	t_{SHBEH}	0	—	0	—	0	—	ns
31 ^{2.6}	\overline{DTACK} Low to Data In (Setup Time)	t_{DALDI}	—	90	—	65	—	50	ns
32	\overline{HALT} and \overline{RESET} Input Transition Time	t_{HRI}	0	200	0	200	0	200	ns
33	Clock High to \overline{BG} Low	t_{CHGL}	—	70	—	60	—	50	ns
34	Clock High to \overline{BG} High	t_{CHGH}	—	70	—	60	—	50	ns
35	\overline{BR} Low to \overline{BG} Low	t_{BRLGL}	15	90	1.5	80	1.5	70	ns Clk. Per. +3.5

Problema 2 (35%)

Es vol dissenyar un sistema basat en el μC V25 de NEC, que contingui RAM dinàmica. Aquest tipus de RAM es caracteritza per:

- 1) la informació es guarda en capacitats: si carreguem un condensador a una certa tensió, aquest mantindrà la tensió només durant un cert temps, depenent de les pèrdues. S'haurà de refrescar la informació periòdicament.
- 2) Per reduir el número de pins de l'encapsulat es multiplexen les adreces:

Tots els bytes de la RAM es distribueixen en una matriu (files x columnes). El que es fa és primer enviar l'adreça de files (Row) i després la de columnes. Això fa que el número total de pins d'adreces del xip sigui la meitat del necessari.

L'esquema intern, simplificat, d'una RAM dinàmica es pot veure a la Figura 1. Com es pot veure, la quantitat total de memòria és 64Kbytes: distribuïda en una matriu de 256x256 bytes. Els bits d'adreces són només 8 (A0-A7), en comptes de les 16 que a priori es necessitarien.

La multiplexació d'adreces consisteix en guardar l'adreça total en dues operacions. Primer es guarda la meitat de l'adreça a un registre (de files) i després l'altra meitat a un altre (de columnes). Aquests registres de files i columnes guarden les adreces (A0-A7) en els flancs de baixada dels senyals RAS* (Row Address Strobe) i CAS* (Column Address Strobe), respectivament. Aquest darrer senyal també fa les funcions de CS*.

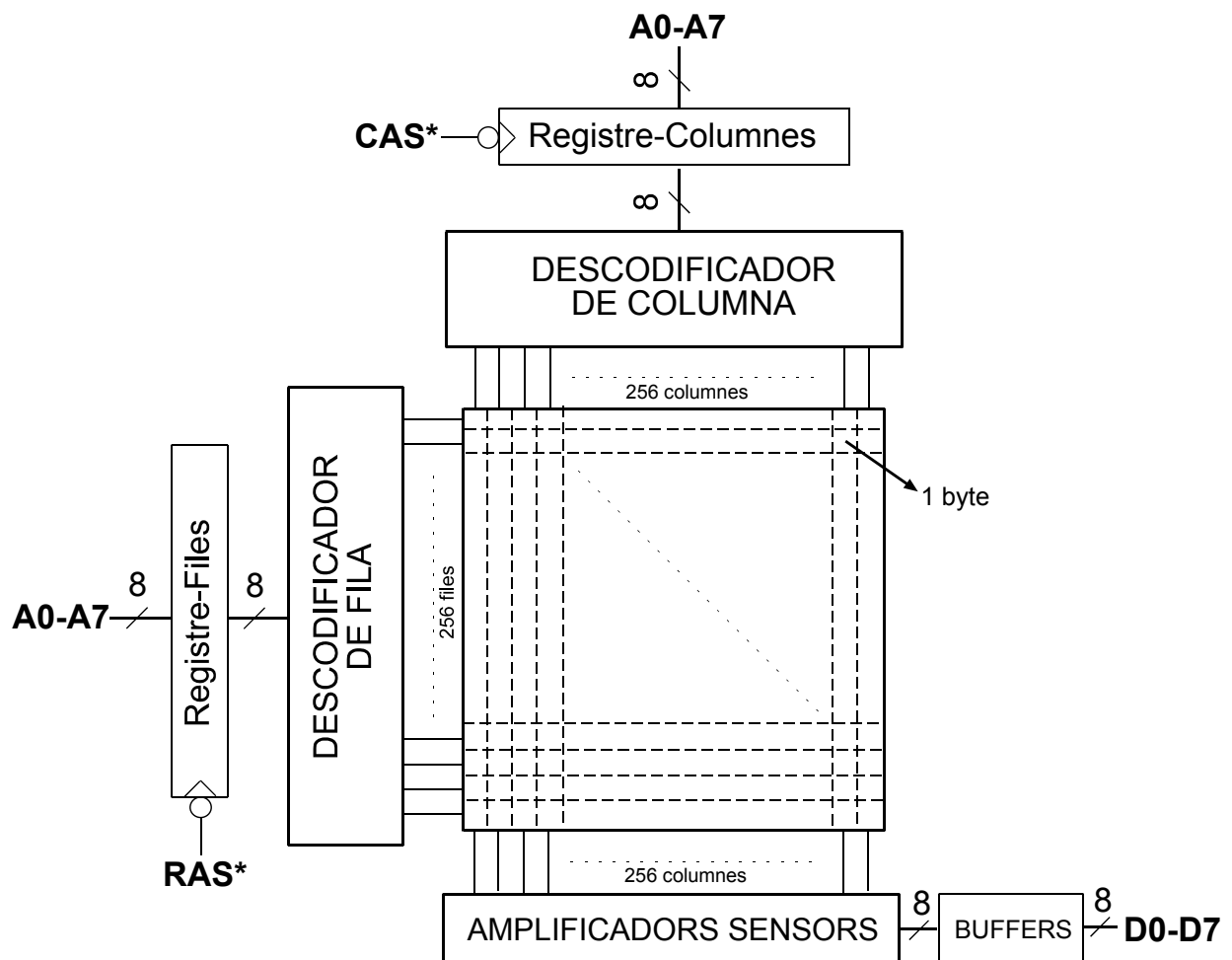


Figura 1: Esquema intern de la RAM dinàmica.

L'operació temporal d'una lectura es pot veure a la figura 2:

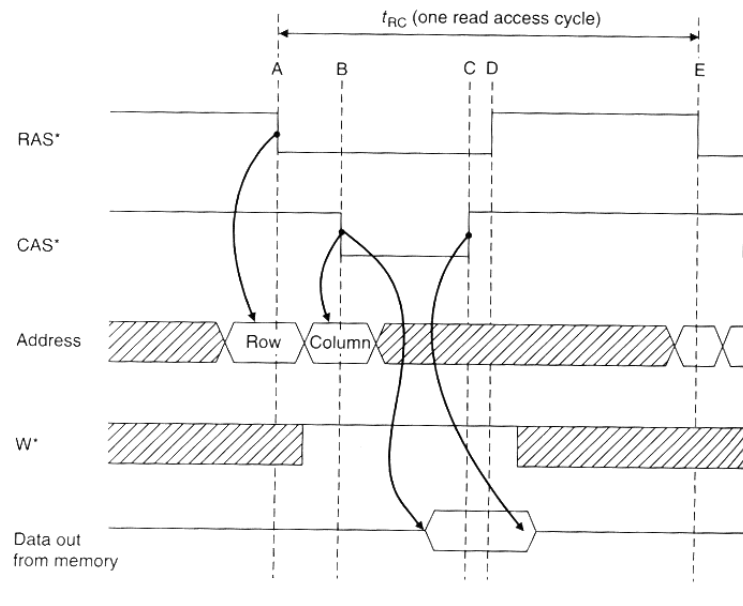


Figura 2: Operació de lectura d'una RAM dinàmica.

- Instant A: amb el flanc de baixada del senyal RAS* la memòria guarda l'adreça de files.
- Instant B: amb el flanc de baixada del senyal CAS* la memòria guarda l'adreça de columnes. Ara la memòria ja té l'adreça completa i comença la descodificació. Amb el seu corresponent retard surten les dades pel bus de dades.
- Instant C: amb la desactivació del senyal CAS*, la memòria deixa, al cap d'un cert retard, el bus de dades en alta impedància.

El sistema dissenyat es pot veure a la següent figura 3:

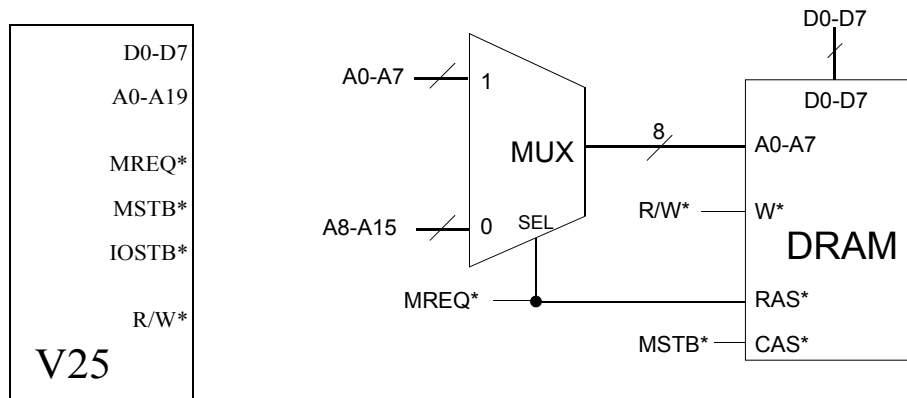


Figura 3: Sistema dissenyat.

En general la temporització requerida entre els senyals RAS* i CAS* demana una circuiteria externa d'una certa complexitat. En aquest cas i com que fem servir el V25, aprofitem el retard entre els senyals MREQ* i MSTB* per a generar aquest retard i poder fer còmodament la multiplexació d'adreces.

El retard del multiplexor entre un canvi del senyal SEL i l'actualització de la sortida és de 10 ns (retard fix, sempre el mateix) i la freqüència de treball del V25 és de 10MHz.

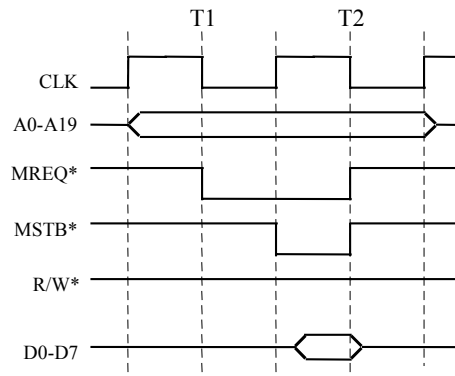


Figura 4: Cronograma lectura V25.

Es demana:

- a) (1 punt) Rang d'adreces ocupat per la RAM al sistema i n° de zones imatge (si n'hi ha).

Rang[@]:

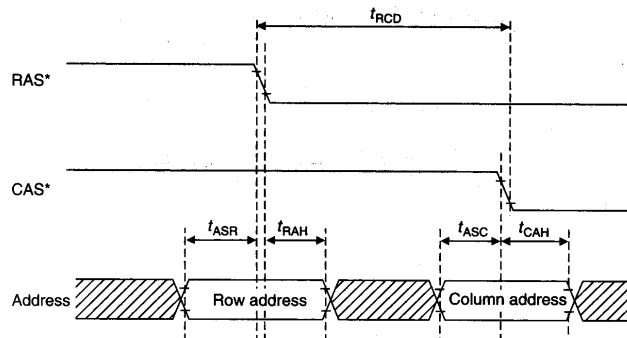
N° Z.I.:

- b) (2 punts) Quan executem la instrucció `aux=*(BYTE far*)MK_FP(0x1234,0x5678)`, quina serà l'adreça, en hexadecimal, de columna i quina la de fila a l'interior de la RAM ?

Fila:

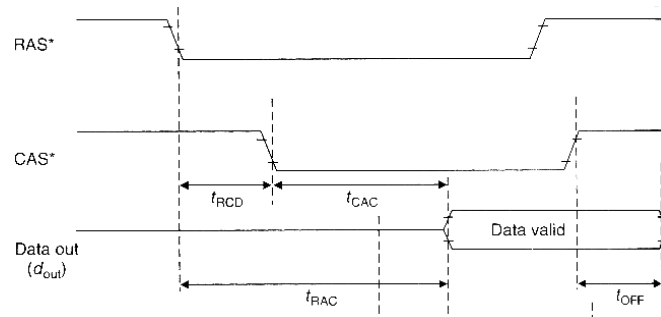
Columna:

- c) (2.5 punts) A la següent figura tenim la temporització requerida entre els senyals RAS* i CAS* i les adreces. El nostre sistema compleix tots els cinc requisits temporals ?



t_{ASR} : Temps de setup d'adreces de fila:	5 ns	(mín.)
t_{RAH} : Temps de hold d'adreces de fila:	5 ns	(mín.)
t_{ASC} : Temps de setup d'adreces de columna:	7 ns	(mín.)
t_{CAH} : Temps de hold d'adreces de columna:	7 ns	(mín.)
t_{RCD} : Temps entre activació RAS* i activació CAS*	25 ns (mín.) – 75 ns (max.)	

- d) (2.5 punts) Els temps d'accés de la memòria (t_{RAC} i t_{CAC}) es visualitzen a la següent figura. Tenint en compte el sistema que hem dissenyat i la temporització del V25 en cicle de lectura, funcionarà el sistema? (independentment de la resposta a l'apartat anterior).



t_{RAC} : Temps màxim des d'activació RAS* fins dada vàlida: 100 ns (temps d'accés)
 t_{CAC} : Temps màxim des d'activació CAS* fins dada vàlida: 25 ns (temps d'accés)

Temps setup bus de dades del V25 en lectura: 10ns.

- e) (2 punts) Les memòries dinàmiques necessiten ser refrescades periòdicament. Estan dissenyades de tal manera que quan es fa la lectura d'una dada situada a una fila concreta, es fa automàticament el refresc de tota la fila. Sabent això s'han fet els següents programes:

PROGRAMA A

```
WORD p=0x0000; // variable global
void interrupt RSI_Timer0 ()
{
    BYTE aux;

    // lectura dada: refresc de la seva fila
    aux=*(BYTE far *)MK_FP(0x0000,p);

    p++;
    FINT;
}
```

PROGRAMA B

```
void interrupt RSI_Timer0 ()
{
    BYTE aux;
    WORD i,p;

    p=0x0000;
    for (i=0;i<256;i++) {
        aux=*(BYTE far *)MK_FP(0x0000,p);
        p++;
    }
    FINT;
}
```

Un byte qualsevol de la memòria s'ha de refrescar cada 50ms com a màxim (i per tant cada 50 ms s'ha d'haver refrescat tota la RAM). Indiqueu la freqüència mínima d'interrupció del Timer0 que s'hauria de programar per cadascun dels dos programes. Quin dels dos triaríeu? Justifiqueu breument la resposta.

Freqüència mínima prog. A:

Freqüència mínima prog. B:

Problema 3 (20%)

A un sistema amb un microprocessador V25 que té 128 Kbytes de memòria EPROM i 128 Kbytes de memòria RAM se li connecta un analitzador lògic per poder analitzar la temporització i optimitzar-lo. La pantalla de l'analitzador es mostra a la figura 1

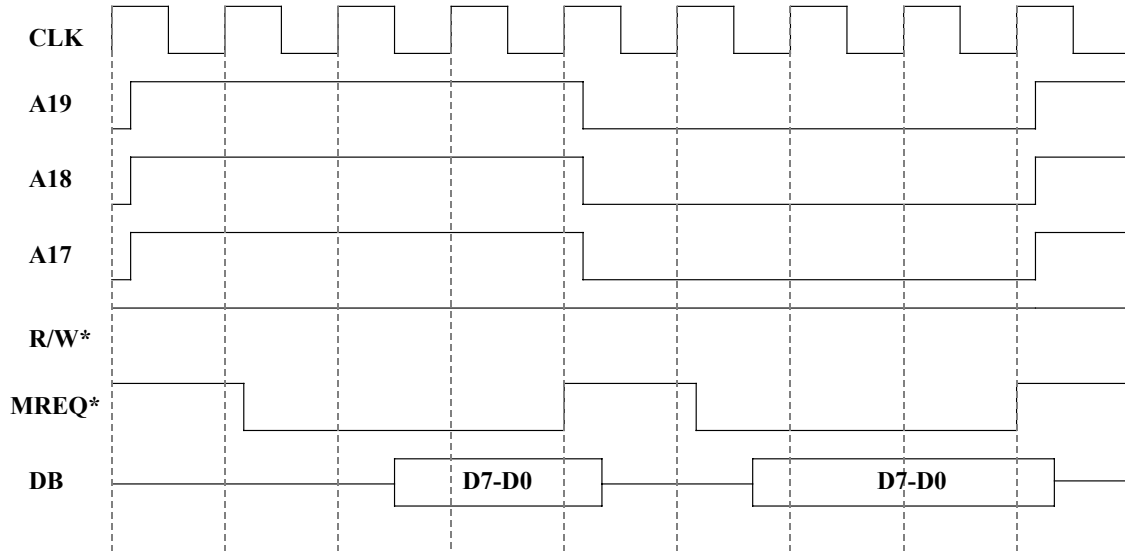


Figura 1

En la descodificació de les memòries, tant EPROM com RAM, es fa servir el senyal MREQ* i no el MSTB*. D'altra banda, el registre WTC del μP , que determina el nombre d'estats d'espera per accedir al diferents blocs de memòria es mostra a la figura 2.

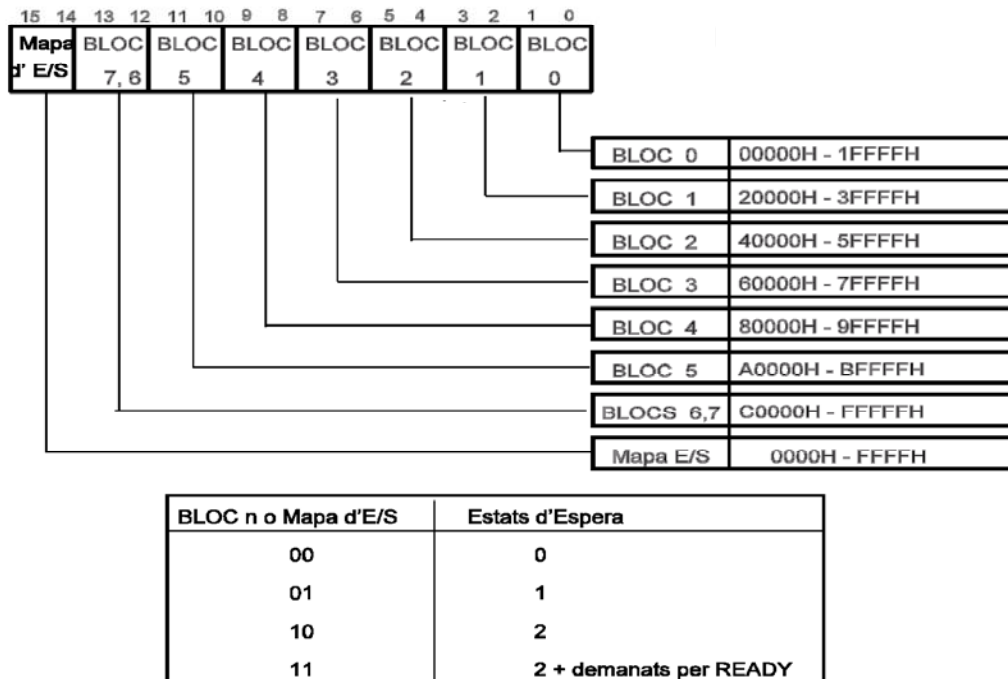


Figura 2

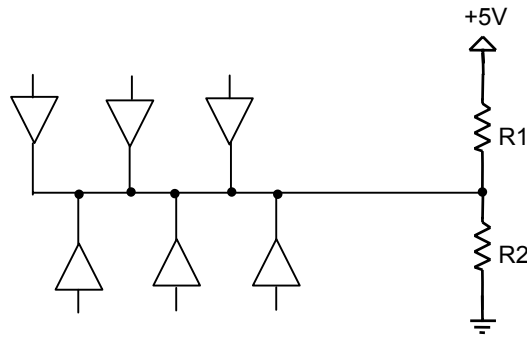
Nom i Cognoms:

a) (3 punts) Suposant que tots els blocs estàn en les mateixes condicions, quin és el valor en Hexadecimal del registre WTC.

b) (7 punts) Quin seria el valor òptim del registre WTC per tal d'accedir a les memòries el mes ràpid possible.

Problema 4 (20 %)

En sistemes μP que treballen a altes freqüències, la longitud dels cables dels busos s'apropen a l'ordre de magnitud de la longitud d'ona de propagació dels senyals. Per això, i especialment als busos que es troben molt sovint en estat d'alta impedància i per tal d'evitar efectes de reflexió d'ona, cal acabar aquestes línies conductores amb la seva impedància característica (Z_c) mitjançant un divisor de tensió resistiu, com el mostrat a la figura, amb $R1//R2 = Z_c = 150\Omega$.



Determineu els límits màxim i mínim de $R1$ (o de $R2$) perquè es respectin els nivells V_{OHmin} i V_{OLmax} del dispositiu emissor del bus, i així la transmissió per aquest bus sigui la correcte.

Dades del dispositiu emissor:

$V_{OHmin} = 3,5v$ per a $I_{OHmax} = -10\text{ mA}$; $V_{OLmax} = 1,5v$ per a $I_{OLmax} = 10mA$

Els altres dispositius connectats al bus:

Els seus efectes de càrrega es poden considerar menyspreables.