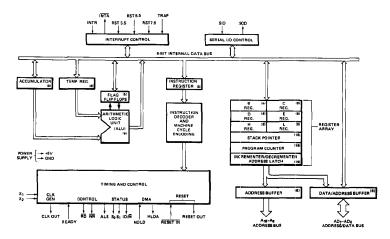


A mitjans dels 70 va aparèixer el Intel 8085, l'antecessor directe del 8088, que millorava el chip d'Intel 8080.

- 1. Busos de dades, d'acreçes i de control (20%). El 8085, al igual que el 8088, té el bus AD7-AD0 multiplexat en el temps (quan el senyal de control ALE=1 indica que AD7-AD0 conté la part baixa de les adreces; quan ALE=0, hi han dades.) El bus de control està format bàsicament per tres senyals RD_L (=0 si hi ha cicle lectura), WR_L (=1 si hi ha cicle d'escriptura) i IO/M_L (=1 si ha accés a E/5 i =0 si hi ha accés a memòria).
- b) Determina les expressions lògiques dels següents senyals en funció dels bussos del 8085 (10%): IOR_L (=0 quan hi ha un cicle de lectura a E/S i sinó), IOW_L (=0 quan hi ha un cicle d'escriptura a E/S i sinó), MEMR_L (=0 quan hi ha un cicle de lectura a memòria i sinó), MEMW_L (=0 quan hi ha un cicle d'escriptura a memòria i sinó),

a) Omple justificadament la taula següent (10%):

Especificacions	8085
Amplada del bus de dades (en bits)	8
Amplada del bus d'adreçes (en bits)	16
Memòria màxima adreçable (en Kbytes)	_



- 2. Arquitectura (10%). Es demana: marcar a la figura adjunta l'unitat de control i l'unitat de dades;
- 3. Cicles d'instruccions (40%). Es disposa de la següent descripció d'una porció del conjunt d'instruccions del 8085:

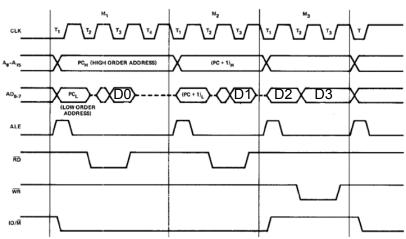
Mnemònic	Llargària en bytes	Cicles de	Codi d'operació								
		rellotge	simbòlica	7	6	5	4	თ	2	1	0
OUT nn	2	10T⁺	[nn]←A*	1	1	0	1	0	0	1	1
INR r	1	5T	r←r+1	0	0	۵	٥	۵	1	0	0

Reg
В
L
Α

Es demana: a) (5%) completar el següent programa

	Codi ı	màquina¹				
Adreça	Codi d'operació	Op	eranc	ls	Instrucció	Comentaris ²
0600H					OUT 05	
					INR A	

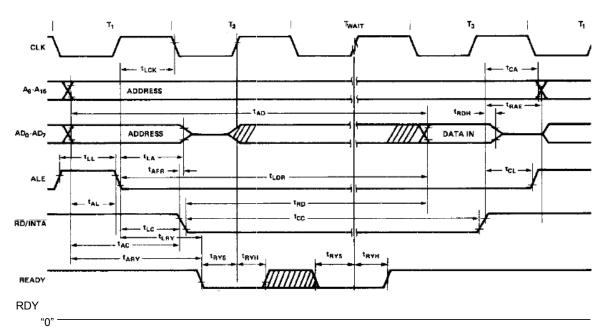
- 1 ESPECIFICAR EL CÓDI MÀQUINA EN HEXADECIMAL
- 2 DETALLAR EL SIGNIFICAT DE CADA INSTRUCCIÓ D'ACORD AMB LA FUNCIONALITAT DEL PROGRAMA; EN EL CAS D'INTRUCCIONS QUE TRASNFEREIXEN DADES. INDICAR EL TIPUS D'ACREÇAMENT QUE ES FA SERVIR (DIRECTE, ETC.)
- b) (5%) Determinar justificadament la llargària del espai d'E/S del 8085
- A la figura de la dreta es mostra el cicle d'instrucció d'una de les dues instruccions del programa de l'apartat a.
- c) (5%) A quina de les dues pertany? Perquè?
- d) (10%) Quines operacions es fan als cicles màquina M1, M2 i M3? Per què?



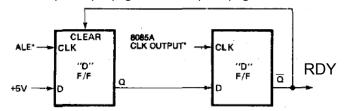
⁺ T=Període de la senyal de rellotge; * [nn]= dada a la casella de E/S on apunta nn

f) (10)% Quin és el valor de DO, D1, D2 i D3? Per què?

- 4. Cicle de bus de lectura (30%). A la figura de la dreta es mostra un cicle de lectura a una data d'un byte a memòria amb l'inclusió dels estats d'espera (Twait).
- a) (10%) Determinar justificadament les **tres** restriccions temporals (incloent valors en ns) que hauria de complir una memòria connectada al 8085 per tal de que aquest pogués llegir una dada correctament a la seva entrada.



- b) (5%) si el 8085 rep pel seu senyal d'entrada READY un "O" lògic prolonga indefinidament l'estat Twait, quan mostreja aquest senyal per tal d'inserir o no l'estat Twait? Per què?
- c) (10%) Dibuixar a la figura de dalt el senyal RDY del següent dispositiu basat en dos Flip-flops D amb senyal Clear asíncrona i activa per nivell baix (suposar els temps de propagació del flip-flop igual a zero)



d) (5%) Si el senyal RDY es connectés a l'entrada READY del 8085, quants estats d'espera (mesurat en períodes del senyal de rellotge) s'inseririen i perquè? Proposar una modificació al circuit basat en F/F D per tal d'inserir un estat d'espera més.

Symbol	Parameter	8085A ^[2]			
•,	1 313.113.01	Min.	Max.		
tcyc	CLK Cycle Period	320	2000		
11	CLK Low Time (Standard CLK Loading)	80			
t ₂	CLK High Time (Standard CLK Loading)	120			
t _r ,t _f	CLK Rise and Fall Time		30		
txka	X ₁ Rising to CLK Rising	30	120		
t _{XKE}	X ₁ Rising to CLK Falling	30	150		
t _{AC}	A ₈₋₁₅ Valid to Leading Edge of Control ^[1]	270			
TACL	A ₀₋₇ Valid to Leading Edge of Control	240			
t _{AD}	A ₀₋₁₅ Valid to Valid Data In		575		
tAFR	Address Float After Leading Edge of				
	READ (INTA)		0		
t _{AL}	A ₈₋₁₅ Valid Before Trailing Edge of ALE ^[1]	115			
t _{ALL}	A ₀₋₇ Valid Before Trailing Edge of ALE	90	655		
tARY	READY Valid from Address Valid	1	220		
t _{CA}	Address (A ₈₋₁₅) Valid After Control	120			
tcc	Width of Control Low (RD, WR, INTA)	,,,			
	Edge of ALE	400			
t _{CL}	Trailing Edge of Control to Leading Edge				
	of ALE	50			
t _{DW}	Data Valid to Trailing Edge of WRITE HLDA to Bus Enable	420	010		
t _{HABE}			210		
THABE	Bus Float After HLDA		210		
THACK	HLDA Valid to Trailing Edge of CLK	110			
t _{HDH}	HOLD Hold Time	0			
tHDS	HOLD Setup Time to Trailing Edge of CLK	170			
tinh	INTR Hold Time	0			
tins	INTR, RST, and TRAP Setup Time to	1 1			
	Falling Edge of CLK	160			
t _{LA}	Address Hold Time After ALE	100			
t _{LC}	Trailing Edge of ALE to Leading Edge	1 1			
	of Control	130			
t _{LCK}	ALE Low During CLK High	100			
t _{LDR}	ALE to Valid Data During Read		460		
tLDW	ALE to Valid Data During Write ALE Width	1	200		
tLL	ALE to READY Stable	140	110		
tLRY	73.	, 1	110		
	Trailing Edge of READ to Re-Enabling	150	1		
	of Address				
t _{RD} i	READ (or INTA) to Valid Data		300		
	Control Trailing Edge to Leading Edge	400			
	of Next Control	-700			
	Data Hold Time After READ INTA ^[7]	0			
	READY Hold Time	0			
110					
	READY Setup Time to Leading Edge of CLK	110			
two	Data Valid After Trailing Edge of WRITE	100			
יו טעשי			-		



A mitjans dels 70 va aparèixer el Intel 8085, l'antecessor directe del 8088, que millorava el chip d'Intel 8080.

- 1. Busos de dades, d'acreçes i de control (20%). El 8085, al igual que el 8088, té el bus AD7-AD0 multiplexat en el temps (quan el senyal de control ALE=1 indica que AD7-AD0 conté la part baixa de les adreces; quan ALE=0, hi han dades.) El bus de control està format bàsicament per tres senyals RD L (=0 si hi ha cicle lectura), WR_L (=1 si hi ha cicle d'escriptura) i IO/M_L (=1 si ha accés a E/S i =0 si hi ha accés a memòria).
- Especificacions 9095

a) Omple justificadament la taula següent (10%):

Lapecinicaciona	0000
Amplada del bus de dades (en bits)	8
Amplada del bus d'adreçes (en bits)	16
Memòria màxima adreçable (en Kbytes)	64

2^16*8bits=64Kbytes

b) Determina les expressions lògiques dels següents senyals en funció dels bussos del 8085 (10%): IOR_L (=0 quan hi ha

un cicle de lectura a E/S i sinó), IOW_L (=0 quan hi ha un cicle d'escriptura a E/S i sinó), MEMR_L (=0 quan hi ha un cicle de lectura a memòria i sinó), MEMW_L (=0 quan hi ha un cicle d'escriptura a memòria i sinó),

$$IOR_L = RD_L + IO/M_L$$
 $IOW_L = WR_L + \overline{IO/M_L}$
 $MEMR_L = RD_L + IO/M_L$
 $MEMW_L = WR_L + IO/M_L$

2. Arquitectura (10%). Es demana: marcar a la figura adjunta l'unitat de control i l'unitat de dades;

NOTA: La resta de la part marcada és l'unitat de dades.

3. Cicles d'instruccions (40%). Es disposa de la següent descripció d'una porció del conjunt d'instruccions del 8085:

	SD 300
ACCUMULATON TEMP REG. FEAG 39 FEAT THE TEMP REG. FEAT THE TEMP	REC. 18 C. 18 REC. 18 C. 19 RE
TIMING AND CONTROL TO THE CLK TO THE CLK OUT RO THE CLK OUT RO THE CLK OUT REST OUT REST TO THE CLK OUT	ADDRESS BUFFER (0) DATA/ADDRESS BUFFER (0)
Unitat de control	AUDRESSUATA BUS

Mnemònic	Llargària en bytes	Cicles de Operació simbòlica		Codi d'operació								
		rellotge	Simbolica	7	6	5	4	3	2	1	0	
OUT nn	2	10⊤⁺	[nn]←A*	1	1	0	1	0	0	1	1	
INRr	1	5T	r←r+1	0	0	D	D	D	1	0	0	

טטט	Reg
000	В
101	L
111	Α

Es demana: a) (5%) completar el següent programa

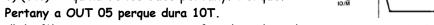
	Codi ı	màquir	na ¹		
Adreça	Codi d'operació	Operands		Instrucció	Comentaris ²
0600H	D3	05		OUT 05	Treu el contingut de l'accumulador A per l'adreça de l'E/S 05H
0602H	3 C			INR A	Incrementa en una unitat el contigut d'A

1 ESPECIFICAR EL CÓDI MÀQUINA EN HEXADECIMAL 2 DETALLAR EL SIGNIFICAT DE CADA INSTRUCCIÓ D'ACORD AMB LA FUNCIONALITAT DEL PROGRAMA; b) (5%) Determinar justificadament la llargària del espai d'E/S del 8085

Com l'adreça E/S ocupa segons l'instrucció 1 byte tenim a l'espai E/S un total de 28 caselles d'una amplada igual a la del bus de dades 8 bits (256bytes).

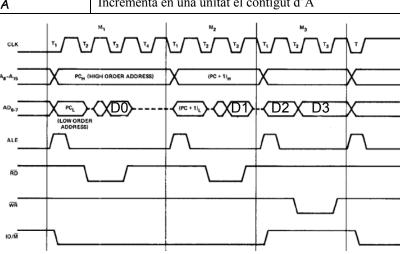
A la figura de la dreta es mostra el cicle d'instrucció d'una de les dues instruccions del programa de l'apartat a.

c) (5%) A quina de les dues pertany? Perquè?



d) (10%) Quines operacions es fan als cicles màquina M1, M2 i M3? Per què?

A M1 comença el cicle d'instrucció es fa la captura del codi d'operació a memòria (a T1 es treu l'adreça ja que ALE=1, a T2 iT3 es fa la lectura ja que RD_L=0 i IO/M_L=0) i en T4 es decodifica ja que RD_L=WR_L=1); A M2 es captura de memòria l'operand de l'instrucció OUT 05H ja que un cop es treu l'adreça a T1 en T2 i T3 s'activa RD_L=0 i i IO/M_L=0; A M3



⁺ T=Període de la senyal de rellotge; * [nn]= dada a la casella de E/S on apunta nn

s'executa l'instrucció i això implica fer un accés a lespai E/S (i IO/M_L=1) i treure primer l'adreça a T1 (ALE=1) i desprès treure la dada a escriure activant WR_L=0.

e) (5%) Quin és el valor de la part alta del bus d'adreces (A8-A15) en M1 i M2? Perquè?

A la part alta tindrem la part alta del comptador de programa PC ja que s'està accedint a capturar primer el codi d'operació i desprès l'operand; per tant, en M1 $A15-8=PC_{High}=0600_{High}=06$ i en M2 $A15-8=PC_{High}=0601_{High}=06$.

f) (10)% Quin és el valor de DO, D1, D2 i D3? Per què?

D'acord amb els cicles màquina tenim que D0 és el codi d'operació (D3H), D1 l'operand (O5H), D2 l'adreça de l'E/S (O5H) i D3 el valor de l'accumulador.

4. Cicle de bus de lectura (30%). A la figura de la dreta es mostra un cicle de lectura a una data d'un byte a memòria amb l'inclusió dels estats d'espera (Twait).
a) (10%) Determinar justificadament les tres restriccions temporals (incloent valors en ns) que hauria de complir una memòria connectada al 8085 per tal de que aquest pogués llegir una dada correctament a la seva entrada.

D'acord amb les definicions que apareixen a la taula, les especificacions del 8085 marquen el punt des que s'activen els seus senyals de control fins que com a molt tard (temps màxims) la dada s'ha de col.locar al bus de dades: tAD (575ns), tLDR (450ns) i tRD(300ns). Aquest tres valors són els que

CLK

T1

T2

TNAIT

T3

T1

Ag-A16

ADDRESS

ADDRESS

TAD

TRDH

TRDH

TRDH

TRAIT

TATA

TRAIT

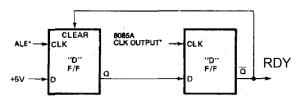
TRA

una memòria connectada hauria de complir per garantir una lectura correcta de la dada per part del 8085.

b) (5%) si el 8085 rep pel seu senyal d'entrada READY un "0" lògic prolonga indefinidament l'estat Twait, quan mostreja aquest senyal per tal d'inserir o no l'estat Twait? Per què?

Mostreja aquest senyal al flanc ascendent de T2 per que només pot ser en un flanc del senyal CLK ja que el 8085 és un sistema síncron i a més és justament en aquest punt ja que hi han les especificacions dels temps de setup (tRYS) i de hold (tRYH) del senyal d'entrada READY.

c) (10%) Dibuixar a la figura de dalt el senyal RDY del següent dispositiu basat en dos Flip-flops D amb senyal Clear asíncrona i activa per nivell baix (suposar els temps de propagació del flip-flop igual a zero)



d) (5%) Si el senyal RDY es connectés a l'entrada READY del 8085, quants estats d'espera (mesurat en períodes del senyal de rellotge) s'inseririen i perquè? Proposar una modificació al circuit basat en F/F D per tal d'inserir un estat d'espera més.

Com en el flanc ascendent de T2 el senyal RDY val encara "0" el 8085 captura aquest valor correctament encara que justament en aquest punt canviï a "1" ja que el temps de hold tRYH=0. Per tant s'insereix un estat d'espera. Per tal d'inserir dos estats cal modificar el circuit original de la següent manera:

Symbo	Parameter	8085A ^[2]			
	7 414110101	Min.	Max.		
tcyc	CLK Cycle Period	320	2000		
t ₁	CLK Low Time (Standard CLK Loading)	80			
t ₂	CLK High Time (Standard CLK Loading)	120			
t_r, t_t	CLK Rise and Fall Time		30		
txkR	X ₁ Rising to CLK Rising	30	120		
txke	X ₁ Rising to CLK Falling	30	150		
tac	A ₈₋₁₅ Valid to Leading Edge of Control ^[1]	270			
† _{ACL}	A ₀₋₇ Valid to Leading Edge of Control A ₀₋₁₅ Valid to Valid Data In	240	676		
† _{AD}	Address Float After Leading Edge of		575		
tAFR	READ (INTA)		0		
tAL	A ₈₋₁₅ Valid Before Trailing Edge of ALE ^[1]	115			
TALL	A ₀₋₇ Valid Before Trailing Edge of ALE	90			
tARY	READY Valid from Address Valid		220		
tca	Address (A ₈₋₁₅) Valid After Control	120			
tcc	Width of Control Low (RD, WR, INTA)				
	Edge of ALE	400			
t _{CL}	Trailing Edge of Control to Leading Edge				
	of ALE	50			
tow	Data Valid to Trailing Edge of WRITE	420			
tHABE	HLDA to Bus Enable		210		
tHABE	Bus Float After HLDA		210		
t _{HACK}	HLDA Valid to Trailing Edge of CLK	110			
tHDH	HOLD Hold Time	0			
t _{HDS}	HOLD Setup Time to Trailing Edge of CLK INTR Hold Time	170			
tinh	INTR, RST, and TRAP Setup Time to	0			
t _{INS}	Falling Edge of CLK	160			
t _{LA}	Address Hold Time After ALE	100			
tLC	Trailing Edge of ALE to Leading Edge	100	-		
100	of Control	130			
tLCK	ALE Low During CLK High	100			
TLDR	ALE to Valid Data During Read	1 100	460		
t _{LDW}	ALE to Valid Data During Write	- 1	200		
tLL	ALE Width	140			
tLRY	ALE to READY Stable		110		
^t RAE	Trailing Edge of READ to Re-Enabling of Address	150	1		
tRD	READ (or INTA) to Valid Data		300		
	Control Trailing Edge to Leading Edge	400	-		
t _{RV}	of Next Control	400			
t _{RDH}	Data Hold Time After READ INTA[7]	0			
t _{BYH}	READY Hold Time	0			
t _{RYS}	READY Setup Time to Leading Edge of CLK	110			
twp	Data Valid After Trailing Edge of WRITE	100			
WDL	LEADING Edge of WRITE to Data Valid		40		

