

WUOLAH



vrnk98

www.wuolah.com/student/vrnk98



11188

Relacion Tema 2.pdf

Relacion 1 y 2



1º Tecnología y Organización de los Computadores



Grado en Ingeniería Informática



Escuela Técnica Superior de Ingenierías Informática y de Telecomunicación
UGR - Universidad de Granada



CUNEF POSTGRADO

La formación que necesitas para tu **futuro profesional**



FINANZAS



DATA



DERECHO

SCIENCE

www.cunef.edu

RELACION EJERCICIOS TEMA 2

1. Suponiendo que en un lenguaje máquina todas las instrucciones dispusieran de un código de operación (CO) fuesen de 16 bits ¿Cuántas instrucciones distintas se podrían formar con dicho lenguaje?

2^{16} instrucciones = 65536 instrucciones

2. Un procesador dispone de los siguientes elementos: registro de dirección de memoria (AR) de 16 bits, registro de memoria (DR) de 8 bits, contador de programa (PC), registro de instrucción (IR), registros de uso general (R0, R7) y un registro temporal RT para las operaciones con la ALU. Indicar:

- a. Número de hilos (bits) de los buses de datos y de direcciones.
8 hilos (bus de datos) 16 hilos (bus de direcciones)
- b. Tamaño en bytes de la memoria principal.
 $2^{16} = 65536$ Bytes
- c. Tamaño en bits del registro PC.
16 bits (ya que almacena direcciones y AR tiene 16 bits)

3. Un procesador dispone, entre otros, de los siguientes elementos: registro de dirección (AR) de 32 bits, registro de datos (DR) de 16 bits y contador de programa (PC). Indicar:

- a. Número de bits del bus de datos.
16 bits (bus de datos)
- b. Número de bits del bus de direcciones.
32 bits (bus de direcciones)
- c. Tamaño máximo posible de la memoria principal (en MB o GB).
 $2^{32} \cdot 2 \text{ B} = 8 \text{ GB}$
- d. Tamaño en bits del registro PC.
32 bits

4. Suponga que un procesador llamado CODE-2 dispusiese de una instrucción memorizar, ST r1, que almacena en la posición rD de memoria el contenido del registro r1. La instrucción tiene de código (en hexadecimal) 1100. Suponiendo que ésta instrucción se encuentra en la posición A777 de la memoria, que en rD se encuentra el valor 5ACD y r1 contiene FFFF, realice una tabla donde se indiquen las distintas microoperaciones que deben generarse durante la ejecución de la instrucción, los valores que tienen en cada momento los registros PC, AR, DR e IR, y los cambios producidos en la memoria.

5

**SACA UN 5 PELAO
EN NUESTRO TEST
DE INGLÉS**



**Y GANA
UN VIAJE A
NUEVA YORK**

PARTICIPA Y GANA

Fase	Microoperación	Contenido de los registros					
		PC	IR	AR	DR	rD	r1
Valores iniciales		A777	----	----	----	5ACD	FFFF
Captación de la instrucción	AR ← PC	A777	----	A777	----	5ACD	FFFF
	DR ← M(AR)	A777	----	A777	1100	5ACD	FFFF
	IR ← DR	A777	1100	A777	1100	5ACD	FFFF
	PC ← PC+1	A778	1100	A777	1100	5ACD	FFFF
Ejecución de la instrucción	AR ← rD	A778	1100	5ACD	1100	5ACD	FFFF
	DR ← r1	A778	1100	5ACD	FFFF	5ACD	FFFF
	M(AR) ← DR	A778	1100	5ACD	FFFF	5ACD	FFFF

5. Considere un procesador llamado CODE-2 (2 Bytes por dato) que funciona a una frecuencia de 1 GHz. Suponiendo que las transferencias en los buses no ralentizan el funcionamiento de CODE-2 (es decir, en un ciclo de reloj se hace una transferencia de información), hacer una estimación del ancho de banda (MB/s) en los buses externos de dirección y de datos.

$$\frac{10^9 \text{ ciclos}}{1 \text{ seg}} \cdot \frac{2 \text{ Bytes}}{1 \text{ ciclo}} \cdot \frac{1 \text{ GB}}{2^{30} \text{ B}} = 1'86 \text{ GB/seg}$$

6. Un acelerador de gráficos AGP 4x , de 32 bits, funciona a una frecuencia de 66 MHz y su ancho de banda (velocidad de transferencia) es de 1055916032 B/s, ¿Cuántos Bytes se transfieren por ciclo? ¿Cuántas transferencias se realizan por ciclo?

$$\frac{1055916032 \text{ B}}{1 \text{ seg}} \cdot \frac{1 \text{ transferencia}}{4 \text{ Bytes}} \cdot \frac{1 \text{ seg}}{66 \cdot 10^6 \text{ ciclos}} = \frac{4 \text{ transferencias}}{1 \text{ ciclo}}$$

7. Sabiendo que en la especificación del bus estándar ISA se determina que las transferencias son de 16 bits de datos, que se necesitan 3 ciclos para realizar cada una de ellas y la frecuencia de reloj es de 8 MHz ¿Qué velocidad de transferencia se obtiene?

$$\frac{8 \cdot 10^6 \text{ ciclos}}{1 \text{ seg}} \cdot \frac{1 \text{ transferencia}}{3 \text{ ciclos}} \cdot \frac{2 \text{ Bytes}}{1 \text{ transferencia}} = \frac{5'086 \text{ MB}}{1 \text{ seg}}$$

8. En el CS1 los datos son de 8 bits, las direcciones son de 6 bits. Tiene un Repertorio de Instrucciones de 4 instrucciones (STOP, ADD, SUB, STA). La fase de captación siempre consume 2 ciclos de reloj. La fase de ejecución consume STOP (1 ciclo), ADD y SUB (3 ciclos) y STA (2 ciclos).

**NO TE LIES
VIAJA**

**PARTICIPA
AQUÍ**



notelies.
myenglishcool.
com

**MY
ENGLISH
COOL**
EASIER...
CHEAPER...
BETTER

WUOLAH

Si la frecuencia de reloj del CS1 es de 50 MHz y se ejecuta un programa benchmark que contiene 24 instrucciones ADD, 26 instrucciones SUB, 10 instrucciones STA y una instrucción STOP. Indicar:

a) Número de ciclos de reloj totales consumidos por el programa.

$$(24 + 26 + 10 + 1) \cdot 2 + (24 \cdot 2 + 26 \cdot 3 + 10 \cdot 2 + 1 \cdot 1) = 171 + 122 = 293 \text{ ciclos}$$

b) Tiempo de ejecución del programa de benchmark.

$$293 \text{ ciclos} \cdot \frac{1 \mu\text{seg}}{50 \text{ ciclos}} = 5.86 \mu\text{seg}$$

c) Prestaciones del CS1 en MIPS (Millions Instructions Per Second).

$$\frac{61 \text{ instrucciones}}{5.86 \mu\text{seg}} \cdot \frac{10^6 \mu\text{seg}}{1 \text{ seg}} = \frac{10.41 \cdot 10^6 \text{ instrucciones}}{1 \text{ seg}} = 10.41 \text{ MIPS}$$

d) Tamaño de memoria máximo direccionable en Bytes.

$$2^6 \text{ palabras de 8 bits} = 2^6 \text{ Bytes} = 64 \text{ Bytes}$$