|  |  |
| --- | --- |
|  | **Pontifícia Universidade Católica de Minas Gerais**  **Campus Belo Horizonte – Núcleo Universitário São Gabriel/Coreu**  Curso: Engenharia de Computação  Disciplina: ACI  Professor: Júlio César Dillinger Conway |

**CIRCUITOS COMBINACIONAIS**

**Obs: em todas as questões seguintes, sempre que possível, utilize o Logisim.**

1. A tabela abaixo apresenta um decodificador de 3 x 8, constante da apostila 2. Assim, o valor binário na entrada (A2, A1 e A0) aciona a saída correspondente, que vai para 1. As outras saídas ficam em 0. Entretanto a saída só vai até o decimal 7. Incremente a tabela e projete o circuito de um decodificador BCD 8421(Binary Coded Decimal) para decimal, ou seja, entra um valor binário entre 0 e 9 (4 bits, A3, A2,A1 e A0) e a saída decimal correspondente (D9 a D0) é acionada (vai para 1).

23 22 21 20



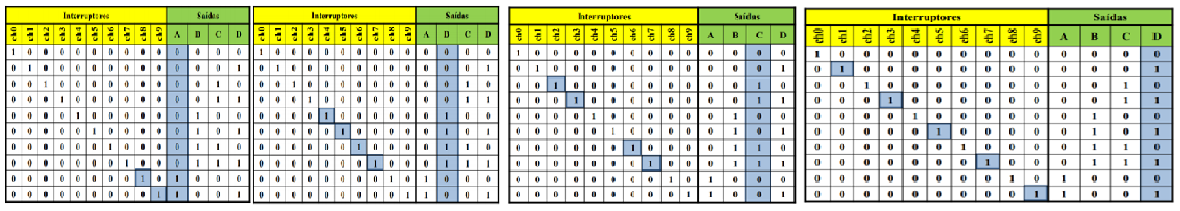
D8 D9

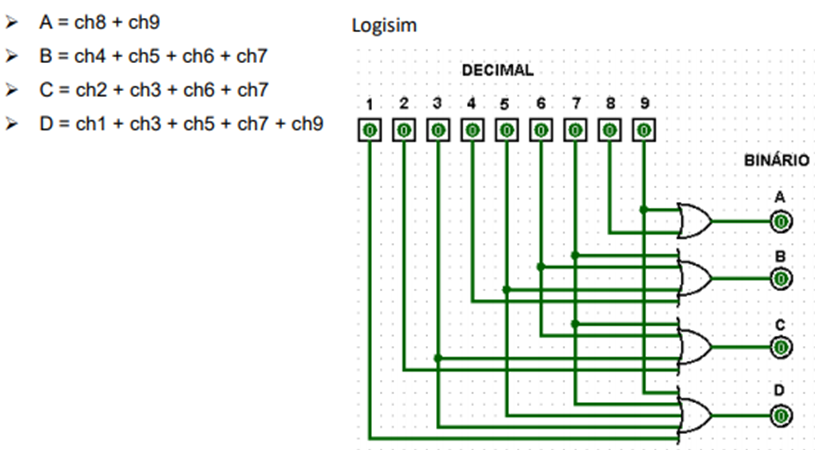
0 0

0 0

0 0

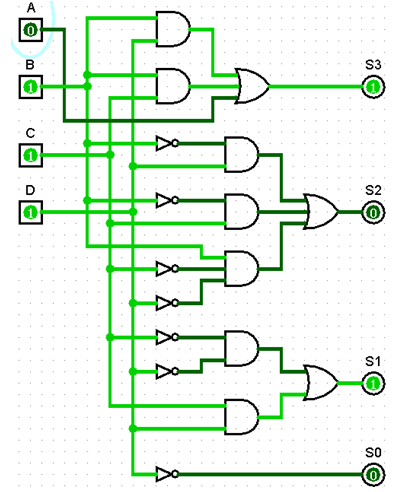
0 0



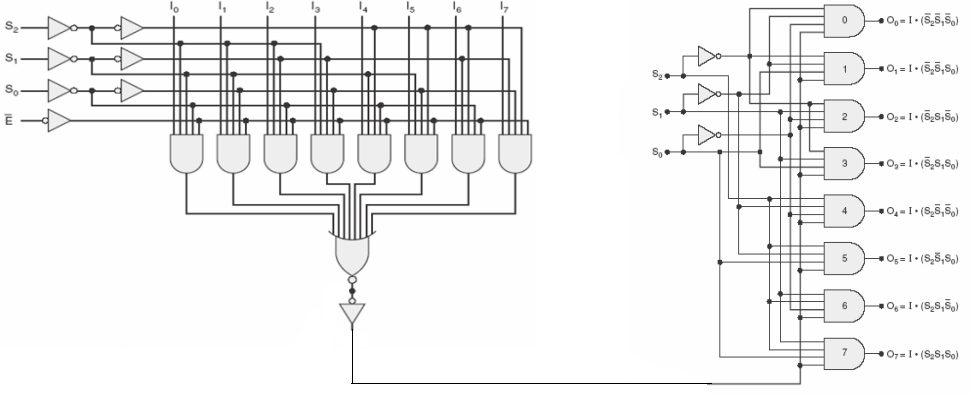


1. Projete um codificador de BCD 8421 para Excesso-3. Este decodificador possui 4 entradas e 4 saídas binárias. De 0000 a 1001 (0 a 9 em binário) na entrada, a saída correspondente é o valor da entrada mais 3. Assim, de 0000 a 1001 na entrada, tem-se de 0011 a 1100 (de 3 a 12 em binário na saída). As entradas de 1010 a 1111 (10 a 15 em binário) não importam (*don’t care*). Assim, onde for conveniente, na tabela da verdade para entradas binárias de 1010 a 1111, pode-se colocar o valor 1, para formar 1’s (uns) adjacentes com os outros 1’s obtidos da parte normal (0000 a 1001).

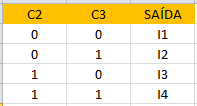
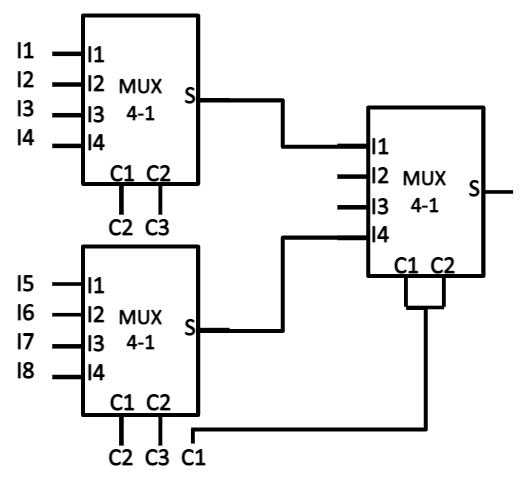
|  |  |
| --- | --- |
| Codificador | EXCESS0-3 |
| ABCD | S3 S2 S1 S0 |
| 0000 | 0011 |
| 0001 | 0100 |
| 0010 | 0101 |
| 0011 | 0110 |
| 0100 | 0111 |
| 0101 | 1000 |
| 0110 | 1001 |
| 0111 | 1010 |
| 1000 | 1011 |
| 1001 | 1100 |
| 1010 | XXXX |
| 1011 | XXXX |
| 1100 | XXXX |
| 1101 | XXXX |
| 1110 | XXXX |
| 1111 | XXXX |



1. Quantos bits de seleção são necessários para multiplexar o seguinte número de canais de entrada:
   1. 32 5
   2. 1024 10
   3. 37689 16
   4. 2.034.123 21
2. Projete um multiplexador de 8 para 1 e um demultiplexador de 1 para 8 apenas utilizando portas lógicas. Interligue os dois. Mostre o circuito interno.

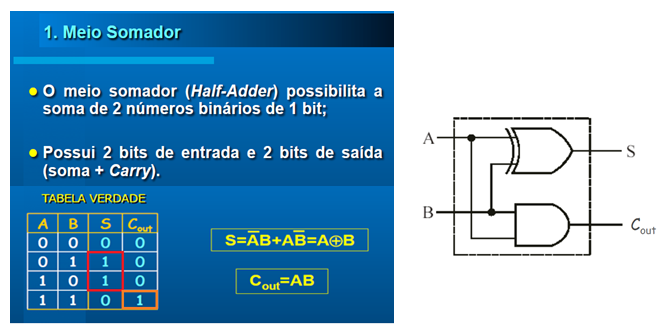


1. Construa um mux 8x1 utilizando apenas blocos lógicos mux 4x1. (são necessários 3 mux 4x1)

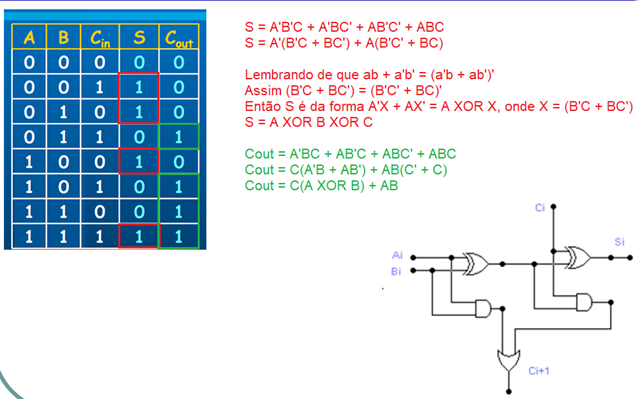


1. Construa um mux de 16x1 utilizando o Logisim. Mostre a simulação para as entradas de seleção 0010, 1001, 1110.
2. Mostre o circuito interno de um Meio Somador. Qual a deficiência desse circuito.

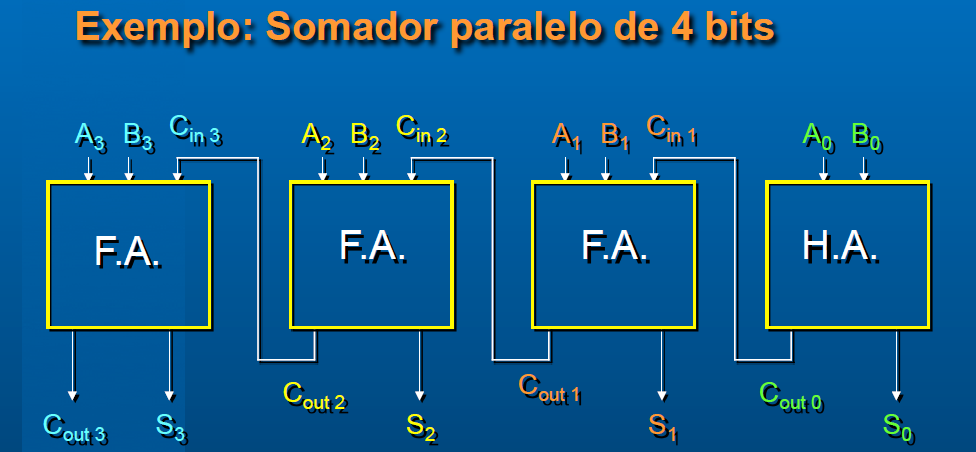
A deficiência é que este circuito só soma a primeira coluna de bits.



1. Em relação à questão anterior, qual a solução. Mostre o circuito explicando seu funcionamento.



1. Indique na figura abaixo todos os valores das saídas que correspondem à soma 1001 + 1110. (obs: edite os valores em cima da figura mesmo).



LISTA DE EXERCÍCIOS II –TEORIA DE CIRCUITOS SEQUENCIAIS

1. Qual a diferença entre uma entrada de sensibilidade latch e outra com sensibilidade edge – triggered?

RE: Latch: ativo por nível (0 ou 1)

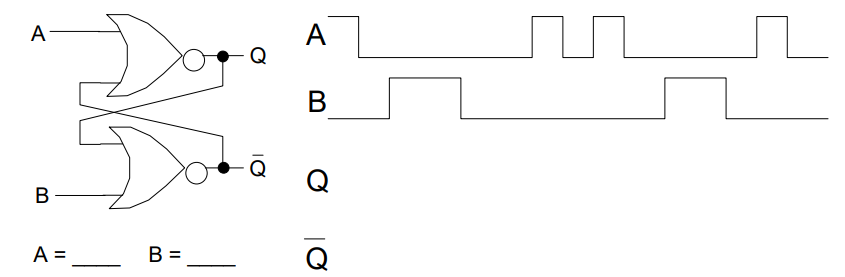
Edge triggered: ativo na borda (de subida ou descida)

1. Para que servem as entradas Preset e Clear dos Circuitos Sequenciais?

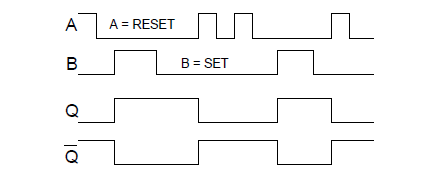
RE: Preset: leva a saída para nível lógico 1 (independente das entradas D e Clock)

Clear : leva a saída para nível lógico 0 (independente das entradas D e Clock)

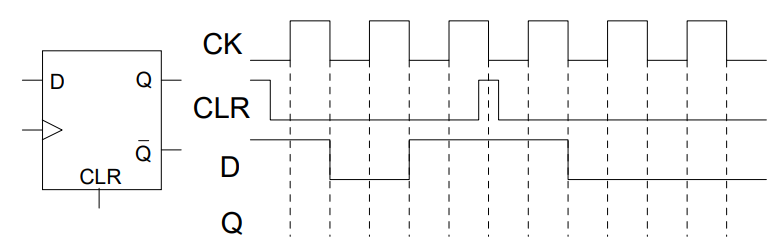
1. Para o FF RS abaixo, identifique as entradas R e S e desenhe as formas de onda nas saídas em função dos sinais aplicados.



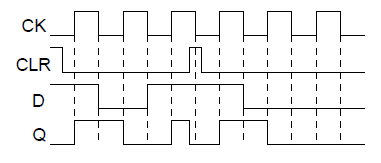
RE:



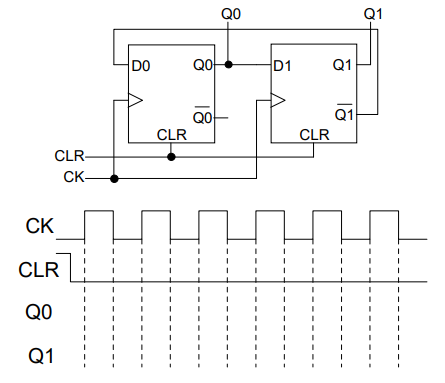
1. Para o FF da figura abaixo, desenhe a forma de onda na saída em função dos sinais aplicados.



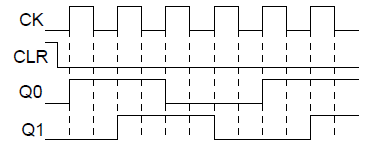
RE:

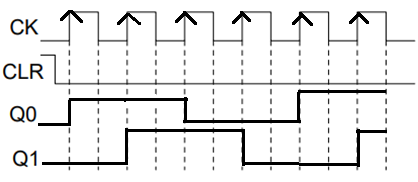


1. Para o circuito da figura abaixo, desenhe as formas de onda nas saídas Q0 e Q1 em função dos sinais aplicados.

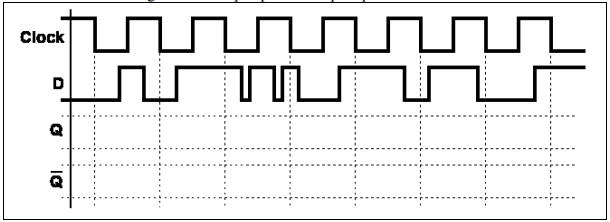


RE:

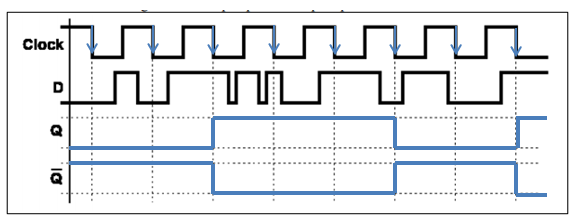




1. Preencha o diagrama de tempos para um flip-flop D sensível a descida:

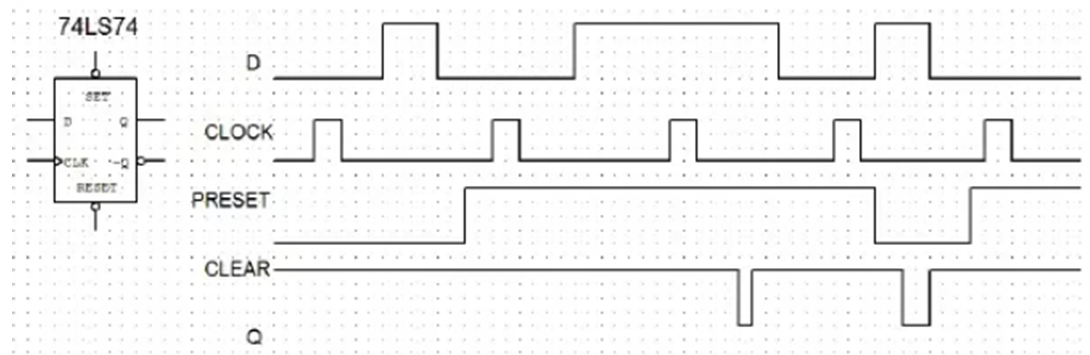


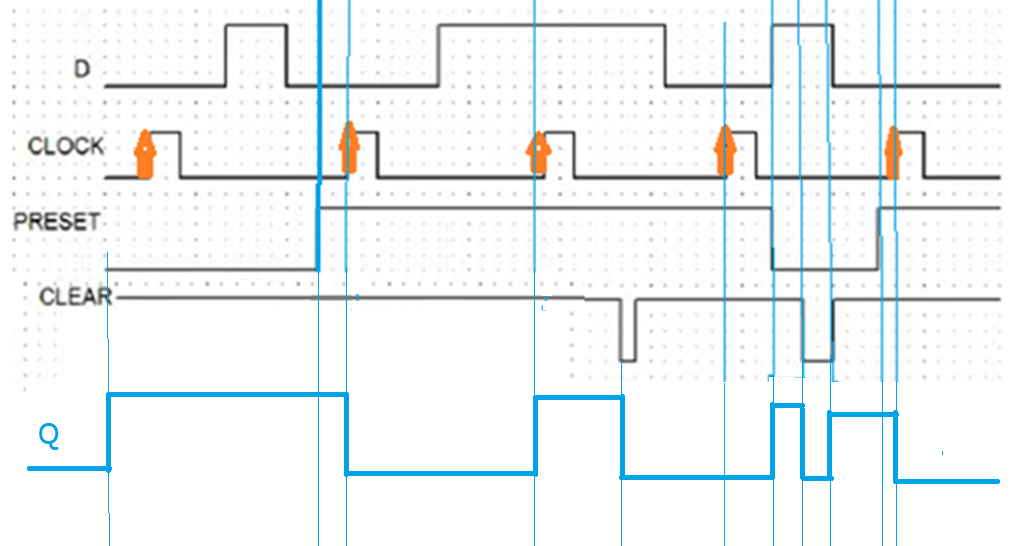
RE:



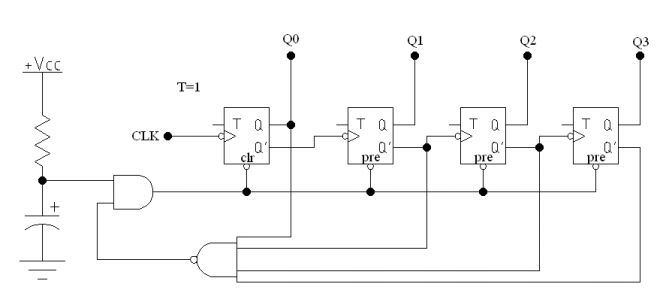
1. Para o circuito da figura abaixo, desenhe as formas de onda nas saídas Q e Q’ em função dos sinais aplicados. O sinal clear tem prioridade sobre o preset.

RE:

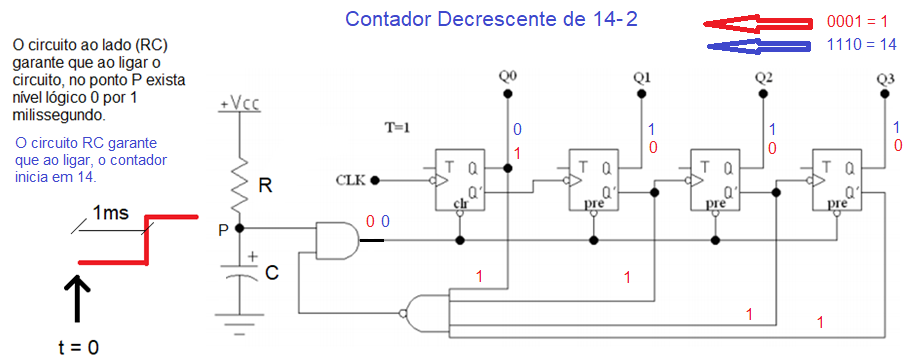




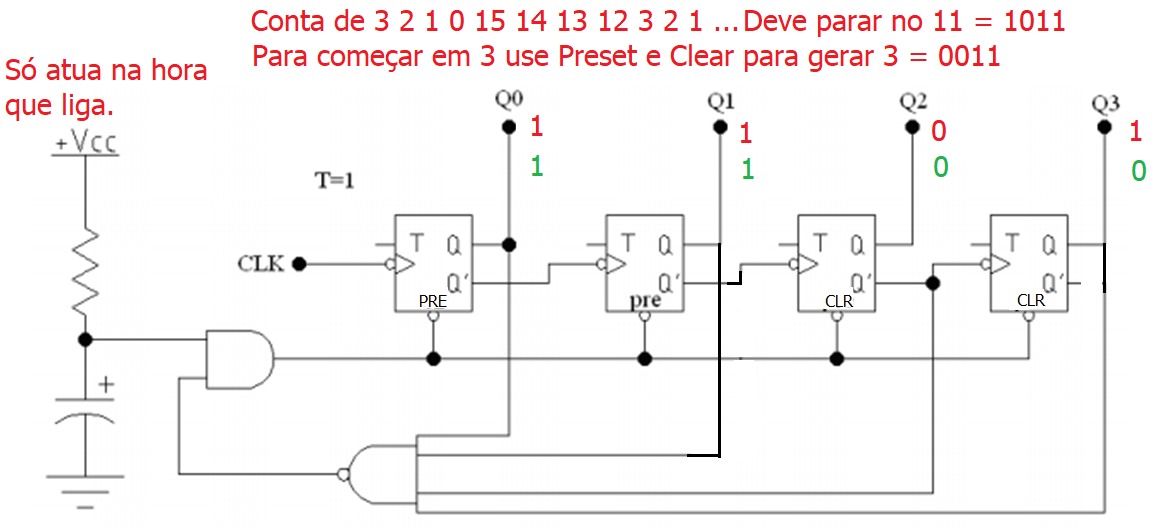
1. Explique o funcionamento do circuito abaixo:



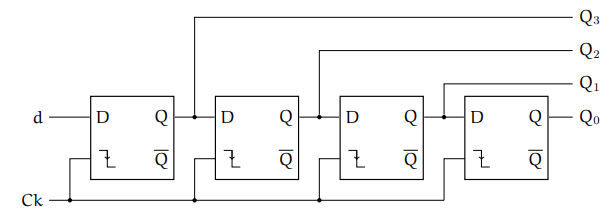
RE: Contador Decrescente de 14 a 2, com reset em 14.

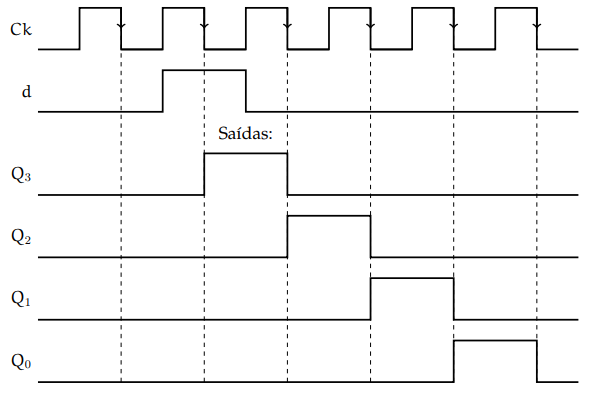


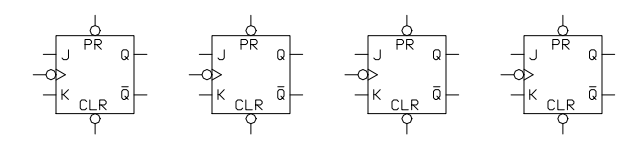
1. Projete um contador assíncrono decrescente que conte de 3 a 12. (3 2 1 0 15 14 13 12 3 2 ...).



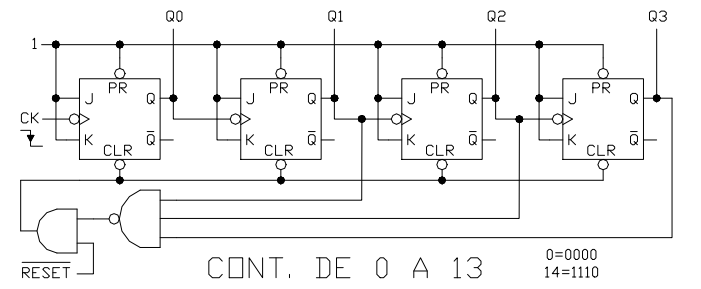
1. Abaixo temos o circuito para um registrador de deslocamento série para paralelo de 4 bits. Considerando os diagramas de forma de onda para d e Ck, e que o estado inicial de Q0, Q1, Q2 e Q3 é zero, esboce os diagramas de forma de onda para as saídas Q0, Q1, Q2 e Q3.





1. Interligue os FF abaixo de modo a formar um contador de 0 a 13 com terminal de RESET, indicando as saídas e a entrada de clock. Acrescente as portas lógicas necessárias.

RE:

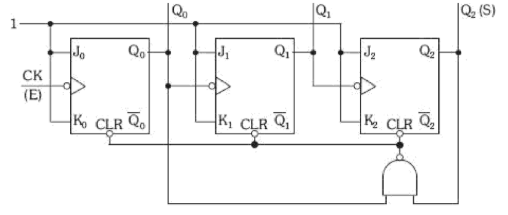


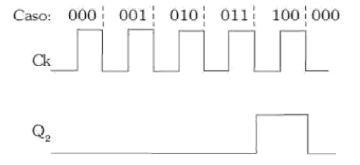
1. Um contador é necessário para contar o número de itens que passam por uma esteira em uma fábrica. Uma fotocélula e um feixe de luz são usados para gerar um pulso único cada vez que um item passa pelo local. O contador deve permitir a contagem de pelo menos 1000 objetos. Quantos flip-flops são necessários?

RE: 2N > 1000 Como 2 9 = 512, 9 flip-flops não são suficientes. 210 = 1024. Portanto, são necessários 10 flip-flops

1. Projete um circuito que divida o clock de entrada por 5.

RE:



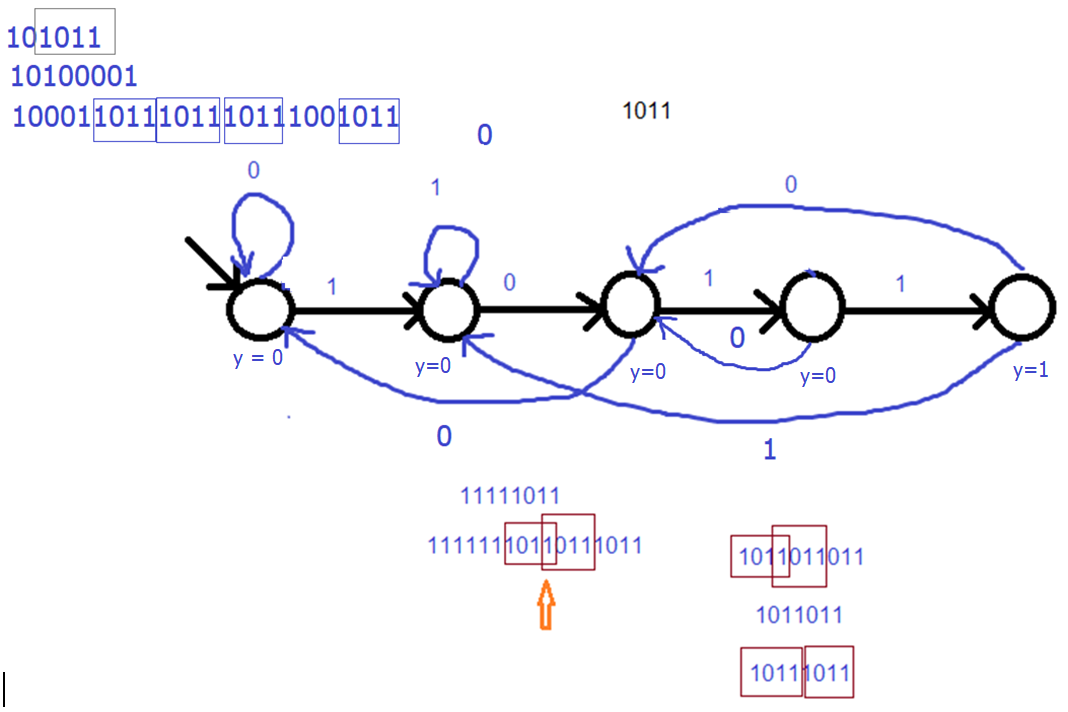


Obs: Embora a onda obtida em Q2 não seja simétrica, seu período será 5 vezes maior do que o do clock, ou seja, a frequência será 5 vezes menor.

1. Implemente uma **FSM** que detecte a seguinte sequência em uma entrada contínua de bits:

Sequência a ser detectada: **1011** (é a entrada ‘x’ do circuito)

A saída ‘y’ é ativada por um ciclo de clock toda vez que a sequência é detectada.



1. Fazer o projeto completo de uma FSM para gerar a seguinte sequência:

**1101, 0110, 1100, 0001, 1001** ... (a partir daqui a sequência se repete)

RE:

