

计算机系统结构实验 Lab1

David Wang

2020 年 5 月

1 概述

1.1 实验名称

FPGA 基础实验：LED Flow Water Light

1.2 实验目的

1. 熟悉 Xilinx 逻辑设计工具 Vivado 的基本操作
2. 掌握使用 Verilog HDL 进行简单的逻辑设计
3. 使用功能仿真

2 实验步骤

2.1 新建工程

2.1.1 启动 Vivado 2018.3

2.1.2 点击 Create Project

2.1.3 弹出 New Project 向导，由此建立一个新工程，点击 Next

2.1.4 输入工程名称，选定保存位置，勾选 Create project subdirectory，点击 Next

2.1.5 选择 RTL 工程类型，勾选 Do not specify sources at this time, 点击 Next

2.1.6 选择 FPGA 参数

2.1.7 结束工程创建

2.2 添加文件

2.2.1 点击 Flow Navigator 下 Project->Add Sources 或中间区 Sources 的加号，打开 Add Sources 对话框

2.2.2 选择 Add or Create Design Sources

2.2.3 选择 Create File 项

2.2.4 输入文件名称，点击 Finish

2.2.5 在 Define Module 中输入模块所需端口，设置端口方向，若端口为总线型，勾选 Bus 选项，并由 MSB 和 LSB 确定总线宽度，完成后点击 OK

2.3 添加代码

```
1  module flowing_light(  
2  input clock,  
3  input reset,  
4  output [7:0] led  
5  );  
6  reg [7:0] cnt_reg;  
7  reg [7:0] light_reg;  
8  always @ (posedge clock)  
9  begin  
10     if (reset)  
11         cnt_reg <=0;  
12     else  
13         cnt_reg<=cnt_reg+1;  
14 end  
15 always @ (posedge clock)  
16     begin  
17         if(reset)  
18             light_reg <= 8'h01;  
19         else if (cnt_reg==8'hff)  
20             begin  
21                 if(light_reg==8'h80)  
22                     light_reg<=8'h01;
```

```

23         else
24             light_reg <= light_reg<<1;
25         end
26     end
27     assign led=light_reg;
28
29 endmodule

```

2.4 功能仿真

2.4.1 点击 Add Source, 在 Add Sources 中选择 Add or Create Simulation Source, 点击 Next

2.4.2 选择 Create File 创建一个仿真激励文件, 输入文件名, 点击 OK

2.4.3 完成之后点击 Finish, 激励文件不需要对外端口, 再点击 OK、点击 Yes

2.4.4 添加仿真程序

```

1  module flowing_light_tb(
2
3  );
4  reg clock;
5  reg reset;
6  wire [7:0] led;
7
8  flowing_light_u0(
9      .clock(clock),
10     .reset(reset),
11     .led(led));
12
13     parameter PERIOD=10;
14
15     always #(PERIOD*2) clock=!clock;
16
17     initial begin
18         clock=1'b0;
19         reset=1'b0;
20         #(PERIOD*2) reset = 1'b1;
21         #(PERIOD*4) reset =1'b0;
22     end
23
24
25 endmodule

```

2.5 仿真波形图

在左侧 Flow Navigator 中点击 Simulation 下的 Run Simulation 选项, 并选择 Run Behavioral Simulation。下面是仿真波形。了解一些关于波形图的常见操作利于更好地观察波形图。

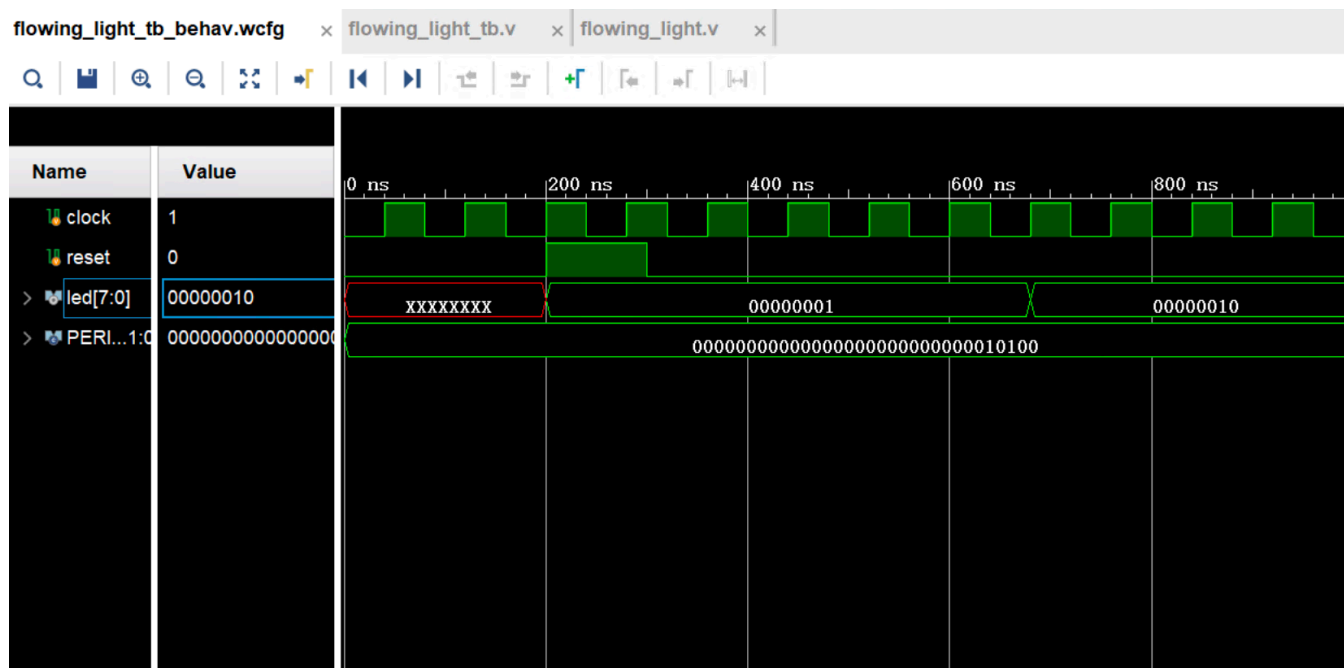


图 1:

3 总结与反思

3.1 重点与难点

Vivado 开发环境和 Verilog 语言对大多数人来说是第一次接触，因此可能会有些不适应感。应该通过查找资料的方式尽快熟悉开发环境与 Verilog 语言。实验中的每一步操作也需要尽快熟悉，为将来进行较为复杂的实验做好准备。

3.2 实验总结与感想

这是我第一次接触逻辑设计以及硬件描述语言 Verilog。因为它们不熟悉，以及学东西比较慢，以及对于云上实验环境不是很熟悉，所以一开始在实验中犯了一些错误，浪费了一些时间。不过这些对于熟练掌握在云上使用 Vivado 逻辑设计是很重要的。这利于我在之后的实验中少犯错误，节约时间。

在这次简单的验证实验之中，我书写了 Verilog 代码，调试了仿真波形，在波形调好之后便有了很强的成就感。这些简单的验证实验激发了我对于 Verilog 以及逻辑设计的兴趣。我期待在这门实验课上做出挑战度更高的设计实验。感谢老师在指导书中的耐心指导帮助我成功入门逻辑设计！感谢老师在课程微信群里的耐心答疑以及解决问题！