

Instituição: Universidade do Vale do Rio dos Sinos

Identificação: Profa. Ms. Bruna Fernandes Flesch

Atividade Acadêmica: Prototipação Digital

3ª Atividade Avaliativa do GA: 5,5 pontos

Desenvolvimento duplas

Data limite de entrega via Moodle: 07/05/2021 às 23h59

Formato da entrega: relatório completo de desenvolvimento modelo ABNT, projeto completo e apresentação online síncrona no dia 07/05/2021.

Desenvolva o projeto e simulação de uma Unidade Lógica Aritmética, em VHDL, contendo as seguintes operações:

- Adição;
- Subtração em complemento de dois, ou seja, $A - B$, sendo $|A| \geq |B|$;
- Operação AND entre dois dados de entrada;

Considere que os dados de entrada possuem 4 bits.

Critérios avaliativos:

- Organização, abrangência e clareza na escrita do relatório;
- Apresentar simulação abrangente de todas as possíveis condições de funcionamento do circuito;
- Observação dos elementos solicitados;
- Entrega no prazo combinado.

Necessário apresentar todo o processo de síntese:

- Tabela verdade;
- Expressões lógicas das saídas;
- Simplificação com mapas de Karnaugh;
- Diagrama lógico do circuito;
- Implementação do VHDL;
- Simulação completa do circuito no ISIM.

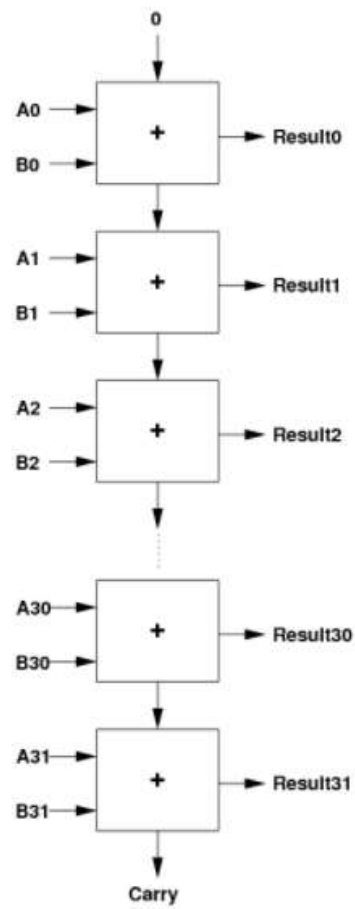


Figura 1 - Somador de N bits