

Instituição: Universidade do Vale do Rio dos Sinos – Câmpus São Leopoldo

Identificação: Profa. Ms. Bruna Fernandes Flesch

Atividade Acadêmica: **Prototipação Digital**

1ª Atividade Avaliativa do GB: 2,0 pontos

Desenvolvimento individual ou em duplas

Entrega: até 04/06/2021 às 23h59

Formato da entrega: enviar, via Moodle, para cada exercício:

- ✓ O(s) arquivo(s) .vhd
- ✓ O testbench realizado;
- ✓ Imagem da simulação realizada no ISIM.

Questão 1. (2,0 pontos) Desenvolva em VHDL a descrição de HW de um circuito **comparador de dois números “A” e “B”**. O circuito deve detectar se “A” é maior, menor ou igual ao valor de “B”. O desenvolvimento deverá atender as premissas abaixo:

- a) O número de bits das entradas “A” e “B” é definido pelo GENERIC “NUM_BITS” do tipo inteiro;
- b) O circuito comparador devera ser composto por módulos (descrição estrutural) conforme ilustra a Figura 1. Cada módulo possui quatro entradas (Ab, Bb, e_ma e e_me) e duas saídas (s_ma e s_me). A saída “s_ma” em nível alto significa “A” maior do que “B”. A saída “S_ME” em nível alto significa “A” menor do que “B”. Caso as duas saídas permaneçam em nível lógico baixo, significa que “A” e “B” são iguais (para testes, considere apenas números positivos);
- c) As entradas “e_ma” e “e_me” são interligadas ao módulo que avalia o próximo par de bits mais significativo;
- d) A comparação procede do par de bits mais significativo para o par de bits menos significativo.

1.1 **(0,5 pontos)** A descrição vhd do módulo comparador (top level);

1.2 **(0,5 pontos)** A descrição vhd do módulo comparador de dois bits;

1.3 **(0,5 pontos)** O testbench para testagem do componente criado. Necessário testagem de, no mínimo, cinco valores diferentes.

1.4 **(0,5 pontos)** Imagem da simulação do teste desenvolvido e atendimento a todas as premissas de projeto.

