

Diseño de un circuito integrado conversor Serie-Paralelo y Paralelo-Serie en un proceso CMOS de 0.5 μm

Barbeito P.; Carrá M.; García Inza M.

Seminario de diseño y fabricación de circuitos integrados en tecnología CMOS.
Departamento de electrónica, Facultad de ingeniería, Universidad de Buenos Aires.

Abstract—Este trabajo presenta el diseño, simulación y layout de módulos genéricos y escalables de conversión serie-paralelo y paralelo-serie que permitan transmitir o recibir una serie de bits y presentarlos internamente en el integrado en forma paralela. Los circuitos serán fabricados en un proceso CMOS comercial de 0.5 μm al que se accede a través del consorcio MOSIS y luego se testeará su funcionamiento.

I. INTRODUCCIÓN

En la actualidad la cantidad de bits por palabra que utilizan los circuitos electrónicos es cada vez mayor. Intentar acceder a estos datos en forma paralela presenta una serie de dificultades. Por ejemplo al aumentar la cantidad de pines del encapsulado aumenta el costo, aparecen inconvenientes en el ruteo y la velocidad de transferencia se ve limitada debido al efecto de crosstalk. Una solución es transmitir la información en forma serial a través de un solo pin, lo que permite elevar la velocidad de transmisión, reducir la cantidad de pines necesarios en el encapsulado y por lo tanto aumentar la flexibilidad en cuanto a cantidad de bits por palabra.

II. TEORÍA DE FUNCIONAMIENTO

A. Conversión Serie-Paralelo

La conversión serie paralelo se efectúa mediante la ayuda de un registro de desplazamiento (SR) tal como se muestra en la figura 1. El SR a su vez posee una entrada de clock sincrónico con la señal de datos que permite que los datos evolucionen en las etapas del SR.

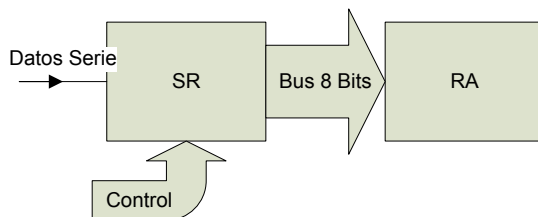


Figura 1. Conversión Serie-Paralelo

Después de una serie determinada de ciclos de clock, 8 en nuestro caso, un conjunto de registros leen los valores de los bits internos del SR, guardan el estado y presentan la información de manera paralela.

B. Conversión Paralelo-Serie

En este caso los datos se introducen de manera paralela al SR como se muestra en la figura 2. Para que esto sea posible, cada etapa debe poseer un control para efectuar la precarga de la información en cada bit. Para presentar los datos en la salida, una señal de clock debe ser suministrada al SR permitiendo así que los datos circulen por los FF y finalmente sean presentados de manera serial y sincrónica con el clock suministrado.

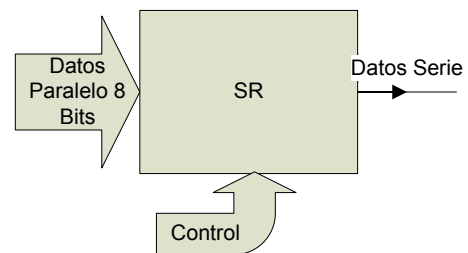


Figura 2. Conversión Paralelo-Serie

III. DESCRIPCIÓN DEL CIRCUITO

A. Conversor Serie-Paralelo

Este dispositivo contiene un registro de desplazamiento de 8 bits con entrada de datos serial y salida paralela que alimenta un registro de almacenamiento de 8 bits compuesto por una serie de registros implementados con FFs tipo D (figura 3).

Las señales QA – QH son las salidas de datos en forma paralela provenientes de los buffers ubicados en las salidas de los registros de almacenamiento.

El registro de desplazamiento y el de almacenamiento poseen entradas de clock separadas. También dispone de entradas de reset RCLR (establece el valor bajo para todos los biestables del registro de almacenamiento) y SRCLR (establece el valor bajo para todos los biestables del registro de desplazamiento) y finalmente dispone de una salida QH' para propósitos de cascada con otro módulo de la misma especie para incrementar la cantidad de bits de la palabra a convertir.

B. Conversor Paralelo-Serie

Este tipo de conversión es implementada mediante un SR de 8 bits que desplaza los datos desde QA hacia QH cuando es

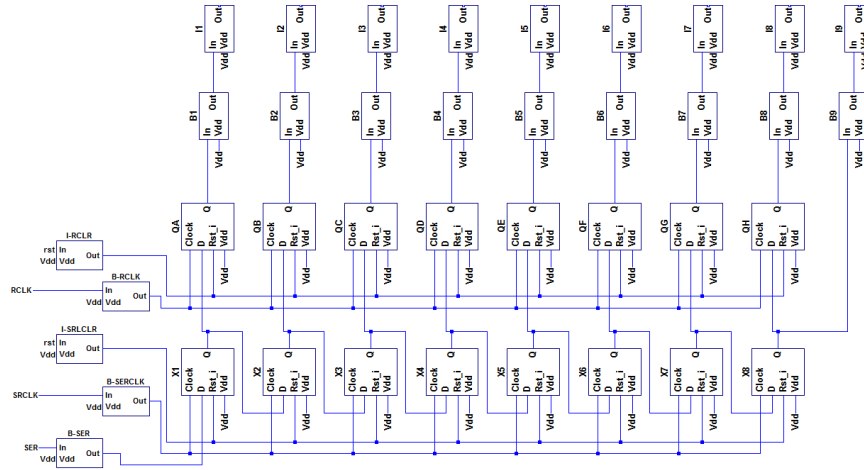


Figura 3. Esquemático del circuito Serie-Paralelo QA-QH Salida de datos paralelo. RCLR Reset del registro de almacenamiento, RSCLR Reset del registro de desplazamiento, RCLK Clock de los registros de almacenamiento SRCLK Clock del registro de desplazamiento, SER Entrada de datos serial.

introducida una señal de clock (CLK). La carga de los datos en paralelo es efectuada mediante 8 entradas individuales que son habilitadas al fijar un estado bajo en el terminal “shift/load

IV. IMPLEMENTACIÓN

La implementación de ambos circuitos integrados se realizó siguiendo las reglas de diseño del proceso ON AMIC5 0.5 μ m, utilizando las herramientas CAD del software IC Nanometer Design de Mentor Graphics Corporation.

Aprovechando la modularidad que presenta el diseño lógico del convertor tanto Serie-Paralelo como Paralelo-Serie, se decidió utilizar un pitch de 22 μ m que incluye dos guardas de contactos (Vdd y Ground) de 3 μ m cada una.

A. Celdas fundamentales

Para poder realizar los circuitos integrados del convertor Serie-Paralelo y Paralelo-Serie se implementaron las siguientes celdas básicas que los componen:

- Inversores
- Buffers
- Pass Gate
- Latch
- Compuerta Nor

De estas celdas fundamentales se integraron estructuras más complejas hasta llegar finalmente a los convertidores propuestos.

La celda básica de ambos circuitos integrados es el FF tipo D cuya arquitectura interna está basada en latches alimentados por señales de clock en contrafase. Para la realización del reset se utilizó una compuerta NOR en el lazo de realimentación de los latches. El layout físico del mismo se muestra en la figura 4.

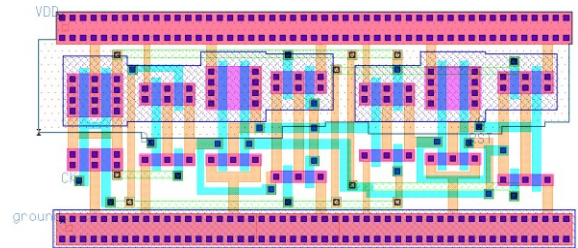


Figura 4. Layout físico de la celda Flip Flop D.

B. Frecuencia de operación

El diseño se realizó teniendo en cuenta una frecuencia de operación máxima $f_{op}=100$ Mhz. Esto define un período de T de 10ns, basándonos en un ciclo de operación de un 50%, la duración de los estados altos y bajos es de 5ns. Para los tiempos de crecimiento y decrecimiento se estableció como requerimiento un valor menor a 500ps.

Esta decisión de diseño tiene impacto directo en los tamaños de los inversores destinados a comandar las señales de clock de los FF. La línea más comprometida en este diseño es SRCLK, la cual es cargada por los clocks de todos los FF que pertenecen al SR y cuya frecuencia de operación es la máxima en todo el circuito. Para ello se diseñó un inversor de dimensiones $W=36.1\mu\text{m}/L=0.8\mu\text{m}$ cuya función es comandar la línea SRCLK a la frecuencia requerida.

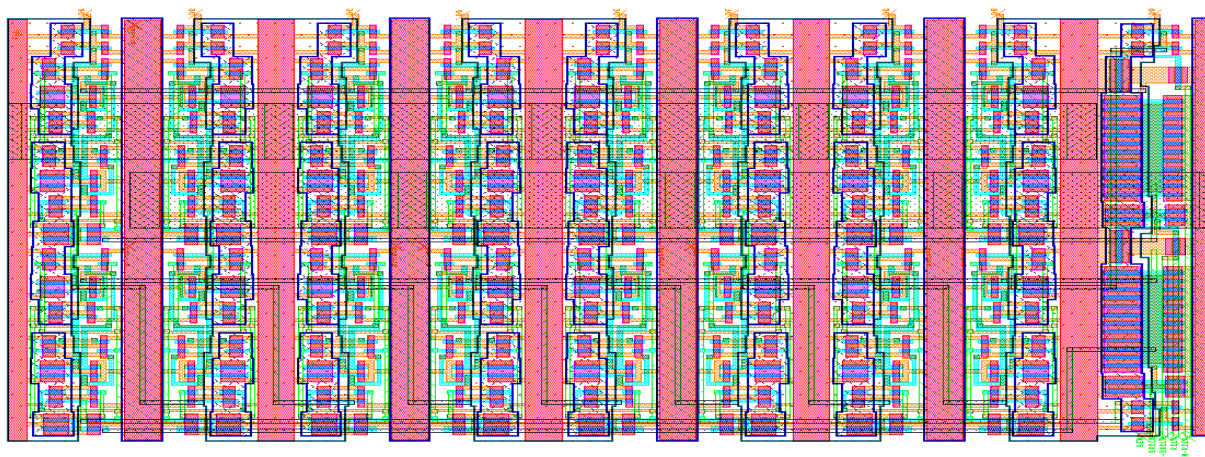


Figura 7. Layout del convertor Serie-Paralelo

La figura 5 muestra la simulación de dicho buffer y la figura 6 la propagación de un bit en el SR.



Figura 5. Simulación del buffer para la señal SRCLK bajo condiciones de operación.

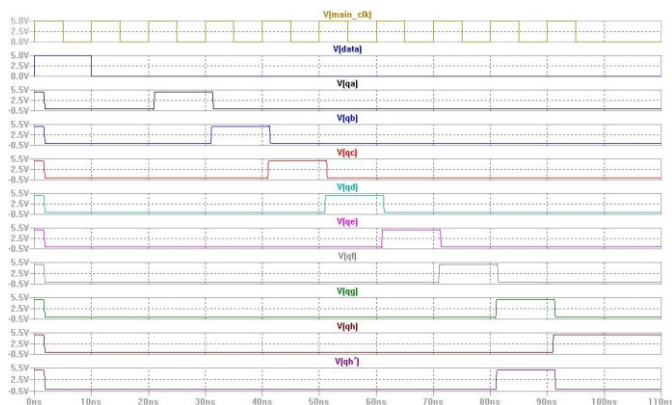


Figura 6. Simulación un pulso recorriendo el SR.

C. Ancho de las pistas y capacidad distribuida

Especial consideración se tuvo en pistas hechas en polisilicio para que la longitud de estas no superase los 40 cuadrados de longitud. De esta forma se busca evitar que el retardo de propagación de la señal debido a la resistencia distribuida y la capacidad parásita afecte significativamente la operación del circuito.

En el caso de pistas hechas en “Metal1”, “Metal 2” y “Metal 3” se estudió la capacidad que presentaban en el peor

caso respecto de los valores típicos calculados para la última corrida del proceso en el cual estos integrados serán fabricados.

Mediante el modelo de Elmore (1) para el retardo de propagación obtuvimos un retardo de propagación de 60ps. Basados en el método de parámetros concentrados (2) obtuvimos un tiempo de retardo de 130ps para las pistas más largas de “Metal 3”. Ambos valores están dentro de las tolerancias para poder trabajar a la máxima frecuencia de operación $f_{op}=100\text{Mhz}$.

D. Electromigración

Especial cuidado se tuvo en el dimensionado de las pistas que interconectan “VDD” y “Ground” en todo el circuito debido a la presencia del efecto de electromigración. Para mitigar esto se seleccionó un ancho de 8 contactos ($8.1\mu\text{m}$) para ambas guardas.

V. CONCLUSIONES

El presente trabajo presenta el diseño esquemático, el diseño de layout físico y las simulaciones de un convertor Serie-Paralelo y un convertor Paralelo-Serie en el proceso CMOS ON AMIC5. El resultado obtenido es el layout físico del circuito Serie-Paralelo que se muestra en la figura 7.

El diseño ha sido exitosamente orientado a lograr una velocidad de operación de 100MHz. Además su modularidad permitirá una fácil utilización en otros circuitos y/o proyectos que requieran alguna de estas dos conversiones.

Estos bloques serán parte de la librería de componentes de microelectrónica de la Facultad de Ingeniería de la Universidad de Buenos Aires.

VI. REFERENCIAS

- [1] Rabaey, Digital Integrated Circuits, Prentice Hall 2006
- [2] Baker, CMOS Circuit Design, Layout and Simulation, Wiley, IEEE, 2005.