Fetch Análisis de ciclos de Lm32, Etapa 2

Héctor Julián García Otálora 261196 Jairo Andrés Caballero Peña 261694

Universidad Nacional de Colombia Electrónica Digital II -2012-I



Fetch

Etapa en la cual se indica al procesador la instrucción a ejecutar.

- Lee la dirección donde está almacenada la instrucción.
- Trae la instrucción al registro, caché, memorias, periféricos.
- Aumenta la dirección del PC en 4.
- Vuelve a escribirla en el PC.
- Traslada la información por todas las etapas.



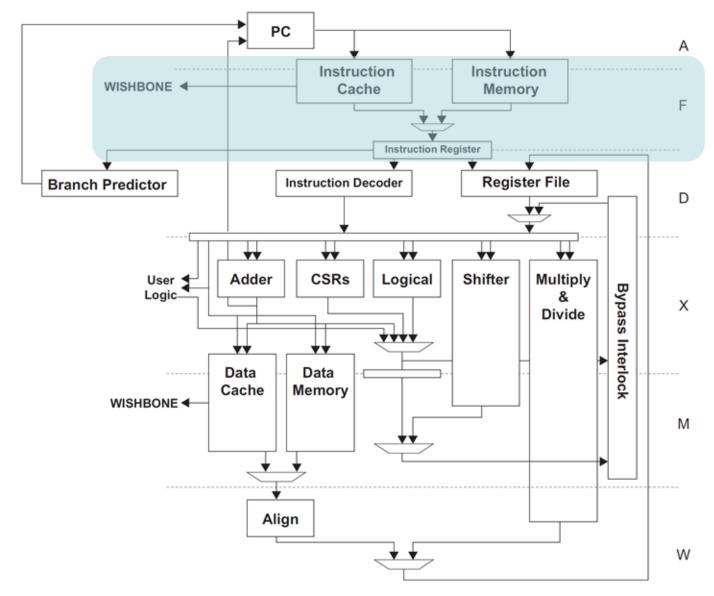


Figura 1. Diagrama del procesador pipeline



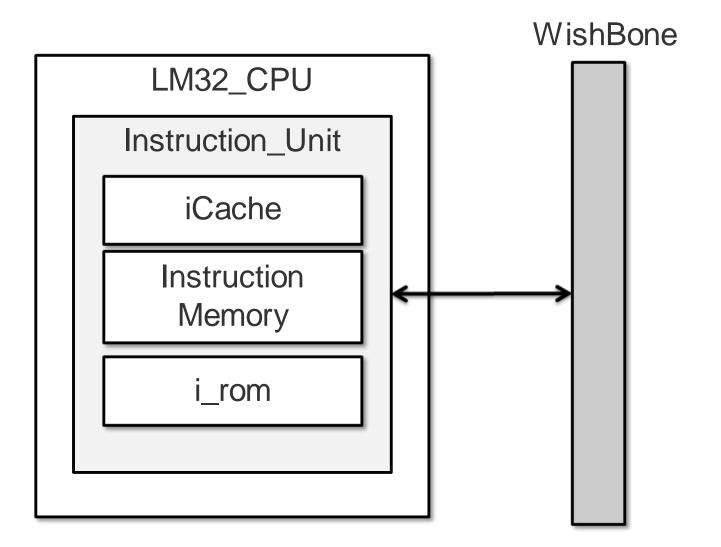


Figura 2. Diagrama de jerarquías en módulo Verilog



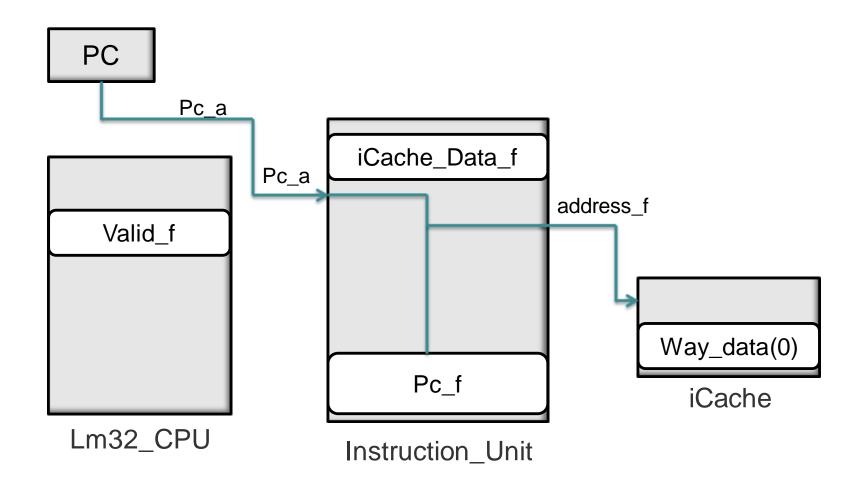


Figura 3(a). Diagrama bloques de etapa Fetch



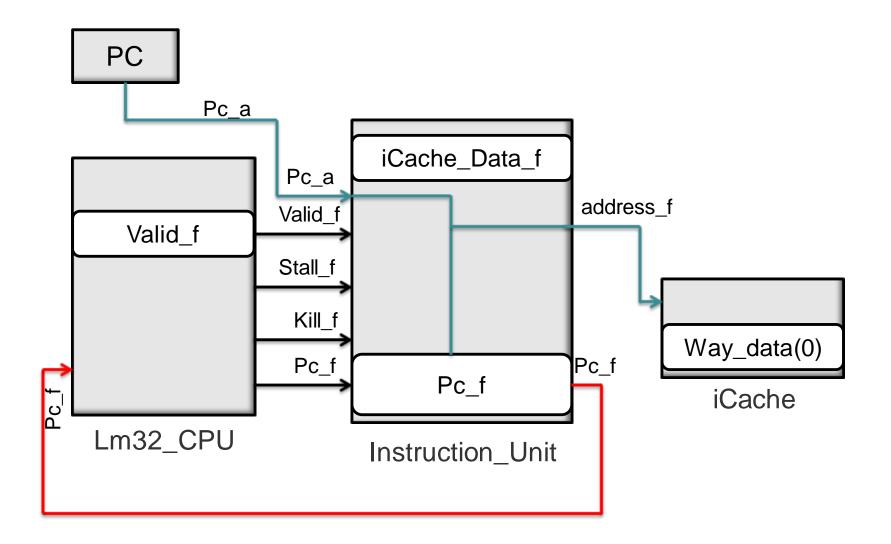


Figura 3(b). Diagrama bloques de etapa Fetch



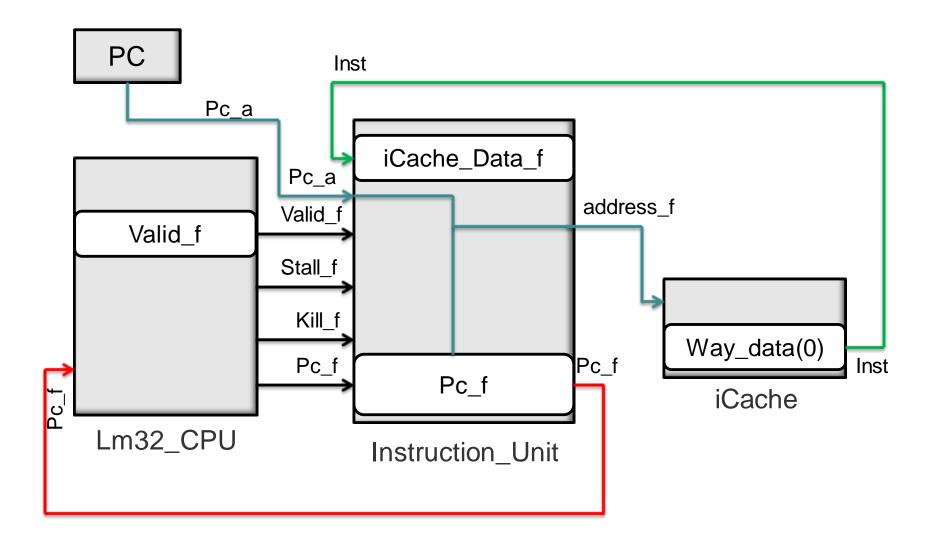


Figura 3(c). Diagrama bloques de etapa Fetch



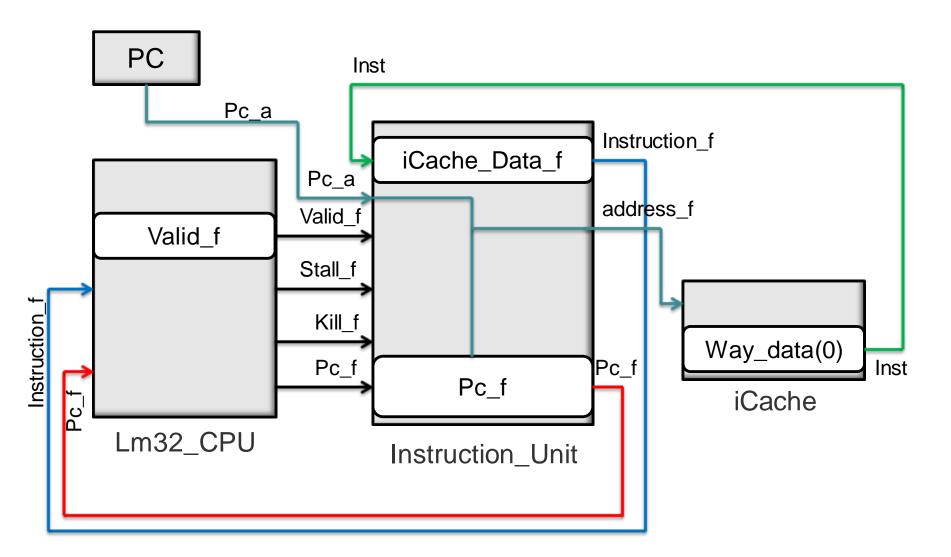


Figura 3(d). Diagrama bloques de etapa Fetch



Time				33800 ns		
Instructions Fetch						
pc_a[31:2]=0000009D	0000004D	00000097	(00000098	(00000099	(0000009A	(0000009
pc_f[31:2]=0000009C	0000004C	0000004D	(00000097	(00000098	(00000099	(0000009.
icache_data_f[31:0]=382102F4	379CFFF4	5B9D0004	X379CFFF8	(5B9D0004	33810008	3400000
instruction_d[31:0] = 78010000	E3FFFFF9	379CFFF4	(5B9D0004	X379CFFF8	5B9D0004	3381000
instruction_f[31:0] = 382102F4	379CFFF4	5B9D0004	X379CFFF8	(5B9D0004	33810008	(3400000
stall_f=1						
kill_f=0						
valid_f=1						
valid_d=1						
clk_i=1						

Figura 4(a). Simulación de señalas en la de etapa Fetch



Simulaciones

Time				3390	O ris	
Instructions Fetch						
pc_a[31:2]=0000009D	(0000009B	0000009C	0000009D			(0000009E
pc_f[31:2]=0000009C	0000009A	(0000009B	0000009C			(0000009D
icache_data_f[31:0]=382102F4	34000000	78010000	382102F4			(28210000
instruction_d[31:0]=78010000	(33810008	34000000	78010000			X382102F4
instruction_f[31:0] = 382102F4	3400000	78010000	382102F4			(28210000
stall_f=1						
kill_f=0						
valid_f=1						
valid_d=1						
clk_i=1						

Figura 4(b). Simulación de señalas en la de etapa Fetch



Simulaciones

- Valor hora Ingeniero: 60.000 COP
- Numero de Ingenieros: 2
- Tiempo en investigación: 4 horas
- Tiempo de simulaciones: 1 hora
- Material de Exposición: 2 horas

Tiempo Total	7 horas			
Costo por Ingeniero	420.000 COP			
Costo Total	840.000 COP			

Tabla 1. Resumen de costos



- Amado S. Oscar A. (2012) Guía de laboratorio, Práctica 4: Arquitectura del procesador LM32. Universidad nacional de Colombia sede Bogotá. Facultad de ingeniería. Bogotá.
- Linux En Caja [en línea]. [Fecha de consulta 18 de abril de 2012] Disponible en: http://www.linuxencaja.com/wiki/Main page
- Procesador pipeline, Sebastian Eslava M.Sc. Ph.D, [en línea]. [fecha de consulta 18 de abril de 2012] Disponible en: http://gmun.unal.edu.co/jseslavag/2012-I digital2.htm
- Computer organization and design (2009), David A. Patterson, John L. Hennessy, Fourth Edition, Stanford University.
- LatticeMico32 Processor Reference Manual, Lattice SemiconductorLattice
 Semiconductor Corporation, December 2011 [en línea]. [fecha de consulta 18 de abril de 2012] Disponible en http://www.latticesemi.com/documents/lms1 4 archman.pdf

