

Circuitos con Compuertas

Camilo Andres Garzón Código:
David Ricardo Martínez Hernández Código: 261931
Juan Pablo Rodríguez Rojas Código: 261744

I. DESARROLLO TEÓRICO DE LOS CIRCUITOS IMPLEMENTADOS

I-A. Consulta

Multiplexor conocido también como **MUX** es un dispositivo que permite dirigir la información digital procedente de diversas fuentes a una única línea para ser transmitida a través de dicha línea a un destino común¹. Un multiplexor básico posee varias líneas de entradas pero una sola salida, también posee entradas de selección de datos, que permite conocer la información de la selección deseada, es decir existen n líneas de datos, cada es de b bits de ancho y se tienen b bits de salida, existen s entradas que se seleccionan entre las n fuentes de modo que $s = \log_2 n$.²

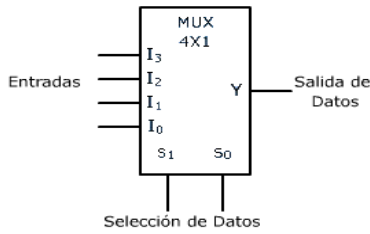


Fig. 1: Multiplexor esquemático [6]

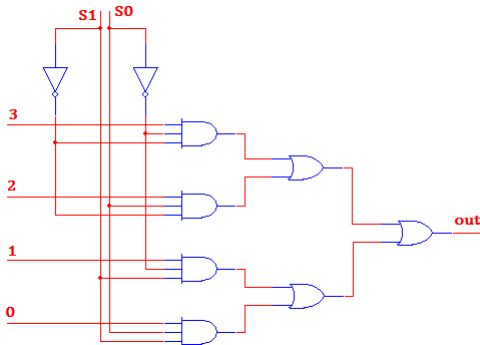


Fig. 2: Multiplexor construido con compuertas

La tabla de verdad del multiplexor 1 a 4 se encuentra en la TAB I

S_1	S_0	Y
0	1	I_0
0	0	I_1
1	0	I_2
1	1	I_3

TABLA I: Tabla de Verdad del MUX 4 a 1 [6]

Donde:

S_0 y S_1 son las entradas de selección.

Y es la salida del multiplexor que corresponde a uno de los datos de entrada.

De acuerdo a la TAB I la ecuación de cada fila se obtiene a partir del dato de entrada y de las entradas de selección, es decir:

La salida es $Y = I_0$, si $S_1 = 0$ y $S_0 = 0$. Entonces $Y = I_0 * \overline{S_1} * \overline{S_0}$.

La salida es $Y = I_1$, si $S_1 = 0$ y $S_0 = 1$. Entonces $Y = I_0 * \overline{S_1} * S_0$.

La salida es $Y = I_2$, si $S_1 = 1$ y $S_0 = 0$. Entonces $Y = I_0 * S_1 * \overline{S_0}$.

La salida es $Y = I_3$, si $S_1 = 1$ y $S_0 = 1$. Entonces $Y = I_0 * S_1 * S_0$.

Al sumar lógicamente las salidas se obtiene:

$$Y = I_0 * \overline{S_1} * \overline{S_0} + I_0 * \overline{S_1} * S_0 + I_0 * S_1 * \overline{S_0} + I_0 * S_1 * S_0$$

por consiguiente el circuito asociado que se implementa es:

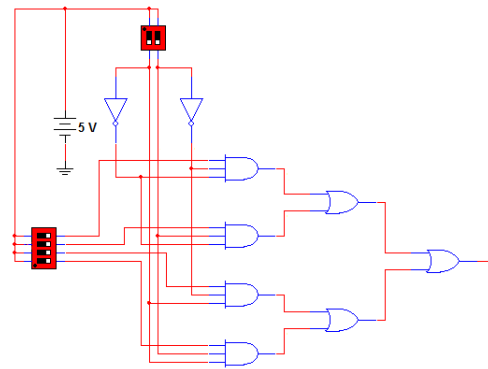


Fig. 3: Montaje a simular

Generador de Paridad es un sistema que sirve para corregir errores al momento de hacer una transmisión de información binaria, cualquier condición interna o externa puede alterar el valor de los 0 a 1 o viceversa. Este sistema comprueba si la suma de todos los bits de ese número es par o impar; por ejemplo 111 es de paridad impar y 1001 es de paridad par; para comprobar esto se puede comprobar con una compuerta XOR, cuando el número de 1's en las entradas es par la salida

¹Definición tomada del libro [4] pag 370

²Texto tomado del libro [3] pag 398

es 0 (nivel BAJO), cuando el número de 1's es impar la salida en 1 (nivel ALTO).

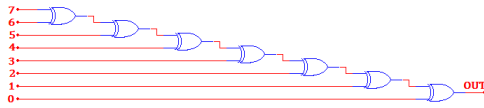


Fig. 4: Generador de paridad construido con compuertas

La tabla de verdad que aplica para este circuito aplica solo cuando la suma de los bits sea par o impar, si es par la salida es un 0, en caso contrario es un 1, no se hace la tabla de verdad porque saldrán 2^n , $n = 8$ posibles combinaciones. por consiguiente el circuito asociado que se implementa es:

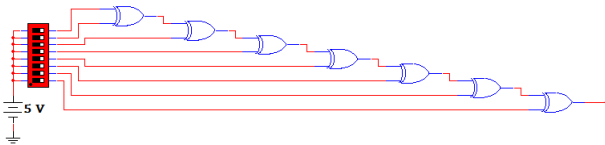


Fig. 5: Montaje a simular

I-B. Simulaciones y Análisis

Se simulo el montaje de la fig 3 y

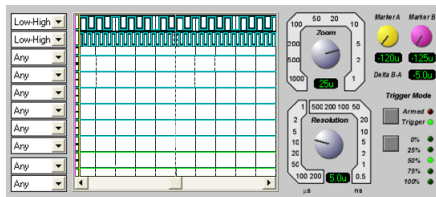


Fig. 6: Salida del montaje de la fig 3

En esta figura se pueden apreciar las entradas S_1 y S_2 del circuito simulado, cabe destacar que se trata de señales de tipo escalón, que tienen una amplitud de 5 V, y además que la frecuencia de una es el doble de la otra, con el fin de poder representar todos los posibles estados lógicos, que tendrá el multiplexor a la entrada.

Se simulo el montaje de la fig 5 dando como resultado la siguiente salida



Fig. 7: Salida del montaje de la fig 5

Como se aprecia en la figura anterior la salida del generador de paridad funciona cuando la suma de sus bits da 1, es decir cuando es impar, de manera análoga se apaga cuando la suma total de sus bits da 0, es decir cuando es par.

REFERENCIAS

- [1] Dorf Svoboda. «Circuitos Eléctricos». Alfaomega, 2006.
- [2] C. J. Savant. «Diseños Electrónicos: Circuitos de Sistema». Prentice-Hall, 2006.
- [3] John F. Wakerly. «Diseño Digital: Principios y Prácticas». Prentice-Hall, 2001.
- [4] Thomas L. Floyd. «Fundamentos de Sistemas Digitales». Prentice-Hall, 2000.
- [5] Sito Web: http://www.datasheetcatalog.org/datasheets/134/231447_DS.pdf
- [6] Sito Web: <http://www.virtual.unal.edu.co/cursos/ingenieria/2000477/lecciones/030601.htm>