



پردازنده‌ی MIPS را در نظر بگیرید. فرض کنید این پردازنده دستورات زیر را پشتیبانی می‌کند.

**Arithmetic/Logical Instructions:** add, sub, and, or, slt, addi, andi

**Memory Reference Instruction:** lw, sw

**Control Flow Instructions:** j, beq, bne

این نسخه از پردازنده‌ی MIPS را به صورت پایپ‌لاین (Pipeline) طراحی کنید و آن را با Verilog مدل‌سازی کنید. انواع مخاطره‌های داده‌ای و کنترلی را تشخیص دهید و برطرف کنید. وابستگی‌هایی مشابه مثال‌های زیر را با اضافه کردن nop در نرم‌افزار برطرف کنید.

**مثال ۱:** وابستگی داده‌ای بین دستور beq/bne و RT

```
add R1, R2, R3
beq R1, R2, L1
```

**مثال ۲:** وابستگی داده‌ای بین دستور lw و beq/bne

```
lw R1, 100(R0)
beq R1, R2, L1
```

برای تست پردازنده‌ی خود، از دو برنامه‌ی زیر استفاده کنید:

- ۱- برنامه‌ای بنویسد که اعضای یک آرایه ۱۰ عنصری با آدرس شروع ۱۰۰۰ را با هم جمع کند و نتیجه را در خانه ۲۰۰۰ بنویسد.
- ۲- برنامه‌ای بنویسد که بزرگ‌ترین عنصر یک آرایه ۲۰ عنصری با آدرس شروع ۱۰۰۰ را پیدا کند و مقدار بزرگ‌ترین عنصر و اندیس آن را به ترتیب در خانه‌های ۲۰۰۰ و ۲۰۰۴ حافظه بنویسد.

## روش ارزیابی:

- پیاده‌سازی پایپ‌لاین پردازنده MIPS ۱۰۰ نمره دارد
  - ۲۰ نمره طراحی مسیر داده و واحد کنترل (در زمان تحویل حضوری باید به صورت کتبی تحویل داده شود)
  - ۱۵ نمره روش کدینگ (مسیر داده‌ی پایپ‌لاین به صورت ساختاری، واحدهای کنترل و Forwarding و ... به صورت ترکیبی)
  - ۴۵ نمره صحت طراحی با برنامه‌های آزمون توسط شما
  - ۲۰ نمره صحت طراحی با برنامه‌های آزمون توسط دستیاران آموزشی