##### 修改历史

|  |  |  |
| --- | --- | --- |
| 版本 | 时间 | 修改描述 |
| V0.1 | 2021/5/31 | 第一版发布 |
| V0.2 | 2021/6/15 | 第二版发布 |
| V0.3 | 2021/8/5 | 第三版发布 |

***重要信息***

©版权所有 2021 开放原子开源基金会保留所有权利。

本文件受开放原子开源基金会版权保护。允许完整且未经修改地复制和分发此文档。

***通知***

OpenHarmony开源板系列建议规范是由开放原子开源基金会OpenHarmony开源项目群SIG组织编写，主要面向有兴趣开发OpenHarmony开源板兼容产品或服务的芯片供应商和用户，以及有意加入OpenHarmony开源生态系统的品牌厂商，一起来构建开放的OpenHarmony开源板规范化行业标准， 欲加入这个标准的各方，请通过电子邮件向XXXXX@XXXX.com发送电子邮件以获取更多信息。

开放原子开源基金会希望收到您对本规范的评论，请访问XXXXX网站，了解联系方式及更多信息。

***免责声明***

开放原子开源基金会保留在没有任何通知和提示的情况下对本文档内容进行修改的权利，有关所包含的信息可能会在未通知的情况下更改， 对文档中可能存在的任何错误不承担任何责任。

开放原子开源基金会不负责甄别OpenHarmony开源板规范可能要求获得许可的任何专利，或对其提请注意的专利法律有效性或范围进行法律调查。潜在用户有责任保护自己免受侵犯专利的责任。

本文档中的材料根据本页上的许可证和通知详细说明了OpenHarmony开源板规格。本文件不代表承诺在任何公司的产品中实施此规范的任何部分。

OpenHarmony开源板规范仅作指导参考，不提供任何明示或隐含的担保，包括但不限于针对特定目的的商户和产品的内部保修。OpenHarmony开源板规范对有关产品包含的错误、性能或相应损坏及其他配件也不承担责任。

遵守此规范并不能免除OpenHarmony开源板设备制造商的安全和监管机构（UL、CSA、FCC、IEC 、CCC等）的产品认证要求。

## 目录

[背景介绍](#背景介绍)

[OpenHarmony开源板富设备核心板](#_OpenHarmony开源板_(L2+))

[OpenHarmony开源板富设备核心板最小硬件特性](#最小硬件)

[硬件详细功能说明](#硬件详细)

[OpenHarmony开源板物理尺寸](#_OpenHarmony开源板（L2+）物理尺寸)

[OpenHarmony开源板输入电压范围](#输入电压范围)

[SoC或智能模组](#_SoC或者智能模组)

[DRAM](#_DRAM)

[eMMC NAND flash](#_eMMC_NAND_Flash)

[Micro SDHC 卡槽](#SDHC)

[WiFi/BT/GNSS/NFC](#WiFi)

[Display显示输出](#Display)

[Camera 输入](#Camera)

[SPI接口](#_SPI接口)

[I2C接口](#_I2C_接口)

[CAN BUS 接口](#_CAN_Bus_接口)

[USB 接口](#USB接口)

[千兆位以太网接口](#_千兆位以太网络接口)

[Audio音频信号](#_Audio音频信号)

[PCI Express接口信号](#_PCI_Express接口信号)

[SERDES接口](#_SERDES接口信号)

[SATA 接口](#_SATA接口信号)

[Boot引导配置](#_Boot引导配置)

[供电电源和地](#电源)

[系统电源与管理信号](#_系统与电源管理信号)

[UART](#_UART接口)

[JTAG](#_JTAG)

[一般用途I/O](#一般用途)

[RF 天线区域](#_RF_天线区域)

[OpenHarmony开源板富设备核心板强制与可选接口](#强制与可选接口)

[OpenHarmony开源板富设备核心板外观尺寸](#外观尺寸)

[附录：](#_맒쩌:)

[OpenHarmony开源板富设备核心板金手指Pin定义](#金手指定义)

# 背景介绍

OpenHarmony开源板 富设备核心板规范是OpenHarmony系列开源板规范标准之一， 立足于双核以上多核应用处理器+整合5G/4G/3G/2G/WiFi/BT/GPS无线通讯平台，方便用户快速设计智能终端设备应用而设计制定的开发板平台规范，涉及集成融合5G/4G/3G/2G/WiFi/BT/GPS等多种无线通信接入智能终端类设备应用， 可适用于智能电视(含TV box).平板电脑，智能手机，智能车载终端.，AR/VR等多门类智能设备， OpenHarmony开源板富设备核心板 硬件平台关键特性如下:

* 针对含双核以上的ARM Cortex-A +无线通讯基带的AP 多媒体应用处理器硬件平台设计；
* 其中L3规范 主要针对双核-四核ARM Cortex-A AP 应用处理器，系统内存为1GB-3GB；
* 其中L4规范 主要针对四核-八核ARM Cortex-A AP 应用处理器，系统内存为4GB-6GB；
* 其中L5规范 主要针对八核以上ARM Cortex-A AP 应用处理器，系统内存为6GB-8GB；
* 直接基于AP处理器进行硬件设计开发；
* 支持开源的OpenHarmony操作系统开发及源社区软件开发；
* 内嵌各种通信基带协议栈，支持符合一致性软件堆栈协议的标准IoT 开发平台，可以不同形式和涉及ARM Cortex- A 32bit 或64bit SoC 芯片家族共存；
* 立足于提供完整的高性能， 增强扩展多功能接口板型设计，广泛适用于各种嵌入式智能设备原型产品， 有效缩短研发周期；

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **设备类别** | **硬件平台特性** | **通讯能力** | **OpenHarmony特性** | **典型应用产品** |
| L3 | 双核--四核 AP处理器，内存容量 1GB-3GB | 多种蜂窝通讯制式\WiFi\BT\GNSS\NFC | 全支持 | 电视，车机，平板，手机，智能设备 |
| L4 | 四核--八核 AP处理器，内存容量4GB-6GB | 多种蜂窝通讯制式\WiFi\BT\GNSS\NFC | 全支持 | 电视，车机，平板，手机，智能设备 |
| L5 | 八核 以上AP处理器，内存容量 6GB-8GB | 多种蜂窝通讯制式\WiFi\BT\GNSS\NFC | 全支持 | 电视，车机，平板，手机，智能设备 |

目标使用案例包括但不限于如下：

* 电视，车机，平板，手机，智能设备
* IoT 重量型智能终端设备
* 支持人工智能算法的智能终端设备
* 丰富的智能传感器和控制装置

OpenHarmony开源板富设备核心板的目标设计是:

1. 针对基于双核 至八核以上ARM Cortex -A 或RISC-V 32bit 集成通讯基带的 AP处理器 或智能模组SoM 作为AIoT物联网接入使用重量型 智能终端设备，参考内存 分为L3(1GB-3GB)/ L4(4GB-6GB)/ L5 (6GB-8GB)， 提供丰富的远距/近距连接能力以及丰富的外设接口扩展能力，支持高速视频及数据总线。
2. 通用型SoM模组设计,适合在任何符合OpenHarmony开源板富设备核心板标准的板上使用。
3. 便于扩展应用.可以直接支持与制造商社区和原始设备制造商现成的底板来设计终端;
4. 支持第三方生态系统围绕扩展板/外设板//显示器等进行开发。

OpenHarmony开源板富设备核心板关键的设计型态是采用标准制定的314pin金手指模组化核心板来设计，可与适配的承载底板装配， 支持多种扩展接口， 其扩展接口力求作到与第三方生态系统围绕扩展板/外设板能兼容使用。

OpenHarmony开源板富设备核心板规范旨在鼓励多个SoC供应商按照该规范构建开源的OpenHarmony系统开发板， 打造一个全新进化的OpenHarmony生态系统，在几年内快速扩展多个MCU 或SoC芯片 加入应用， 该规范是完全可以自由实施的—即任何人都可以按照该规范建立一个标准化组织，而无需支付任何费用或任何许可要求。

OpenHarmony开源板富设备核心板认证项目是加入该规范标准组织开发人员的可选项目，并将提供硬件和软件认证、江苏润和软件股份公司为OpenHarmony开源板富设备核心板提供的社区网站和软件支持。

注: 本规范参考了 SMARC 2.1.1 Specification 2020-05-20

# OpenHarmony开源板富设备核心板

## 硬件

### OpenHarmony开源板富设备核心板最小硬件规格特性:

1. 可支持基于内嵌ARM多核 Cortex-A 系列或RISC-V 集成基带的AP类处理器 或智能模组作SOM 模组核心板+多功能扩展接口底板设计；
2. 建议的SOM 模组核心板可采用2种标准的超小型薄型“卡”外形尺寸设计— 82 x 50毫米;外形兼容扩展板型尺寸 — 82x 80毫米；
3. SoM 模组核心板PCB采用可直接插入314 针Pin 间距0.5mm低高度MXM3 插槽 的314个金手指设计， 与之适配的插槽可选用90度弯脚插槽(接头连接器可标识为321针接头，但其中有7针作了移除KEY 标记位)，以支撑核心板PCB 水平固定在底板上；
4. SoM 模组核心板 板载可运行内存: L3(1GB-3GB)/ L4(4GB-6GB)/ L5 (6GB-8GB) ；
5. SoM 模组核心板板载多制式5G/4G/3G/2G蜂窝通讯 电路， WiFi/BT/GNSS/NFC 无线通讯电路 或智能模组；
6. 支持与底板上的64GB 以上的Micro SDHC 卡槽 及SIM 卡槽通讯连接；
7. OpenHarmony开源板富设备核心板支持的扩展信号接口如下:
   * + 显示接口：支持LVDS/eDP/HDMI/Display port
     + Camera接口： 至少2路MIPI CSI（2或4 lane）信号
     + SDIO 接口
     + SPI接口 x2路
     + Audio 接口:支持I2S与HAD 接口信号
     + I2C 接口x6路
     + 异步串行接口x4路
     + CAN Bus 接口x2路
     + USB接口x6路
     + PCI Express x4路PCIe Gen1， Gen 2 or Gen 3
     + SERDES接口
     + SATA接口
     + Gigabit Ethernet MDI接口x2路
     + Wireless 模组（可选模组）
     + Watchdog Timer 接口
     + 一般用途GP I/O
     + 系统与电源管理信号
     + Boot 引导源选择配置信号
     + JTAG接口

OpenHarmony开源板富设备核心板以SoM模组核心板方式，将被用做移动便携式和固定嵌入式重端系统的核心单元，核心AP处理器和支持电路，包括DRAM、boot 闪存、电源排序、CPU电源、千兆以太网和双通道LVDS显示发射芯片等集中在模块上。这个模块与实现其他功能（如音频编解码器、触摸控制器、摄像头、传感器等）的特定于应用程序的底板一起使用。模块化方案允许可扩展性、快速上市和可升级性，同时保持低成本、低功耗和较小的物理尺寸。

OpenHarmony开源板富设备核心板必须实现最低配置的功能。如果完全实现了本规范（包括对外形尺寸的限制），则可以实现附加功能见后说明。

### 

### [硬件详细功能说明](#_븃촁역都겼（L3/L4/L5）圈玖袒숭방목)

#### OpenHarmony开源板富设备核心板物理尺寸

OpenHarmony开源板富设备核心板定义了2种标准尺寸板以实现最小硬件规格， PCB 外形尺寸规格为: 82 (长) x 50( 宽) mm ; 82 (长) x 80( 宽) mm， 核心板PCB采用314个边缘金手指设计， 可与承载底板上的一个低高度314针间距0.5毫米R/A内存插座式连接器相匹配。

承载底板上的该连接器 — 314针0.5毫米间距R/A内存插座式连接器， 具有以下特征:

1.支持引出核心板上多路信号

*   低至1.5mm（载体板顶部至模块底部）
*  其他堆叠高度可选，包括2.7mm、5mm、8mm
*  总装配高度（承载底板顶部至最高核心板组件）小于6mm

2.信号完整性极佳 — 适用于2.5 GHz/5 GHz/8 GHz数据高速率信号传输，如PCIe Gen 1、Gen 2和Gen 3。

3.组装坚固，抗震性强。

OpenHarmony开源板富设备核心板标准板高度定义如下:

PCB 板上元件高度 最高3.0 mm( 如果使用USB-type C， 则为 则为 7.0 mm);

PCB 板厚 最高1.2mm

PCB 板下元件高度 最高 1.3mm

参考请参阅下面的图示。



注: 图示高度不含散热器+风扇， 散热器+风扇尺寸不限定!

#### OpenHarmony开源板富设备核心板允许的输入电压范围：3.0V~ 5.25V

* 允许3.6V标称锂离子电池组运行
* 允许从3.3V固定直流电源操作
* 允许从5.0V固定直流电源操作
* 单电源（无单独备用电压）

输入/输出模块电源引脚允许最大5A。

#### 此开源板支持低功耗设计，其特点如下：

* 无风扇
* 被动冷却
* 备用电源低
* 电池运行设计
* 1.8V默认I/O电压

下面列出的接口可根据核心板引脚定义使用。有些功能是可选的，可用性取决于核心板系统平台设计。注：本规范作为核心板金手指接口定义供参考，若使用的平台扩展接口不尽使用，可查询适当的Reserve Pin 或次要接口复用。

#### SoC或者智能模组

OpenHarmony开源板富设备核心板优选双核以上多核应用处理器+整合5G/4G/3G/2G/WiFi/BT/GPS无线通讯SoC平台或智能模组来设计, 集AP处理器,DDR存储器,eMMC NAND Flash ,PMU等布局于一体,,基于散热考量，建议将SoC 或智能模组放置在核心板顶部表面，如果需要的话，可以使用薄型散热器或风扇。

#### DRAM

核心板至少按L3(1GB-3GB)/ L4(4GB-6GB)/ L5 (6GB-8GB) 配置放置内存， 以支持OpenHarmony操作系统安全运行。

#### eMMC NAND Flash

核心板须预留放置eMMC或其他格式的闪存位置。

如果所使用的SoC无法从micro SDHC卡启动，则应在主板上提供至少8MB的可启动闪存。当提供多个引导选项时，引导位置的选择应由用户在硬件(链接或开关)中选择。

请注意: 不应直接支持 外部USB cable 插入自动引导(例如，将微型USB电缆插入OTG端口以使用Fast boot引导)。在这种情况下，boot必须仍然是用户通过配置开关， 设置boot 优先级。

*Micro SDHC 卡槽*

核心板金手指支持的4位SD卡/SDIO接口信号，以用于外接 micro SDHC卡，SDHC卡插座应安装在电路板上的指定位置。视PCB layout SDIO 高速走线规则要求， 该卡槽可放置底板上。在没有板载闪存的情况下，系统应能够在通电时从安装在micro SDHC卡上的引导软件启动。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| SDIO 信号 |  |  |  |  |  |  |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| SDIO\_D0 SDIO\_D1 SDIO\_D2 SDIO\_D3 | P39 P40 P41 P42 | SDIO数据线。这些信号以推拉模式运行。 | I/O CMOS | 1.8V 或 3.3V | 运行 |  |
| SDIO\_WP | P33 | SDIO 编写保护。此信号表示 SD 卡上的写入保护选项卡的状态。 | I OD CMOS | 1.8V 或 3.3V | 运行 | PU 10k |
| SDIO\_CMD | P34 | SDIO 命令/响应。此信号用于卡初始化和命令传输。在初始化模式下，此信号为开放式排水。在命令传输过程中，此信号处于推拉模式。 | I/O CMOS | 1.8V 或 3.3V | 运行 |  |
| SDIO\_CD# | P35 | SDIO 卡检测。此信号表示存在 SDIO/MMC 卡时。 | I OD CMOS | 1.8V 或 3.3V | 运行 | PU 10k |
| SDIO\_CK | P36 | SDIO Clock. 。此信号的每个周期都会在命令上进行一位传输，并且每个数据线都会发生。 | O CMOS | 1.8V 或 3.3V | 运行 |  |
| SDIO\_PWR\_EN | P37 | SDIO 电源启用。此信号用于支持向 SD/MMC 卡设备供电。 | O CMOS | 3.3V | 运行 |  |

*WiFi/BT/GNSS/NFC*

可视核心板元件空间布局状况， 合理放置WiFi(最低802.11g/n)和蓝牙4.0(蓝牙低能耗) GNSS/NFC 模组电路， 若放不下 或涉及回避信号串扰， 则可放置至底板位置。

建议若需支持WiFi 802.11ac /ax， 因需高速PCIe差分信号走线， WiFi 电路仍需尽量放置核心板上。

应在板上规定的净空位置提供印刷电路板或芯片天线。可以提供外部天线插座选项。

*Display显示输出接口*

显示输出接口尽量部属在底板上，以方便与周边外设显示装置连接， 其输出接口信号应为以下之一:

* 18bit 或者24bit 单通道或者双通道 LVDS差分信号接口LCD
  + - * LCD Panel支持（I2C、Power enables、PWM）信号
      * 支持双通道传输
      * 可以与eDP/MIPI DSI接口信号复用
* HDMI 接口可以和DP++全功能接口复用
* 增加额外的全功能DisplayPort++

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| LVDS信号 |  |  |  |  |  |  |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 级别** | **电源域** | **PU/PD** |
| LVDS0\_0+ LVDS0\_0 - LVDS0\_1+ LVDS0\_1 - LVDS0\_2+ LVDS0\_2 - LVDS0\_3+ LVDS0\_3 - | S125  S126  S128  S129  S131  S132  S137  S138 | 主 LVDS 通道差分对数据线 | O LVDS |  | 运行 |  |
| LVDS0\_CK+ LVDS0\_CK- | S134 S135 | 主LVDS通道差分对时钟线 | O LVDS |  | 运行 |  |
| LCD0\_VDD\_EN | S133 | 主 LVDS 通道电源使能 | O CMOS | 1.8V | 运行 |  |
| LCD0\_BKLT\_EN | S127 | 主LVDS通道背光使能 | O CMOS | 1.8V | 运行 |  |
| LCD0\_BKLT\_PWM | S141 | 主LVDS通道亮度控制 | O CMOS | 1.8V | 运行 |  |
| LVDS1\_0+ LVDS1\_0 - LVDS1\_1+ LVDS1\_1 - LVDS1\_2+ LVDS1\_2 - LVDS1\_3+ LVDS1\_3 - | S111  S112  S114  S115  S117  S118  S120  S121 | 次级LVDS通道差分对数据线 | O LVDS |  | 运行 |  |
| LVDS1\_CK+LVDS1\_CK- | S108  S109 | 次级LVDS通道差分对时钟线 | O LVDS |  | 运行 |  |
| LCD1\_VDD\_EN | S116 | 次级LVDS 通道电源使能 | O CMOS | 1.8V | 运行 |  |
|
| LCD1\_BKLT\_EN | S107 | 次级 LVDS 通道背光启用 | O CMOS | 1.8V | 运行 |  |
|
| LCD1\_BKLT\_PWM | S122 | 次级LVDS通道亮度控制 | O CMOS | 1.8V | 运行 |  |
|
| I2C\_LCD\_DAT | S140 | 用于LCD Panel检测和控制的 DDC 数据线 | I/O OD CMOS | 1.8V | 运行 | PU 2k2 |
| I2C\_LCD\_CK | S139 | 用于LCD Panel控制的 DDC 时钟线 | I/O OD CMOS | 1.8V | 运行 | PU 2k2 |

eDP 信号

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| eDP0\_TX0+ eDP0\_TX0 - eDP0\_TX1+ eDP0\_TX1 - eDP0\_TX2+ eDP0\_TX2 - eDP0\_TX3+ eDP0\_TX3 - | S125  S126  S128  S129  S131  S132  S137  S138 | 主 4-Lane eDP 差分对数据线 | O DP |  | 运行 |  |
|
|
| eDP0\_AUX+eDP0\_AUX- | S134  S135 | 用于链接管理和设备控制的主要双向通道 | I/O DP |  | 运行 |  |
| LCD0\_VDD\_EN | S133 | 主面板电源使能 | O CMOS | 1.8V | 运行 |  |
| LCD0\_BKLT\_EN | S127 | 主面板背光使能 | O CMOS | 1.8V | 运行 |  |
| LCD0\_BKLT\_PWM | S141 | 主面板亮度控制 | O CMOS | 1.8V | 运行 |  |
| eDP0\_HPD | S144 | 检测主eDP显示屏的热插头/拔下插头和链接层通知 | I CMOS | 1.8V | 运行 | PD 1M |
| eDP1\_TX0+ eDP1\_TX0 - eDP1\_TX1+ eDP1\_TX1 - eDP1\_TX2+ eDP1\_TX2 - eDP1\_TX3+ eDP1\_TX3 - | S111  S112  S114  S115  S117  S118  S120  S121 | 次4-Lane eDP 差分对数据线 | O DP |  | 运行 |  |
|
| eDP1\_AUX+eDP1\_AUX- | S108  S109 | 用于链接管理和设备控制的次级双向通道 | I/O DP |  | 运行 |  |
| LCD1\_VDD\_EN | S116 | 辅助LCD panel面板电源使能 | O CMOS | 1.8V | 运行 |  |
|
| LCD1\_BKLT\_EN | S107 | 辅助面板背光启用 | O CMOS | 1.8V | 运行 |  |
|
| LCD1\_BKLT\_PWM | S122 | 次级面板亮度控制 | O CMOS | 1.8V | 运行 |  |
|
| eDP1\_HPD | S113 | 检测次级eDP显示屏的热插头/拔下插头和链接层通知 | I CMOS | 1.8V | 运行 | PD 1M |
|
| I2C\_LCD\_DAT | S140 | I2C 数据可读取 LCD 显示器 EDID EEPROM | I/O OD CMOS | 1.8V | 运行 | PU 2k2 |
|
| I2C\_LCD\_CK | S139 | I2C 时钟可读取 LCD 显示器 EDID EEPROM | I/O OD CMOS | 1.8V | 运行 | PU 2k2 |

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| MIPI-DSI 信号 | | |  | |  |  | |  |  |
| **信号名称** | | **引脚 #** | **描述** | | **I/O 类型** | **I/O 电平** | | **电源域** | **PU/PD** |
| DSI0\_D0+ DSI0\_D0 - DSI0\_D1+ DSI0\_D1 - DSI0\_D2+ DSI0\_D2 - | | S125  S126  S128  S129  S131 S132 | 主 DSI 面板差分对数据线 | | O D-PHY |  | | 运行 |  |
| DSI0\_D3+DSI0\_D3- | | S137  S138 |
| DSI0\_CLK+DSI0\_CLK- | | S134  S135 | 主 DSI 面板差分对时钟线 | | O D-PHY |  | | 运行 |  |
| LCD0\_VDD\_EN | | S133 | 主面板电源启用 | | O CMOS | 1.8V | | 运行 |  |
| LCD0\_BKLT\_EN | | S127 | 主面板背光启用 | | O CMOS | 1.8V | | 运行 |  |
| LCD0\_BKLT\_PWM | | S141 | 主面板亮度控制 | | O CMOS | 1.8V | | 运行 |  |
| DSI0\_TE | | S144 | 主 DSI 面板撕裂效果信号 | | I CMOS | 1.8V | | 运行 | 1M PD |
| DSI1\_D0+ DSI1\_D0 - DSI1\_D1+ DSI1\_D1 - DSI1\_D2+ DSI1\_D2 - | | S111  S112  S114  S115  S117  S118 | 辅助 DSI 面板差分对数据线 | | O D-PHY |  | | 运行 |  |
| DSI1\_D3+DSI1\_D3- | | S120  S121 |
| DSI1\_CLK+DSI1\_CLK- | | S108  S109 | 辅助 DSI 面板差分对时钟线 | | O D-PHY |  | | 运行 |  |
| LCD1\_VDD\_EN | | S116 | 辅助面板电源启用 | | O CMOS | 1.8V | | 运行 |  |
| LCD1\_BKLT\_EN | | S107 | 辅助面板背光启用 | | O CMOS | 1.8V | | 运行 |  |
| LCD1\_BKLT\_PWM | | S122 | 二级面板亮度控制 | | O CMOS | 1.8V | | 运行 |  |
| DSI1\_TE | | S113 | 二级 DSI 面板撕裂效果信号 | | I CMOS | 1.8V | | 运行 | 1M PD |
| I2C\_LCD\_DAT | | S140 | 用于平板的 DDC 数据线 | | I/O OD | 1.8V | | 运行 | PU 2k2 |
| 检测和控制 | | CMOS |
| I2C\_LCD\_CK | | S139 | 用于平板检测和控制的 DDC 时钟线 | | I/O OD CMOS | 1.8V | | 运行 | PU 2k2 |
| LVDS / eDP / MIPI DSI Pin 共用 | | | |  | | |  | | | |
| **Pin #** | **LVDS 信号名称** | | | **MIPI DSI 信号名称** | | | **eDP 信号名称** | | | |
| S125  S126  S128  S129  S131  S132  S137  S138 | LVDS0\_0+  LVDS0\_0 -  LVDS0\_1+  LVDS0\_1 -  LVDS0\_2+  LVDS0\_2 -  LVDS0\_3+  LVDS0\_3 - | | | DSI0\_D0+  DSI0\_D0 -  DSI0\_D1+  DSI0\_D1 -  DSI0\_D2+  DSI0\_D2 -  DSI0\_D3+  DSI0\_D3 - | | | eDP0\_TX0+  eDP0\_TX0 -  eDP0\_TX1+  eDP0\_TX1 -  eDP0\_TX2+  eDP0\_TX2 -  eDP0\_TX3+  eDP0\_TX3 - | | | |
| S134  S135 | LVDS0\_CK+ LVDS0\_CK- | | | DSI0\_CLK+ DSI0\_CLK- | | | eDP0\_AUX+ eDP0\_AUX- | | | |
| S133 | LCD0\_VDD\_EN | | | LCD0\_VDD\_EN | | | LCD0\_VDD\_EN | | | |
| S127 | LCD0\_BKLT\_EN | | | LCD0\_BKLT\_EN | | | LCD0\_BKLT\_EN | | | |
| S141 | LCD0\_BKLT\_PWM | | | LCD0\_BKLT\_PWM | | | LCD0\_BKLT\_PWM | | | |
| S144 | - | | | DSI0\_TE | | | eDP0\_HPD | | | |
| S111  S112  S114  S115 S117  S118  S120  S121 | LVDS1\_0•  LVDS1\_0 -  LVDS1\_1+  LVDS1\_1 -  LVDS1\_2+  LVDS1\_2 -  LVDS1\_3+  LVDS1\_3 - | | | DSI1\_D0•  DSI1\_D0 -  DSI1\_D1+  DSI1\_D1 -  DSI1\_D2+  DSI1\_D2 -  DSI1\_D3+  DSI1\_D3 - | | | eDP1\_TX0+  eDP1\_TX0 -  eDP1\_TX1+  eDP1\_TX1 -  eDP1\_TX2+  eDP1\_TX2 -  eDP1\_TX3+  eDP1\_TX3 - | | | |
| S108  S109 | LVDS1\_CK+ LVDS1\_CK- | | | DSI1\_CLK+ DSI1\_CLK- | | | eDP1\_AUX+ eDP1\_AUX- | | | |
| S116 | LCD1\_VDD\_EN | | | LCD1\_VDD\_EN | | | LCD1\_VDD\_EN | | | |
| S107 | LCD1\_BKLT\_EN | | | LCD1\_BKLT\_EN | | | LCD1\_BKLT\_EN | | | |
| S122 | LCD1\_BKLT\_PWM | | | LCD1\_BKLT\_PWM | | | LCD1\_BKLT\_PWM | | | |
| S113 | - | | | DSI1\_TE | | | eDP1\_HPD | | | |
| S140 | I2C\_LCD\_DAT | | | I2C\_LCD\_DAT | | | I2C\_LCD\_DAT | | | |
| S139 | I2C\_LCD\_CK | | | I2C\_LCD\_CK | | | I2C\_LCD\_CK | | | |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| HDMI信号 | |  |  |  |  |  |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| HDMI\_D2+ HDMI\_D2 - HDMI\_D1+ HDMI\_D1 - HDMI\_D0+ HDMI\_D0 - | P92  P93  P95  P96  P98  P99 | HDMI 端口，差分对数据线 | O TMDS HDMI |  | 运行 |  |
| HDMI\_CK+HDMI\_CK- | P101  P102 | HDMI 端口，差分对时钟线 | O TMDS HDMI |  | 运行 |  |
| HDMI\_CTRL\_CK | P105 | 专用于 HDMI 的I2C\_CLK时钟 | I/O OD CMOS | 1.8V | 运行 | PU 100K |
|
|
| HDMI\_CTRL\_DAT | P106 | 专用于 HDMI 的I2C\_DAT数据 | I/O OD CMOS | 1.8V | 运行 | PU 100K |
|
|
| HDMI\_HPD | P104 | HDMI 热插拔高电平检测信号，用作中断请求 | I CMOS | 1.8V | 运行 | PD 1M |

注: HDMI 显示屏使用 5V I2C 信号。核心板上的HDMI\_CTRL\_DAT和HDMI\_CTRL\_CK信号需要在底板上从核心板的1.8V 电平进行电平转换。类似的考虑也适用于HDMI\_HPD信号。市场上有许多单芯片，用于 HDMI 接口执行 ESD 保护和控制信号级别转换。德州仪器TPD12S016就是这样一个芯片。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| DP++信号 |  |  |  |  |  |  |
| **信号名称** | **Pin #** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| DP0\_LANE0+ DP0\_LANE0 - DP0\_LANE1+ DP0\_LANE1 - DP0\_LANE2+ DP0\_LANE2 - DP0\_LANE3+ DP0\_LANE3 - | S93  S94  S96  S97  S99  S100  S102  S103 | 主 DP 端口差分对数据线 | O DP |  | 运行 |  |
|
| DP0\_AUX+ | S105 | 用于链接管理和设备控制的主要 DP 端口双向通道 | I/O DP | 3.3V | 运行 | PD 100k |
|
|
| DP0\_AUX- | S106 | 用于链接管理和设备控制的主要 DP 端口双向通道 | I/O DP | 3.3V | 运行 | PU 100k |
|
|
|
| DP0\_AUX\_SEL | S95 | 辅助选择 | I CMOS | 1.8V | 运行 | PD 1M |
|
| DP0\_HPD | S98 | DP 热插头检测输入 | I CMOS | 1.8V | 运行 | PD 1M |

DP++ 接口可以根据 DP 或 HDMI / DVI 协议格式输出信号。信号电平符合DP要求。对于 DP 使用，4-Lane DP 显示数据通道上需要核心板外加耦合电容。HDMI/DVI操作通常需要在底板上增加底板转换器。

DP+或DisplayPort++ （也称为双模显示端口）可以直接输出 HDMI 和 DVI 信号, 电平适配应可在底板上实施，也可以通过插入电缆适配器实现。

1. OpenHarmony开源板（L2+）支持扩展到底板上直连 HDMI ( type A)或 HDMI ( type C) 或HDMI ( typeD) 连接器。
2. OpenHarmony开源板（L2+）支持扩展到底板上直连MHL over micro USB(5pin) 连接器。
3. OpenHarmony开源板（L2+）支持扩展到底板上直连Display port over USB type C连接器。

在所有情况下，显示界面应包括支持至少一个通道的音频。在所有情况下，连接器应位于指定位置。

应在底板上专门提供MIPI DSI 接口连接器，支持1-4个通道；可以使用一个实现少于4个通道的连接器。

*Camera输入接口*

* 核心板金手指支持串行camera配置：MIPI CSI（2lane）+MIPI CSI（2或4 lane）；
* 核心板上支持提供两个额外可选FPC连接器,以用于扩展MIPI CSI信号接口；

核心板的 扩展总线接口上可以提供1或2个MIPI CSI-2端口。定义了两个 MIPI CSI 串行摄像机接口。定义的 CSI0 接口支持两个差分数据通道（CSI0\_D[0：1]/- 信号）。CSI1 可通过最多四个微分数据通道（CSI1\_D[0：3]/-信号）实施，以支持更高分辨率的摄像机。

如果提供了1个端口，它应位于CSI0端口接口上:可以在CSI0端口接口上实现1-4个通道;可以在CSI1端口接口上实现1-2个通道，如果SoC提供必要的功能，实现可以通过CSI0接口支持双(立体) camera摄像机。

Camera摄像机/传感器可能需要额外的控制信号，包括RST、PWRDN和MCLK 信号，扩展连接器上指定的GPIO和CLK信号将用于这些信号功能。

如果Camera摄像机/传感器不可用/未使用，则这些信号应作为通用输入输出和CLK信号可用。

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| MIPI-CSI信号 | |  | |  |  | |  | | |  |  | |
| **信号名称** | **Pin#** | | **描述** | | | **I/O 类型** | | **I/O 电平** | **电源域** | **PU/PD** | |
| CSI0\_RX0+CSI0\_RX0-CSI0\_RX1+CSI0\_RX1- | S11 | | CSI0 差分输入 | | | I D-PHY | |  | 运行 |  | |
| S12 | |
| S14 | |
| S15 | | /I M-PHY | |
| CSI0\_CK+CSI0\_CK- | S8 | | CSI0 差分时钟输入（点对点） | | | I D-PHY | |  | 运行 |  | |
| S9 | |
| I2C\_CAM0\_DAT/CSI0\_TX- | S7 | | 用于串行摄像机数据支持链接或差分数据通道的 I2C 数据 | | | I/O OD CMOS | | 1.8V | 运行 | PU 2.2K | |
| /O M-PHY | |
|  | |
|  | |
| I2C\_CAM0\_CK / CSI0\_TX+ | S5 | | I2C 时钟用于串行摄像机数据支持链接或差分数据通道 | | | I/O OD CMOS | | 1.8V | 运行 | PU 2.2K | |
| /O M-PHY | |
|  | |
|  | |
| CAM0\_PWR# | P108 | | 相机 0 电源启用，活动低输出。 | | | O CMOS | | 1.8V | 运行 |  | |
| CAM0\_RST# | P110 | | 相机 0 重置，活动低输出 | | | O CMOS | | 1.8V | 运行 |  | |
| CSI1\_RX0+ CSI1\_RX0 - CSI1\_RX1+ CSI1\_RX1 - CSI1\_RX2+ CSI1\_RX2 - CSI1\_RX3+ CSI1\_RX3 - | P7 | | CSI1 差分输入（点对点） | | | I D-PHY | |  | 运行 |  | |
| P8 | |
| P10 | |
| P11 | |
| P13 | |
| P14 | |
| P16 | |
| P17 | | /I M-PHY | |
| CSI1\_CK+ CSI1\_CK- | P3 P4 | | CSI1 差分时钟输入（点对点） | | | I D-PHY | |  | 运行 |  | |
| I2C\_CAM1\_DAT/CSI1\_TX- | S2 | | 用于串行Camera摄像机数据支持链接或差分数据通道的 I2C 数据 | | | I/O OD CMOS | | 1.8V | 运行 | PU 2.2K | |
| /O M-PHY | |
|  | |
| I2C\_CAM1\_CK/ CSI1\_TX+ | S1 | | I2C 时钟用于串行摄像机数据支持链接或差分数据通道 | | | I/O OD CMOS | | 1.8V | 运行 | PU 2.2K | |
| /O M-PHY | |
| CAM1\_PWR# | P109 | | 相机 1 电源启用，活动低输出。 | | | O CMOS | | 1.8V | 运行 |  | |
| CAM1\_RST# | P111 | | 相机 1 重置，活动低输出 | | | O CMOS | | 1.8V | 运行 |  | |
| CAM\_MCK | S6 | | 主时钟输出 | | | O CMOS | | 1.8V | 运行 |  | |

支持两个 MIPI CSI Camera接口。 CSI0 接口支持两条LANE，CSI1 接口支持 4 LANE。

核心板上支持可选FPC连接器上的3号和4号MIPI CSI 信号接口如下：

3号MIPI-CSI FPC连接器信号

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| CSI2\_RX0+ CSI2\_RX0 - CSI2\_RX1+ CSI2\_RX1 - CSI2\_RX2+ CSI2\_RX2 - CSI2\_RX3+ CSI2\_RX3 - | 4 | CSI2 差分输入（点对点） | I D-PHY  /I M-PHY |  | 运行 |  |
| 5 |
| 7 |
| 8 |
| 10 |
| 11 |  |
| 13 |
| 14 |
| CSI2\_CK+ CSI2\_CK- | 16 | CSI2 差分时钟输入（点对点） | I D-PHY |  | 运行 |  |
| 17 |
| I2C\_CAM2\_DAT/CSI2\_TX- | 20 | 用于串行摄像机数据支持链接或差分数据通道的 I2C 数据 | I/O OD CMOS  /O M-PHY | 1.8V | 运行 | PU 2.2K |
| I2C\_CAM2\_CK/CSI2\_TX+ | 19 | I2C 时钟用于串行摄像机数据支持链接或差分数据通道 | I/O OD CMOS  /O M-PHY | 1.8V | 运行 | PU 2.2K |
| CAM2\_PWR# | 21 | 相机 2 电源启用，活动低输出。 | O CMOS | 1.8V | 运行 |  |
| CAM2\_RST# | 12 | 相机 2 重置，活动低输出 | O CMOS | 1.8V | 运行 |  |
| CAM2\_MCK | 22 | 主时钟输出 | O CMOS | 1.8V | 运行 |  |
| CAM2\_VCC | 1， 2 | 电源 |  | 3.3V | 运行 |  |
| GND | 3， 6， 9， | 地 |  |  |  |  |
| 15， 18 |

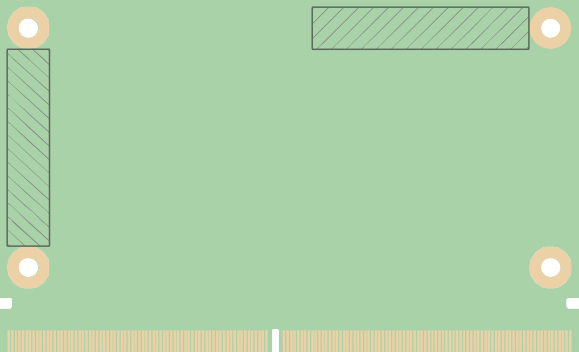
4号MIPI-CSI FPC连接器信号

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| CSI3\_RX0+ CSI3\_RX0 - CSI3\_RX1+ CSI3\_RX1 - CSI3\_RX2+ CSI3\_RX2 - CSI3\_RX3+ CSI3\_RX3 - | 4 | CSI3 差分输入（点对点） | I D-PHY  /I M-PHY |  | 运行 |  |
| 5 |
| 7 |
| 8 |
| 10 |
| 11 |  |
| 13 |
| 14 |
| CSI3\_CK+ CSI3\_CK- | 16 | CSI3 差分时钟输入（点对点） | I D-PHY |  | 运行 |  |
| 17 |
| I2C\_CAM3\_DAT/CSI3\_TX- | 20 | 用于串行摄像机数据支持链接或差分数据通道的 I2C 数据 | I/O OD CMOS  /O M-PHY | 1.8V | 运行 | PU 2.2K |
| I2C\_CAM3\_CK/ CSI3\_TX+ | 19 | I2C 时钟用于串行摄像机数据支持链接或差分数据通道 | I/O OD CMOS  /O M-PHY | 1.8V | 运行 | PU 2.2K |
| CAM3\_PWR# | 21 | 相机 3 电源启用，活动低输出。 | O CMOS | 1.8V | 运行 |  |
| CAM3\_RST# | 12 | 相机 3 重置，活动低输出 | O CMOS | 1.8V | 运行 |  |
| CAM3\_MCK | 22 | 主时钟输出 | O CMOS | 1.8V | 运行 |  |
| CAM3\_VCC | 1， 2 | 电源 |  | 3.3V | 运行 |  |
| GND | 3， 6， 9， | 地 |  |  |  |  |
| 15， 18 |

**MIPI-CSI FPC 连接器**

带有 22 个引脚的 22针 FPC 连接器可用作额外的 MIPI CSI 信号的FPC连接器。

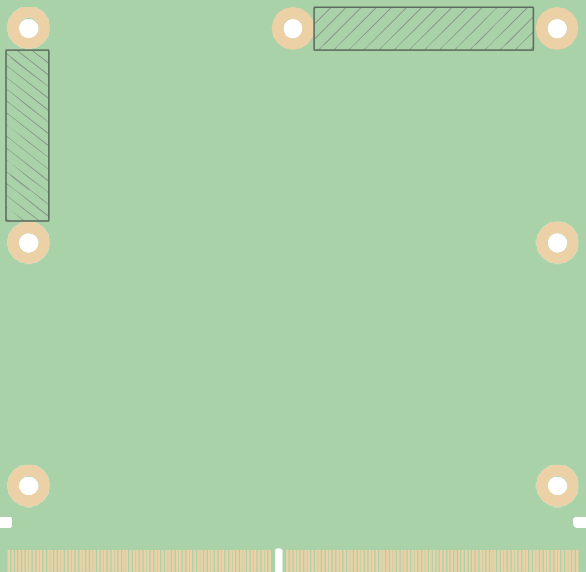
TE 部分编号： 2-1734592-2 或兼容（即来自Sunfun公司的 FDS0520）或来自胜达电子公司的MWAFC07-S22FXA-HF)。



MIPI-CSI FPC连接器的首选区域

（上侧）

图1：MIPI CSI FPC连接器放置（82x50mm 核心板）



MIPI-CSI FPC连接器的首选区域

（上侧）

图2 MIPI CSI FPC连接器放置（82x80mm 核心板）

#### SPI接口

作为核心板的金手指扩展总线接口上可以提供2路SPI 总线端口（SPI0和SPI1），与底板上相连的SPI0 flash存储器可做为Boot device， SPI1 则是通用的 SPI 总线，其中一个可以用于连接QSPI flash（ARM）。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| SPI0 信号 |  |  |  |  |  |  |
| **信号名称** | **Pin #** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| SPI0\_CS0# | P43 | SPI0 主片选 0 | O CMOS | 1.8V | 待机 |  |
| SPI0\_CS1# | P31 | SPI0 主片选1 | O CMOS | 1.8V | 待机 |  |
| SPI0\_CK | P44 | SPI0 时钟 | O CMOS | 1.8V | 待机 |  |
| SPI0\_DIN | P45 | SPI0主输入/从输出 | I CMOS | 1.8V | 待机 |  |
| SPI0\_DO | P46 | SPI0主输出/从输入 | O CMOS | 1.8V | 待机 |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |
| SPI1 信号 |  |  |  |  |  |  |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| SPI1\_CS0# | P54 | SPI1 主片选 0 | O CMOS | 1.8V | 待机 |  |
| SPI1\_CS1# | P55 | SPI1 主片选 1 | O CMOS | 1.8V | 待机 |  |
| SPI1\_CK | P56 | SPI1 时钟 | O CMOS | 1.8V | 待机 |  |
| SPI1\_DIN | P57 | SPI1 主输入/从输出 | I CMOS | 1.8V | 待机 |  |
| SPI1\_DO | P58 | SPI1 主输出/从输入 | O CMOS | 1.8V | 待机 |  |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| QSPI信号 |  |  |  |  |  |  |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| QSPI\_CS0# | P54 | QSPI 主芯片选择 0 | O CMOS | 1.8V | 待机 |  |
| QSPI\_CS1# | P55 | QSPI 主芯片选择 1 | O CMOS | 1.8V | 待机 |  |
| QSPI\_CK | P56 | QSPI 时钟 | O CMOS | 1.8V | 待机 |  |
| QSPI\_IO\_3 | S57 | QSPI数据输入/输出 | I/O CMOS | 1.8V | 待机 |  |
| QSPI\_IO\_2 | S56 | QSPI数据输入/输出 | I/O CMOS | 1.8V | 待机 |  |
| QSPI\_IO\_1 | P57 | QSPI数据输入/输出 | I/O CMOS | 1.8V | 待机 |  |
| QSPI\_IO\_0 | P58 | QSPI数据输入/输出 | I/O CMOS | 1.8V | 待机 |  |

#### I2C 接口

作为核心板的金手指扩展总线接口上，可以提供6路I2C总线端口，除 LCD 和 HDMI 模块 I2C 接口外，I2C 端口应具有多功能master功能，应支持 100 kHz 和 400 kHz 的数据速率。

* 5个I2C 接口应用示下:
  + - * 电源管理
      * 一般用途
      * 2路Camera接口
      * 用于读取LCD 显示屏ID
* 专用HDMI 端口的I2C接口

|  |  |  |
| --- | --- | --- |
| **I2C信号** |  |  |
| **I2C 端口** | **主要用途** | **替代用途** |
| I2C\_PM | 电源管理支持 | 系统配置管理 |
| I2C\_CAM0 I2C\_CAM1 I2C\_CAM2 I2C\_CAM3 | 相机支持 | 一般用途 |
| I2C\_GP | 通用用途 |  |
| I2C\_LCD | 液晶显示支持 | 一般用途 |
| HDMI\_CTRL | HDMI 控制 |  |

#### CAN Bus 接口

作为核心板的金手指扩展总线接口上，可以提供2路CAN 总线端口，其逻辑电平信号来自于本核心板上的有关CAN Bus 协议控制器。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| CAN Bus 信号 |  |  |  |  |  |  |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O Level** | **电源域** | **PU/PD** |
| CAN0\_TX | P143 | CAN 端口 0 传输输出 | O CMOS | 1.8V | 运行 |  |
| CAN0\_RX | P144 | 可以端口 0 接收输入 | I CMOS | 1.8V | 运行 |  |
| CAN1\_TX | P145 | CAN 端口 1 传输输出 | O CMOS | 1.8V | 运行 |  |
| CAN1\_RX | P146 | CAN 端口 1 接收输入 | I CMOS | 1.8V | 运行 |  |

#### USB 接口

作为核心板的金手指扩展总线接口上，可以提供六组 USB 2.0 信号和两组 USB 3.2 超高速信号。 还支持 USB OTG 和 USB 客户端功能。

如下表格，顺序定义了 USB0 到 USB5端口。对于 USB 3.2 超速信号应用，使用顺序为 USB2 到 USB3端口，可实现USB 3.2 OTG或USB 3.2主机 USB3功能。

至少应支持一个 USB 客户端口。它还可能作为 OTG 端口提供。可以有一个或两个 USB 客户端口。如果支持一个 USB 客户端口，则可以是USB 0 或USB3端口。

支持速率5 Gbit/s 的USB 3.2 Gen.1，将来可能会支持 USB 3.2 Gen。2，具有 10 Gbit/s。

受限于走线长度，不支持 USB 3.2 Gen.2 x 2。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| USB信号分配 | |  |  |  |
|  | USB 2.0 | USB 3.2 | OTG/VBUS | Client兼容 |
| USB0 | *可能 ①* |  | *可能* | *应该* |
| USB1 | *应该* |  |  |  |
| USB2 | *可能* | *可能* |  |  |
| USB3 | *可能* | *可能* | *可能* | *可能* |
| USB4 | *可能* |  |  |  |
| USB5 | *可能* |  |  |  |

***①*USB0 应作为主机或 OTG/客户端实施**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| USB 信号 |  |  |  |  |  |  |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| USB0+ USB0 - | P60 P61 | USB端口 0 的 差分数据对 | I/O USB | USB | 待机 |  |
| USB0\_EN\_OC# | P62 | USB端口 0 的 USB 过流感测控制 | I/O OD CMOS | [3.3V](#RANGE!G3) | 待机 | PU 10k |
| USB0\_VBUS\_DET | P63 | USB 端口 0 主机电源检测 | I USB 5V | USB VBUS 5V | 待机 |  |
| USB0\_OTG\_ID | P64 | 输入引脚以在 USB 2.0 端口上宣布 OTG 设备插入 |  |  | 待机 |  |
| USB1+ USB1- | P65 P66 | USB端口 1 的差分数据对 | I/O USB | USB | 待机 |  |
| USB1\_EN\_OC# | P67 | USB端口 1 的 USB 过流感测控制 | I/O OD CMOS | 3.3V | 待机 | PU 10k |
| USB2+ USB2- | P69 P70 | USB 端口 2 的 差分数据对 | I/O USB | USB | 待机 |  |
| USB2\_SSRX+USB2\_SSRX- | S74 S75 | 端口 2 上超速的接收信号差分对 | I USB SS | USB SS | 待机 |  |
| USB2\_SSTX+USB2\_SSTX- | S71  S72 | 在端口 2 上发射超速信号差分对 | O USB SS | USB SS | 待机 |  |
| USB2\_EN\_OC# | P71 | USB端口 2 的 过流感测控制 | I/O OD CMOS | [3.3V](#RANGE!G3) | 待机 | PU 10k |
| USB3+ USB3- | S68  S69 | 端口 3 的 USB 差分数据对 | I/O USB | USB | 待机 |  |
| USB3\_SSRX+USB3\_SSRX- | S65  S66 | 接收端口 3 上超速的接收信号差分对 | I USB | USB SS | 待机 |  |
| USB3\_SSTX+USB3\_SSTX- | S62  S63 | 在端口 3 上发射传输超速信号差分对 | O USB SS | USB SS | 待机 |  |
| USB3\_EN\_OC# | P74 | USB端口 3 的 过流感测控制 | I/O OD CMOS | [3.3V](#RANGE!G3) | 待机 | PU 10k |
| USB3\_VBUS\_DET | S37 | USB 端口 3 主机电源检测 | I USB V BUS 5V | USB VBUS 5V | 待机 |  |
| USB3\_OTG\_ID | S104 | 输入引脚以在 USB 3.2 端口上宣布 OTG 设备插入 | I CMOS | 3.3V | 待机 |  |
| USB4+ USB4- | S35  S36 | USB 端口 4 的 差分数据对 | I/O USB | USB | 待机 |  |
| USB4\_EN\_OC# | P76 | USB端口 4 的 过流感测控制 | I/O OD CMOS | [3.3V](#RANGE!F5) | 待机 | PU 10k |
| USB5+ USB5- | S59 S60 | USB 端口 5 的 差分数据对 | I/O USB | USB | 待机 |  |
| USB5\_EN\_OC# | S55 | USB端口 5 的 过流感测控制 | I/O OD CMOS | [3.3V](#RANGE!G3) | 待机 | PU 10k |

对应的底板支持至少一个micro USB或USB type C 型端口，可以用于外接5V电源直连供电和Slave从机串行通信， 这个USB 接口也可做为调试 UART to USB 桥接端口。

推荐调试用串口经UART to USB转换芯片(如TI TUSB3410， FTDI FT230X 或者Silicon Lab CP2102 ) 连接到micro USB port 或者 USB Type C 端口上， 这种可以扩展应用到低速连接器，规范也允许此 UART直连到低速扩展接口上。

底板开发板也可提供总共4个USB端口。如底板上应提供两个A型或C型USB主机端口(USB 2.x或3.x)，连接器应位于指定位置，为所需的第三个USB端口提供了两个选项，该端口应能够从操作:

1. 应提供一个5针micro USB USB 2.0从端口。

对于OTG端口，连接器类型应为micro AB，对于仅从端口，应为micro B。

由于额定功率不足，该端口不应向电路板供电。

1. 应提供一个C型USB端口(USB 2.x或3.x)。

该端口也可用于向电路板提供5V外部电源。在这两种选择中，连接器应放置在指定的位置。第三个端口应可用作从端口，第三个端口可能是USB OTG端口。

高速扩展总线上应提供第四个USB主机端口。

实现注意:一些移动SoC芯片只实现一个USB OTG端口。这种芯片可以用在带有开关和USB集线器集成电路的板上。

#### 千兆位以太网络接口

* 支持2路模拟的GBE MDI 接口
* 支持网络LED 信号指示
* 为每个以太网接口提供单独的IEEE1588触发信号，以增强实时应用。这利用了来自以太网控制器的软件可定义引脚（SDP）.

底板安装RJ45接口应实现为系统提供以太网端口。建议此端口的最低运行速度为100Mbit / sec， 以太网RJ45连接器放置在正面的板边位置 。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **以太网信号GBE0和GBE1** | |  |  |  |  |  |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| GBE0\_MDI0+ GBE0\_MDI0 - GBE0\_MDI1+ GBE0\_MDI1 - GBE0\_MDI2+ GBE0\_MDI2 - GBE0\_MDI3+ GBE0\_MDI3 - | P30  P29  P27  P26  P24  P23  P20  P19 | 外部变压器的差分对信号 | I/O GBE MDI |  | 待机 |  |
| 底板系列终止：适用于 10/100/1000 GBE 收发器的磁性模块，底板并行终止：适合千兆以太网实现的辅助侧中心水龙头终止 |
| GBE0\_LINK100# | P21 | GBE0 100Mbps 的链接速度指示 LED | O OD CMOS | 3.3V | 待机 |  |
| GBE0\_LINK1000# | P22 | GBE0 1000Mbps 的链接速度指示 LED | O OD CMOS | 3.3V | 待机 |  |
| GBE0\_LINK\_ACT# | P25 | 链接/活动指示LED驱动低链接（10，100或1000 Mbps）闪烁活动 | O OD CMOS | 3.3V | 待机 |  |
| GBE0\_CTREF | P28 | 底板以太网磁性的中点参考电压（如果模块 GBE PHY 需要） | 模拟 | 0 至 3.3V | 待机 |  |
| GBE0\_SDP | P6 | IEEE 1588 PTP 硬件实现触发信号（精确时间协议） | I/O CMOS | 3.3V | 待机 |  |
| GBE1\_MDI0+ GBE1\_MDI0 - GBE1\_MDI1+ GBE1\_MDI1 - GBE1\_MDI2+ GBE1\_MDI2 - GBE1\_MDI3+ GBE1\_MDI3 - | S17  S18  S20  S21  S23  S24  S26  S27 | 外部变压器的差分对信号 | I/O GBE MDI |  | 待机 |  |
| 底板系列终止：适用于 10/100/1000 GBE 收发器的磁性模块，底板并行终止：适合千兆以太网实现的辅助侧中心水龙头终止 |
| GBE1\_LINK100# | S19 | GBE1 100Mbps 的链接速度指示 LED | I/O CMOS | 3.3V | 待机 |  |
| GBE1\_LINK1000# | S22 | GBE1 1000Mbps 的链接速度指示 LED | I/O CMOS | 3.3V | 待机 |  |
| GBE1\_LINK\_ACT# | S31 | 链接/活动指示LED驱动低链接（10，100或1000 Mbps）闪烁活动 | O OD CMOS | 3.3V | 待机 |  |
| GBE1\_CTREF | S28 | 底板以太网磁性的中点参考电压（如果模块 GBE PHY 需要） | 模拟 | 0 至 3.3V | 待机 |  |
| GBE1\_SDP | P5 | IEEE 1588 PTP 硬件实现触发信号（精确时间协议） | I/O CMOS | 3.3V | 待机 |  |

#### Audio音频信号

作为核心板的金手指扩展总线接口上，定义了两个 I2S 接口。这些通常用于数字音频 I/O 和其他适度的带宽功能。还定义了一个通用的音频主时钟信号。

* 一个I2S接口
* 一个HDA接口与第二个I2S接口复用

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| I2S0信号 |  |  |  |  |  |  |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| I2S0\_LRCK | S39 | I2S0 左右同步时钟 | I/O CMOS | 1.8V | 运行 |  |
| I2S0\_SDOUT | S40 | I2S0 数字音频输出 | O CMOS | 1.8V | 运行 |  |
| I2S0\_SDIN | S41 | I2S0 数字音频输入 | I CMOS | 1.8V | 运行 |  |
| I2S0\_CK | S42 | I2S0 数字音频时钟 | I/O CMOS | 1.8V | 运行 |  |
| AUDIO\_MCK | S38 | 主时钟输出到 I2S 编码器 | O CMOS | 1.8V | 运行 |  |

第二个 I2S 接口也可以作为 HDA 接口实现。主时钟输出（AUDIO\_MCK）在两个 I2S 接口之间共享。I2S 接口通常用于 ARM 处理器的实现。HDA 通常用于 x86 处理器实现。HDA 接口 可能也用于第二个 I2S 接口。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| I2S2信号 |  |  |  |  |  |  |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| I2S2\_LRCK | S50 | I2S2 左右同步时钟 | I/O CMOS | 1.8V | 运行 |  |
| I2S2\_SDOUT | S51 | I2S2 数字音频输出 | O CMOS | 1.8V | 运行 |  |
| I2S2\_SDIN | S52 | I2S2 数字音频输入 | I CMOS | 1.8V | 运行 |  |
| I2S2\_CK | S53 | I2S2 数字音频时钟 | I/O CMOS | 1.8V | 运行 |  |
| AUDIO\_MCK | S38 | 主时钟输出到 I2S 编码器 | O CMOS | 1.8V | 运行 |  |

#### PCI Express接口信号

作为核心板的金手指扩展总线接口上，可以提供最多四个 PCIe通道。这些连接 可能是 PCIe Gen1、2或3，这是核心板芯片或芯片组允许的。

PCIe链接主要是PCIe Root Complexes 应用。核心板 应支持实现 PCIe A端口，接着再 可以 实现 PCIe链接 B、C 和 D 端口。 PCIe通道 C 和 D 可以被 SERDES 代用。

* 支持4路PCIe lane通道
* 可支持PCIe Gen1， Gen 2 or Gen 3 ( 取决于核心板AP 平台)
* 可提供3个参考时钟差分对
* 可提供3个PCIe复位信号
* 公共的 PCIe唤醒信号 (PCIE\_WAKE#)
* 可为PCIE\_A and PCIE\_B提供2个 PCIE\_CKREQ# 信号

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| PCIe信号 |  |  |  |  |  |  |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| PCIE\_A\_TX+PCIE\_A\_TX- | P89 P90 | 差分 PCIe链接 发送传输数据对 | O PCIE |  | 运行 |  |
| PCIE\_A\_RX+PCIE\_A\_RX- | P86 P87 | 差分 PCIe链接 接收数据对 | I PCIE |  | 运行 |  |
| PCIE\_A\_REFCK+PCIE\_A\_REFCK- | P83 P84 | 差分 PCIe链接 参考时钟输出 | O PCIE |  | 运行 |  |
| PCIE\_A\_RST# | P75 | PCIe端口重置输出 | O CMOS | 3.3V | 运行 |  |
| PCIE\_A\_CKREQ# | P78 | PCIe端口 A 时钟请求 | IO OD CMOS | 3.3V | 运行 | >10k PU |
| PCIE\_B\_TX+PCIE\_B\_TX- | S90 S91 | 差分 PCIe链接 B 传输数据对 | O PCIE |  | 运行 |  |
| PCIE\_B\_RX+PCIE\_B\_RX- | S87 S88 | 差分 PCIe链接 B 接收数据对 | I PCIE |  | 运行 |  |
| PCIE\_B\_REFCK+PCIE\_B\_REFCK- | S84 S85 | 差分 PCIe链接 B 参考时钟输出 | O PCIE |  | 运行 |  |
| PCIE\_B\_RST# | S76 | PCIe端口B重置输出 | O CMOS | 3.3V | 运行 |  |
| PCIE\_B\_CKREQ# | P77 | PCIe端口B时钟请求 | IO OD CMOS | 3.3V | 运行 | >10k PU |
| PCIE\_C\_TX+PCIE\_C\_TX- | S81 S82 | 差分 PCIe链接 C 发送传输数据对 | O PCIE |  | 运行 |  |
| PCIE\_C\_RX+PCIE\_C\_RX- | S78 S79 | 差分 PCIe链接 C 接收数据对 | I PCIE |  | 运行 |  |
| PCIE\_C\_REFCK+PCIE\_C\_REFCK- | P80 P81 | 差分 PCIe链接 C 参考时钟输出 | O PCIE |  | 运行 |  |
| PCIE\_C\_RST# | S77 | PCIe端口C重置输出 | O CMOS | 3.3V | 运行 |  |
| PCIE\_D\_TX+PCIE\_D\_TX- | S29 S30 | 差分 PCIe链接 D 发送传输数据对 | O PCIE |  | 运行 |  |
| PCIE\_D\_RX+PCIE\_D\_RX- | S32 S33 | 差分 PCIe链接 D 接收数据对 | I PCIE |  | 运行 |  |
| PCIE\_WAKE# | S146 | PCIe唤醒中断托管-常见的PCIe链接A，B，C，D | I OD CMOS | 3.3V | 待机 | PU 10k |

#### SERDES接口信号

SERDES 是高速差分线上的串化器与解串化器（串行数据转并行数据）的通用术语，许多芯片制造商使用与 PCIe相同的线路上的不同功能，因此我们希望将此替代用途用于核心板的扩展应用。最常见的用例是这里肯定 （S） XGMII，因此实施一个或多个额外的LAN局域网端口。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| SERDES\_1\_TX+SERDES\_1\_TX- | S81  S82 | 差分 SERDES 1 发送传输数据对 | O PCIE |  | 运行 |  |
| SERDES\_1\_RX+SERDES\_1\_RX- | S78 S79 | 差分 SERDES 1 接收数据对 | I PCIE |  | 运行 |  |
| SERDES\_0\_TX+SERDES\_0\_TX- | S29 S30 | 差分 SERDES 0 发送传输数据对 | O PCIE |  | 运行 |  |
| SERDES\_0\_RX+SERDES\_0\_RX- | S32 S33 | 差分 SERDES 0 接收数据对 | I PCIE |  | 运行 |  |
| MDIO\_CLK | S45 | MDIO 信号以配置可能的 PHY | O CMOS | 1.8V | 运行 |  |
| MDIO\_DAT | S46 | MDIO 信号以配置可能的 PHY | I/O OD CMOS | 1.8V | 运行 | PU 1k5 |

#### SATA接口信号

核心板定义允许一个 SATA 端口。此端口可以是核心板平台可支持的SATA Gen 1，2 or 3，与此连接底板上的SATA 设备可被选为引导设备。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| SATA0\_TX+SATA0\_TX- | P48 P49 | 串行 ATA 频道 0 | O SATA |  | 运行 |  |
| 发送传输输出差分对 |
| SATA0\_RX+SATA0\_RX- | P51  P52 | 串行 ATA 通道 0 接收输入差分 对 | I SATA |  | 运行 |  |
| SATA\_ACT# | S54 | SATA 运行指示 | O OD CMOS | 3.3V | 运行 |  |

#### Boot引导配置

核心板三个引脚允许开发板用户从八个可能的Boot启动设备中进行选择。三个来自核心板芯片，四个来自底板芯片设备，一个是远程remote设备.

* 可允许设置3个来自底板的Boot配置Pin
* 可支持如下Boot模式可选择：
  + - * + 核心板的SPI Flash
        + 核心板的eMMC Flash
        + 核心板的 NAND / NOR Flash
        + 核心板的Remote Boot (来自芯片厂商指定的网络或串口)
        + 来自底板上的 SPI Flash
        + 来自底板上的 SD card
        + 来自底板上的SATA 接口硬盘

Boot 配置

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| BOOT\_SEL0#BOOT\_SEL1#BOOT\_SEL2# | P123  P124  P125 | 输入跳线决定核心板启动设备。 | I OD CMOS | 1.8V | 待机 | PU 10k |
| FORCE\_RECOV# | S155 | 此引脚上的低允许从模块 USB0 上的外部 USB 主机重写/恢复模块引导设备的非受保护段。在调用强制恢复功能时，模块 USB0 在客户端模式下运行。在模块上拉高。 | I OD CMOS | 1.8V | 待机 | PU 10k |
| 对于未实现基于 USB 的强制恢复功能的 SOC，则模块FORCE\_RECOV#引脚上的低位可能会调用 SOC 原生力恢复模式（例如在串行端口上）。 |
| 对于 x86 系统，此信号可用于加载 BIOS 默认值。拉上模块。由开利上的OD部分驱动。 |

***供电电源和地***

作为核心板的金手指扩展总线接口上， 也定义了输入电压和地 pin。

核心板输入功率电压引入十个VDD\_IN引脚上，并通过连接器上的众多 GND 引脚返回。核心板应承受VDD\_IN在 3.0V 至 5.25V 范围内可能变化的无限期暴露应用，无损坏。

使用更高功率 SoC 的核心板可以设计为具有固定 5V 电源（4.75V 至 5.25V）的运行。

专为最低成本而设计的核心板以及使用低功耗 SoC 的模块可以设计为具有固定 3.3V 电源（3.1V 至 3.4V）的核心板。

核心板金手指有十个引脚被分配给VDD\_IN。连接器引脚当前额定值为每Pin 0.5A。这适用于10个引脚的5A总数。在允许的核心板最低输入电压为 3.0V 时，这将允许引入高达 15W 的电力（连接器电流功能没有降级）。如果连接器当前去除额定值为 40%，则最高可达9W 的电流可在 3.0V 下引入。

如果使用固定的 5V 输入选项，则 可能会 在 10 个电源pin上引入 25W。40% 的连接器降级后，仍允许在 5V 时引入 15W。

实际上，ARM 大多数模块设计预计为 6W 或更少。X86 设计预计在 5W 至 12W 范围内，具体取决于 CPU SKU。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| VDD\_IN | P147、P148、P149、P150、P151、P152、P153、P154、P155、P156 | 模块电源输入电压 - 最大 3.0V 分钟至 5.25V | 模拟 | 3.0V 至 5.25V |  |  |
| GND | P2、P9、P12、P15、P18、P32、P38、P47、P50、P53、P59、P68、P79、P82、P85、P88、P91、P94、P97、P100、P103、P120、P133、 P142， S3， S10， S16， S25， S34， S47， S61， S64， S67， S70， S73， S80， S83， S89， S92， S101， S110， S119， S124， S130， S136， S143， S158 | 模块信号和电源返回以及 GND 参考 | 模拟 | 地 |  |  |
| VDD\_RTC | S147 | 低电流RTC电路备份功率-3.0V。可能来自基于底板的锂电池或超级电容。 | 模拟 | 2.0V 至 3.25V |  |  |

RTC 备用电源可能会在VDD\_RTC轨上引入，RTC 消耗量通常为 15μA 或更少，允许的VDD\_RTC电压范围为2.0V至3.25V。VDD\_RTC轨可能来自底板上的锂电池或超级电容，或者如果不需要 RTC 备份功能，则可能处于打开状态， 核心板将能够启动，无需外部VDD\_RTC电压源。

#### 系统与电源管理信号

* 复位输出和复位输入
* 电源按钮输入
* 电源状态
* Module输入/输出电源状态
* 系统管理引脚
* 电池和电池充电器管理引脚
* 底板上电控制

核心板通过底板的金手指连接器对接， 用户可在底板上设置电源按钮与复位按钮，以便能够手动上电/断电和复位电路板。(例如，用一个或两个按钮开关)。

应能连接外部开关用于电源开/关和硬复位。

如果外部电源断开，然后重新接通，则可以将电路板配置为自动上电。

这可能是默认操作，也可能是通过配置选项(如链路或交换机)实现的。

操作注意:如何实现这个功能取决于设计者。例如，在系统芯片/PMIC控制下的单个按钮可用于打开或关闭电源，长时间按下可执行系统复位。在这种情况下，当重新通电时，电路板应始终自动上电。或者，可以使用物理开/关拨动开关给电路板供电，当处于开位置时，电路板会自动通电。在这种情况下，可以实施单独的按下复位开关。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| BATLOW# | S156 | 核心板的电池指示电量较低。底板以非活动状态，底板应悬浮 | I OD CMOS | 1.8 至 5 V | 待机/睡眠 | PU 10k |
| CARRIER\_PWR\_ON | S154 | 除非核心板设置了CARRIER\_PWR\_ON信号之前，底板电路（除电源管理和电源路径电路外）不应通电。 | CMOS | 1.8V | 待机 |  |
| CARRIER\_STBY# | S153 | 当系统处于待机电源状态时，模块应将此信号低开。 | O CMOS | 1.8V | 待机 |  |
| CHARGER\_PRSNT# | S152 | 如果存在电池充电器的直流输入，则由运营商保持低位。 | I OD CMOS | 1.8 至 5 V | 待机/睡眠 | PU 10k |
| CHARGE# | S151 | 电池充电期间由开利保持低。充电完成后，承运商将浮动线路。 | I OD CMOS | 1.8 至 5 V | 待机/睡眠 | PU 10k |
| VIN\_PWR\_BAD# | S150 | 开发板的电源指示不良。当该信号由运营商保持低时，不应启用模块和运营商电源（模块和运营商电源监控电路除外）。 | I OD CMOS | VDD\_IN |  | PU 10k |
| SLEEP# | S149 | 来自开发板的睡眠指示器。可能来自用户睡眠按钮或开利逻辑。底板在非活动状态下应悬浮线路。活动低，级别敏感。应在核心板上取消反弹。 | I OD CMOS | 1.8 至 5V | 待机 | PU 10k |
| 成员# | S148 | 将打开/关闭指示盖到模块。低表示盖关闭（哪个系统可能用于启动睡眠状态）。底板在非活动状态下应悬浮线路。活动低，级别敏感。 应 在模块上去弹跳。 | I OD CMOS | 1.8 至 5 V | 待机 | PU 10k |
| POWER\_BTN# | P128 | 来自底板的电源按钮输入。底板在非活动状态下应悬浮线路。活动低，级别敏感。 | I OD CMOS | 1.8 至 5 V | 睡 | PU 10k |
| 应在模块上取消重新启动。 |
| RESET\_OUT# | P126 | 通用重置输出到底板。 | O CMOS | 1.8V | 待机 |  |
| RESET\_IN# | P127 | 重置来自开发底板的输入。开利驱动低迫使模块重置，否则将浮动线路。 | I OD CMOS | 1.8 至 5 V | 待机 | PU 10k |
| 此信号 应 在启动期间触发级别，以便停止启动模块。 |
| 启动后， 它可能充当边缘触发信号。 |
| I2C\_PM\_DAT | P122 | 电源管理 I2C 总线数据 | I/O OD 中科斯 | 1.8V | 待机/睡眠 | PU 2k2 |
| I2C\_PM\_CK | P121 | 电源管理 I2C 总线 CLK | I/O OD 中科斯 | 1.8V | 待机/睡眠 | PU 2k2 |
| SMB\_ALERT# | P1 | SMBus 警报# （中断） 信号 | 和从CMOS | 1.8 至 5 V | 待机/睡眠 | PU 2k2 |
| Test# | S157 | 由底板保持低调用核心板供应商特定测试功能 | 和从CMOS | 1.8 至 5 V | 待机/睡眠 | PU 供应商特定值 |

#### UART接口

#### 核心板支持4个异步串口，定义最多可设置四个异步串行端口的模块引脚。端口被指定为SER0-SER3。端口 SER0 和 SER2 是 4 个线端口（2 条数据线和 2 条握手线）。 端口 SER1 和 SER3 是 2 个线端口（仅限数据）。配置如下：

* 两个支持2线握手（RXD、TXD、RTS#、CTS#）
* 两个仅支持数据收发 (RXD， TXD)

串行端口信号

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| SER0\_TX | P129 | 异步串行数据输出端口 0 | O CMOS | 1.8V | 运行 |  |
| SER0\_RX | P130 | 异步串行数据输入端口 0 | I CMOS | 1.8V | 运行 | PU 100k |
| SER0\_RTS# | P131 | 请求为端口 0 发送握手线 | O CMOS | 1.8V | 运行 |  |
| SER0\_CTS# | P132 | 清除发送 0 端口的握手线 | I CMOS | 1.8V | 运行 | PU 100k |
| SER1\_TX | P134 | 异步串行数据输出端口 1 | O CMOS | 1.8V | 运行 |  |
| SER1\_RX | P135 | 异步串行数据输入端口 1 | I CMOS | 1.8V | 运行 | PU 100k |
| SER2\_TX | P136 | 异步串行数据输出端口 2 | O CMOS | 1.8V | 运行 |  |
| SER2\_RX | P137 | 异步串行数据输入端口 2 | I CMOS | 1.8V | 运行 | PU 100k |
| SER2\_RTS# | P138 | 请求为端口 2 发送握手线 | O CMOS | 1.8V | 运行 |  |
| SER2\_CTS# | P139 | 清除发送握手线到端口 2 | I CMOS | 1.8V | 运行 | PU 100k |
| SER3\_TX | P140 | 异步串行数据输出端口 3 | O CMOS | 1.8V | 运行 |  |
| SER3\_RX | P141 | 异步串行数据输入端口 3 | I CMOS | 1.8V | 运行 | PU 100k |

SoC的一个标准通用异步收发器UART应可用于debug的通用目的。

第二个UART(仅TxD/RxD)可在底板上外扩低速扩展连接器上使用。

注:现成的FTDI 1.8V串行USB电缆可用于连接这些接口。

#### JTAG

#### 核心板应支持JTAG 调试接口， 如果实施，JTAG接口应使用小型外形 R/A SMT 连接器（10针JTAG连接器，0.05英寸间距)，可以在核心板上实现 CPU JTAG 接口。JTAG 引脚用于允许测试设备和电路仿模器访问CPU。

#### 一般用途I/O

#### 规划核心板引出14 个引脚分配给 GPIO（通用输入/输出）使用，所有引脚都应能够双向操作。

#### 在核心板上电时，GPIO引脚的状态可能无法定义，并且可能会在引导加载器代码更正之前以"错误"状态进行简要配置。底板设计人员应意识到这一点，并制定相应的计划。

#### 所有 GPIO引脚应弱拉至 1.8V。如果将由分立的电阻作为上拉，则应使用阻值 470k的电阻器。SOC 内部拉起/当前源功能可以使用，而不是外部电阻器。

#### 所有 GPIO引脚都能够产生中断。中断特性（边缘或水平灵敏度、极性）通常可配置在 SoC 寄存器中。

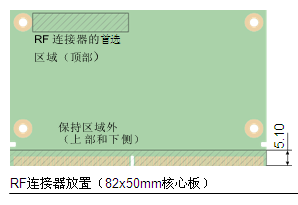
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| GPIO 信号 |  |  |  |  |  |  |
| **信号名称** | **Pin#** | **描述** | **I/O 类型** | **I/O 电平** | **电源域** | **PU/PD** |
| GPIO0 | P108 | GPIO 引脚 0 首选输出 | I/O CMOS | 1.8V | 运行 | PU 470K\* |
| GPIO1 | P109 | GPIO 引脚 1 首选输出 | I/O CMOS | 1.8V | 运行 | PU 470K\* |
| GPIO2 | P110 | GPIO 引脚 2 首选输出 | I/O CMOS | 1.8V | 运行 | PU 470K\* |
| GPIO3 | P111 | GPIO 引脚 3 首选输出 | I/O CMOS | 1.8V | 运行 | PU 470K\* |
| GPIO4 | P112 | GPIO 引脚 4 首选输出 | I/O CMOS | 1.8V | 运行 | PU 470K\* |
| GPIO5 | P113 | GPIO 引脚 5 首选输出 | I/O CMOS | 1.8V | 运行 | PU 470K\* |
| GPIO6 | P114 | GPIO 引脚 6 首选输入 | I/O CMOS | 1.8V | 运行 | PU 470K\* |
| GPIO7 | P115 | GPIO 引脚 7 首选输入 | I/O CMOS | 1.8V | 运行 | PU 470K\* |
| GPIO8 | P116 | GPIO 引脚 8 首选输入 | I/O CMOS | 1.8V | 运行 | PU 470K\* |
| GPIO9 | P117 | GPIO 引脚 9 首选输入 | I/O CMOS | 1.8V | 运行 | PU 470K\* |
| GPIO10 | P118 | GPIO 引脚 10 首选输入 | I/O CMOS | 1.8V | 运行 | PU 470K\* |
| GPIO11 | P119 | GPIO 引脚 11 首选输入 | I/O CMOS | 1.8V | 运行 | PU 470K\* |
| GPIO12 | S142 | GPIO 引脚 12 首选输入 | I/O CMOS | 1.8V | 运行 | PU 470K\* |
| GPIO13 | S123 | GPIO 引脚 13 首选输入 | I/O CMOS | 1.8V | 运行 | PU 470K\* |

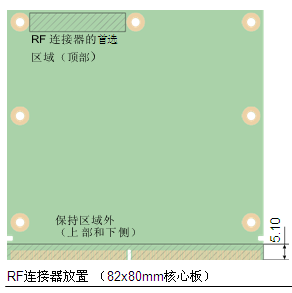
\*规范还允许SoC集成上拉，这些可以≥20k。如果需要确保低电平，在底板上应焊上最大2.2k PD电阻

有关所需的引脚排列，请参考连接器引脚规格附录。

#### RF 天线区域

OpenHarmony开源板富设备核心板需预留RF线净空禁布区，具体天线区域,需依赖于天线厂提供的天线规格PCB layout 指导。



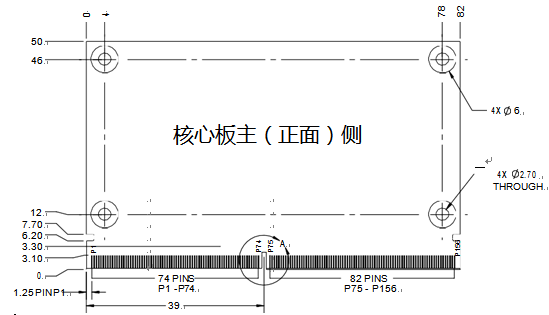


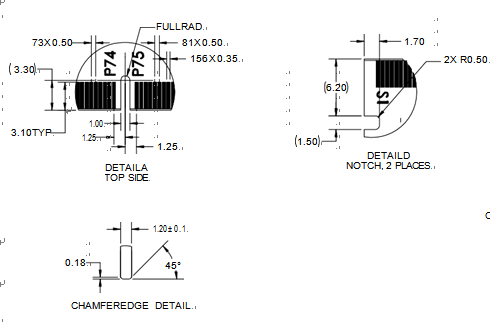
**OpenHarmony开源板富设备核心板金手指强制与可选接口的特性表**

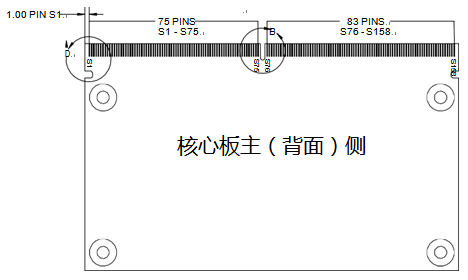
|  |  |  |  |
| --- | --- | --- | --- |
|  | |  |  |
| **功能信号** | **附属功能信号** | **要求** | **备注** |
| LVDS LCD | 18 bit single channel | ***推荐*** | 缺省的显示 (serial LVDS) |
|  | 24 bit single channel – 18 bit compatible | ***推荐*** |  |
|  | 24 bit single channel – standard color map | ***较少的可选接口*** | 可移作其他接口 |
|  | 24 bit dual channel – 18 bit compatible | ***较少的可选接口*** | 可移作其他接口 |
|  | 24 bit dual channel – standard color map | ***较少的可选接口*** | 可移作其他接口 |
| MIPI DSI | MIPI DSI display interface | ***推荐*** | 缺省的显示 |
| HDMI | HDMI display interface | ***推荐*** |  |
| DP on HDMI Pins |  | ***推荐*** |  |
| DP++ | Display Port++ | ***较少的可选接口*** | 可移作其他接口 |
| Camera | CSI0 – 2 lane | ***较少的可选接口*** | 可移作其他接口 |
|  | CSI1 – 2 lane implementation | ***推荐*** |  |
|  | CSI1 – 4 lane implementation | ***推荐*** |  |
| SDIO | SDIO (4 bit， for SD cards) | ***推荐*** | 可能是底板boot装置 |
| SPI | SPI0 | ***推荐*** | 可能是底板boot装置 |
|  | eSPI | ***推荐*** | 可能是底板boot装置 |
| Audio | I2S0 | ***推荐*** |  |
|  | HDA | ***推荐*** |  |
| I2C | Power Management | ***推荐*** |  |
|  | General Purpose | ***强制*** |  |
|  | Camera | ***推荐*** |  |
|  | LCD Display I/D | ***推荐*** |  |
| Serial Ports | SER0 (4 wire) | ***推荐*** |  |
|  | SER1 (2 wire) | ***强制*** |  |
|  | SER2 (4 wire) | ***推荐*** |  |
|  | SER3 (2 wire) | ***推荐*** |  |
| CAN Bus | CAN0 | ***较少的可选接口*** | 可移作其他接口 |
|  | CAN1 | ***较少的可选接口*** | 可移作其他接口 |
| USB | USB0 - as USB 2.0 Client | ***推荐*** |  |
|  | USB0 – as OTG | ***较少的可选接口*** | USB0 应强制执行 |
|  | USB0 - as USB 2.0 Host | ***较少的可选接口*** |  |
|  | USB1 – as USB 2.0 Host | ***强制要求*** |  |
|  | USB[2:5] - as USB 2.0 Host | ***较少的可选接口*** |  |
|  | USBss [2:3] | ***较少的可选接口*** | 可能是底板boot装置 |
|  | USB3 - as USB 3.2 Client / OTG | ***较少的可选接口*** |  |
| PCIe | PCIE\_A (x1 Gen 1 Root) | ***推荐*** |  |
|  | PCIE\_B (x1 Gen 1 Root) | ***较少的可选接口*** | 可移作其他接口 |
|  | PCIE\_C (x1 Gen 1 Root) | ***较少的可选接口*** | 可移作其他接口 |
|  | PCIE\_D (x1 Gen 1 Root) | ***较少的可选接口*** | 可移作其他接口 |
|  | PCIE\_ Target operation | ***较少的可选接口*** | 可移作其他接口 |
|  | PCIe Gen 2 and Gen 3 operation | ***较少的可选接口*** | 可移作其他接口 |
| SERDES | Alternative use of PCIE\_C and/or PCIE\_D | ***较少的可选接口*** | 可移作其他接口 |
| SATA | SATA Gen 1 | ***推荐*** | ***可能是底板boot装置*** |
|  | SATA Gen 2 operation | ***较少的可选接口*** | 可移作其他接口 |
|  | SATA Gen 3 operation | ***较少的可选接口*** | 可移作其他接口 |
| GBE | GBE0 | ***推荐*** |  |
|  | GBE1 | ***较少的可选接口*** | 可移作其他接口 |
|  | IEEE 1588 Trigger Signals (GBE[0:1]\_SDP) | ***较少的可选接口*** | 可移作其他接口 |
| Watchdog | WDT Out | ***推荐*** |  |
| GPIO | GPIO[0:11] | ***强制要求*** |  |
|  | GPIO[12:13] | ***推荐*** |  |
|  | GPIO[0:11] interrupt capability | ***强制要求*** |  |
|  | GPIO[12:13] interrupt capability | ***推荐*** |  |
|  | GPIO Camera Support *(only when camera is supported)* | ***强制要求*** | 可作为Camera’模组操作Pin |
|  | GPIO5 PWM capability | ***推荐*** |  |
|  | GPIO6 Tachin capability | ***推荐*** |  |
| Management | System and power management features CARRIER\_PWR\_ON | ***强制要求*** |  |
|  | VIN\_PWR\_BAD# |  |  |
|  | All other signals | ***推荐*** |  |
| Boot Select |  | ***强制*** |  |
| Force Recov |  | ***推荐*** |  |
| JTAG | JTAG connector on Module | ***较少的可选接口*** | 允许放置测试点 |
| RTC |  | ***推荐*** |  |

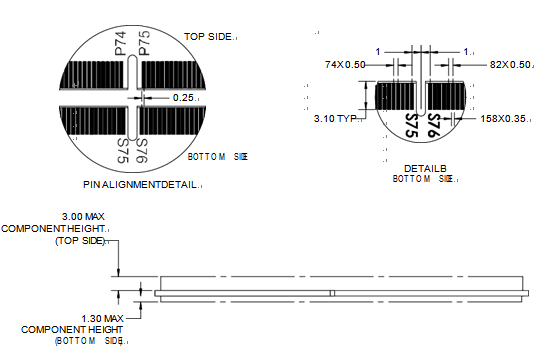
**OpenHarmony开源板富设备核心板外观尺寸**

**核心板外观尺寸（一）：82mm x 50mm**

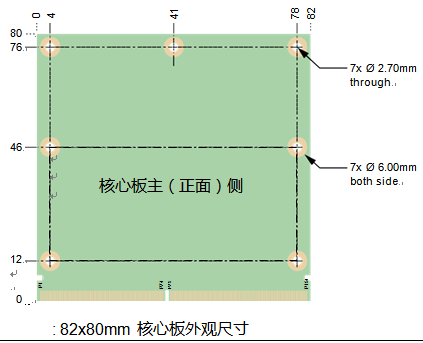








**核心板外观尺寸（二）：82mm x 80mm**

****

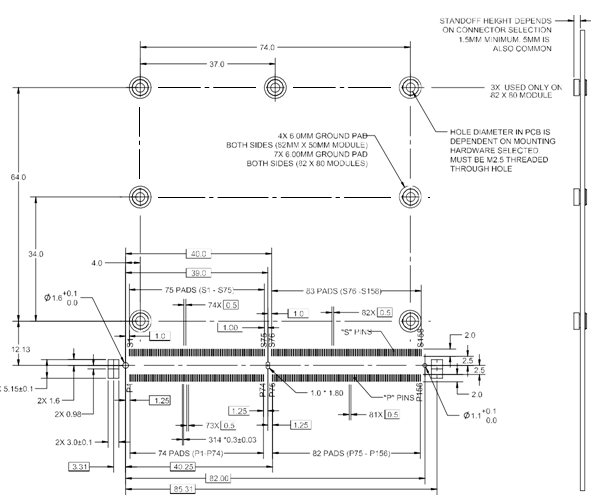
|  |  |  |  |
| --- | --- | --- | --- |
| TITLE  **OpenHarmony开源板富设备核心板** | | |  |
| VERSION  1.0 | SCALE  1:2 | DATE  2021/6/15 |  |
| 所有尺寸单位:mm | | 开放原子开源基金会 |  |
| © 2021 Hoperun | |

**底板连接器：**

底板连接器是一个314针0.5毫米间距直角连接器，设计用于在1.2毫米厚的匹配印刷电路板上，与适配的金手指核心板连接。

该连接器通常用于MXM3图形卡， 但本核心板使用连接器的方式与MXM3的使用方式完全不同。如下是推荐使用的该连接器厂商型号。

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **厂商** | **型号** | **堆叠高度** | **高度** | **接触电镀** | **Pin样式** | **颜色** | **备注** |
| Foxconn | AS0B821-S43B - \*H | 1.5mm | 4.3mm | Flash | Std | 黑 |  |
| Foxconn | AS0B821-S43N - \*H | 1.5mm | 4.3mm | Flash | Std | 象牙 |  |
| Foxconn | AS0B826-S43B - \*H | 1.5mm | 4.3mm | 10 u-in | Std | 黑 |  |
| Foxconn | AS0B826-S43N - \*H | 1.5mm | 4.3mm | 10 u-in | Std | 象牙 |  |
| JAE | MM70-314B2-1-R500 | 1.5mm | 4.3mm | 0.1 u-m | Std | 黑 |  |
| Aces | 91781-314 2 8-001 | 2.7mm | 5.2mm | 3 u-in | Std | 黑 |  |
| Foxconn | AS0B821-S55B - \*H | 2.7mm | 5.5mm | Flash | Std | 黑 |  |
| Foxconn | AS0B821-S55N - \*H | 2.7mm | 5.5mm | Flash | Std | 象牙 |  |
| Foxconn | AS0B826-S55B - \*H | 2.7mm | 5.5mm | 10 u-in | Std | 黑 |  |
| Foxconn | AS0B826-S55N - \*H | 2.7mm | 5.5mm | 10 u-in | Std | 象牙 |  |
| Foxconn | AS0B821-S78B - \*H | 5.0mm | 7.8mm | Flash | Std | 黑 |  |
| Foxconn | AS0B821-S78N - \*H | 5.0mm | 7.8mm | Flash | Std | 象牙 |  |
| Foxconn | AS0B826-S78B - \*H | 5.0mm | 7.8mm | 10 u-in | Std | 黑 |  |
| Foxconn | AS0B826-S78N - \*H | 5.0mm | 7.8mm | 10 u-in | Std | 象牙 |  |
| Yamaichi | CN113-314-2001 | 5.0mm | 7.8mm | 0.3 u-m | Std | 黑 | 车规级 |



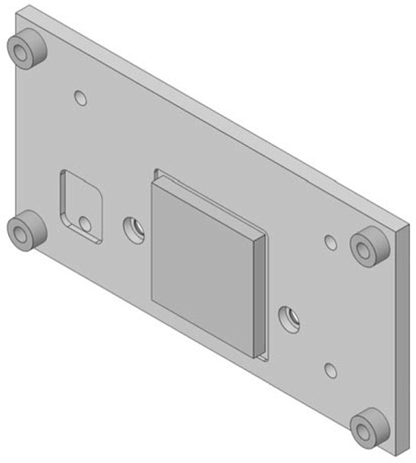
314Pin **MXM3 连接器PCB layout 尺寸图**

**核心板散热器:**

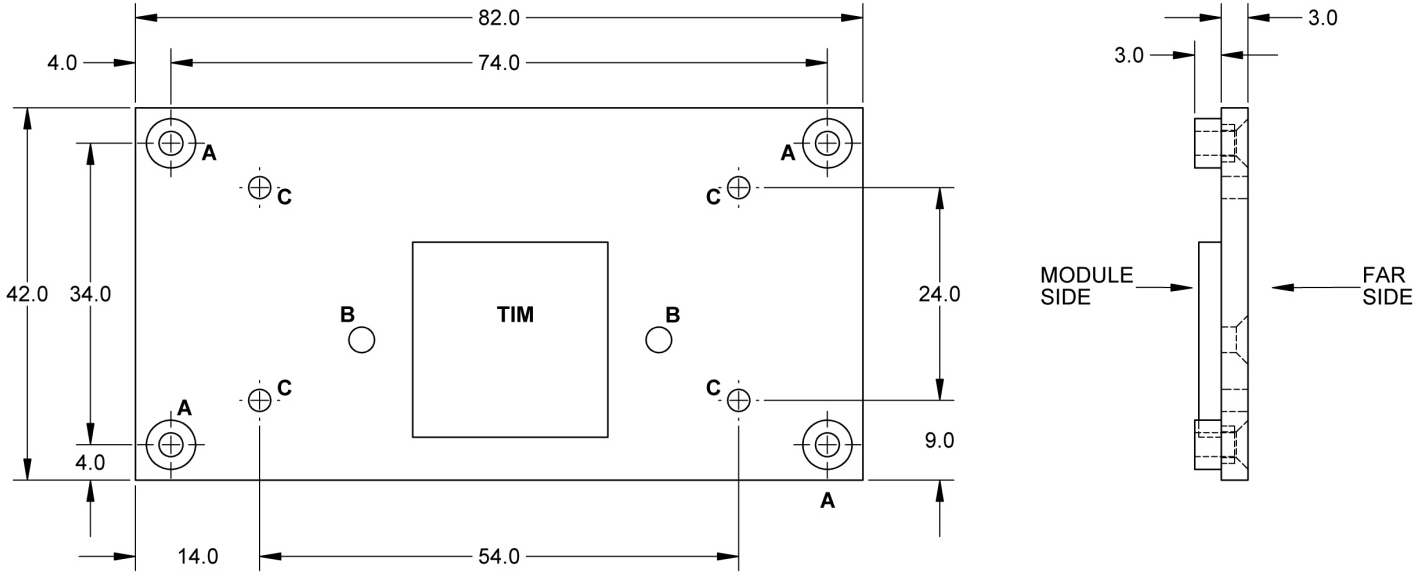
如果需要，散热器和固定散热器的定位点取决于核心板设计。固定散热器的孔应该为使用核心板安装孔以外的定位孔点（82mm x 50mm 的 4 个安装孔和 82mm x 80mm 核心板的 7 个安装孔）连接到模块。核心板安装孔应保持干净，以便将模块固定到托架上。

将固定散热器的定位点与核心板安装孔分开，允许散热导热方案与核心板一起组装，使用导热硅脂紧贴附到核心板发热元件上，并避免最终用户将核心板放置到系统时，拆卸散热器。核心板安装孔可用作辅助散热连接点。

下面描述了用于OpenHarmony开源板 82mm x 50mm 外形的标准散热板。标准的热扩散板定义允许客户使用来自多个供应商的核心板。



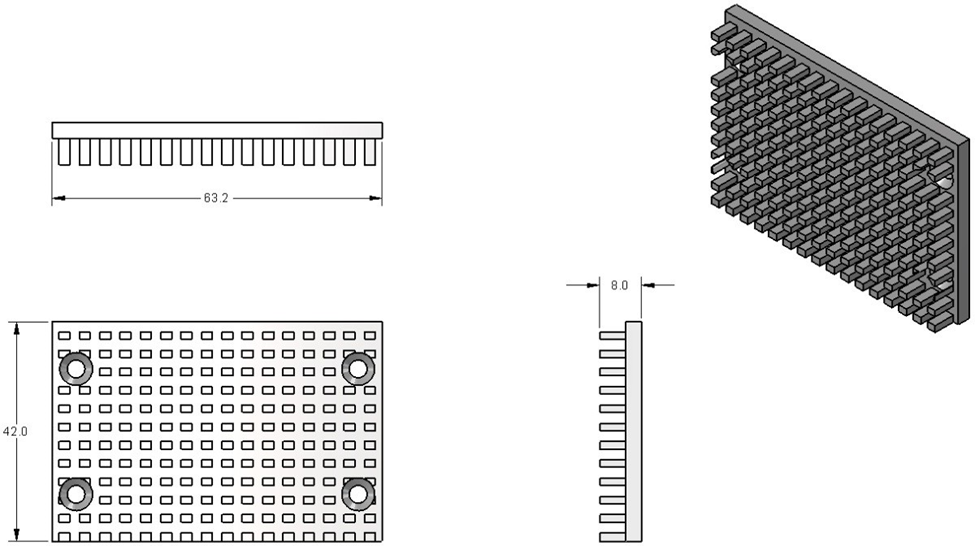
热扩散板3D视图



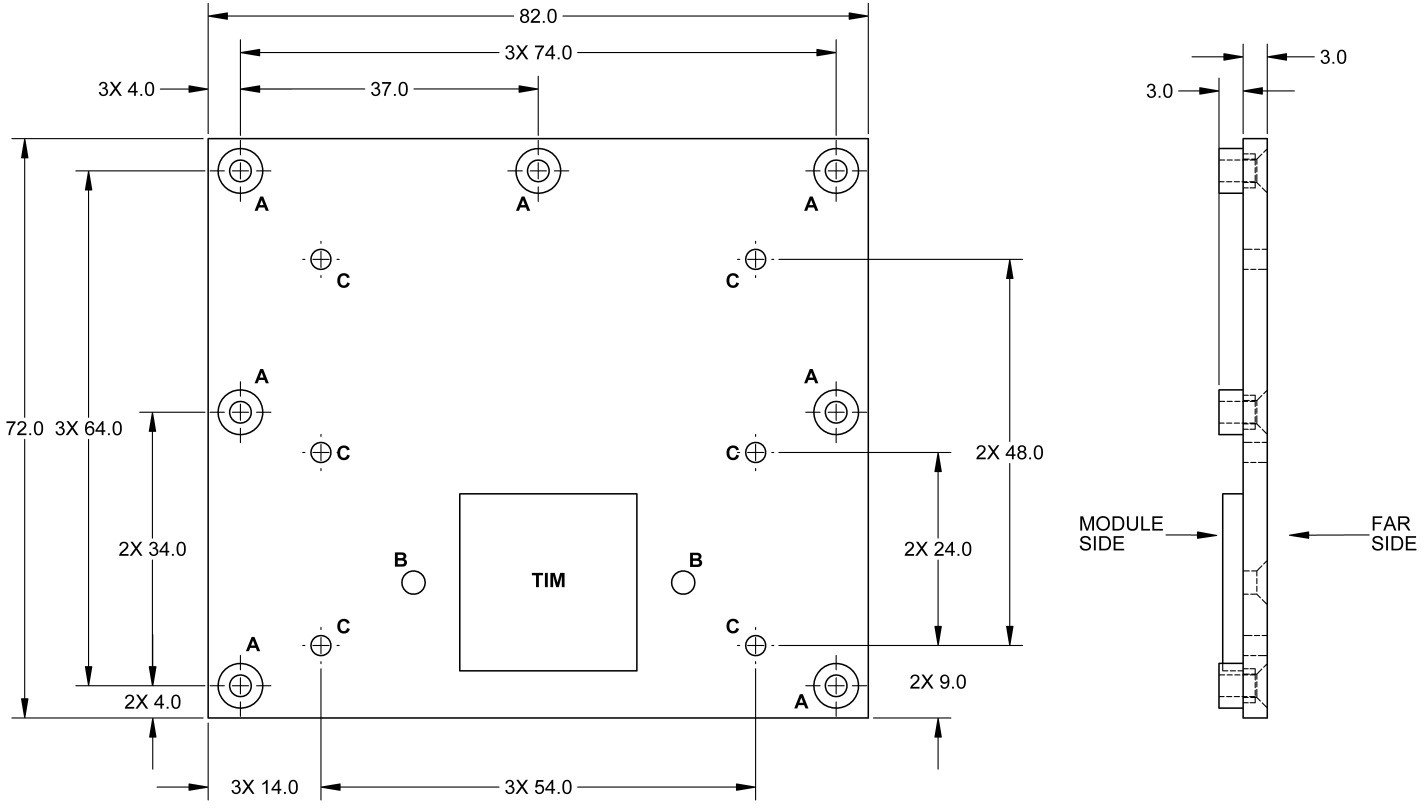
热扩散板结构尺寸视图

上图 的内部正方形是具有导热性和机械兼容的热接口材料（或"TIM"）。TIM 的确切 X-Y 位置和 Z 厚度细节因设计而异。紧邻 TIM 的两个孔可保护 SoC 区域中的PCB 贴碰到 TIM。上图中的尺寸为毫米。"TIM"代表"热接口材料"。TIM 占用了 SoC 顶部和模块 - 面向热扩散器侧之间的小间隙。

离中心较远的四个内部孔允许将散热器板连接到散热板上，或者它们可用于将散热板固定在底盘壁上，用作散热器。



散热器附件选项图示， 此图显示了可选的散热器，可添加到散热板上。有些情况可能需要更高的散热器和/或带嵌入风扇的散热器。上面散热槽中的四个孔与 M3 平头螺丝一起使用。



热扩散板–82毫米x80毫米结构尺图

核心板82mm x 80mm 的热扩散器板类似于 82mm x 50mm 模块的热扩散器板，但向上扩展 30mm，并提供适当的额外孔。"A"和"C"孔钻取详细信息与 82mm x 50mm 热扩散器上的"A"和"C"孔相同。

# 附录:

**OpenHarmony开源板富设备核心板金手指Pinout定义分配:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **P-PIN** | **Primary (Top) Side** |  | **S-Pin** | **Secondary (Bottom) Side** |
|  |  | S1 | CSI1\_TX+ / I2C\_CAM1\_CK |
| P1 | SMB\_ALERT#/VDDCAMIO | S2 | CSI1\_TX- / I2C\_CAM1\_DAT |
| P2 | GND | S3 | GND |
| P3 | CSI1\_CK+ | S4 | RSVD/VDDCAMCORE1 |
| P4 | CSI1\_CK- | S5 | CSI0\_TX+ / I2C\_CAM0\_CK |
| P5 | GBE1\_SDP/VDDCAMMOT | S6 | CAM\_MCK |
| P6 | GBE0\_SDP/VDDCAMCORE0 | S7 | CSI0\_TX- / I2C\_CAM0\_DAT |
| P7 | CSI1\_RX0+ | S8 | CSI0\_CK+ |
| P8 | CSI1\_RX0- | S9 | CSI0\_CK- |
| P9 | GND | S10 | GND |
| P10 | CSI1\_RX1+ | S11 | CSI0\_RX0+ |
| P11 | CSI1\_RX1- | S12 | CSI0\_RX0- |
| P12 | GND | S13 | GND |
| P13 | CSI1\_RX2+ | S14 | CSI0\_RX1+ |
| P14 | CSI1\_RX2- | S15 | CSI0\_RX1- |
| P15 | GND | S16 | GND |
| P16 | CSI1\_RX3+ | S17 | GBE1\_MDI0+/VDDSIM0 |
| P17 | CSI1\_RX3- | S18 | GBE1\_MDI0-/SIM0\_DA |
| P18 | GND | S19 | GBE1\_LINK100#/SIM0\_CLK |
| P19 | GBE0\_MDI3- | S20 | GBE1\_MDI1+/SIM0\_RST |
| P20 | GBE0\_MDI3+ | S21 | GBE1\_MDI1-/SIM0\_DET |
| P21 | GBE0\_LINK100# | S22 | GBE1\_LINK1000#/SIM1\_RST |
| P22 | GBE0\_LINK1000# | S23 | GBE1\_MDI2+/SIM1\_CLK |
| P23 | GBE0\_MDI2- | S24 | GBE1\_MDI2-/SIM1\_DA |
| P24 | GBE0\_MDI2+ | S25 | GND |
| P25 | GBE0\_LINK\_ACT# | S26 | GBE1\_MDI3+/VDDSIM1 |
| P26 | GBE0\_MDI1- | S27 | GBE1\_MDI3-/SIM1\_DET |

\* 应在底板上靠近此金手指连接器的引脚S1和S75位置,对差分对信号或者左/右侧静态信号,提供屏蔽接地隔离.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **P-PIN** | **Primary (Top) Side** | |  | | --- | |  | | | **S-Pin** | **Secondary (Bottom) Side** |
| P27 | GBE0\_MDI1+ | S28 | GBE1\_CTREF |
| P28 | GBE0\_CTREF | S29 | PCIE\_D\_TX+ / SERDES\_0\_TX+/RF\_ADC\_TEMP |
| P29 | GBE0\_MDI0- | S30 | PCIE\_D\_TX- / SERDES\_0\_TX-/CHG\_TEMP\_ADC |
| P30 | GBE0\_MDI0+ | S31 | GBE1\_LINK\_ACT#/BOARD\_ID\_ADC0 |
| P31 | SPI0\_CS1# | S32 | PCIE\_D\_RX+ / SERDES\_0\_RX+/VDDCAMCORE0 |
| P32 | GND | S33 | PCIE\_D\_RX- / SERDES\_0\_RX-/VDD2V8 |
| P33 | SDIO\_WP | S34 | GND |
| P34 | SDIO\_CMD | S35 | USB4+ |
| P35 | SDIO\_CD# | S36 | USB4- |
| P36 | SDIO\_CK | S37 | USB3\_VBUS\_DET |
| P37 | SDIO\_PWR\_EN | S38 | AUDIO\_MCK |
| P38 | GND | S39 | I2S0\_LRCK |
| P39 | SDIO\_D0 | S40 | I2S0\_SDOUT |
| P40 | SDIO\_D1 | S41 | I2S0\_SDIN |
| P41 | SDIO\_D2 | S42 | I2S0\_CK |
| P42 | SDIO\_D3 | S43 | ESPI\_ALERT0#/VDDCAMA0 |
| P43 | SPI0\_CS0# | S44 | ESPI\_ALERT1#/VDDCAMA1 |
| P44 | SPI0\_CK | S45 | MDIO\_CLK |
| P45 | SPI0\_DIN | S46 | MDIO\_DAT |
| P46 | SPI0\_DO | S47 | GND |
| P47 | GND | S48 | I2C\_GP\_CK |
| P48 | SATA\_TX+ | S49 | I2C\_GP\_DAT |
| P49 | SATA\_TX- | S50 | HDA\_SYNC / I2S2\_LRCK |
| P50 | GND | S51 | HDA\_SDO / I2S2\_SDOUT |
| P51 | SATA\_RX+ | S52 | HDA\_SDI / I2S2\_SDIN |
| P52 | SATA\_RX- | S53 | HDA\_CK / I2S2\_CK |
| P53 | GND | S54 | SATA\_ACT# |
| P54 | ESPI\_CS0# / SPI1\_CS0# / QSPI\_CS0# | S55 | USB5\_EN\_OC# |
| P55 | ESPI\_CS1# / SPI1\_CS1# / QSPI\_CS1# | S56 | ESPI\_IO\_2 / QSPI\_IO\_2 |
| P56 | ESPI\_CK / SPI1\_CK / QSPI\_CK | S57 | ESPI\_IO\_3 / QSPI\_IO\_3 |
| P57 | ESPI\_IO\_1 / SPI1\_DIN / QSPI\_IO\_1 | S58 | ESPI\_RESET# |
| P58 | ESPI\_IO\_0 / SPI1\_DO / QSPI\_IO\_0 | S59 | USB5+/ |
| P59 | GND | S60 | USB5-/ |
| P60 | USB0+ | S61 | GND |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **P-PIN** | **Primary (Top) Side** |  | **S-Pin** | **Secondary (Bottom) Side** |
| P61 | USB0- | S62 | USB3\_SSTX+ |
| P62 | USB0\_EN\_OC# | S63 | USB3\_SSTX- |
| P63 | USB0\_VBUS\_DET | S64 | GND |
| P64 | USB0\_OTG\_ID/EXTINT4/GPIO126 | S65 | USB3\_SSRX+ |
| P65 | USB1+ | S66 | USB3\_SSRX- |
| P66 | USB1- | S67 | GND |
| P67 | USB1\_EN\_OC# | S68 | USB3+ |
| P68 | GND | S69 | USB3- |
| P69 | USB2+ | S70 | GND |
| P70 | USB2- | S71 | USB2\_SSTX+ |
| P71 | USB2\_EN\_OC# | S72 | USB2\_SSTX- |
| P72 | RSVD/VDDSDCORE | S73 | GND |
| P73 | RSVD/VDDSDCORE | S74 | USB2\_SSRX+ |
| P74 | USB3\_EN\_OC# | S75 | USB2\_SSRX- |
|  |  |  |  |
|  | ***Key*** |  | ***Key*** |
|  |  |  |  |
| P75 | PCIE\_A\_RST# | S76 | PCIE\_B\_RST# |
| P76 | USB4\_EN\_OC# | S77 | PCIE\_C\_RST# |
| P77 | PCIE\_B\_CKREQ# | S78 | PCIE\_C\_RX+ / SERDES\_1\_RX+ |
| P78 | PCIE\_A\_CKREQ# | S79 | PCIE\_C\_RX- / SERDES\_1\_RX- |
| P79 | GND | S80 | GND |
| P80 | PCIE\_C\_REFCK+ | S81 | PCIE\_C\_TX+ / SERDES\_1\_TX+ |
| P81 | PCIE\_C\_REFCK- | S82 | PCIE\_C\_TX- / SERDES\_1\_TX- |
| P82 | GND | S83 | GND |
| P83 | PCIE\_A\_REFCK+ | S84 | PCIE\_B\_REFCK+ |
| P84 | PCIE\_A\_REFCK- | S85 | PCIE\_B\_REFCK- |
| P85 | GND | S86 | GND |
| P86 | PCIE\_A\_RX+ | S87 | PCIE\_B\_RX+ |
| P87 | PCIE\_A\_RX- | S88 | PCIE\_B\_RX- |
| P88 | GND | S89 | GND |
| P89 | PCIE\_A\_TX+ | S90 | PCIE\_B\_TX+ |

\* 应在底板上靠近此金手指连接器的引脚S1和S75位置,对差分对信号或者左/右侧静态信号,提供屏蔽接地隔离.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **P-PIN** | **Primary (Top) Side** |  | **S-Pin** | **Secondary (Bottom) Side** |
| P90 | PCIE\_A\_TX- | S91 | PCIE\_B\_TX- |
| P91 | GND | S92 | GND |
| P92 | HDMI\_D2+ / DP1\_LANE0+ | S93 | DP0\_LANE0+ |
| P93 | HDMI\_D2- / DP1\_LANE0- | S94 | DP0\_LANE0- |
| P94 | GND | S95 | DP0\_AUX\_SEL |
| P95 | HDMI\_D1+ / DP1\_LANE1+ | S96 | DP0\_LANE1+ |
| P96 | HDMI\_D1- / DP1\_LANE1- | S97 | DP0\_LANE1- |
| P97 | GND | S98 | DP0\_HPD |
| P98 | HDMI\_D0+ / DP1\_LANE2+ | S99 | DP0\_LANE2+ |
| P99 | HDMI\_D0- / DP1\_LANE2- | S100 | DP0\_LANE2- |
| P100 | GND | S101 | GND |
| P101 | HDMI\_CK+ / DP1\_LANE3+ | S102 | DP0\_LANE3+ |
| P102 | HDMI\_CK- / DP1\_LANE3- | S103 | DP0\_LANE3- |
| P103 | GND | S104 | USB3\_OTG\_ID |
| P104 | HDMI\_HPD / DP1\_HPD | S105 | DP0\_AUX+ |
| P105 | HDMI\_CTRL\_CK / DP1\_AUX+ | S106 | DP0\_AUX- |
| P106 | HDMI\_CTRL\_DAT / DP1\_AUX- | S107 | LCD1\_BKLT\_EN |
| P107 | DP1\_AUX\_SEL | S108 | LVDS1\_CK+ / eDP1\_AUX+ / DSI1\_CLK+ |
| P108 | GPIO0 / CAM0\_PWR# | S109 | LVDS1\_CK- / eDP1\_AUX- / DSI1\_CLK- |
| P109 | GPIO1 / CAM1\_PWR# | S110 | GND |
| P110 | GPIO2 / CAM0\_RST# | S111 | LVDS1\_0+ / eDP1\_TX0+ / DSI1\_D0+ |
| P111 | GPIO3 / CAM1\_RST# | S112 | LVDS1\_0- / eDP1\_TX0- / DSI1\_D0- |
| P112 | GPIO4 / HDA\_RST#/PROX\_INT/GPIO86 | S113 | eDP1\_HPD / DSI1\_TE |
| P113 | GPIO5 / PWM\_OUT/VIB\_CTRL | S114 | LVDS1\_1+ / eDP1\_TX1+ / DSI1\_D1+ |
| P114 | GPIO6 / TACHIN/CTP\_INT | S115 | LVDS1\_1- / eDP1\_TX1- / DSI1\_D1- |
| P115 | GPIO7/LED\_G | S116 | LCD1\_VDD\_EN |
| P116 | GPIO8/LED\_R | S117 | LVDS1\_2+ / eDP1\_TX2+ / DSI1\_D2+ |
| P117 | GPIO9/LED\_B | S118 | LVDS1\_2- / eDP1\_TX2- / DSI1\_D2- |
| P118 | GPIO10/KEYIN0 | S119 | GND |
| P119 | GPIO11/KEYNI1 | S120 | LVDS1\_3+ / eDP1\_TX3+ / DSI1\_D3+ |
| P120 | GND | S121 | LVDS1\_3- / eDP1\_TX3- / DSI1\_D3- |
| P121 | I2C\_PM\_CK | S122 | LCD1\_BKLT\_PWM |
| P122 | I2C\_PM\_DAT | S123 | GPIO13 |
| P123 | BOOT\_SEL0# | S124 | GND |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **P-Pin** | **Primary (Top) Side** |  | **S-Pin** | **Secondary (Bottom) Side** |
| P124 | BOOT\_SEL1# | S125 | LVDS0\_0+ / eDP0\_TX0+ / DSI0\_D0+ |
| P125 | BOOT\_SEL2# | S126 | LVDS0\_0- / eDP0\_TX0- / DSI0\_D0- |
| P126 | RESET\_OUT# | S127 | LCD0\_BKLT\_EN |
| P127 | RESET\_IN# | S128 | LVDS0\_1+ / eDP0\_TX1+ / DSI0\_D1+ |
| P128 | POWER\_BTN# | S129 | LVDS0\_1- / eDP0\_TX1- / DSI0\_D1- |
| P129 | SER0\_TX | S130 | GND |
| **P130** | SER0\_RX | S131 | LVDS0\_2+ / eDP0\_TX2+ / DSI0\_D2+ |
| P131 | SER0\_RTS# | S132 | LVDS0\_2- / eDP0\_TX2- / DSI0\_D2- |
| P132 | SER0\_CTS# | S133 | LCD0\_VDD\_EN |
| P133 | GND | S134 | LVDS0\_CK+ / eDP0\_AUX+ / DSI0\_CLK+ |
| P134 | SER1\_TX | S135 | LVDS0\_CK- / eDP0\_AUX- / DSI0\_CLK- |
| P135 | SER1\_RX | S136 | GND |
| P136 | SER2\_TX | S137 | LVDS0\_3+ / eDP0\_TX3+ / DSI0\_D3+ |
| P137 | SER2\_RX | S138 | LVDS0\_3- / eDP0\_TX3- / DSI0\_D3- |
| P138 | SER2\_RTS# | S139 | I2C\_LCD\_CK |
| P139 | SER2\_CTS# | S140 | I2C\_LCD\_DAT |
| P140 | SER3\_TX | S141 | LCD0\_BKLT\_PWM |
| P141 | SER3\_RX | S142 | GPIO12 |
| P142 | GND | S143 | GND |
| P143 | CAN0\_TX | S144 | eDP0\_HPD / DSI0\_TE |
| P144 | CAN0\_RX | S145 | WDT\_TIME\_OUT# |
| P145 | CAN1\_TX/WCN\_U0TXD | S146 | PCIE\_WAKE# |
| P146 | CAN1\_RX/WCN\_U0RXD | S147 | VDD\_RTC |
| P147 | VDD\_IN | S148 | LID# |
| P148 | VDD\_IN | S149 | SLEEP# |
| P149 | VDD\_IN | S150 | VIN\_PWR\_BAD#/ |
| P150 | VDD\_IN | S151 | CHARGING# |
| P151 | VDD\_IN | S152 | CHARGER\_PRSNT# |
| P152 | VDD\_IN | S153 | CARRIER\_STBY# |
| P153 | VDD\_IN | S154 | CARRIER\_PWR\_ON |
| P154 | VDD\_IN | S155 | FORCE\_RECOV#/BB\_U1TXD |
| P155 | VDD\_IN | S156 | BATLOW#/ |
| P156 | VDD\_IN | S157 | TEST#/ |
|  | | | S158 | GND |