

Realizacja automatów w FPGA. Realizacja automatu w strukturze pamięć rejestr.

Data wykonania 06.12.2020

Zadanie 2. Automat opisany jest przy użyciu tablic: przejść i wyjść. Wybierz pozycje odpowiadające Twojemu numerowi indeksu-odpowiednio ostatnia cyfra i przedostatnia cyfra.

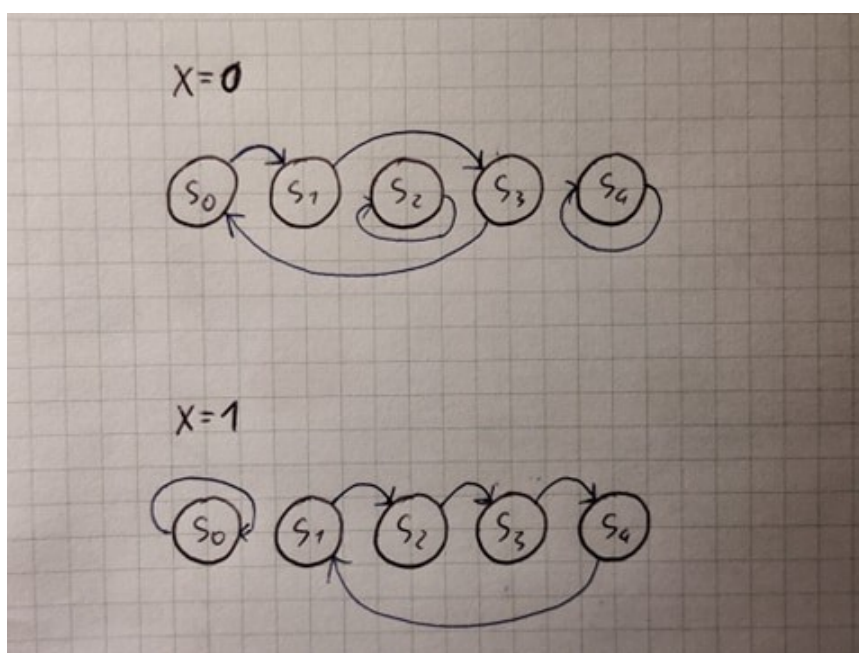
Wybrano wariant 3, 8.

Tablica przejść:

3		
X		
	0	1
S0	S1	S0
S1	S3	S2
S2	S2	S3
S3	S0	S4
S4	S4	S1

8	
S0	11110
S1	11100
S2	11000
S3	10000
S4	00000

1. Narysuj graf przejść tego automatu.

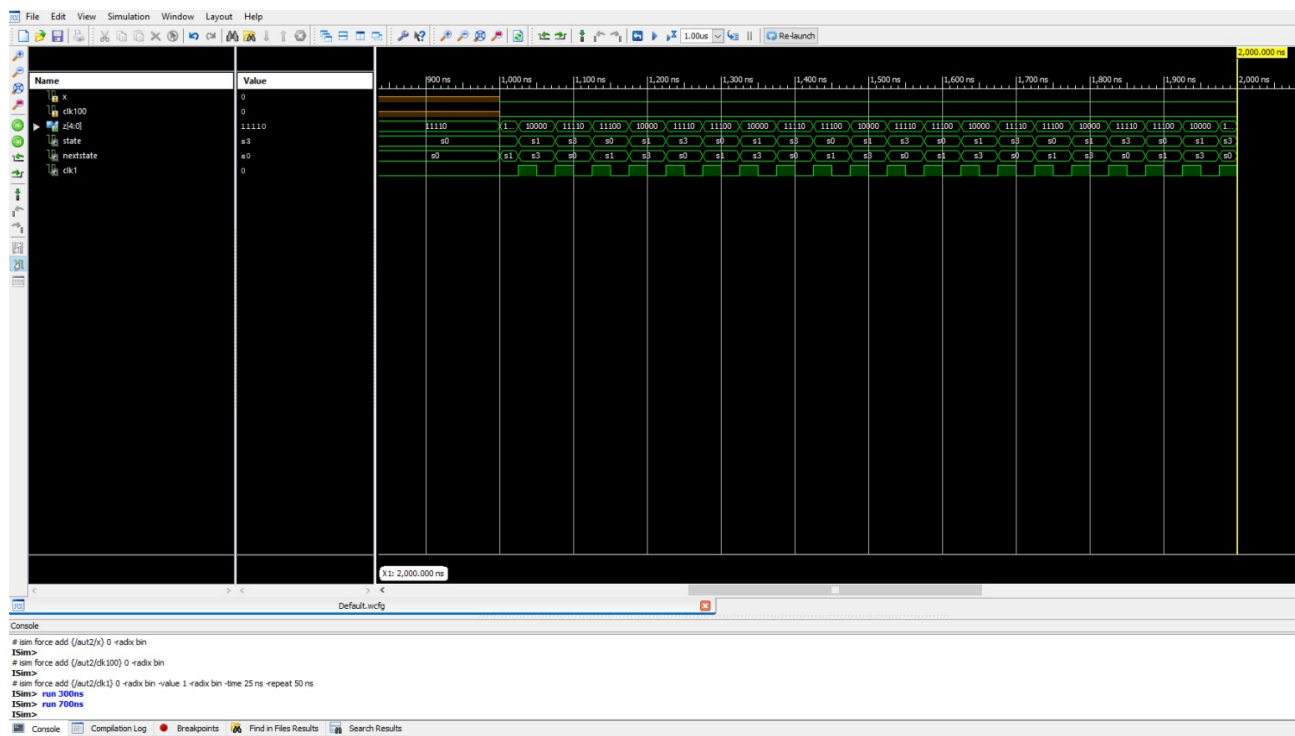
Zdjęcie 1: Graf przejść automatu dla $X=0$ oraz $X=1$

2. Zrealizuj automat w układzie FPGA.

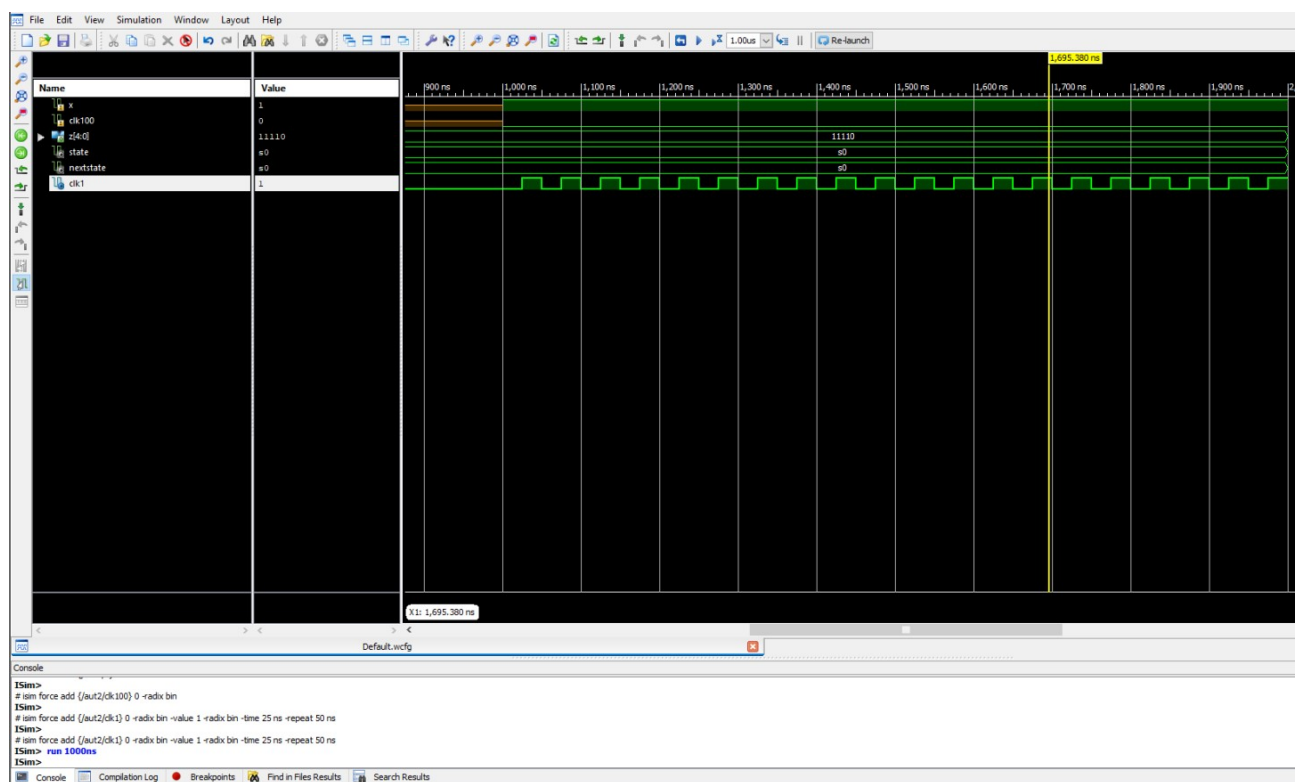
```
1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3  entity aut2 is
4  port (X, CLK100: in std_logic;
5  Z: out std_logic_vector (4 downto 0));
6  end aut2;
7  architecture Behavioral of aut2 is
8  component ck_divider
9      Port (
10         CK_IN : in  STD_LOGIC;
11         CK_OUT : out STD_LOGIC);
12  end component;
13  type state_t is (S0, S1, S2, S3, S4);
14  signal state, nextstate: state_t;
15  signal CLK1 : std_logic; -- output of clock divider
16  begin
17  clock : ck_divider port map (
18      CK_IN => CLK100,
19      CK_OUT => CLK1);
20  --combinational circuit
21  process (state, X, CLK1)
22  begin
23  case state is
24  when S0 =>
25  if X='0' then nextstate <= S1;Z<= "11100";
26  else nextstate <= S0;Z<="11110"; end if;
27  when S1 =>
28  if X='0' then nextstate <= S3;Z<= "10000";
29  else nextstate <= S2;Z<="11000"; end if;
30  when S2 =>
31  if X='0' then nextstate <= S2;Z<= "11000";
32  else nextstate <= S3;Z<="10000"; end if;
33  when S3 =>
34  if X='0' then nextstate <= S0;Z<= "11110";
35  else nextstate <= S4;Z<="00000"; end if;
36  when S4 =>
37  if X='0' then nextstate <= S4;Z<= "00000";
38  else nextstate <= S1;Z<="11100"; end if;
39
40  end case;
41  if rising_edge (CLK1) then
42      state <= nextstate;
43  end if;
44  end process;
45
46
47  end Behavioral;
```

Zrzut ekranu 1: Kod źródłowy automatu zrealizowany w języku VHDL

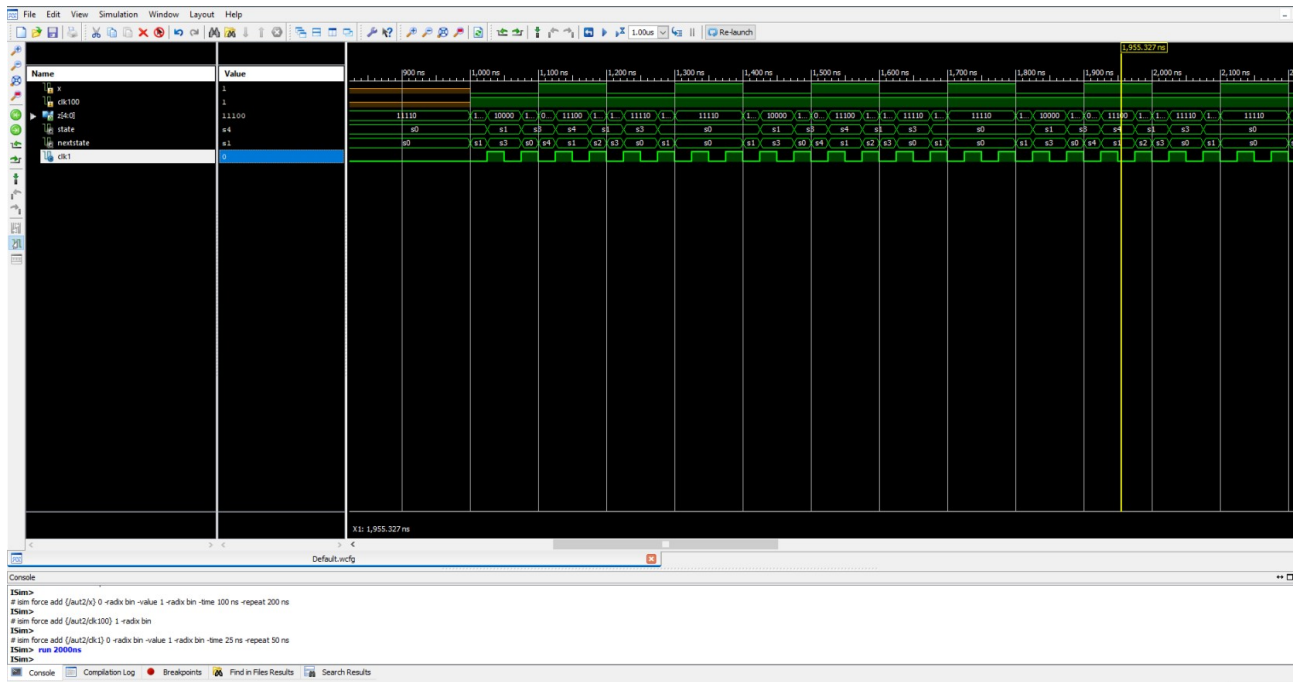
3. Korzystając z symulatora będącego częścią ISE zaobserwuj działanie układu.



Zrzut ekranu 2: Przebieg symulacji dla stałego $X=0$.



Zrzut ekranu 3: Przebieg symulacji dla stałego $X=1$.



Zrzut ekranu 4: Przebieg symulacji dla zmiennego $X=\{0,1\}$ z okresem 200ns