

Układy kombinacyjne 3 - FPGA schemat wersja Atlys

Data wykonania 16.10.2020

1. Transkoder wyposażony jest w 3 wejścia i 3 wyjścia. Jego działanie przedstawiono w Tabeli 1. Wszystkie wartości zakodowane w naturalnym kodzie binarnym (NBC). - oznacza dowolną wartość. Wybierz kolumnę odpowiadającą ostatniej cyfrze Twojego numeru indeksu.

Wybrano kolumnę nr 3 z Tabeli 1. z pliku "PTC_lab03.pdf".

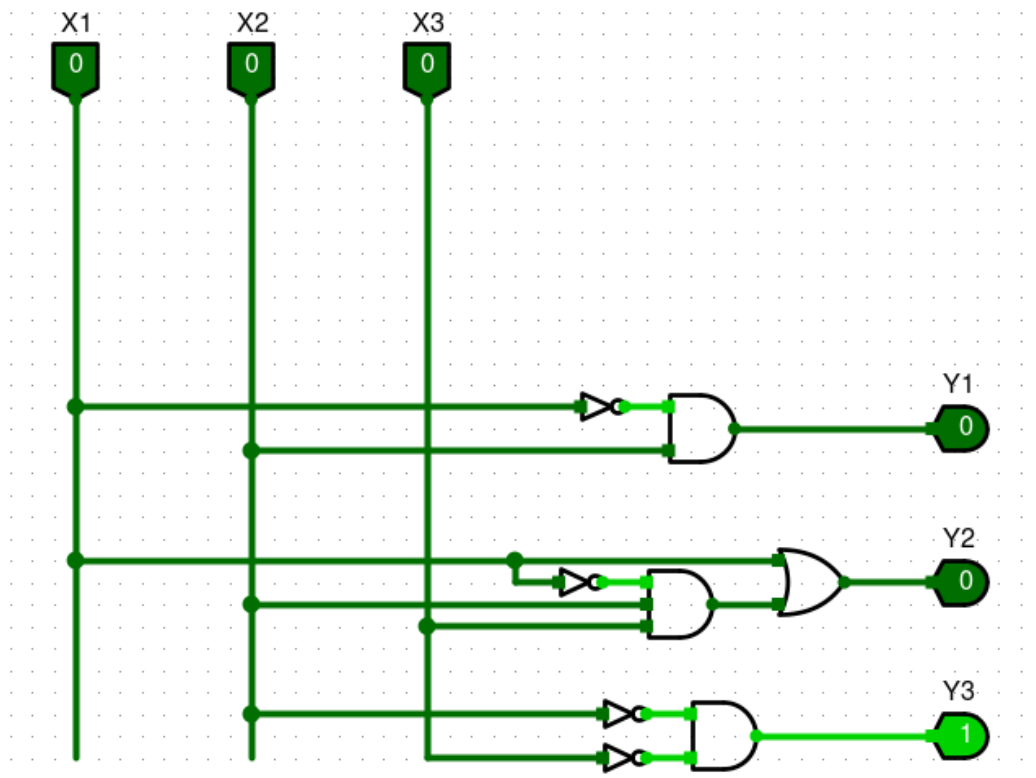
Wejścia Wyjścia

0	1
1	0
2	4
3	6
4	3
5	-
6	2
7	-

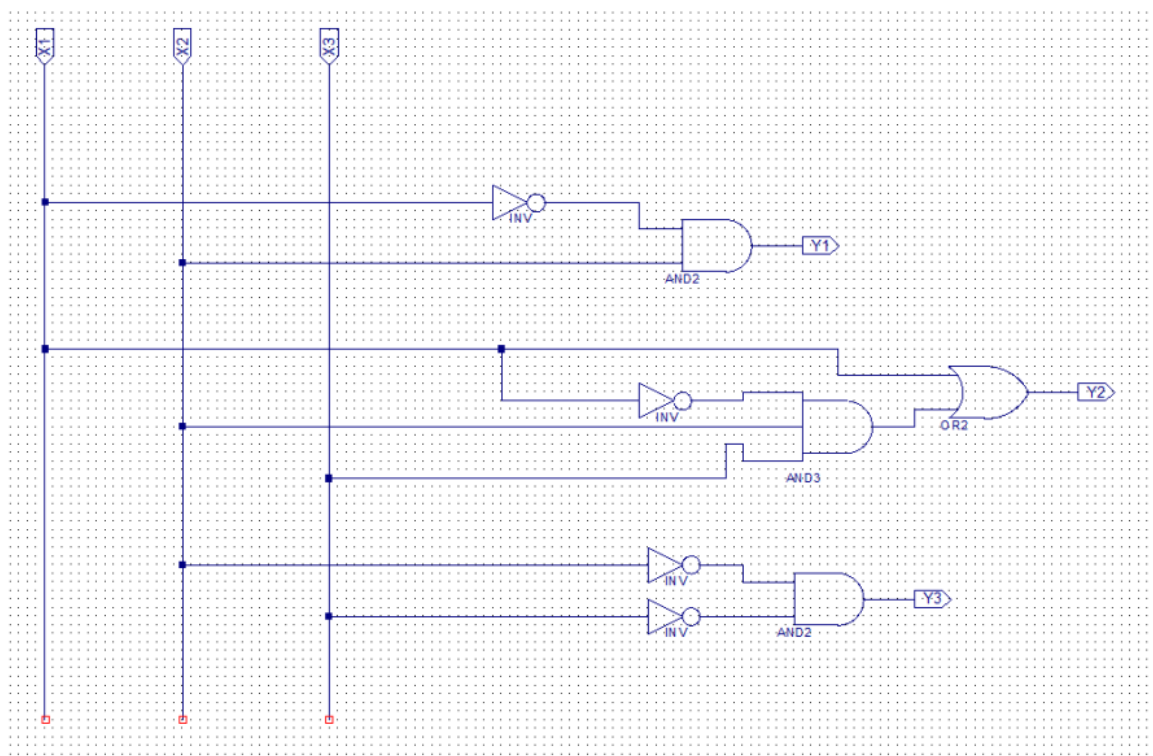
	Wejścia			Wyjścia		
	X1	X2	X3	Y1	Y2	Y3
0	0	0	0	0	0	1
1	0	0	1	0	0	0
2	0	1	0	1	0	0
3	0	1	1	1	1	0
4	1	0	0	0	1	1
5	1	0	1	-	-	-
6	1	1	0	0	1	0
7	1	1	1	-	-	-

a. Narysuj schemat układu używając bramek AND, OR, NOT. Wskazówka: wykorzystaj rozwiązanie zadania 2 z Lab.1.

b. Korzystając z programu Xilinx ISE utwórz nowy projekt i nazwij go tran3_3 Top level source type wybierz Schematic – Rys. 1. Przejdź do Project Settings I wybierz ustawienia pokazane na Rys. 2. Następnie wybierz Next. Kliknij prawym przyciskiem myszy na nazwie projektu –Rys.3 i wybierz New Source. Otworzy się okno pokazane na Rys.4. Wybierz Schematic i wpisz nazwę np. s1. Next. Finish. Otworzy się edytor schematów pokazany na Rys. 5.



Realizacja układu w Logisim



Realizacja układu w Xilinx ISE

Symulacja układu z wykorzystaniem testbench W celu zasymulowania układu dodajemy do projektu specjalny plik typu testbench, w którym zapisujemy pobudzenia podawane na wejście układu.

```

50
51 -- *** Test Bench - User Defined Section ***
52 tb : PROCESS
53 BEGIN
54 X1 <= '0', '1' after 100ns, '0' after 200ns, '1' after 300ns, '0' after 400ns,
55 '1' after 500ns, '0' after 600ns, '1' after 700ns, '0' after 800ns;
56 X2 <= '0', '1' after 200ns, '0' after 400ns, '1' after 600ns, '0' after 800ns;
57 X3 <= '0', '1' after 400ns, '0' after 800ns;
58 WAIT;
59 END PROCESS;
60 -- *** End Test Bench - User Defined Section ***

```

Pobudzenia z pliku Test Bench



Wyniki symulacji - przebiegi