

# Układy programowalne

Wykład PTC

Zima 2020/21

8.01.2021

# Klasyfikacja cyfrowych układów scalonych

- **Układy standardowe** (standard logic integrated circuits IC) wiele typów obudowanych scalonych układów, każdy typ układu realizuje **określony zakres standardowych funkcji**, dla którego został zaprojektowany, konieczność łączenia (obwód drukowany) tych układów w celu implementacji zaawansowanych złożonych/specyficznych funkcji projektowanego układu cyfrowego. Przykłady to: multiplexer, rejestru, sumator, procesor.

# Klasyfikacja cyfrowych układów scalonych

- **Układ cyfrowy ASIC (Application Specific Integrated Circuit)** układy scalone celowo przygotowane do nietypowych zastosowań, zakres funkcji dla układu typu ISIC jest zdefiniowany przez końcowego użytkownika, a nie producenta. ISIC są wykonane przez producenta układów scalonych na zamówienie. Możliwe, że ISIC jest wykonany na potrzeby jednej firmy lub jednego urządzenia realizującego bardzo specyficzne funkcje.

# Klasyfikacja cyfrowych układów scalonych

- **Układ cyfrowy PLD (Programmable Logic Devices)** obudowany układ scalony, którego właściwości funkcjonalne mogą być zdefiniowane przez końcowego użytkownika, który może samodzielnie implementować (przez zaprogramowanie) w strukturze PLD opracowany przez siebie projekt wyspecjalizowanego układu cyfrowego

# Klasyfikacja układów ASIC

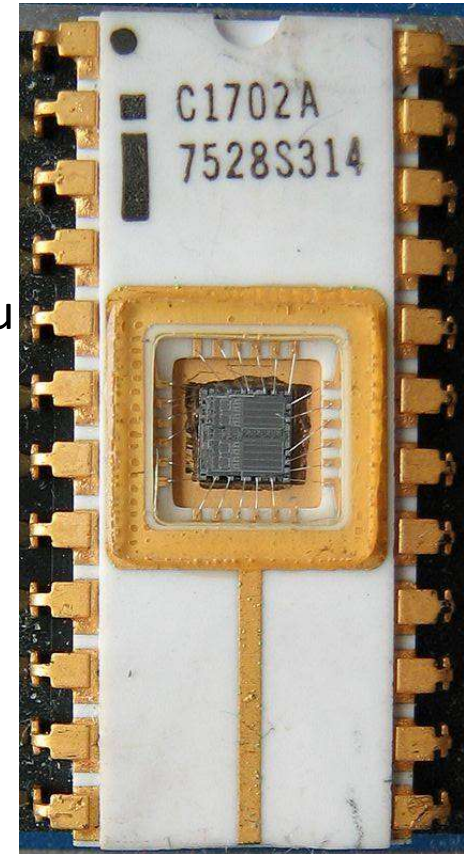
Układy powstające przy wykorzystaniu typowych elementów (półproduktów):

- **Oparte na matrycy bramek (Gate Array)** – baza to przygotowane wcześniej półprzewodnikowe **bramki logiczne w formie matrycy**; w zależności od potrzeb zamawiającego pomiędzy bramkami określa się i wykonuje połączenia. Szybka technologia, słabe upakowanie, niski koszt przygotowania.
- **Oparte na komórkach standardowych (Standard Cel)** komórki standardowe to grupy tranzystorów realizujące typowe (również złożone funkcje) np. rejestry, sumatory. Zamawiający określa przy pomocy edytora schematów używane standardowe komórki, a producent przeprowadza niezbędne prace technologiczne dla wykonania IC.

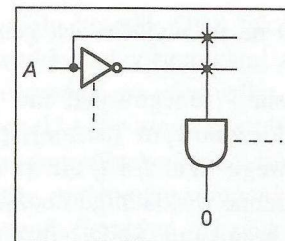
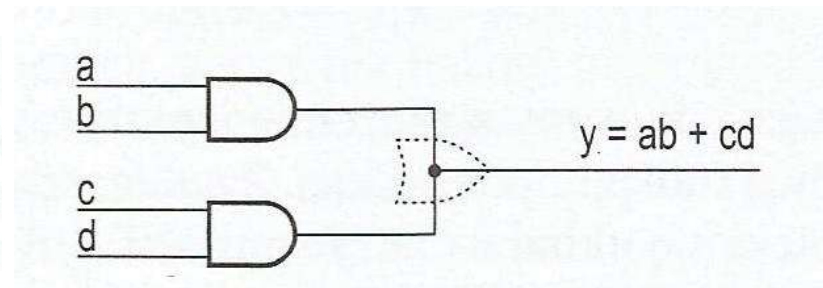
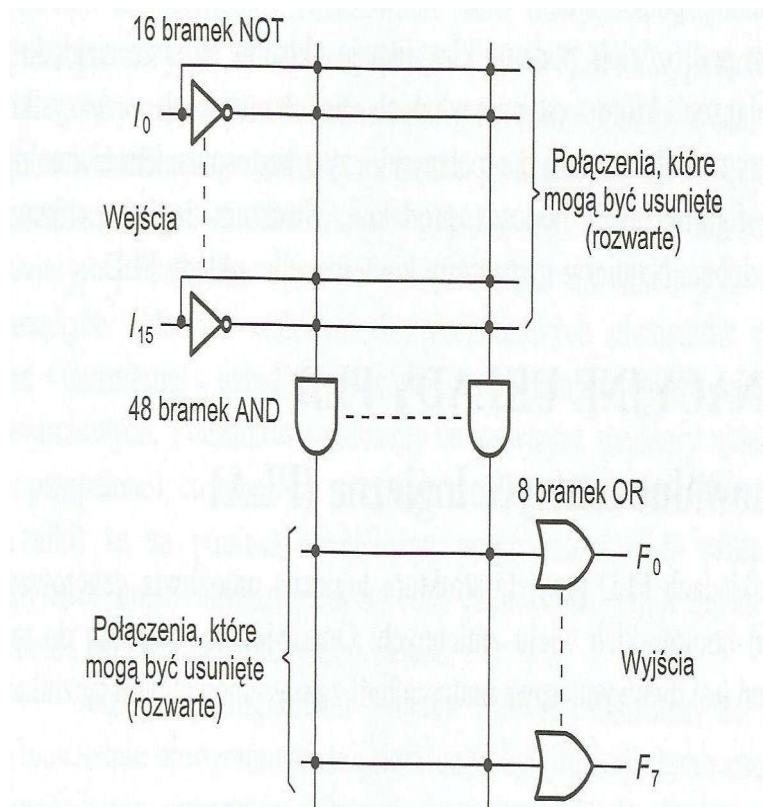
Full Custom - IC zaprojektowane i wykonane przez producenta w pełnym cyklu technologicznym układów scalonych dla realizacji określonych przez zamawiającego funkcji. Każdy element logiczny jest projektowany i optymalizowany, struktura o największym upakowaniu, prędkości i minimalnej mocy. Wysokie koszty.

# Układy programowalne PLD

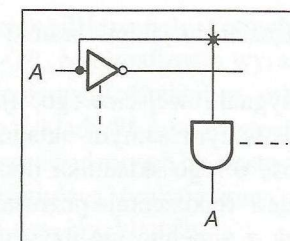
- PROM – elektrycznie programowane przez użytkownika pamięci ROM
- Układy pamięci ROM reprogramowalne –
  - EEPROM – wymazywalne elektrycznie (także pamięć typu **flash**)
  - EPROM – wymazywalne za pomocą światła UV
- **Układy PLA** – (Programmable Logic Array)
  - zbudowane z matrycy bramek iloczynów i matrycy bramek sum
  - możliwość określenia sygnałów wejściowych obu układów bramek – programowanie przez użytkownika.
  - wykorzystanie wyjść z otwartym kolektorem do realizacji „montażowych” sum i iloczynów (zmniejszenie liczby bramek - zamiast bramki zastosowano zwarcie wyjść bramek)



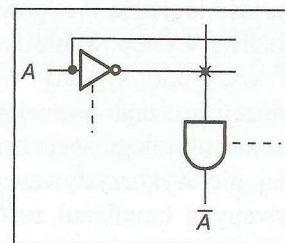
# Matryca PLA - struktura i programowanie



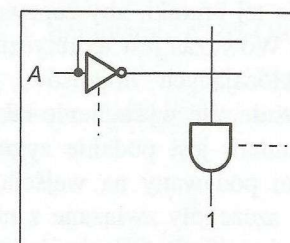
Stan nie zaprogramowany



Wybrano zmienną prostą

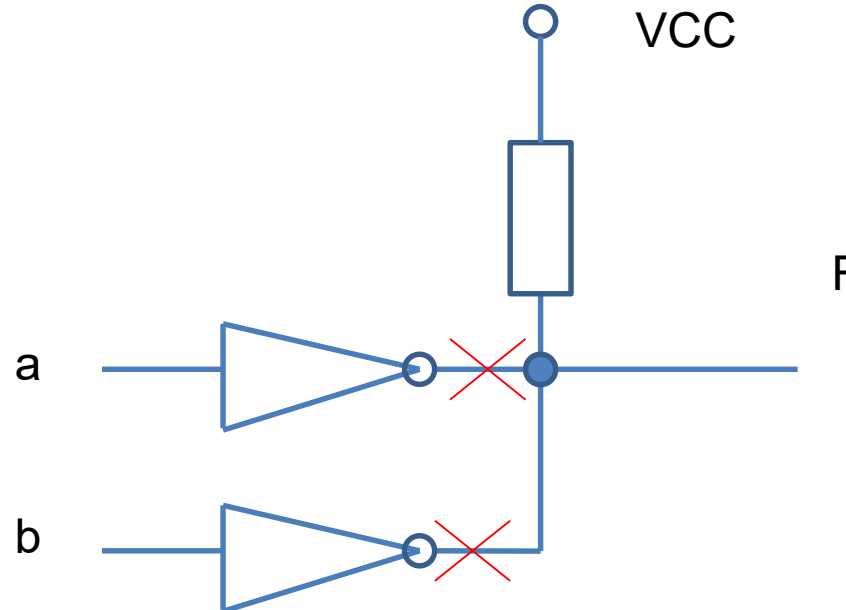


Wybrano zmienną zanegowaną



Nie wybrano żadnej zmiennej

# Wykorzystanie wyjścia typu „open collector” - bramka or



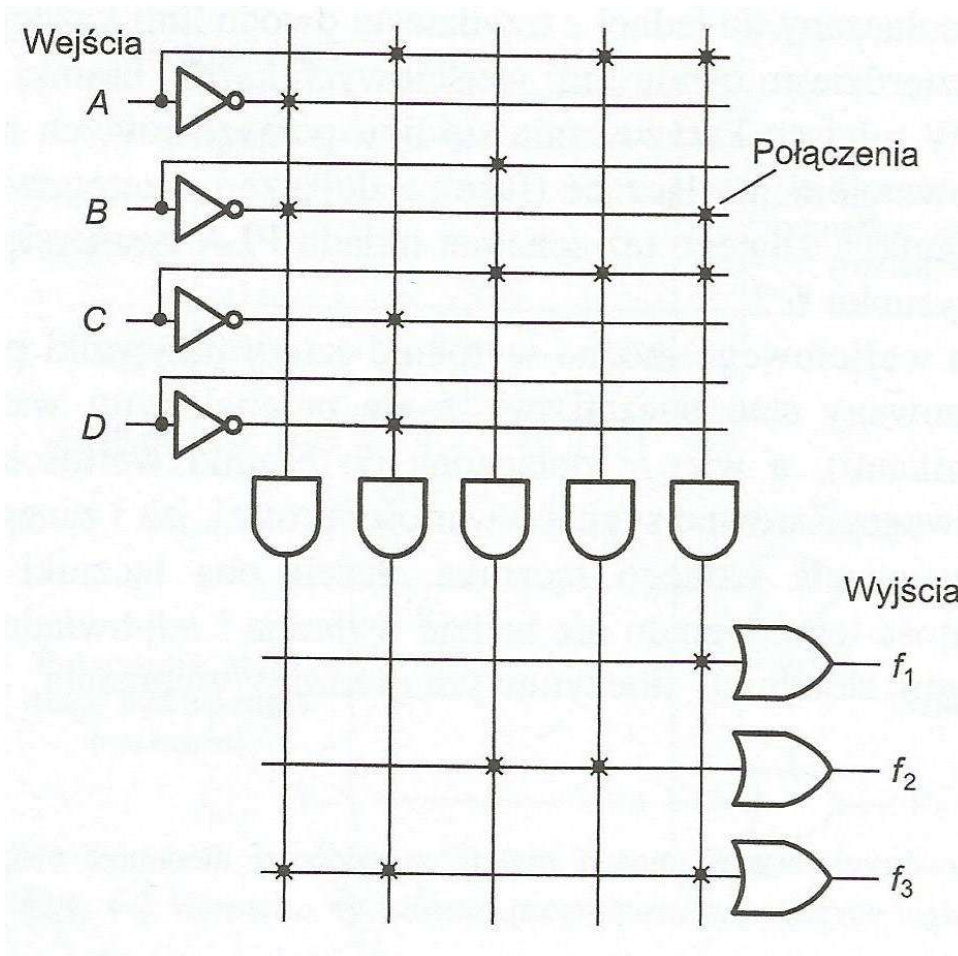
$$F = \text{nie } a \text{ and nie } b = \text{nie } (a \text{ or } b)$$

Połączenie wyjść bramek open collector zastępuje  
bramkę sumy

Przy zwartych wyjściach OC dowolna liczba wyjść bramek zwartych z zerem daje stan  $F=0$ , aby uzyskać  $F=1$  konieczna 1 na wszystkich wyjściach zwartych bramek.



# PLA zaprogramowany



Zrealizowane funkcje:

$$f_1 = a * b' * c$$

$$f_2 = b * c + a * c$$

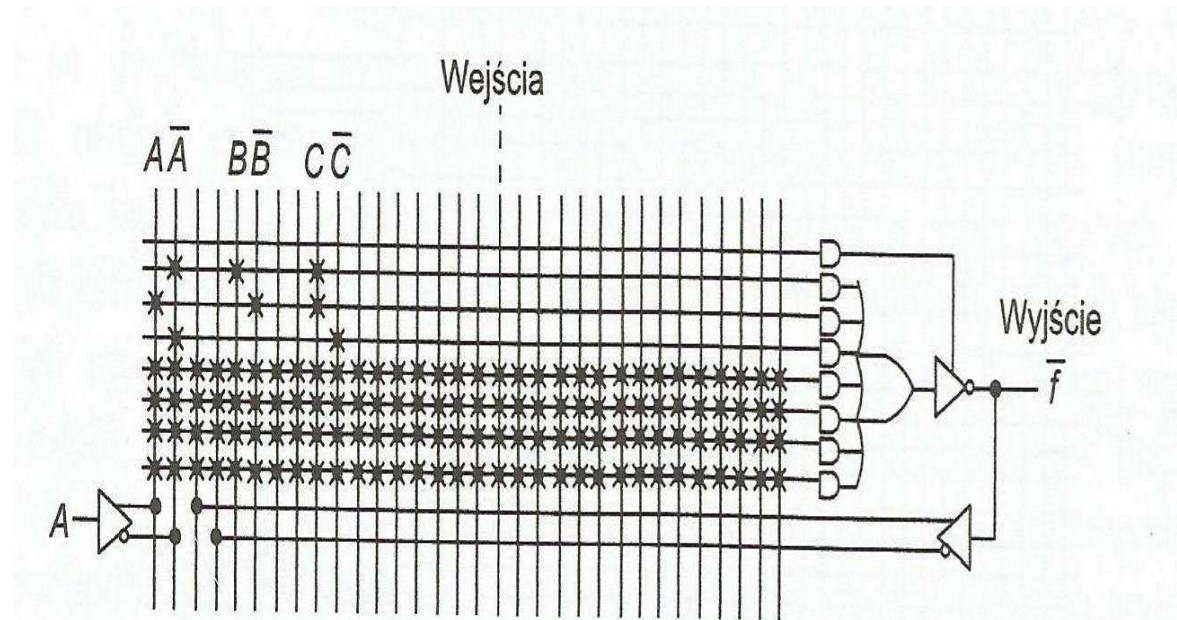
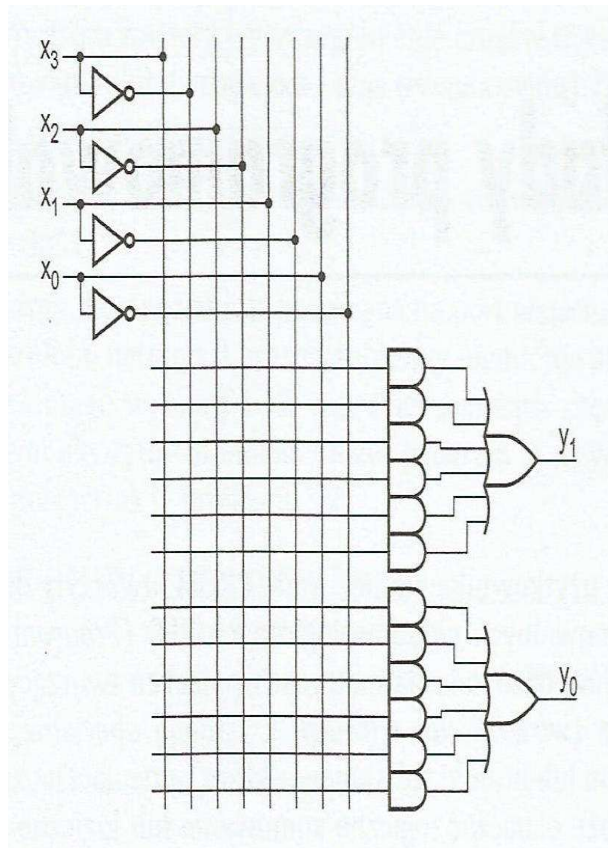
$$f_3 = ?$$

# Układy PAL

Brak potrzeby wykorzystania w praktyce możliwości struktur układów PLA prowadzi do prostszych realizacji PLD – układów PAL (Programmable Array Logic) – posiadają:

- bramki OR o ustalonej liczbie wejść
- bramki AND o programowanej liczbie wejść (wykorzystanie sygnałów zewnętrznych lub wewnętrznych)
- każda bramka AND powiązana z jedną bramką OR
- Nazwy: np. GAL 16V8 pierwsza liczba to liczba wyprowadzeń wej/wyj, druga liczba wyjść

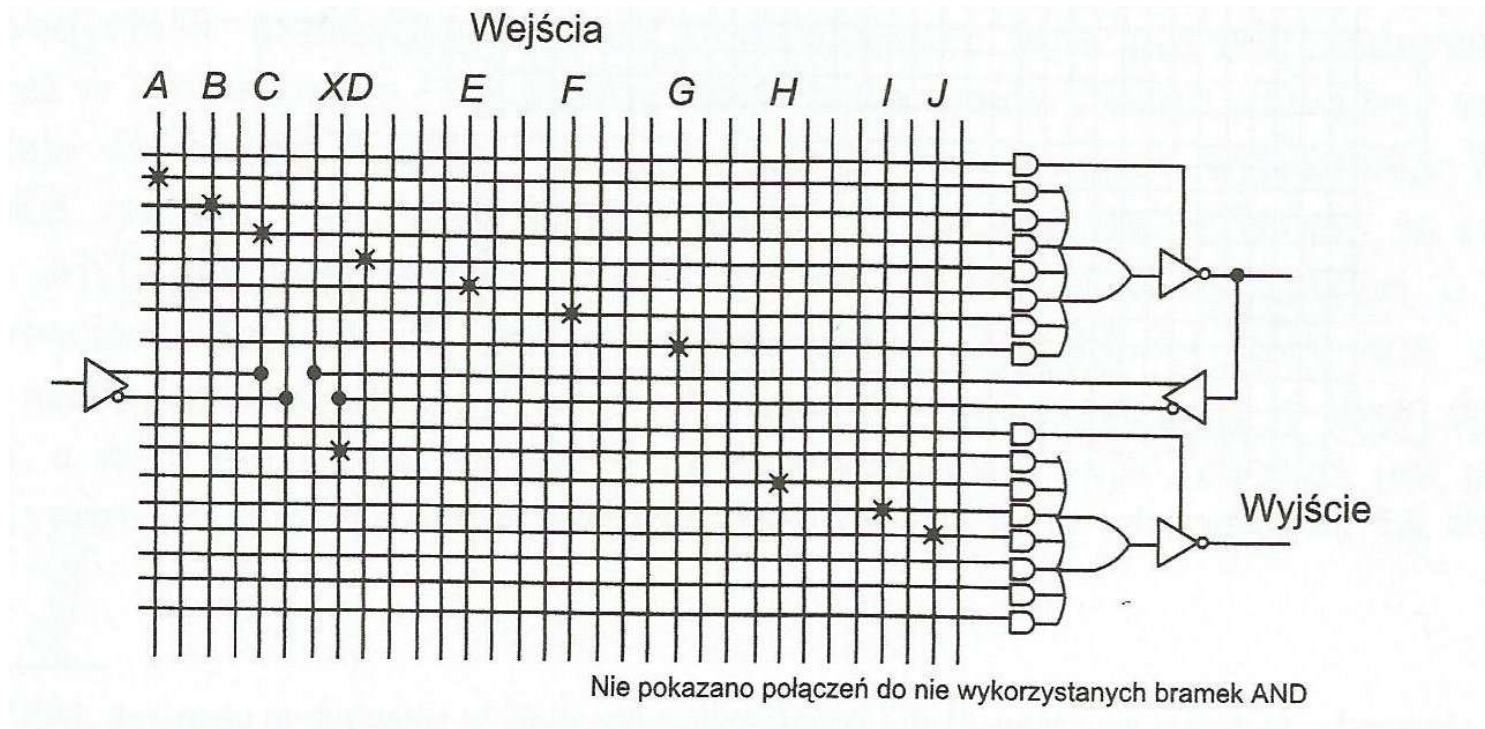
# PAL STRUKTURA i zastosowanie



Implementacja funkcji  $f' = A'BC + AB'C + A'C'$  w układzie PAL

Struktura PAL z dwoma wyjściami,  
bramki OR 6 wejściowe.

# Zastosowanie PAL



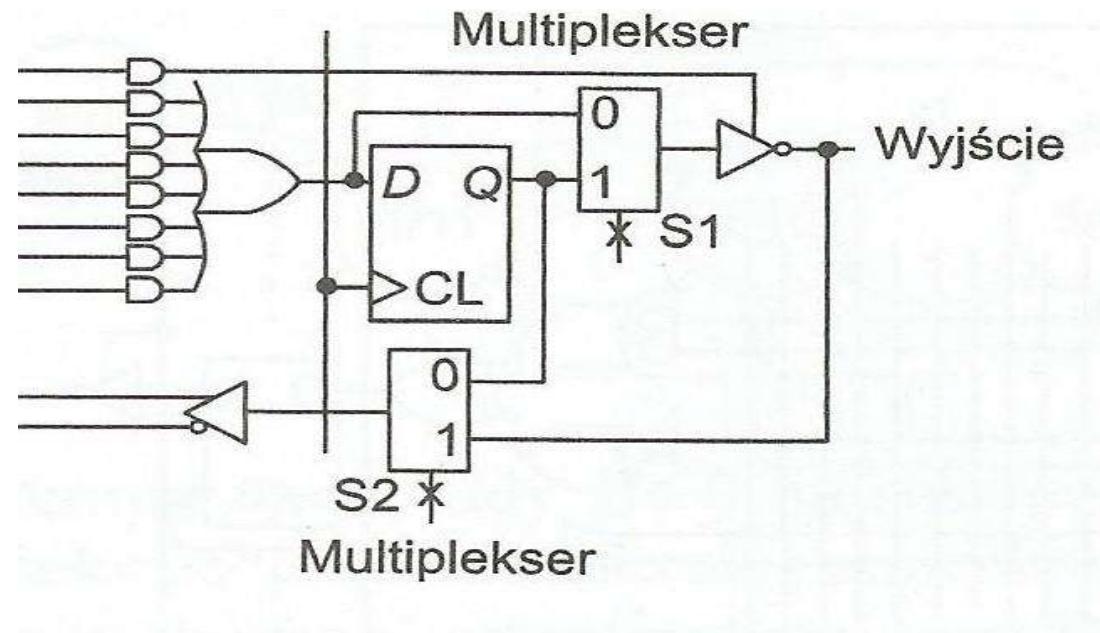
Implementacja wielopoziomowego wyrażenia sumacyjnego w układzie PAL, bufory trójstanowe bramek wyjściowych są otwarte.

# Rodzaje układów PAL

- Sprzężenie zwrotne – układy asynchroniczne
- Wejścia-wyjścia
- Rejestry synchroniczne – automaty synchroniczne
- Rejestry z programowanym sygnałem zegara
- Rozbudowa układów PAL w kierunku bardziej złożonych jakościowo i ilościowo:
  - Układów CPLD (complex ...) – elementy programowane – komórki logiczne
  - Układów FPGA (Field\_Programmable Gate Array) – złożone strukturalnie makrokomórki



# Makrokomórka PAL

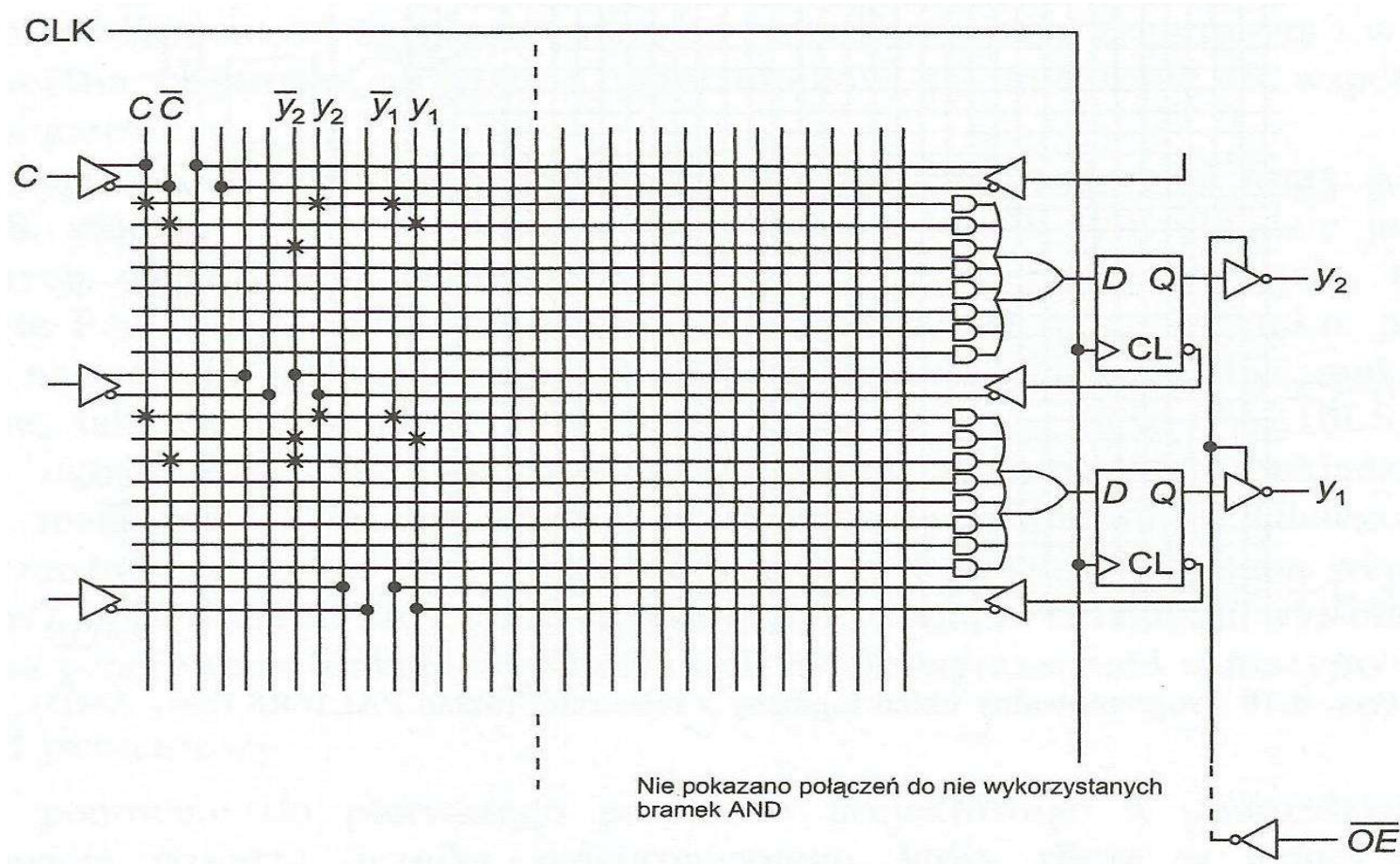


S1 decyduje o charakterze wyjścia – kombinacyjny lub sekwencyjny

Bufor wyjściowy decyduje o charakterze wyprowadzenia – wejście lub wyjście

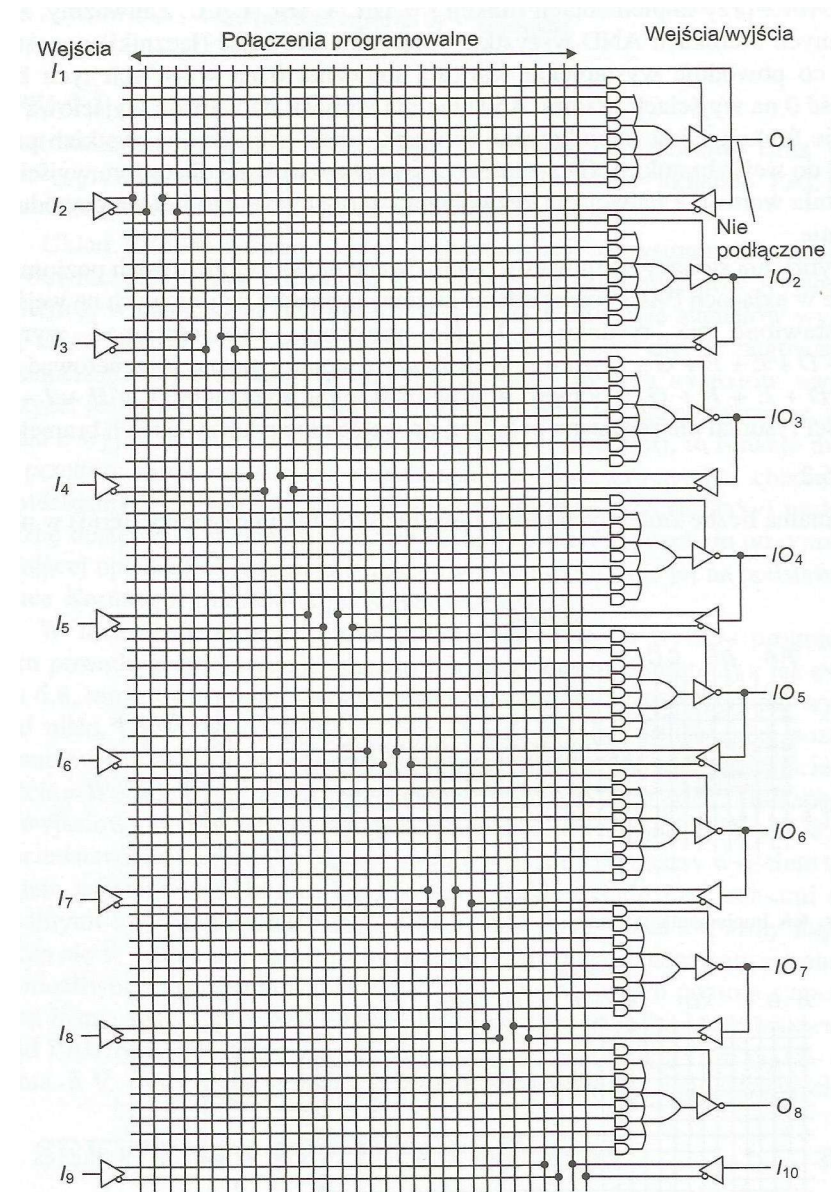
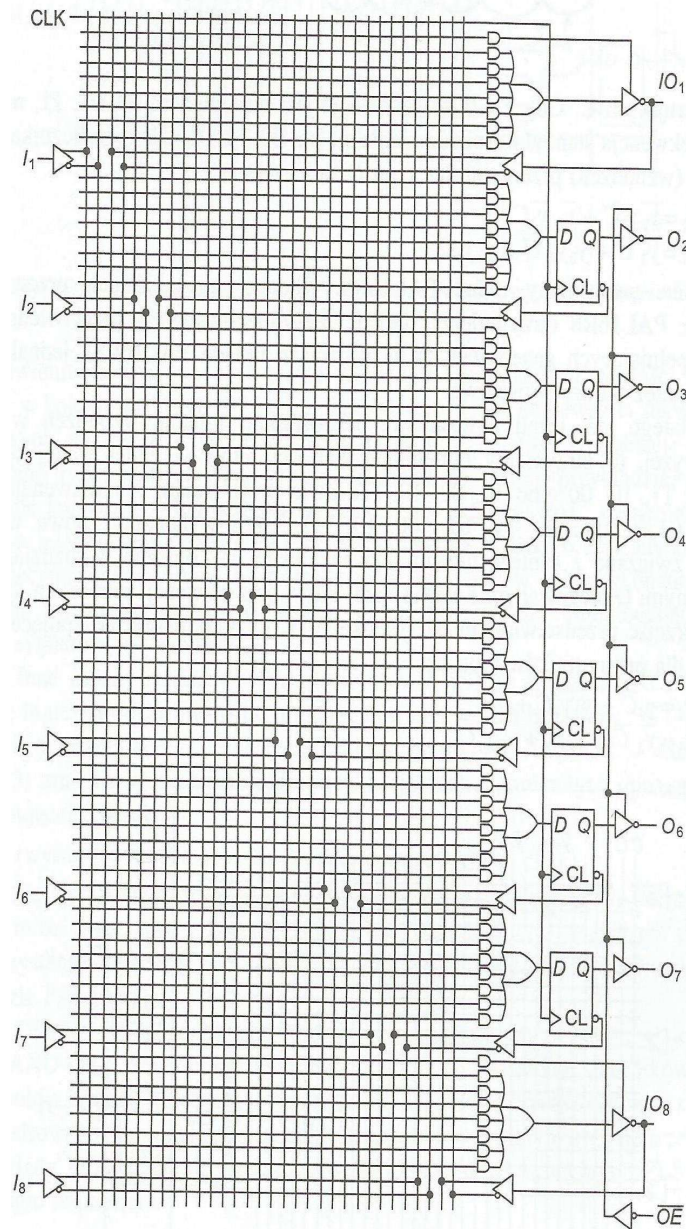
S2 decyduje o sygnale sprzężenia zwrotnego

# Implementacja licznika w PAL





# Przykłady PAL

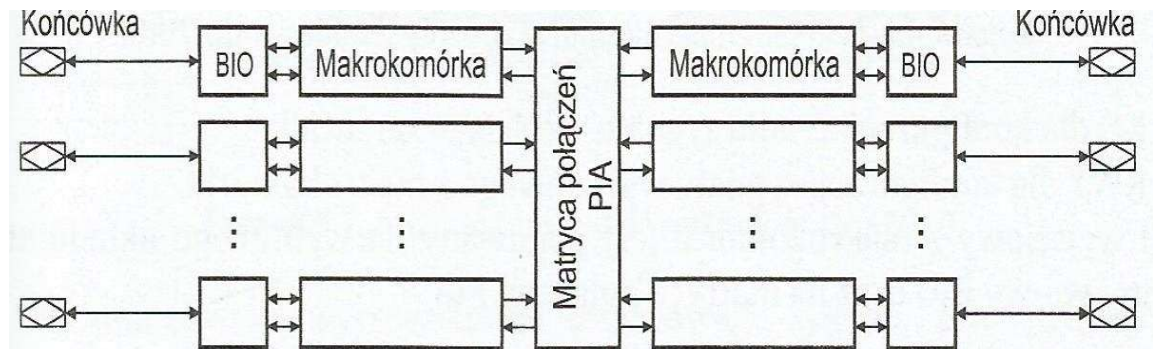




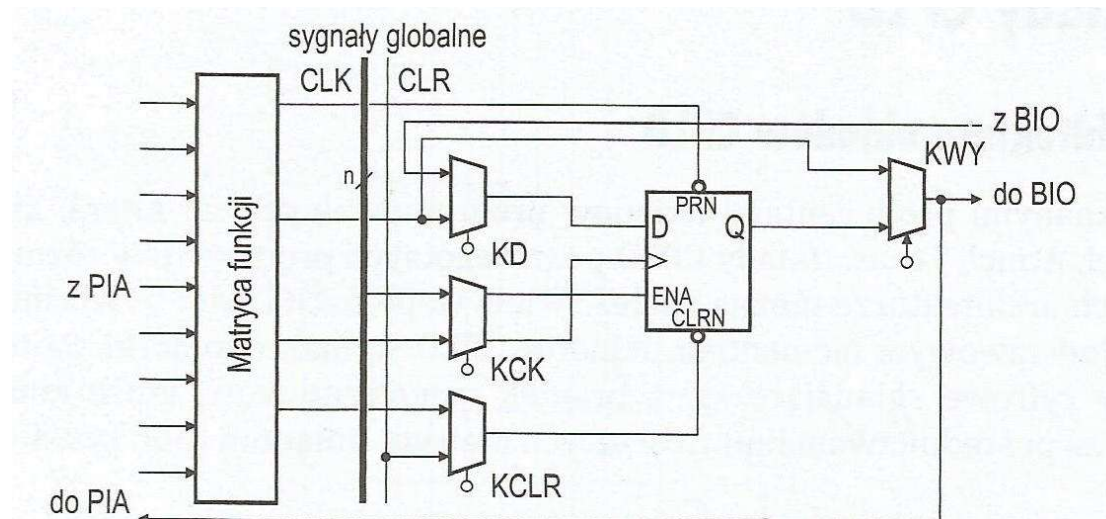
# Układy logiczne typu CPLD

- Matryca połączeń PIA (Programmable Interconnect Array) umożliwia dostęp do sygnałów generowanych, wejściowych, wyjściowych
- Bloki wej/wyj BIO
- Makrokomórka
  - programowalna matryca funkcji boolowskich
  - układ konfiguracji źródła sygnału wejścia przerzutnika
  - układ konfiguracji sygnału wyjściowego z makrokomórki
  - układy konfiguracji źródeł sygnałów sterujących clk, clr, enable
- Możliwość zapamiętania konfiguracji układu CPLD w EEPROM (elektrycznie wymazywalnej pamięci ROM) – jeden bit komórki pamięci odzwierciedla stan programowalnego połączenia układu.

# Układ logiczny CPLD

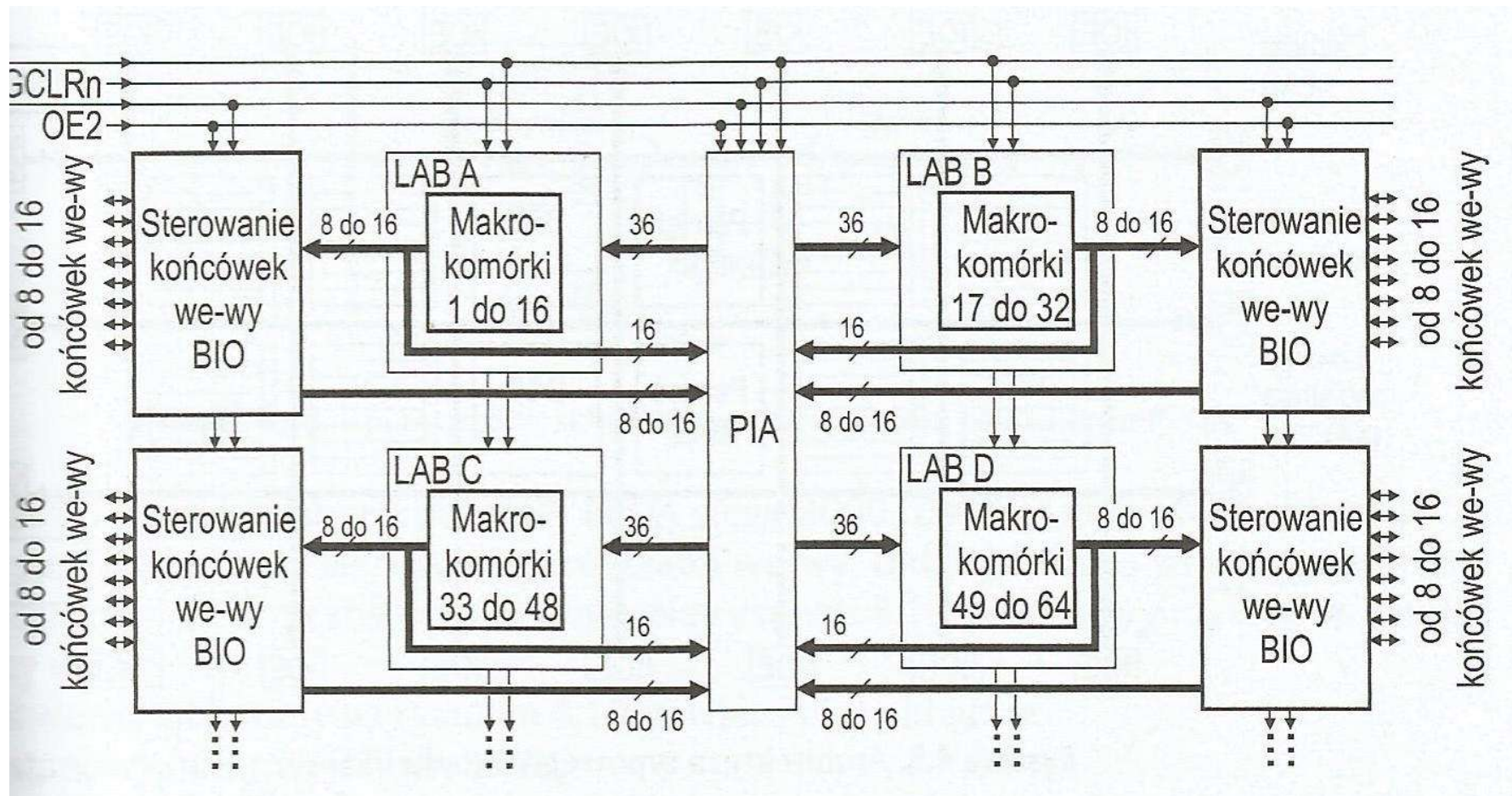


Struktura układu CPLD, BIO- blok wejścia-wyjścia



Struktura makrokomórki CPLD

# Układ CPLD – przykład architektury MAX7000



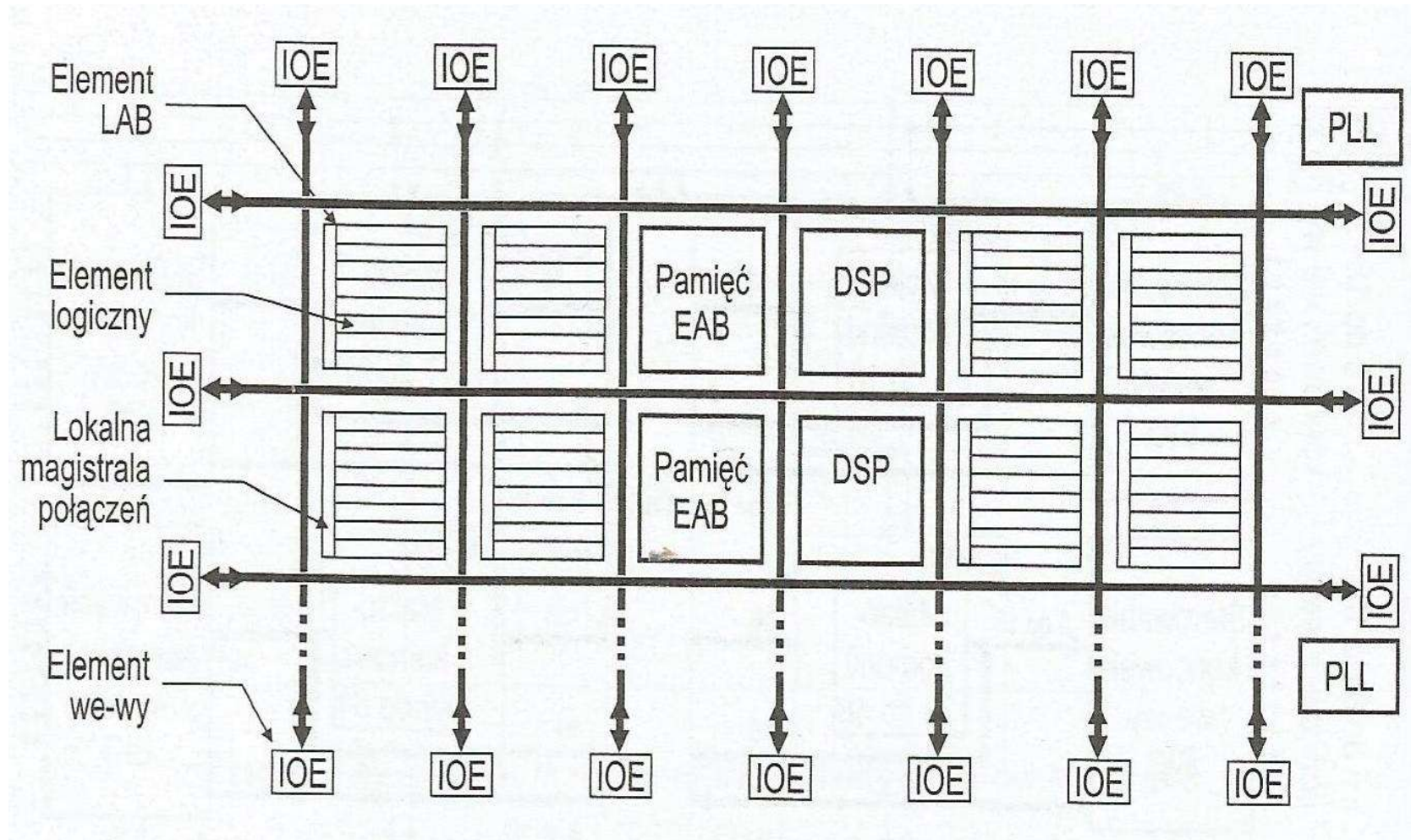
16 makrokomórek tworzy blok LAB (logic array block) w architekturze MAX.

# Układy logiczne FPGA

- Wzrost liczby elementów logicznych
- Efektywne rozwiązanie problemu łączenia elementów:
  - Magistrale połączeń międzyblokowych (multitrack interconnection) - wiersze i kolumny konfigurowalnych połączeń (ścieżki dzielone) pomiędzy blokami funkcjonalnymi i elementami wej-wyj IOE
- Bloki funkcjonalne FPGA
  - Matryce (z lokalnymi magistralami) elementów logicznych LE,
  - Układy pamięci EAB,
  - Układy DSP (cyfrowego przetwarzania sygnałów)
  - Konfigurowalne układy mnożące,
  - Układy z pętlami fazowymi PLL – generacja synchronizowanych sygnałów zegarowych o żądanych częstotliwościach,
  - Bloki wyjściowe IOE.

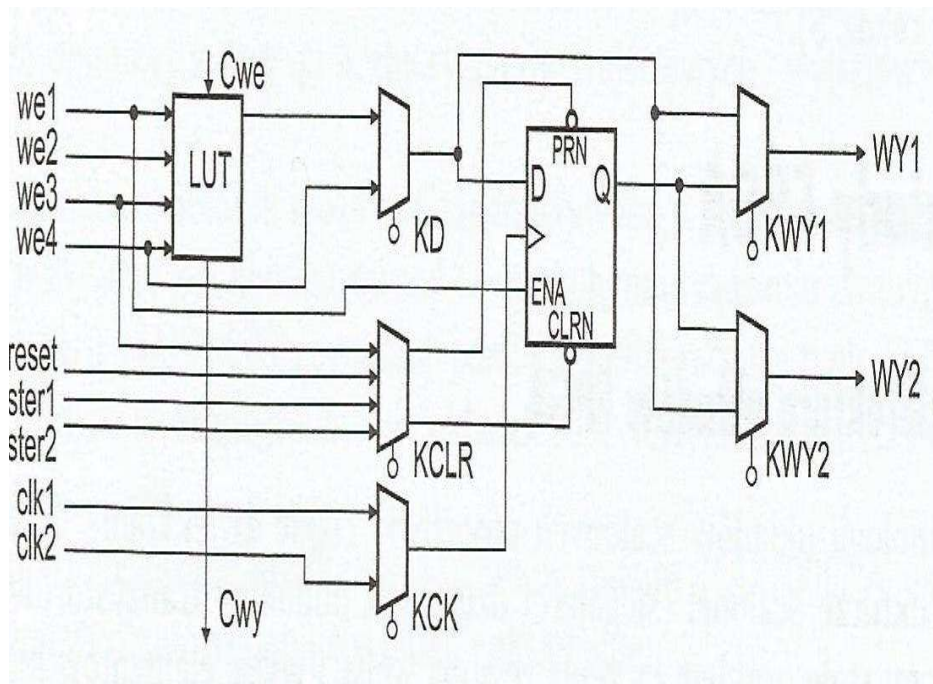


# Architektura FPGA



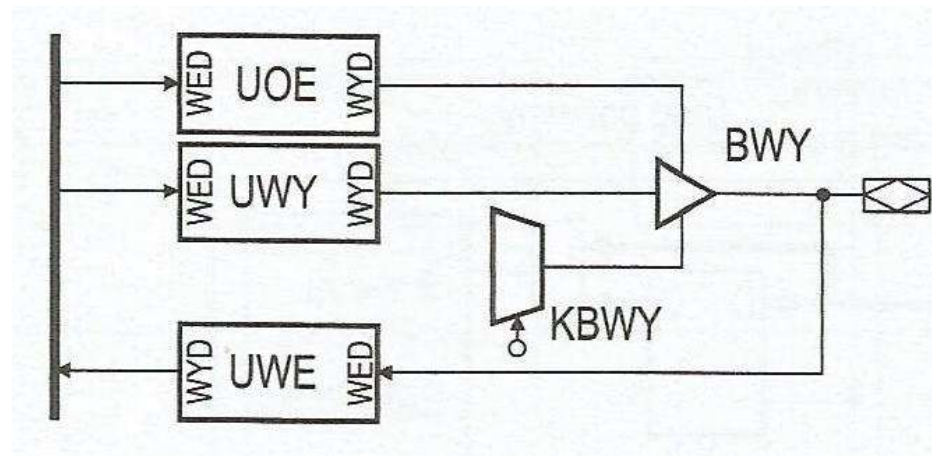
EAB Embedded Array Block – na różne sposoby konfigurowana pamięć

# Struktura LE w FPGA



- Pamięć funkcji logicznej **LUT** (look up table) programowalna realizuje dowolne funkcje wejść
- Sygnały przeniesienia Cwy/Cwe
- Układy konfiguracji sygnałów sterujących i danych,
- Wyjścia podłączone do magistrali lokalnego LAB i magistrali połączeń międzyblokowych

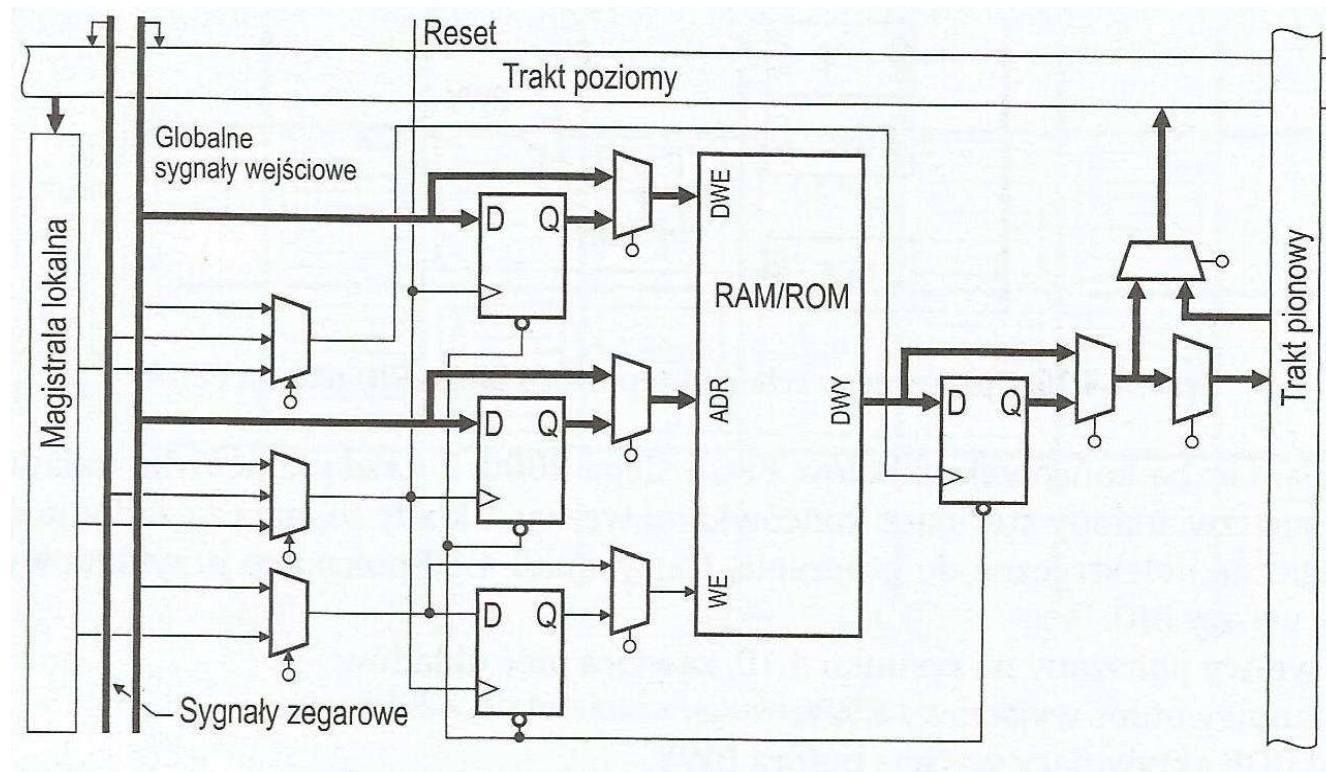
# Struktura bloku wyjściowego



KBWY – układ konfiguracji bufora wyjścia  
pozwała na dostosowanie bufora do współpracy z  
układami: TTL, CMOS, o różnych napięciach  
zasilania itp..



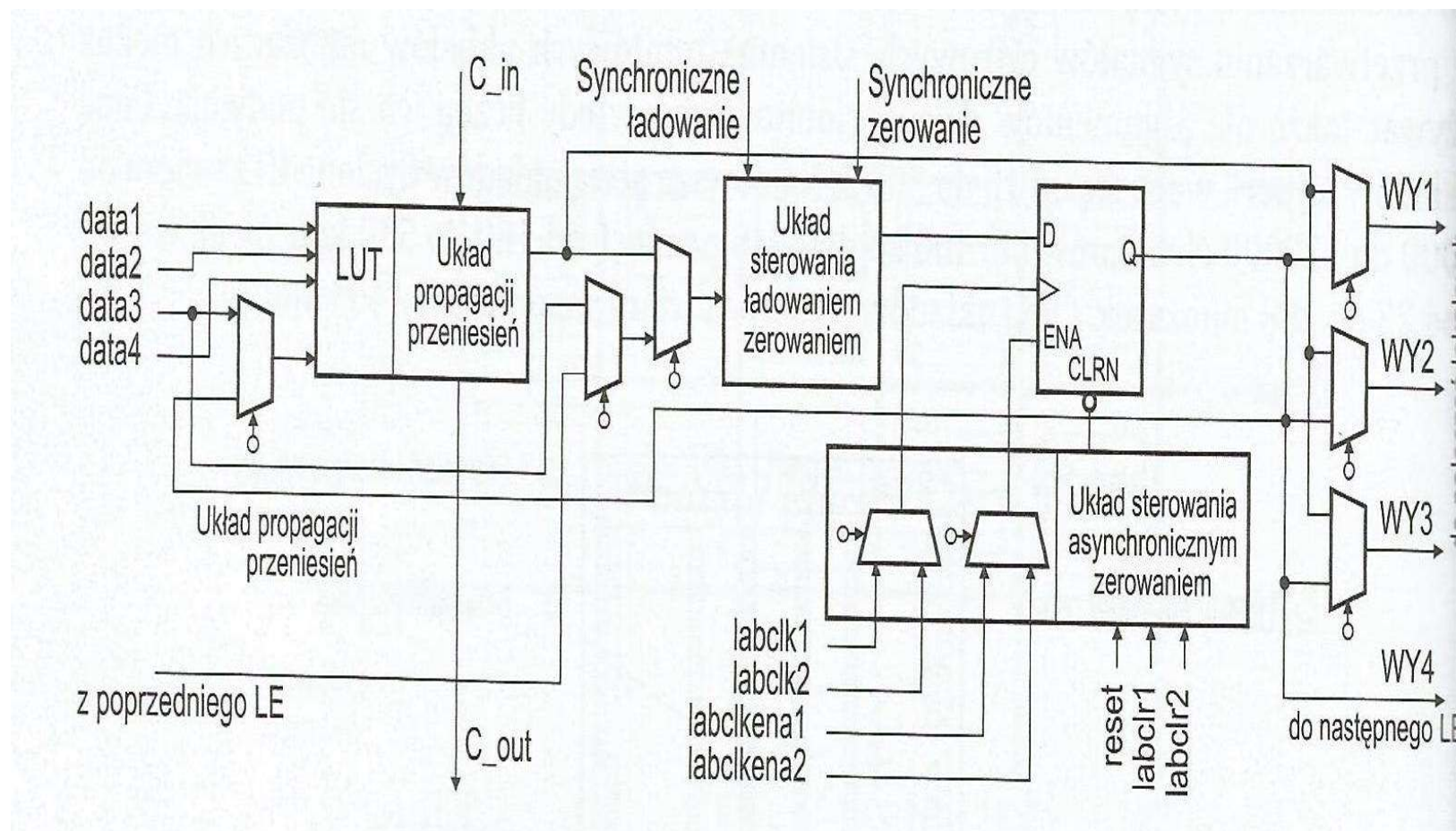
# Blok **pamięci** wbudowanej w FPGA



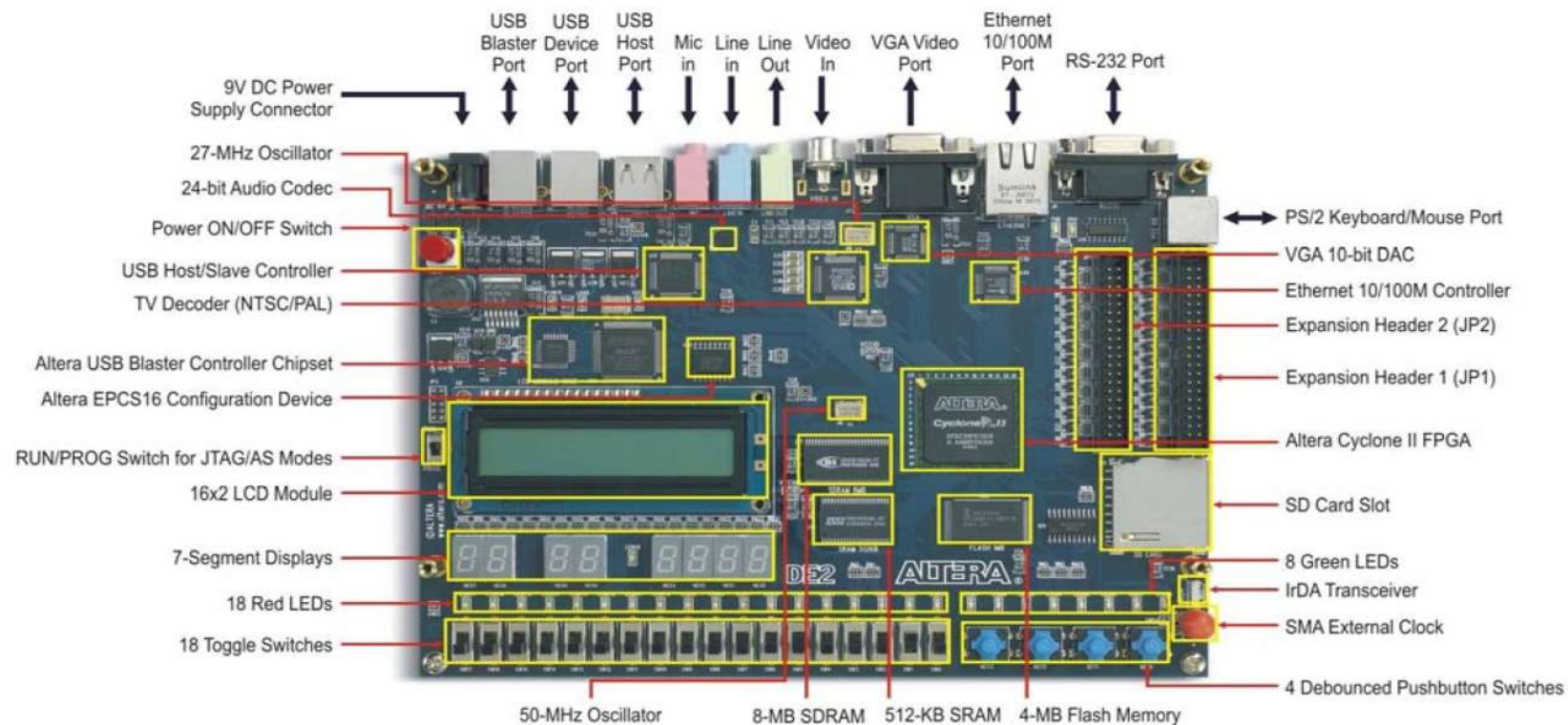


# Schemat LE w Cyclone II

35/70 tysięcy LE



# DE2 Development and Education Board



Korzystamy również z DE2-70 – podobna struktura, ~2x większy FPGA

# Elementy składowe DE2

- **Altera Cyclone® II 2C35 FPGA device**
- Altera Serial Configuration device - EPCS16
- USB Blaster (on board) for programming and user API control; both JTAG and Active Serial
- (AS) programming modes are supported
- 512-Kbyte SRAM
- 8-Mbyte SDRAM
- 4-Mbyte Flash memory (1 Mbyte on some boards)
- SD Card socket
- 4 pushbutton switches
- 18 toggle switches
- 18 red user LEDs
- 9 green user LEDs
- 50-MHz oscillator and 27-MHz oscillator for clock sources
- 24-bit CD-quality audio CODEC with line-in, line-out, and microphone-in jacks
- VGA DAC (10-bit high-speed triple DACs) with VGA-out connector
- TV Decoder (NTSC/PAL) and TV-in connector
- 10/100 Ethernet Controller with a connector
- USB Host/Slave Controller with USB type A and type B connectors
- RS-232 transceiver and 9-pin connector
- PS/2 mouse/keyboard connector
- IrDA transceiver
- Two 40-pin Expansion Headers with diode protection

# Schemat blokowy DE2

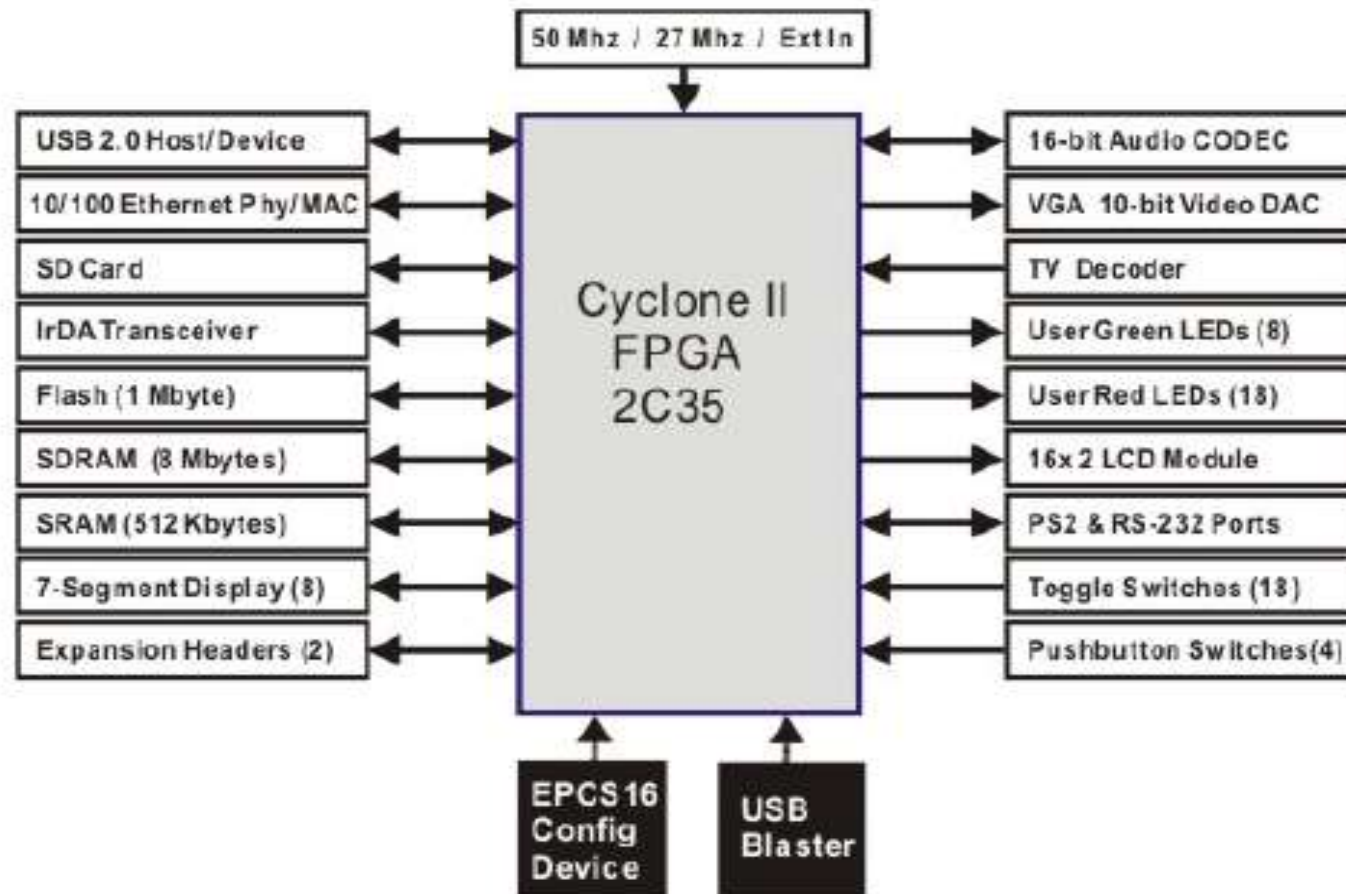


Figure 2.2. Block diagram of the DE2 board.

# Parametry Cyclone II 2C35 FPGA

- 33,216 elementów logicznych/ 70 k LE dla 2C70
- 105 bloków pamięci RAM M4K
- 483,840 liczba bitów RAM
- 35 wbudowanych układów mnożących
- 4 pętle sprzężenia fazowego
- 475 wyprowadzeń użytkownika typu I/O
- obudowa z 672 wyprowadzeniami