

Układy kombinacyjne 4 - FPGA VHDL wersja Atlys

Data wykonania 30.10.2020

Zadanie 1. Korzystając z Xilinx ISE dokonaj implementacji transkodera 4x4.

- Z tabeli 1 wybierz wariant odpowiadający ostatniej cyfrze Twojego numeru indeksu.
- Opisz układ w języku VHDL.
- Zaimplementuj układ korzystając z Xilinx ISE
- Wykonaj symulację układu korzystając z ISim.

Wybrano kolumnę nr 3 z Tabeli 1. z pliku "PTC_lab04.pdf".

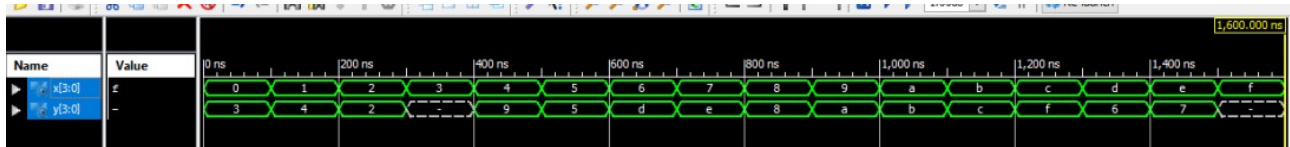
Wejścia Wyjścia

0	3
1	4
2	3
3	-
4	9
5	5
6	D
7	E
8	8
9	A
A	B
B	C
C	F
D	6
E	7
F	-

```
36
37 architecture Behavioral of v4 is
38
39 begin
40 process(X)
41 begin
42 case X is
43 when "0000"=>
44 Y<="0011";
45 when "0001"=>
46 Y<="0100";
47 when "0010"=>
48 Y<="0010";
49 when "0100"=>
50 Y<="1001";
51 when "0101"=>
52 Y<="0101";
53 when "0110"=>
54 Y<="1101";
55 when "0111"=>
56 Y<="1110";
57 when "1000"=>
58 Y<="1000";
59 when "1001"=>
60 Y<="1010";
61 when "1010"=>
62 Y<="1011";
63 when "1011"=>
64 Y<="1100";
65 when "1100"=>
66 Y<="1111";
67 when "1101"=>
68 Y<="0110";
69 when "1110"=>
70 Y<="0111";
71 when others=>
72 Y<="----";
73 end case;
74 end process;
75 end Behavioral;
```



Wyniki symulacji. Wartości w systemie binarnym



Wyniki symulacji. Wartości w systemie heksadecymalnym

```

1 NET "X[0]" LOC="A10";
2 NET "X[1]" LOC="D14";
3 NET "X[2]" LOC="C14";
4 NET "X[3]" LOC="P15";
5 NET "Y[0]" LOC="U18";
6 NET "Y[1]" LOC="M14";
7 NET "Y[2]" LOC="N14";
8 NET "Y[3]" LOC="L14";

```

Plik UCF