

Realizacja licznika w układzie FPGA.

Data wykonania 27.11.2020

1. Zrealizuj 8-bitowy licznik wykorzystując przerzutniki T.

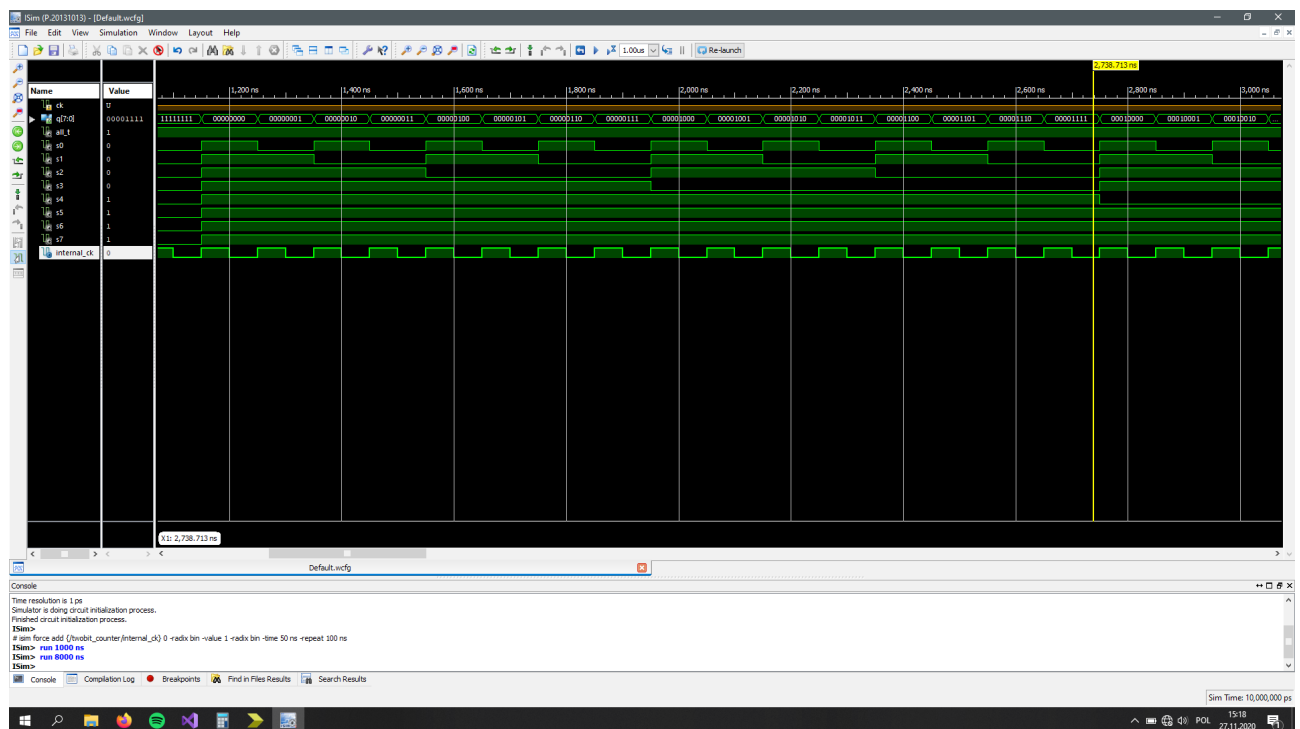
- Opisz układ w języku VHDL,
- Dokonaj syntezy,
- Zasymuluj układ.

2. Opis licznika w języku VHDL.

```
1  -- two_bit_counter.vhd
2  -- This is a simple 2-bit (Ripple) binary counter made up
3  -- of two T flip-flops. It also includes a clock divider
4  -- to bring down the input CK signal from 100 MHz to about 1 Hz.
5  library IEEE;
6  use IEEE.STD_LOGIC_1164.ALL;
7
8  entity twobit_counter is
9      Port ( CK : in  STD_LOGIC;
10           Q : out STD_LOGIC_VECTOR (7 downto 0));
11 end twobit_counter;
12
13 architecture Structural of twobit_counter is
14
15     component tff
16         Port ( T      : in  STD_LOGIC;
17              CK      : in  STD_LOGIC;
18              Q, QN   : out STD_LOGIC);
19     end component;
20
21     component ck_divider
22         Port ( CK_IN : in  STD_LOGIC;
23              CK_OUT : out STD_LOGIC);
24     end component;
25
26     signal all_T, S0, S1, S2, S3, S4, S5, S6, S7, internal_ck : STD_LOGIC;
27 begin
28
29     -- We use signal all_T set to logic '1' to drive
30     -- input T of all T flip-flops to logic '1'.
31     all_T <= '1';
32
33     CLOCK: ck_divider port map (CK, internal_ck);
34
35     TFF0: tff port map (all_T, internal_ck, Q(0), S0);
36     TFF1: tff port map (all_T, S0, Q(1), S1);
37     TFF2: tff port map (all_T, S1, Q(2), S2);
38     TFF3: tff port map (all_T, S2, Q(3), S3);
39     TFF4: tff port map (all_T, S3, Q(4), S4);
40     TFF5: tff port map (all_T, S4, Q(5), S5);
41     TFF6: tff port map (all_T, S5, Q(6), S6);
42     TFF7: tff port map (all_T, S6, Q(7), S7);
43
44
45 end Structural;
```

Zrzut ekranu 1: Realizacja asynchronicznego licznika 8-bitowego w języku VHDL.

3. Wyniki symulacji - zarejestrowane przebiegi sygnałów.



Zrzut ekranu 2: Przebiegi sygnałów zarejestrowane w trakcie symulacji.