

Podstawowe elementy układów cyfrowych układy sekwencyjne

Rafał Walkowiak

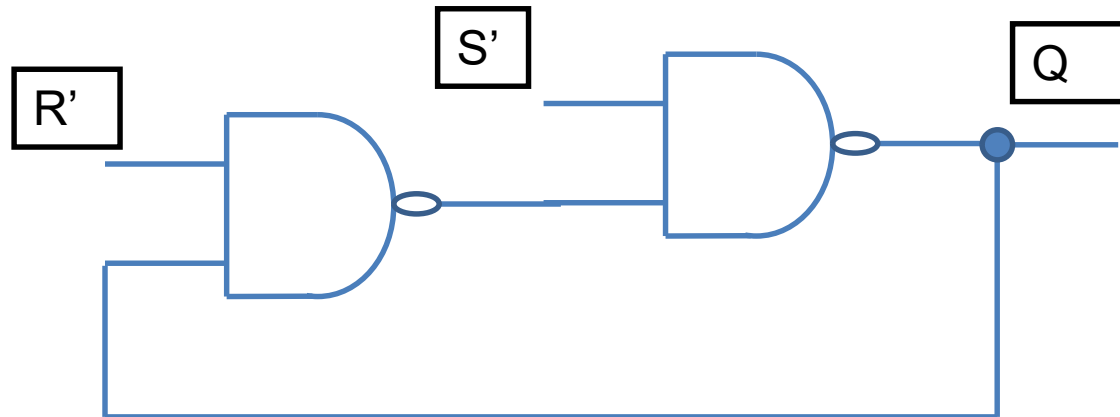
Październik 2020

Por. Wilkinson r.4, str.103-130

Przypomnienie - podział układów cyfrowych

- **Układy kombinacyjne** – pozbawione właściwości pamiętania stanów, realizujące funkcje logiczne w oparciu o bramki i inne proste układy cyfrowe.
- **Układy sekwencyjne** - posiadają własność pamiętania stanów logicznych, zbudowane dodatkowo z przerzutników.

Element pamiętający



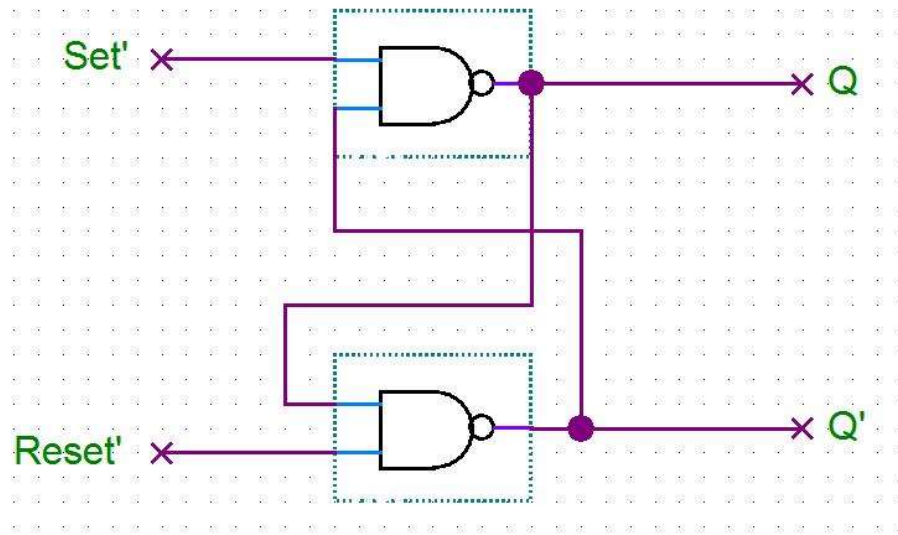
Na wyjściu układu logicznego może być utrzymywana stała wartość logiczna przez zastosowanie **sprzężenia zwrotnego**, w którym **wyjście układu jest połączone z wejściem** w taki sposób, aby **podtrzymać stan** na wyjściu.

S' – nie SET, ustawianie – wprowadzenie wyjścia w 1

R' – nie RESET, zerowanie – wprowadzanie wyjścia w 0

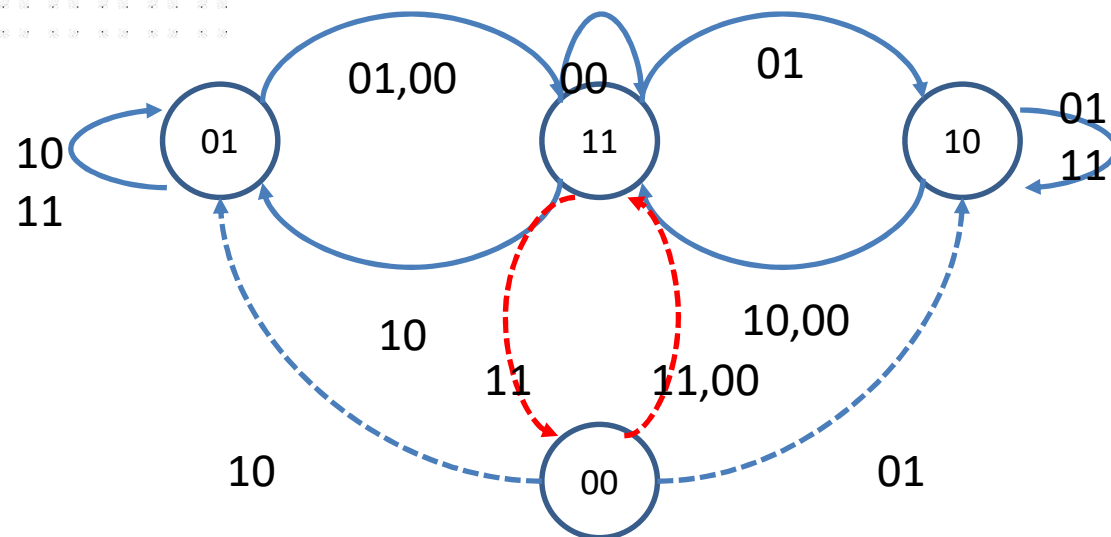
„Nie” oznacza, że aktywny poziom na tym wejściu jest niski i taki poziom realizuje opisane nazwą wejścia działanie.

Zatrask RS



t	Set'	Reset'	Q	Q'
1	0	1	1	0
2	1	1	1	0
3	1	0	0	1
4	1	1	0	1
5	0	0	1	1
6	1	1	?	?

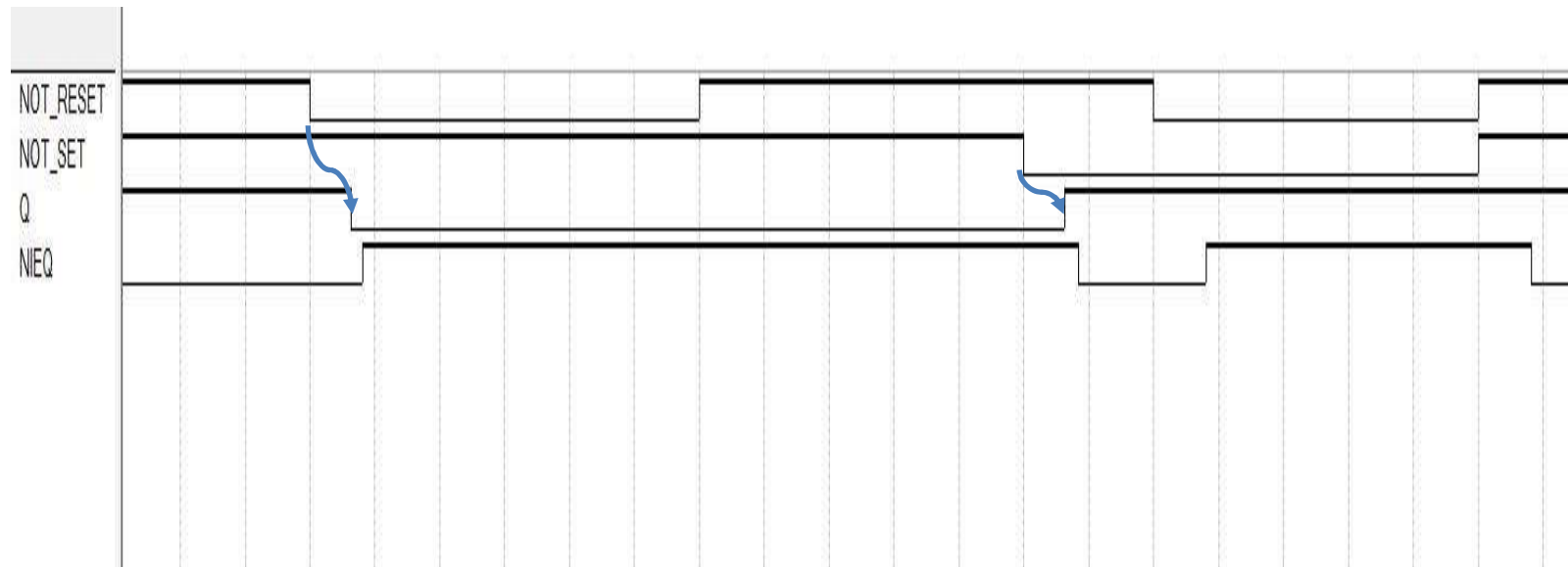
Set'	Reset'	Q	Q'
1	0	0	1
0	1	1	0
1	1	Q(-1)	Q'(-1)
0	0	1	1



Q(-1) Q'(-1) stany poprzednie na wyjściach , strzałkami przerywanymi oznaczono przejścia do/z stanu niestabilnego 00

Zatrask RS

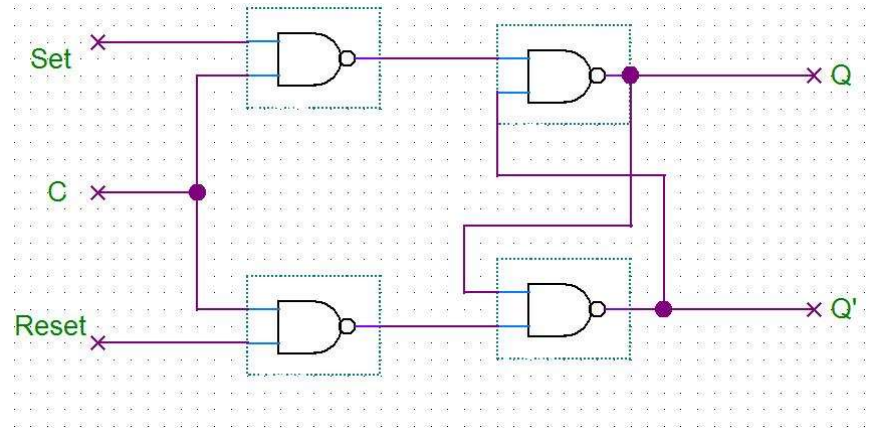
przykładowa symulacja rzeczywista (realizacja w
FPGA DE2)




Momenty zmian na wyjściach struktury wynikają z praktycznej realizacji układu cyfrowego w układzie FPGA.

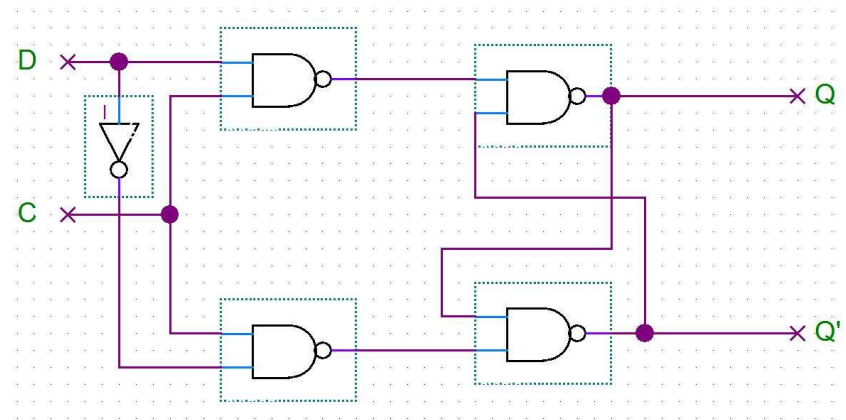
Równanie charakterystyczne zatrzasku/przerzutnika RS $Q^+ = QR' + S$

Zatrask bramkowy



Wewnątrz układu przerzutnik RS aktywny poziomem niskim:

- $C=0$ wejścia nieaktywne
- $C=1$ wpisywanie informacji
- C  zapamiętanie stanu



Ustawianie wyjść $Q:=D$, $Q':=D'$

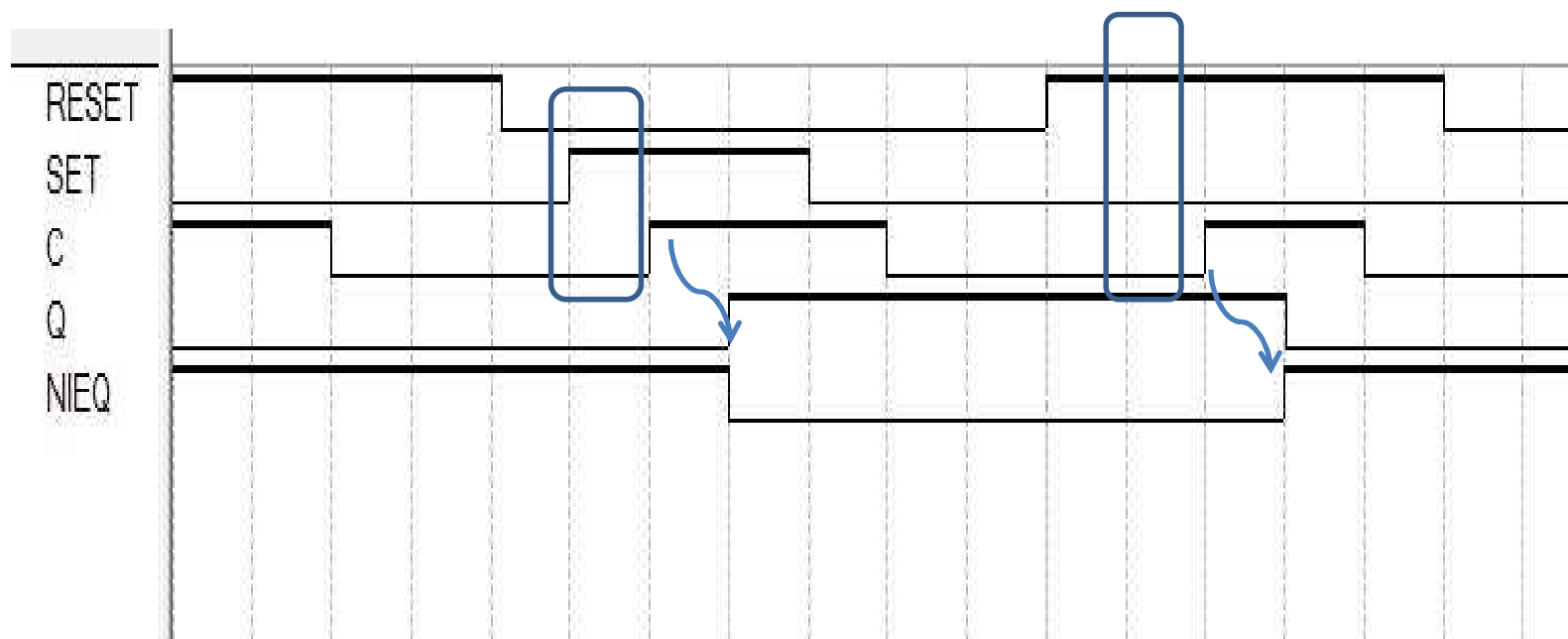
Zapamiętanie informacji z wejścia D przy opadającym zboczach C.

Przerzutnik (ang. flip-flop) zatraskowy typu D.

Równanie charakterystyczne:

$$Q^+ = D$$

Zatrzaszk bramkowany RS SYMULACJA

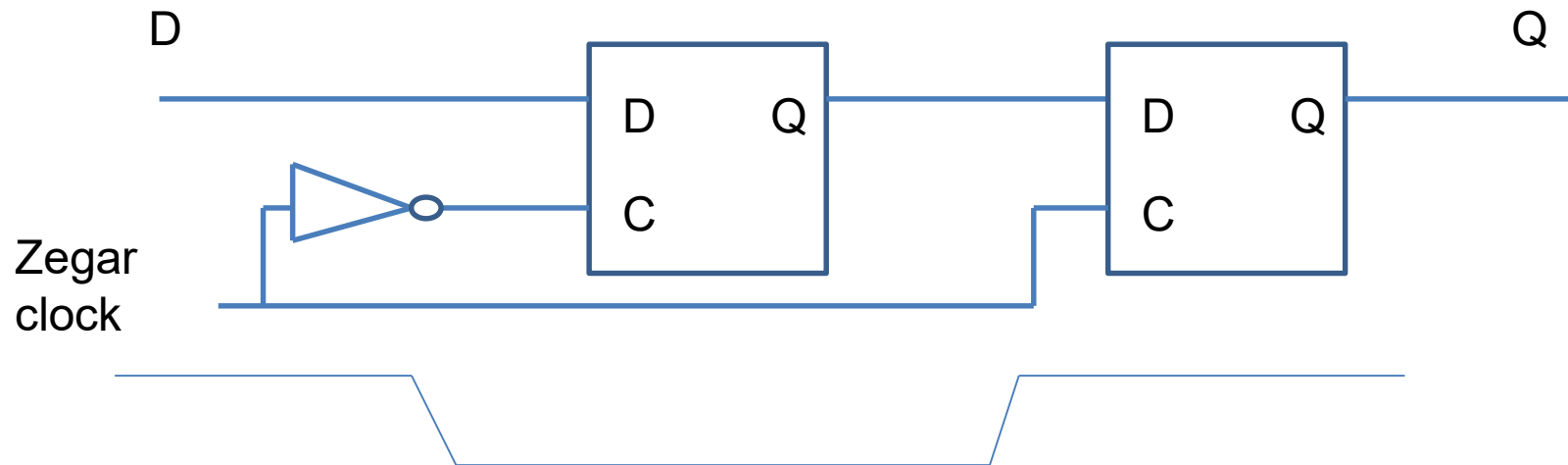


Widoczny na wykresie obszar przygotowania wejść RESET i SET przed uaktywnieniem wejścia C.

Po czasie propagacji zmiany widoczne na wyjściach.

Brak aktywności wejścia C uniemożliwia propagację zmian z wejścia na wyjścia.

Przerzutnik D typu master-slave



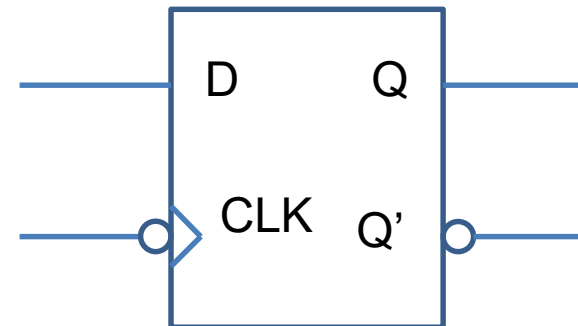
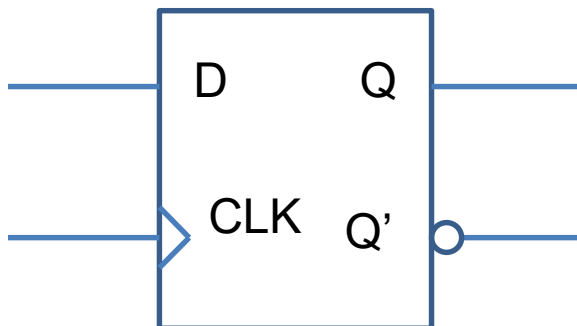
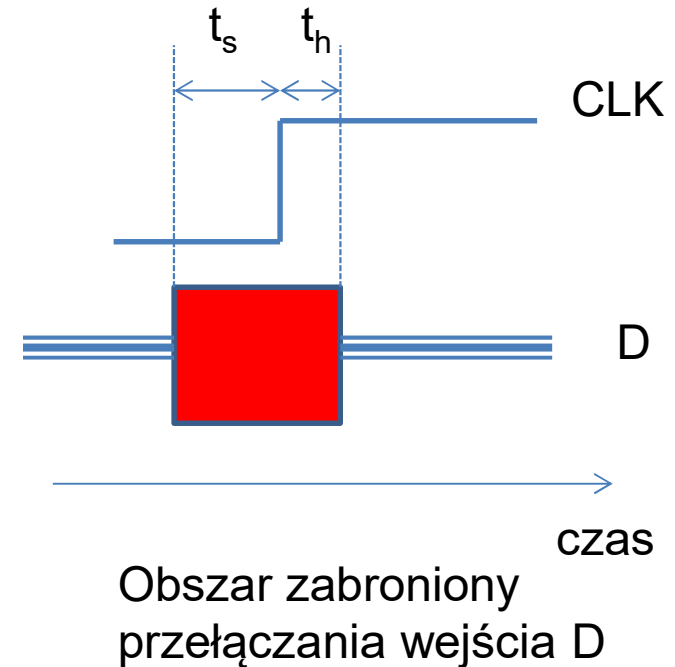
Realizacja: połączenie szeregowe 2 zatrząskóv bramkowanych

Zegar:

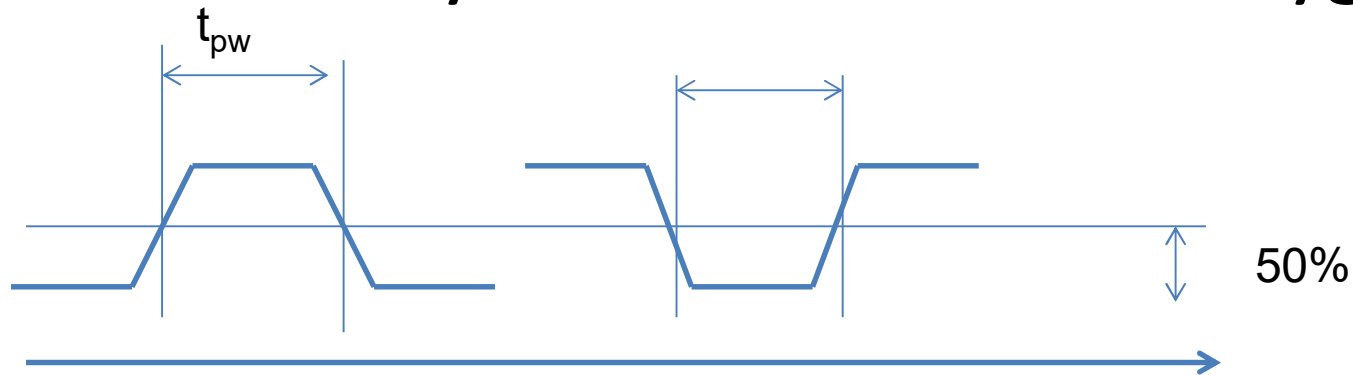
- Zbocze opadające zegara umożliwia wprowadzenie wartości z wejścia na wyjście **pierwszego** przerzutnika, zmiany na wejściu powinny się dokonać przed tym zboczem.
- Zbocze narastające powoduje przepisanie wartości na wyjście **drugiego** przerzutnika.
- Efekt na wyjściu widoczny po zboczu narastającym.
- Impuls niski **odpowiedniej szerokości** niezbędny do zmiany stanu przerzutnika.

Przerzutnik D – przełączany zboczem

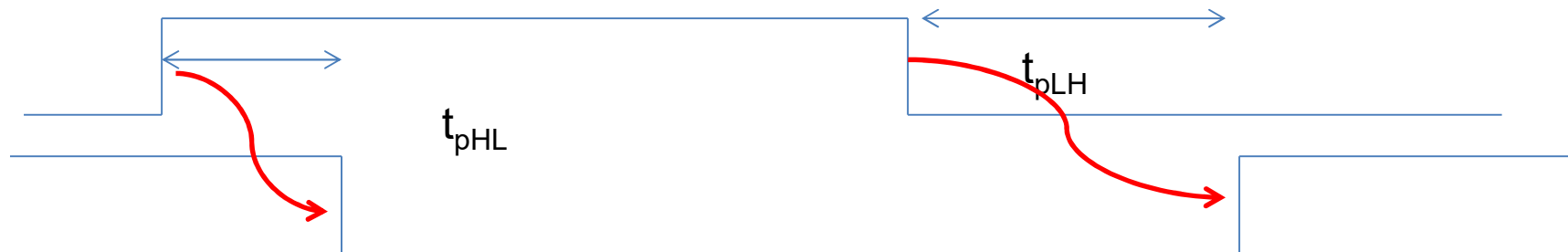
- Zmiany na wyjściu wywoływane **wyłącznie zboczem** narastającym sygnału zegarowego (wyłącznie opadającym rzadziej)
- Poziom sygnału na wejściu informacyjnym D może ulegać zmianom **do momentu** wyznaczonego parametrem: **czasu wyprzedzenia** t_s (setup time) **przed zboczem zegarowym**.
- Poziom sygnału na wejściu informacyjnym D może ulegać zmianom **po momencie** wyznaczonym parametrem: **czasu podtrzymania** t_h (hold time) **po zboczu zegarowym**.
- Realizacja: układ 3 przerzutników, bramkowanie wpisu do 2 przerzutników wejściowych poziomem niskim, przepisanie do RS wyjściowego zboczem narastającym (por. Pieńkos)



Parametry czasowe układów i sygnałów



Szerokość impulsu (pulse width)

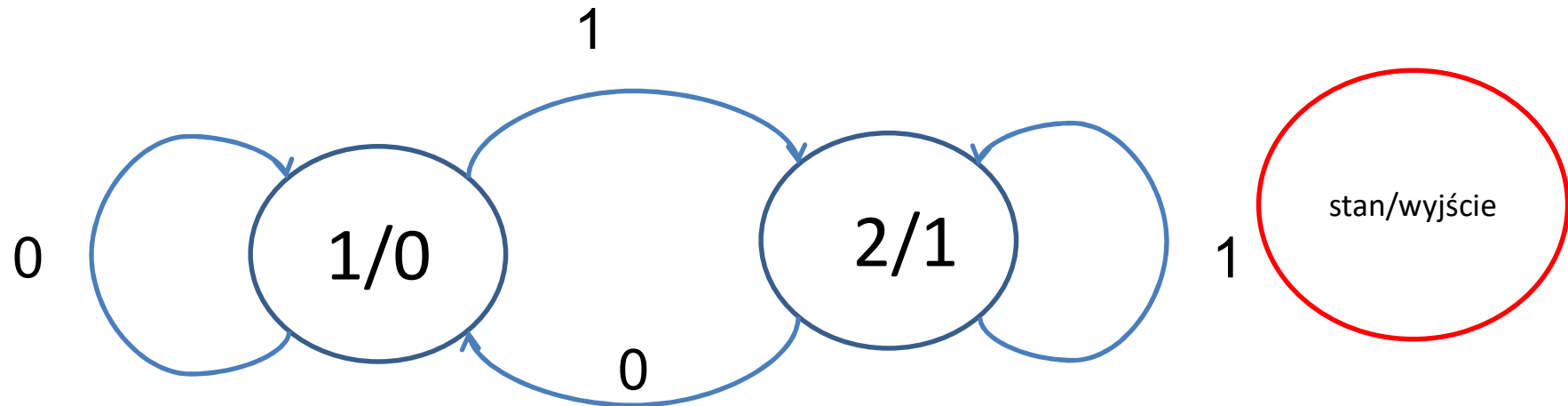


Czas propagacji (od momentu przyczyny do momentu skutku)

Czas propagacji

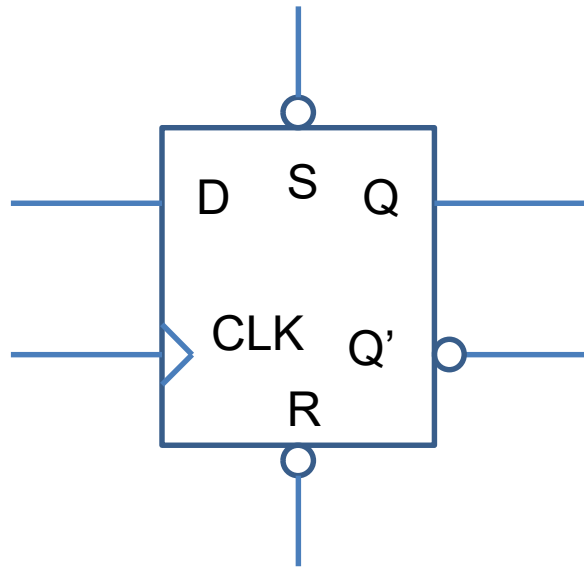
- Definicja: czas upływający pomiędzy wystąpieniem zbocza impulsu wejściowego i wywołanym przez nie zboczem impulsu wyjściowego.
- t_{pHL} przy przejściu sygnału wyjściowego z wysokiego na niski (t_{pLH} analogicznie).
- W katalogach układów cyfrowych dostępne wartości nominalne, maksymalne i minimalne.

Przerzutnik D – graf przejść



- Graf przejść automatu Moore'a (synchronicznego) – wyjścia zdeterminowane wyłącznie stanem automatu. Oznaczenia węzłów- stanów - numer stanu automatu/stan na wyjściu (wektor wyjściowy) etykiety przy łukach określają stan wejściowy umożliwiający przejście do wskazanego strzałką stanu. Automat synchroniczny – przejście pod wpływem zmiany stanu sygnału synchronizującego – zegara.

Przerzutnik D z wejściami ustawiającymi

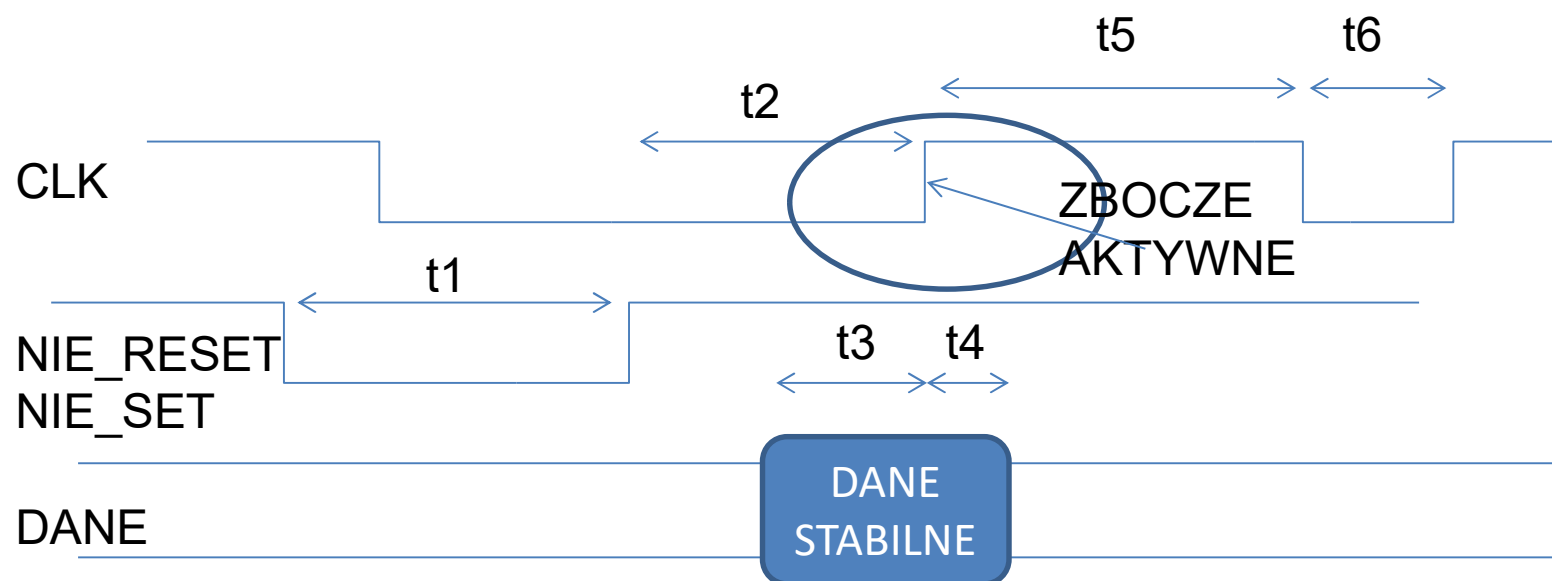


- W tym przypadku: Asynchroniczne (niezależne od zegara) wejście ustawiające/zerujące S/R.
- Kółko przy **wejściu** w symbolu oznacza aktywność poziomem niskim sygnału.
- Wejścia S' i R' „działają” niezależnie od stanu zegara – to wejścia asynchroniczne - posiadające **wyższy priorytet** niż zegar; określają stan wyjść układu.
- Przejście do pracy synchronicznej (realizowanej pod wpływem CLK) wymaga usunięcia aktywnego poziomu sygnału R/S i odczekania czasu określonego parametrem przerzutnika (**czas martwy**, recovery time)

Przerzutniki - parametry czasowe

- Czas propagacji
- Czas wyprzedzenia
- Czas podtrzymania
- Czas impulsu zegara t_{clkH} , t_{clkL}
- Czas impulsu na wejściu asynchronicznym R/S niezbędny dla uzyskania żadanego skutku
- Czas martwy- przejścia do normalnej pracy po aktywności R/S (ang. recovery time)

Parametry czasowe przerzutnika - wykres



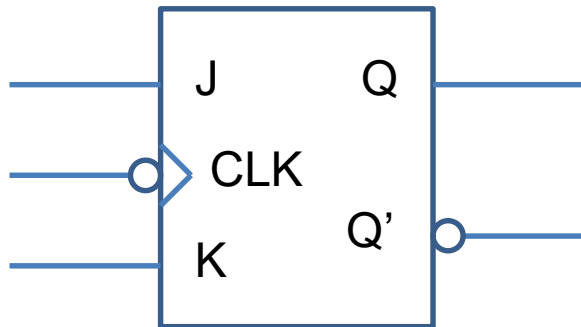
Dla poprawnej pracy przerzutnika konieczne spełnienie następujących zależności:

- $t_1 > \text{wymagany minimalny czas aktywności wejścia asynchronicznego}$ - dla asynchronicznego wejścia zerującego/ustawiającego
- $t_2 > \text{czas martwy}$, dla asynchronicznego wejścia zerującego/ustawiającego
- $t_2 > \text{czas wyprzedzenia informacji na synchronicznym wejściu zerującym /ustawiającym}$
- $t_3 > \text{czas wyprzedzenia danych}$, wtedy zapas czasu wyprzedzenia > 0
- $t_4 > \text{czas podtrzymania danych}$, wtedy zapas czasu podtrzymania > 0
- $t_5 > T_{HCLK}$
- $t_6 > T_{LCLK}$
- JEŻELI POSZCZEGÓLNE NIERÓWNOŚCI SĄ SPEŁNIONE TO WYSTĘPUJE „ZAPAS CZASU” DOTYCZĄCY PARAMETRU UKŁADU np. ZAPAS CZASU WYPRZEDZENIA I UKŁAD DZIAŁA POPRAWNIE.

Przesunięcie zegara – skos (clock skew)

- Skos - sytuacja kiedy sygnał zegarowy nie dociera do wszystkich punktów układu w tym samym momencie, może być przyczyną rozsynchronizowania w układzie - braku synchronicznej pracy układów synchronicznych.
- Rodzaj skosu - skos wypełnienia – spowodowany różnicami pomiędzy czasami propagacji HL i LH powoduje niepożądane efekty w układach wykorzystujących oba zbocza.
- Przyczyny – rozrzut parametrów wynikający z technologii, zmienne środowisko pracy.

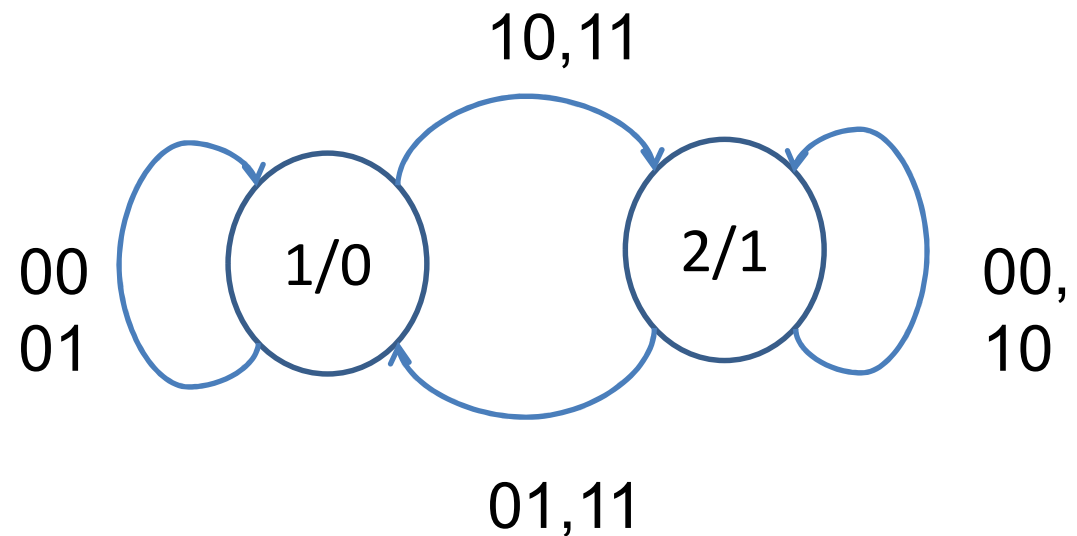
Przerzutnik JK



- Równanie charakterystyczne (przejść):

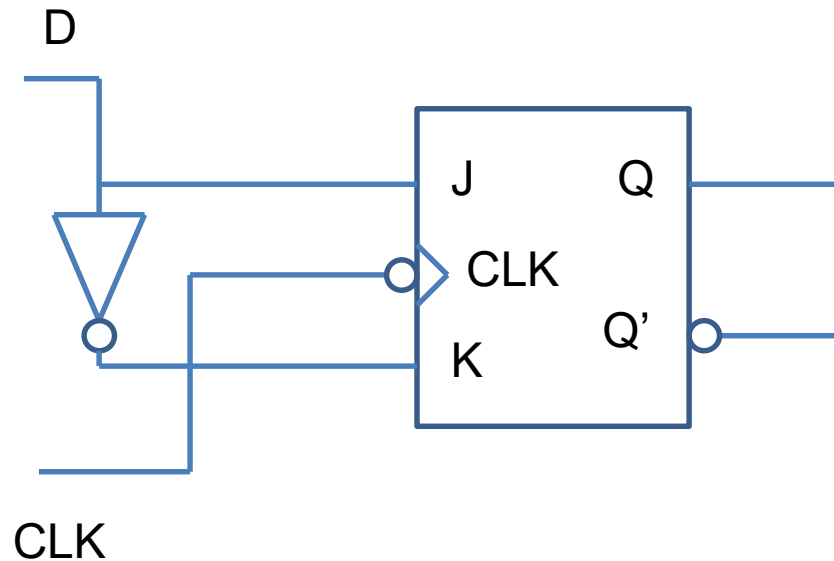
$$Q^+ = JQ' + K'Q$$

J	K	Q ⁺
0	0	Q
0	1	0
1	0	1
1	1	Q'



Graf przejść przerzutnika JK

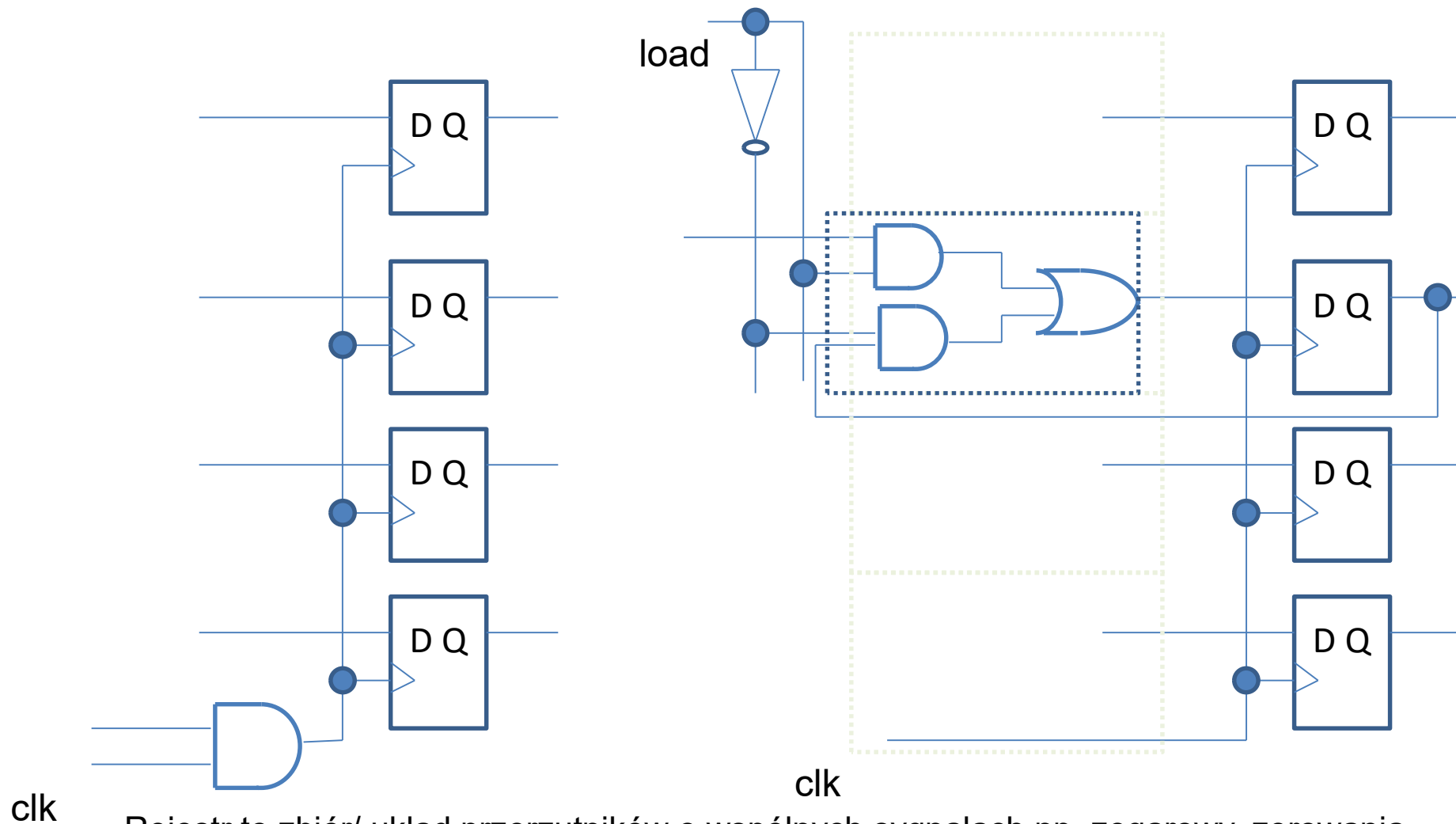
Przerzutnik JK i D



Realizacja przerzutnika D z JK

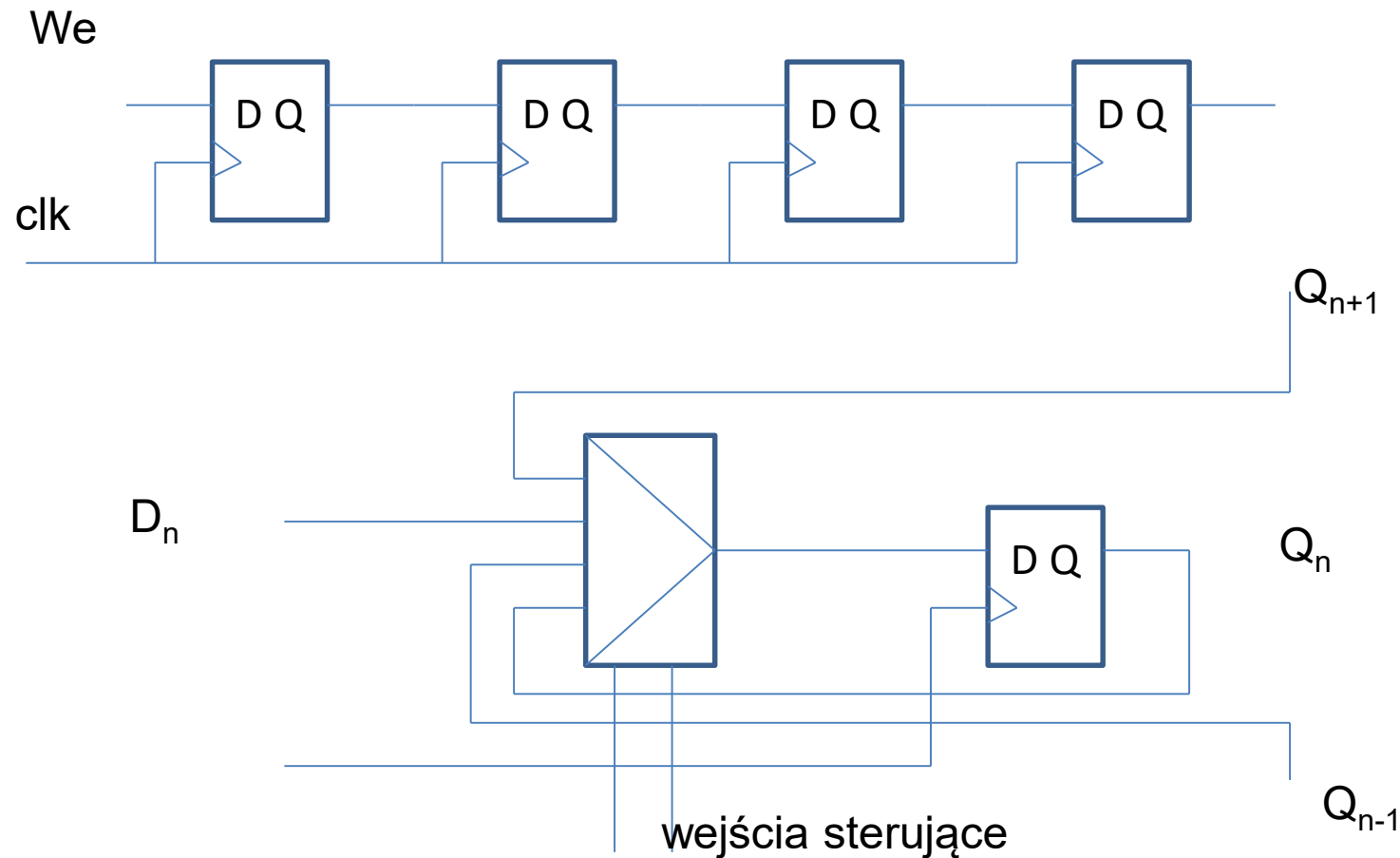
- Uwaga: Często przerzutniki JK są realizowane w wersji master/slave - wtedy czas wyprzedzenia jest równy czasowi trwania poziomu wysokiego zegara (przy aktywności zboczem opadającym)

Rejestry z wejściem równoległym



Rejestr to zbiór/ układ przerzutników o wspólnych sygnałach np. zegarowy, zerowania, trybu pracy; przewaga rozwiązania z prawej strony wynika z braku blokady zegara, efekt blokady to potencjalny skos oraz fakt, że każdorazowe wyłączenie blokady zegara - przy stanie wysokim clk - powoduje zbocze narastające (aktywne) zegara.

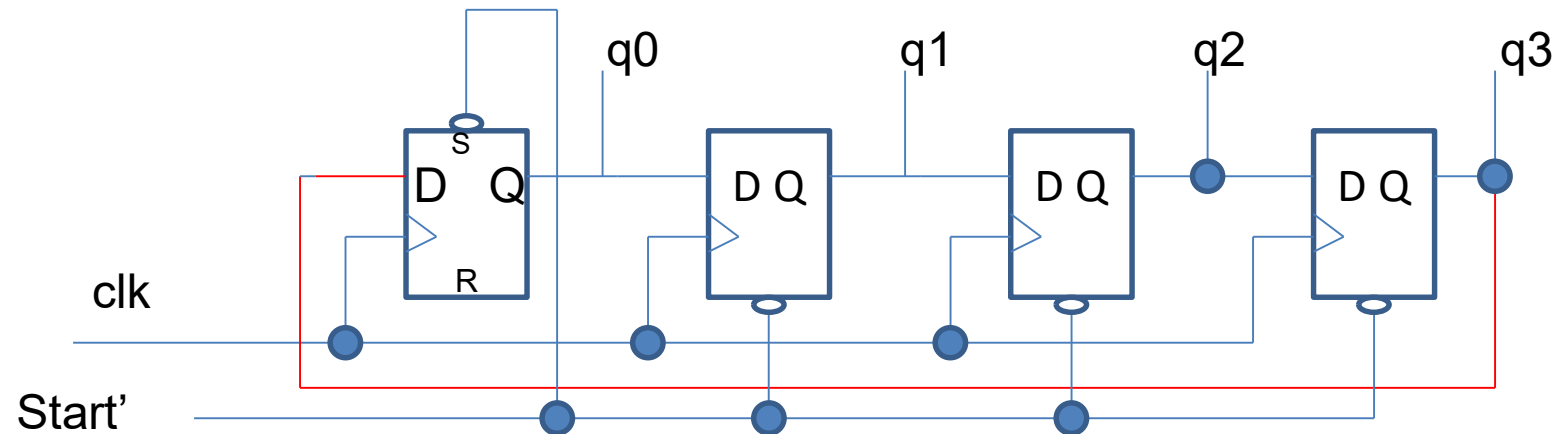
Rejestry przesuwające



Tryb pracy: nic, przesuw w górę, wpis równoległy, przesuw w dół

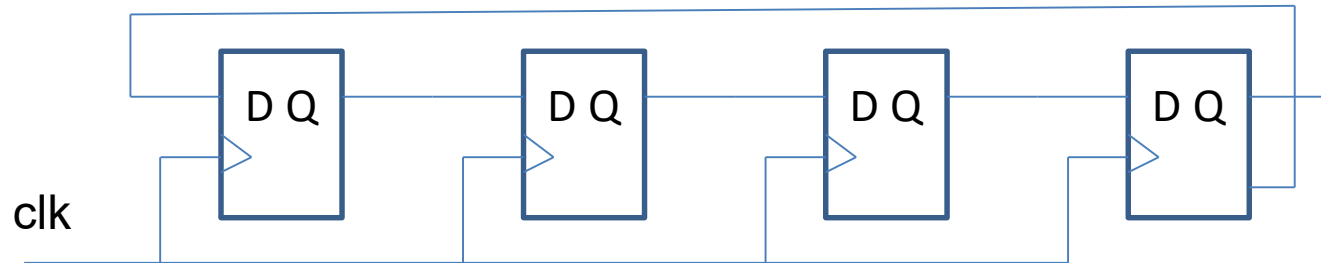
- Z wejściem szeregowym, wyjściem szeregowym
- Z wybieranym typem pracy: możliwość dzielenia przez dwa i mnożenia przez dwa liczb binarnych
- Inne: szeregowo-równoległy, równoległo-szeregowy

Licznik pierścieniowy - synchroniczny generacja impulsów



- Licznik pierścieniowy – z krążącą jedynką, cykliczny układ stanów 1000,0100,0010,0001, długość cyklu równa liczbie przerzutników
- Na wyjściach licznika q0,q1,q2,q3 pojawia się w każdej chwili jeden impuls o czasie trwania równym okresowi zegara.
- Wprowadzenie w kod: start asynchroniczny lub korekcja: **NOR na (N-1) młodszych bitach podłączony do wejścia najmłodszego zamiast bitu najstarszego.**
- Zastosowanie: do synchronizacji elementów układu cyfrowego.

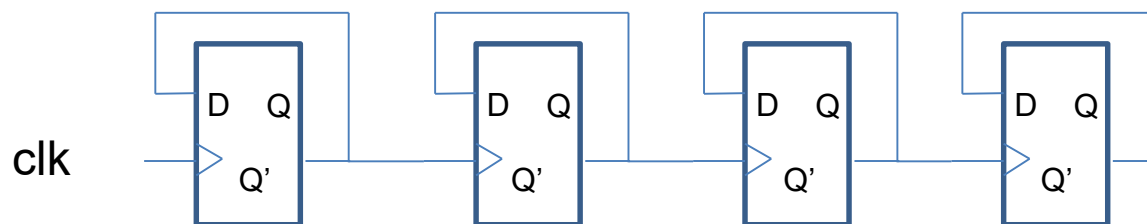
Licznik pseudopierścieniowy



- Kolejne stany (cyklicznie): (n przerzutników daje 2^n stanów)
0000,1000,1100,1110,1111,0111,0011,0001
- Uruchomienie - wprowadzenie w kod: zerowanie rejestrów
- Wartości wektora wyjść w kolejnych cyklach **różnią się na jednej pozycji** – efekt to: brak stanów przejściowych - brak możliwości wystąpienia przejściowo innej kombinacji niż wcześniejsza i kolejna przy zmianie stanu (np. spowodowanej czasami propagacji T_{pHL} i T_{pLH}).
- Dekodowanie każdego ze 2^n stanów jest możliwe poprzez zastosowaniu jednej (n-wejściowej) bramki AND. Zastosowanie 2^n bramek pozwoliłoby na wygenerowanie 2^n sygnałów cyklicznych, (każdy z impulsem o szerokości równej okresowi zegara) przesuniętych względem siebie o wielokrotność okresu zegara, każdy sygnał o okresie równym 2^n .

Licznik **asynchroniczny** w NKB modulo 2^n

2^n okresów sygnału zegara w cyklu licznika



Bity w tabeli zapisano w kolejności ze schematu. Oprócz stanów stabilnych pojawią się dodatkowo **stany przejściowe** wynikające z szeregowej propagacji sygnału zegarowego na kolejne przerzutniki.

Liczenie w dół możliwe $CLK_n = Q_{n-1}$

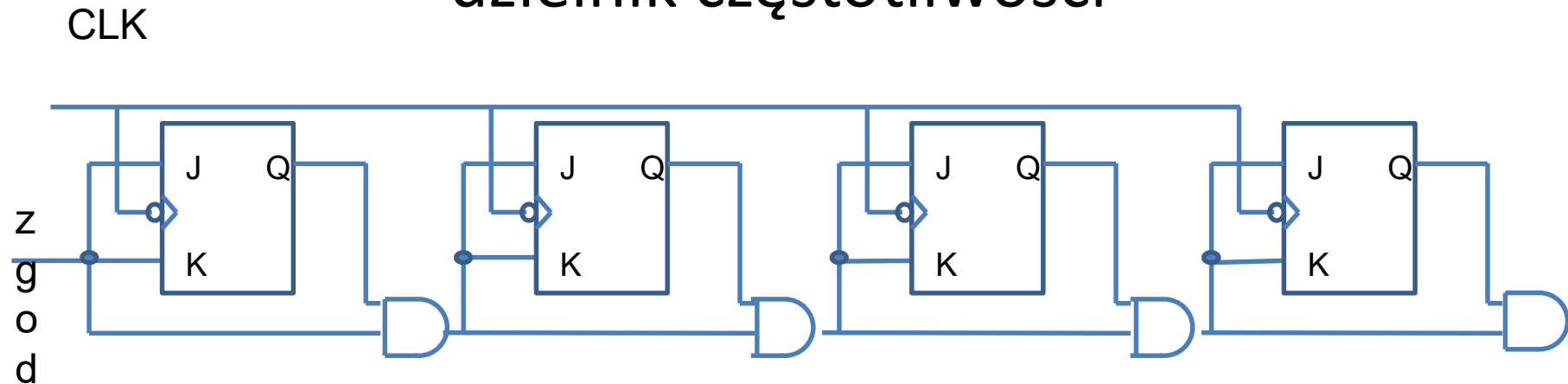
Przy okresie sygnału wejściowego (clk) mniejszym od czasu propagacji przez wszystkie przerzutniki ($4 \cdot T_{pp}$) będzie możliwość zaobserwowania kolejnych liczb w NKB na wyjściach licznika.

Licznik w NKB modulo 2^n pozwala na kolejnych wyjściach uzyskać sygnały o okresach $2T_{clk}$, $4T_{clk}$, $8T_{clk}$, $16T_{clk}$

0	0	0	0
1	0	0	0
0	0	0	0
0	1	0	0
1	1	0	0
0	1	0	0
0	0	0	0
0	0	1	0
1	0	1	0
0	0	1	0
0	1	1	0
1	1	1	0
0	1	1	0
0	0	1	0
0	0	0	0
0	0	0	1

Licznik **synchroniczny**

dzielnik częstotliwości

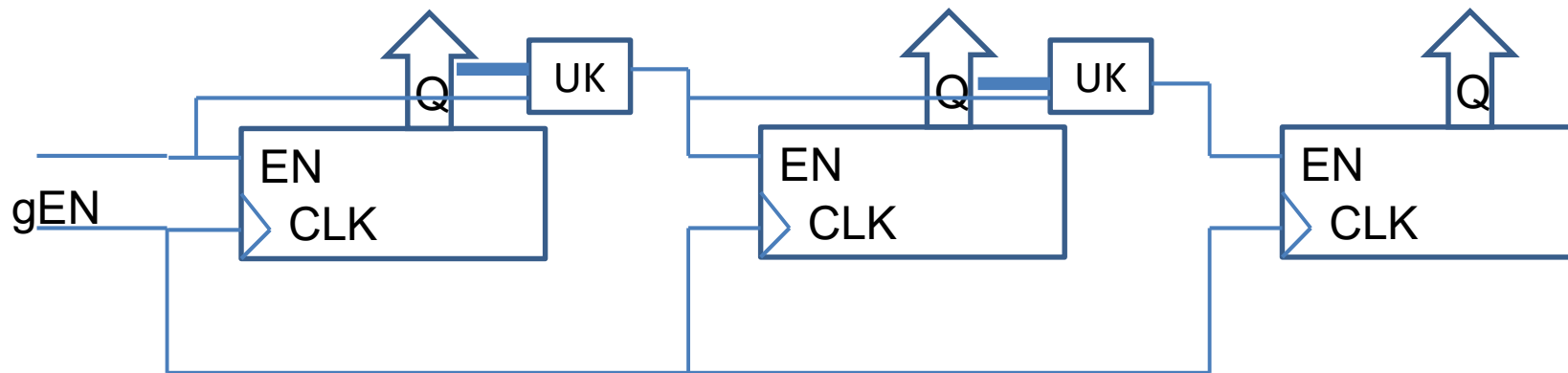


- Najmłodszy bit - przerzutnik T - sterowana dwójka licząca
- Generacja zgody na zliczanie dla starszych bitów – gdy przepełnienie na młodszych bitach
- Podawanie Q na bramkę AND – zliczanie w górę
- Podawanie Q' na bramkę AND – 0000,1111,0111,1011,0011,1101,1001..., zliczanie w dół (wstecz)
- Implementacja wyboru kierunku zliczania pozwala na uzyskanie licznika rewersyjnego – dwukierunkowego, jak to zrobić ? Spróbuj - 2 x AND i 1 x OR na każdą pozycję licznika.
- Wejście: Zgoda na zliczanie, pozwala na podłączenie globalnego zegara i sterowanie indywidualne każdym licznikiem

Projektowanie liczników

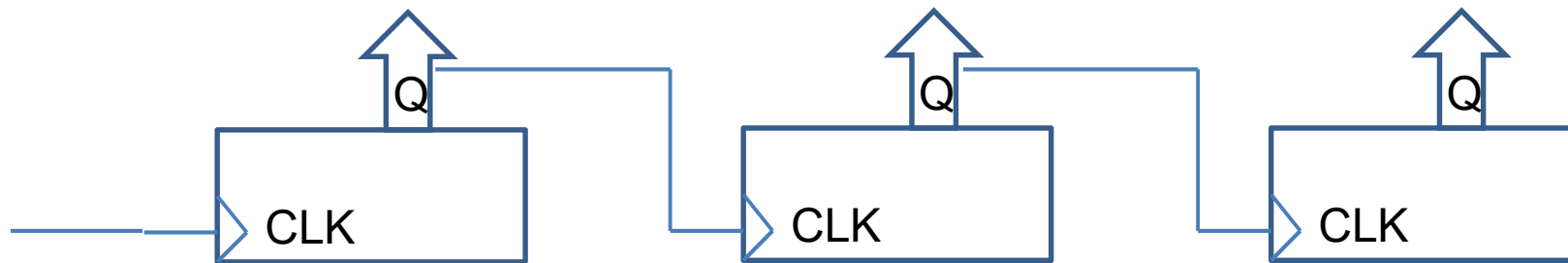
- Synteza liczników synchronicznych - użycie przerzutników D, JK, T.
- Synteza liczników asynchronicznych - użycie przerzutników D, JK, T.
- Synchroniczne łączenie modułów liczników
 - Wymaga zastosowania układów posiadających wejście zgody na zliczanie. Przykładowo wejście zgody stanowi zwarcie wejść J i K przerzutnika JK . Wejście zgody EN to wejście bramki XOR(EN,Q) dołączonej do wejścia D przerzutnika D; sygnał drugiego wejścia bramki XOR to wyjście przerzutnika.
 - Ważne jest, aby **zewnętrzny** sygnał zgody na zliczanie wpływał na sygnał zgody każdego modułu.
- Asynchroniczne łączenie modułów liczników lub D, JK, T
 - Szeregowe łączenie liczników wymaga odpowiedniej pojemności liczników składowych np. licznik modulo 15 to połączenie szeregowo liczników modulo 3 i modulo 5. Połączenie wymaga użycia stabilnych sygnałów jako dodatkowych zegarów. Sygnały te można pobrać z wyjść (prostych lub zanegowanych) przerzutników lub innych układów, w które zapewniają brak stanów przejściowych sygnału (brak dodatkowych zboczy) np. bramka AND dekodująca stany w kodzie Greya lub kodzie pseudopierścieniowym.
- Częstotliwość graniczna pracy liczników
- Synteza liczników **nie jest** skracanie zakresu pracy licznika modulo 2^n

Licznik synchroniczny



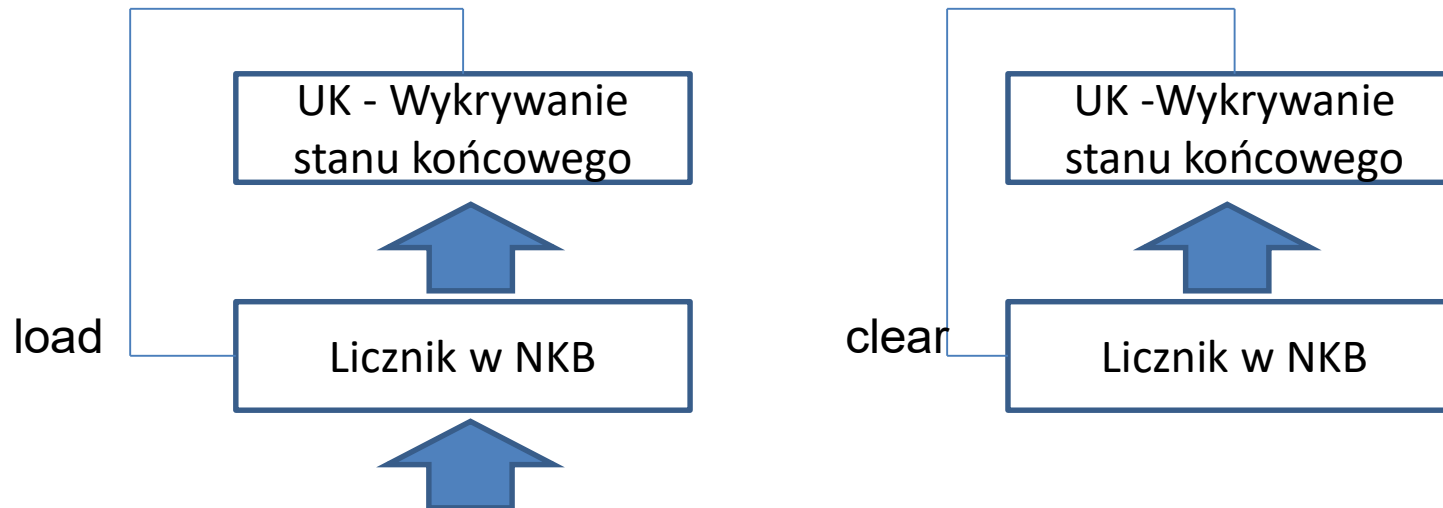
- Użyto układ kombinacyjny UK do wykrywania maksymalnej wartości modułu licznika. Generowany przez UK sygnał jest używany jako sygnał zgody na zaliczanie kolejnego modułu.
- Poprawny poziom sygnał zgody musi dotrzeć z zapasem czasu wyprzedzenia przed aktywnym zboczem zegarowym powodującym zliczanie.
- Należy uwzględnić właściwie wszystkie sygnały dodatkowe określające sposób pracy układu np. sygnały zerowania, ustawiania wartości początkowej.

Licznik asynchroniczny



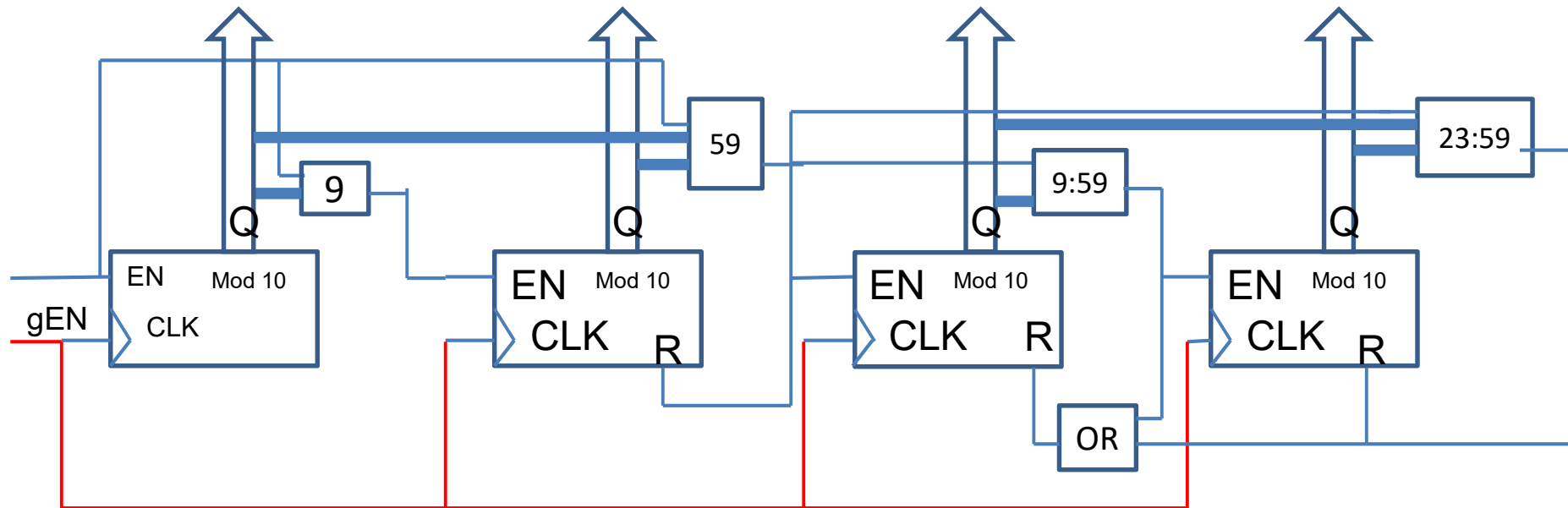
- Sygnał z pojedynczego wyjścia przerzutnika jest używany jako sygnał zegarowy. Rozwiązanie to zapobiega błędnemu taktowaniu układu możliwemu w sytuacji użycia układu kombinacyjnego do wykrywania (na podstawie stanu licznika) momentu taktowania – generacji sygnału zegarowego. Sytuacja błędnego taktowania możliwa ze względu na stany przejściowe sygnału na wyjściu układu kombinacyjnego.
- Należy uwzględnić właściwie wszystkie sygnały dodatkowe określające sposób pracy układu np. sygnały zerowania, ustawiania wartości początkowej.

Metoda skracania zakresu pracy liczników



- Liczniki modulo N – N okresów zegara w cyklu licznika, N stanów stabilnych pracy licznika w cyklu
- Liczniki liczą w zakresie od wpisanego stanu do stanu wykrytego.
- Wykrywana wartość jest zależna od typu wejścia ładującego (zerującego).
- **Asynchroniczne** wejście zerujące powoduje konieczność wykrycia wartości N . Sygnał świadczący o wykryciu N podany jest na wejście zerowania i bez udziału zegara powoduje osiągnięcie stanu 0. Stan zero jest zatem następstwem zbocza doprowadzającego do stanu N . Mamy licznik modulo N – do cyklu potrzebne jest N zboczy zegara.
- **Synchroniczne** wejście zerujące powoduje konieczność wykrycia wartości $N-1$. Sygnał świadczący o wykryciu $N-1$ podany jest na wejście zerowania, po podaniu kolejnego zbocza (N -tego) pozwala na osiągnięcie stanu 0. Stan zero jest zatem następstwem pierwszego zbocza następującego po wykryciu stanu $N-1$. Mamy licznik modulo N – do cyklu potrzebne jest N zboczy zegara.
- Na wyjściach licznika binarnego (synchronicznego, asynchronicznego) mogą pojawiać się przejściowo wartości niezgodne z kodem liczenia. Mogą one spowodować wcześniejsze wykrycie stanu i skrócenie kodu licznika z zerowaniem/ładowaniem asynchronicznym. Problem rozwiązuje filtrowanie/synchronizacja sygnału kończącego cykl zliczania.

Licznik godzin i minut w ciągu doby – - licznik synchroniczny metodą skracania



Zerowanie synchroniczne (wymaga zbocza sygnału zegarowego)

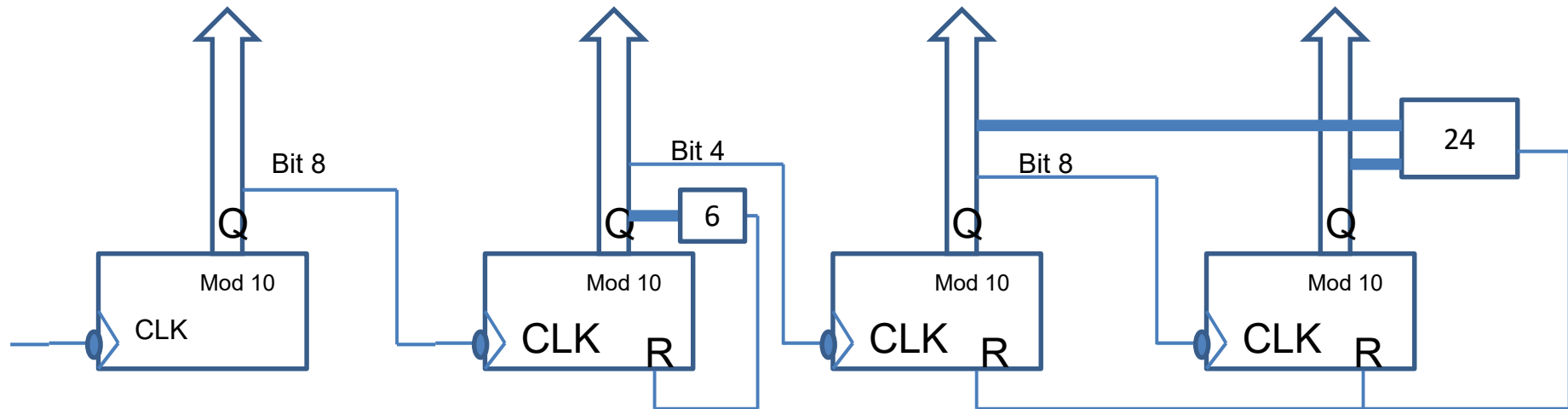
Generowany przez układy kombinacyjne (9, 59, 9:59, 23:59) sygnał jest używany jako sygnał zgody na zerowanie bieżącego modułu i jako sygnał zgody na zliczanie kolejnego modułu (zgodnie z logiką działania projektowanego układu).

Poprawny poziom sygnału zgody musi dotrzeć z zapasem czasu wyprzedzenia przed aktywnym zboczem zegarowym powodującym zliczanie lub zerowanie.

Zerowanie (typowo) jest realizowane bez wymagania aktywności sygnału EN.

Licznik godzin i minut w ciągu doby

- licznik asynchroniczny metodą skracania



Zerowanie asynchroniczne (bez udziału sygnału zegarowego)

Bit 8 oznacza wagę sygnału w ramach modułu licznika modulo 10 w NKB.

Układy kombinacyjne wykrywają stan końcowy wymagający zerowania modułu (ów). W przypadku stanów przejściowych niestabilnych zgodnych wartością ze stanem wykrywanym konieczna synchronizacja-filtrowanie sygnału zerowania.

Brak zerowania (inna niż 0 wartość na wyjściu licznika po podaniu resetu)

świadczy o niespełnieniu parametru licznika – czas trwania impulsu zerującego.

Niestabilna praca licznika (brak powtarzalności lub brak odpowiedzi na zbocze zegarowe) świadczyć może o braku uwzględnienia parametru czas martwy.