

TRƯỜNG ĐẠI HỌC CÔNG NGHỆ KỸ THUẬT TP. HỒ CHÍ MINH
KHOA ĐIỆN ĐIỆN TỬ
BỘ MÔN KTMT



HCMUTE

ĐỒ ÁN 2

**THIẾT KẾ BỘ DAO ĐỘNG VÒNG CMOS
3.4 GHZ TIÊU THỤ CÔNG SUẤT THẤP
CHO CÁC ỨNG DỤNG IC TRÊN CHIP**

Ngành Công Nghệ Kỹ Thuật Máy Tính

Sinh viên: **ĐẶNG VĨNH TIẾN**
MSSV: 22119239

Hướng dẫn: **PGS. TS. ĐỖ DUY TÂN**

TP. HỒ CHÍ MINH – 12/2025

TRƯỜNG ĐẠI HỌC CÔNG NGHỆ KỸ THUẬT TP. HỒ CHÍ MINH
KHOA ĐIỆN ĐIỆN TỬ
BỘ MÔN KTMT

ĐỒ ÁN 2

THIẾT KẾ BỘ DAO ĐỘNG VÒNG CMOS 3.4 GHZ TIÊU THỤ CÔNG SUẤT THẤP CHO CÁC ỨNG DỤNG IC TRÊN CHIP

Ngành Công Nghệ Kỹ Thuật Máy Tính

Sinh viên: **ĐẶNG VĨNH TIẾN**
MSSV: 22119239

Hướng dẫn: **PGS. TS. ĐỖ DUY TÂN**

TP. HỒ CHÍ MINH – 12/2025

PHIẾU GIAO NHIỆM VỤ ĐỒ ÁN 2

1. Thông tin sinh viên

Họ và tên: MSSV:.....

Tel: Email:

2. Thông tin đề tài

Tên của đề tài:

Mục đích của đề tài:

Đồ án tốt nghiệp được thực hiện tại: Bộ môn KTMT, Khoa Điện - Điện Tử, Trường Đại Học Sư Phạm Kỹ Thuật Thành Phố Hồ Chí Minh.

Thời gian thực hiện: Từ ngày /12/2025 đến /12 /2025

3. Các nhiệm vụ cụ thể của đề tài

-

-

4. Lời cam đoan của sinh viên

Tôi – Đặng Vĩnh Tiến cam đoan ĐA2 là công trình nghiên cứu của bản thân tôi dưới sự hướng dẫn của phó Giáo sư Đỗ Duy Tân.

Các kết quả công bố trong ĐA2 là trung thực và không sao chép từ bất kỳ công trình nào khác.

Tp.HCM, ngày tháng 12 năm 2025

SV thực hiện đồ án

Đặng Vĩnh Tiến

Giáo viên hướng dẫn xác nhận về mức độ hoàn thành và cho phép được bảo vệ:

.....

Xác nhận của Bộ Môn

Tp.HCM, ngày tháng năm 2025

Giáo viên hướng dẫn

(Ký ghi rõ họ tên và học hàm học vị)

TÓM TẮT

Trong xu hướng phát triển mạnh mẽ của công nghệ vi mạch tích hợp quy mô siêu lớn, việc tối ưu hóa giữa tốc độ hoạt động và công suất tiêu thụ đã trở thành thách thức hàng đầu đối với các nhà thiết kế. Đề án này tập trung nghiên cứu và hiện thực hóa bộ dao động vòng công suất thấp, một thành phần quan trọng trong các hệ thống tạo xung nhịp và truyền thông hiện đại.

Thay vì sử dụng các cấu trúc Inverter CMOS truyền thống, nghiên cứu đề xuất việc ứng dụng kiến trúc Inverter 4-transistor cải tiến làm tăng trễ cốt lõi cho hệ thống. Bằng cách khai thác hiệu ứng xếp chồng và kỹ thuật điều khiển dòng rò thông qua việc giữ các transistor bổ trợ ở trạng thái ngắt, kiến trúc này hướng tới việc giảm thiểu đáng kể cả công suất tĩnh và công suất động mà không làm ảnh hưởng nghiêm trọng đến tính toàn vẹn của tín hiệu.

Toàn bộ quá trình thiết kế sơ đồ nguyên lý, tính toán thông số linh kiện và kiểm chứng hiệu năng được thực hiện trên môi trường mô phỏng chuyên dụng Cadence Virtuoso với cấu hình 5 tầng dao động. Qua các kịch bản kiểm thử đa dạng về điện áp và nhiệt độ môi trường, nghiên cứu phân tích chi tiết sự đánh đổi giữa thời gian trễ và khả năng tiết kiệm năng lượng. Kết quả đạt được khẳng định tính khả thi và hiệu quả của kiến trúc cải tiến trong việc duy trì tần số hoạt động cao, đồng thời mang lại giải pháp tối ưu cho bài toán năng lượng trong các thiết kế vi mạch tích hợp hiện đại.

MỤC LỤC

DANH MỤC HÌNH	VII
DANH MỤC BẢNG	VIII
CHƯƠNG 1 GIỚI THIỆU	1
1.1 ĐẶT VẤN ĐỀ	1
1.2 MỤC TIÊU NGHIÊN CỨU	2
1.3 NỘI DUNG NGHIÊN CỨU	2
1.4 HẠN CHẾ CỦA ĐỀ TÀI	3
1.5 BỐ CỤC	3
CHƯƠNG 2 CƠ SỞ LÝ THUYẾT	4
2.1 TỔNG QUAN VỀ BỘ DAO ĐỘNG	4
2.1.1 Định nghĩa và phân loại	4
2.1.2 Điều kiện dao động (Tiêu chuẩn Barkhausen)	6
2.2 NGUYÊN LÝ HOẠT ĐỘNG CỦA BỘ DAO ĐỘNG VÒNG (RING OSCILLATOR)	7
2.2.1 Cấu trúc cơ bản	7
2.2.2 Cơ chế hình thành dao động	8
2.2.3 Đặc tính thời gian và tần số dao động	8
2.3 TÀNG TRỄ CMOS INVERTER (DELAY CELL)	9
2.3.1 Cấu tạo và nguyên lý hoạt động của Inverter CMOS cơ bản	9
2.3.2 Phân tích thời gian trễ	9
2.4 CÁC THÔNG SỐ HIỆU NĂNG THEN CHÓT	10
2.4.1 Thời gian cạnh lên và cạnh xuống	10
2.4.2 Công suất tiêu thụ	11
2.4.3 Nhiễu pha và Jitter	11
CHƯƠNG 3 THIẾT KẾ HỆ THỐNG	13
3.1 CỒNG ĐẢO 4T	13
3.2 SƠ ĐỒ KHỐI	14
CHƯƠNG 4 ĐÁNH GIÁ QUA MÔ PHỎNG	16

4.1	MÔ HÌNH MÔ PHỎNG VÀ ĐỊNH NGHĨA CÁC TESTCASE	16
4.2	SO SÁNH INVERTER THÔNG THƯỜNG VÀ INVERTER MỚI	16
4.3	MÔ PHỎNG BỘ DAO ĐỘNG VÒNG VỚI SỐ TẦNG KHÁC NHAU	20
4.4	MÔ PHỎNG BỘ DAO ĐỘNG VÒNG VỚI ĐIỆN ÁP CUNG CẤP KHÁC NHAU	22
4.5	MÔ PHỎNG BỘ DAO ĐỘNG VÒNG VỚI NHIỆT ĐỘ KHÁC NHAU	24
4.6	NHIỀU PHA CỦA BỘ DAO ĐỘNG VÒNG	26
CHƯƠNG 5 KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN		28
5.1	KẾT LUẬN.....	28
5.2	HƯỚNG PHÁT TRIỂN.....	29
TÀI LIỆU THAM KHẢO		30

DANH MỤC HÌNH

Hình 1.1: Hệ thống khuếch đại có phản hồi âm

Hình 2.1: Cấu trúc một bộ dao động vòng

Hình 2.2: Cấu trúc 1 Inverter CMOS

Hình 2.3: Thời gian tăng, thời gian giảm và độ rộng xung của một tín hiệu điện áp

Hình 3.1: Inverter cổ điển (trái) và Inverter 4T (phải)

Hình 3.2: Bộ dao động vòng dùng Inverter 4T

Hình 4.1: Inverter cổ điển mô phỏng trên Cadence Virtuoso

Hình 4.2: Inverter 4T mô phỏng trên Cadence Virtuoso

Hình 4.3: Thời gian giữ điện áp ở mức trên 0.8V của bộ dao động dùng 3 tầng Inverter

Hình 4.4: Đồ thị quan hệ V_{DD} và tần số

Hình 4.5: Đồ thị quan hệ V_{DD} và công suất

Hình 4.6: Đồ thị nhiễu pha theo độ lệch tần số của một bộ dao động vòng

Hình 4.7: Layout bộ dao động vòng 4T

DANH MỤC BẢNG

Bảng 4.1: Định nghĩa các testcase

Bảng 4.2: Thiết lập thông số mô phỏng

Bảng 4.3: Kết quả mô phỏng

Bảng 4.4: Thiết lập thông số mô phỏng

Bảng 4.5: Kết quả mô phỏng

Bảng 4.6: Thiết lập thông số mô phỏng

Bảng 4.7: Kết quả mô phỏng

Bảng 4.8: Thiết lập thông số mô phỏng

Bảng 4.9: Kết quả mô phỏng

CHƯƠNG 1

GIỚI THIỆU

1.1 ĐẶT VẤN ĐỀ

Trong kỷ nguyên của cuộc cách mạng công nghiệp 4.0, sự bùng nổ của các thiết bị di động, hệ thống Internet vạn vật và các chuẩn truyền thông không dây thế hệ mới như 5G, WiMAX hay Bluetooth năng lượng thấp đã tạo ra một nhu cầu cấp thiết về các hệ thống tích hợp trên chip hiệu suất cao. Trong các hệ thống này, bộ dao động nội đóng vai trò là "trái tim" của các mạch vòng khóa pha và các bộ thu phát vô tuyến (RF Transceiver), quyết định trực tiếp đến tốc độ xử lý và độ tin cậy của việc truyền tải dữ liệu.

Ở dải tần số 3.4 GHz – một dải tần quan trọng trong các ứng dụng viễn thông hiện đại – việc lựa chọn kiến trúc bộ dao động trở thành một thách thức lớn đối với các kỹ sư thiết kế. So với bộ dao động LC vốn có diện tích lớn và khó tích hợp, bộ dao động vòng ngày càng được ưu tiên nhờ những ưu điểm vượt trội như: khả năng tích hợp cao, dải điều chỉnh tần số rộng, diện tích chiếm dụng trên chip cực nhỏ và quy trình chế tạo hoàn toàn tương thích với công nghệ CMOS tiêu chuẩn.

Tuy nhiên, bộ dao động vòng đối mặt với một rào cản kỹ thuật lớn: sự đánh đổi giữa tần số hoạt động và công suất tiêu thụ. Khi hoạt động ở tần số cao hàng GHz, các bóng bán dẫn (MOSFET) phải đóng cắt liên tục với tốc độ lớn, dẫn đến công suất tiêu thụ động tăng mạnh. Bên cạnh đó, các vấn đề về dòng rò trong các tiến trình công nghệ CMOS kích thước nano cũng đóng góp đáng kể vào tổng công suất tiêu thụ, gây ra hiện tượng tỏa nhiệt và làm giảm thời lượng pin của các thiết bị cầm tay.

Các kiến trúc bộ dao động vòng truyền thống hiện nay khó có thể đáp ứng đồng thời cả hai tiêu chí: vừa hoạt động ổn định ở tần số 3.4 GHz, vừa duy trì mức

tiêu thụ năng lượng ở mức cực thấp. Việc giảm công suất tiêu thụ không chỉ đơn thuần là giảm điện áp cung cấp, vì điều này sẽ làm suy giảm tốc độ chuyển mạch và tăng độ nhạy với nhiễu.

Chính vì những lý do trên, “**THIẾT KẾ BỘ DAO ĐỘNG VÒNG CMOS 3.4 GHZ TIÊU THỤ CÔNG SUẤT THẤP CHO CÁC ỨNG DỤNG IC TRÊN CHIP**”. Mục tiêu cốt lõi là tối ưu hóa cấu trúc tầng trễ để giảm thiểu dòng ngắn mạch và công suất động, từ đó đạt được tần số hoạt động mục tiêu 3.4 GHz với mức tiêu thụ điện năng tối ưu nhất. Việc hiện thực hóa thiết kế và kiểm chứng trên công cụ Cadence Virtuoso sẽ cung cấp một giải pháp khả thi cho các ứng dụng IC tích hợp yêu cầu khắt khe về năng lượng và diện tích.

1.2 MỤC TIÊU NGHIÊN CỨU

Đề tài này được thực hiện nhằm mục tiêu:

- Đề xuất kiến trúc mới: Thiết kế tầng trễ dựa trên cấu trúc Inverter cải tiến nhằm giảm thiểu dòng ngắn mạch và tối ưu hóa công suất.
- Thiết kế mạch dao động: Xây dựng bộ dao động vòng từ 5 tầng cải tiến, đảm bảo dao động ổn định tại tần số trung tâm 3.4 GHz.
- Tối ưu hóa năng lượng: Giảm mức tiêu thụ công suất so với các kiến trúc Inverter truyền thống trong cùng điều kiện vận hành.
- Mô phỏng và Kiểm chứng: Sử dụng Cadence Virtuoso để phân tích các thông số quan trọng: tần số, công suất tiêu thụ, dải điều chỉnh và nhiễu pha.
- Đánh giá hiệu quả: So sánh kết quả mô phỏng của kiến trúc cải tiến với các thiết kế tiêu chuẩn để chứng minh ưu điểm của đề tài.

1.3 NỘI DUNG NGHIÊN CỨU

Tiến hành tìm hiểu thông tin chi tiết về mạch dao động vòng.

Tìm hiểu tổng quan về công cụ của Cadence cụ thể là Virtuoso Cadence.

Thiết kế một Inverter mới.

Thực hiện nghiên cứu, phân tích, xây dựng sơ đồ khối tổng quát.

Mô phỏng, kiểm tra nguyên lý hoạt động và tính toán độ trễ.

Tối ưu hóa công suất, độ trễ và diện tích của mạch dao động vòng.

1.4 HẠN CHẾ CỦA ĐỀ TÀI

Mặc dù đạt được các mục tiêu thiết kế đề ra, đề án vẫn tồn tại một số hạn chế nhất định do tính chất của môi trường mô phỏng lý tưởng trên Cadence Virtuoso. Các kết quả nghiên cứu chủ yếu dựa trên sơ đồ nguyên lý, vì vậy chưa phản ánh hoàn toàn ảnh hưởng của các thành phần điện trở và điện dung ký sinh vốn tác động rất lớn đến tần số 3.4 GHz trong thực tế. Bên cạnh đó, thiết kế chưa xét đến các tác động phức tạp từ môi trường ngoài như sự biến thiên nhiệt độ, nhiễu nguồn hay các hiệu ứng vật lý gây ra hiện tượng jitter và sai lệch pha. Việc thiếu các phép đo đạc trên chip thực tế và phân tích các góc công nghệ cũng khiến việc đánh giá còn những giới hạn nhất định.

1.5 BỐ CỤC

Chương 1: Tổng quan.

Chương này trình bày lý do chọn đề tài, mục tiêu nghiên cứu và giới thiệu tổng quát về tầm quan trọng của bộ dao động vòng công suất thấp trong vi mạch..

Chương 2: Cơ sở lý thuyết.

Chương này hệ thống hóa các định nghĩa, phân loại bộ dao động và các nguyên lý nền tảng như tiêu chuẩn Barkhausen cùng cấu trúc tầng trễ CMOS Inverter cơ bản.

Chương 3: Thiết kế hệ thống.

Chương này tập trung mô tả kiến trúc Inverter 4-transistor cải tiến và quy trình thiết kế bộ dao động vòng 5 tầng tối ưu cho mục tiêu công suất thấp.

Chương 4: Đánh giá qua mô phỏng.

Chương này trình bày kết quả mô phỏng trên Cadence Virtuoso, đồng thời so sánh hiệu năng giữa cấu trúc truyền thống và cải tiến qua các biến số điện áp, nhiệt độ.

Chương 5: Kết luận và hướng phát triển.

Chương này tổng kết các kết quả đạt được về tần số và công suất, đồng thời đề xuất các hướng mở rộng nghiên cứu trong tương lai cho hệ thống.

CHƯƠNG 2

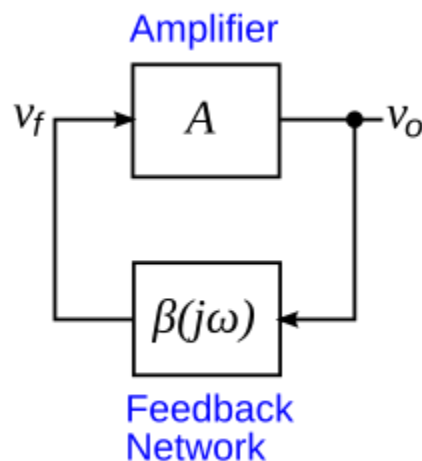
CƠ SỞ LÝ THUYẾT

2.1 TỔNG QUAN VỀ BỘ DAO ĐỘNG

2.1.1 Định nghĩa và phân loại

Bộ dao động là một mạch điện tử có chức năng chuyển đổi năng lượng từ nguồn điện một chiều thành tín hiệu xoay chiều biến thiên tuần hoàn theo thời gian mà không cần tín hiệu kích thích từ bên ngoài. Tín hiệu ngõ ra có thể có nhiều dạng sóng khác nhau như sóng sin, sóng vuông, sóng tam giác hoặc xung răng cưa, tùy thuộc vào cấu trúc mạch và mục đích sử dụng.

Về mặt vật lý, một bộ dao động thực chất là một hệ thống phản hồi dương không ổn định. Để duy trì dao động bền vững, mạch phải bù đắp được phần năng lượng bị tiêu hao trong các thành phần thụ động bằng cách sử dụng các linh kiện tích cực (như Transistor, Op-amp) để khuếch đại và duy trì biên độ tín hiệu.



Hình 1.1: Hệ thống khuếch đại có phản hồi âm

Dựa trên nguyên lý hoạt động, cấu trúc linh kiện và đặc điểm tín hiệu, các bộ dao động thường được phân thành các nhóm chính sau:

- Phân loại theo dạng sóng ngõ ra:

- Dao động điều hòa: Tạo ra tín hiệu ngõ ra có dạng hình sin thuần khiết. Các mạch này thường sử dụng các khung cộng hưởng để lọc lựa tần số.
- Dao động không điều hòa: Tạo ra các dạng sóng không phải hình sin như sóng vuông, sóng răng cưa. Quá trình này thường dựa trên việc nạp/xả năng lượng của tụ điện hoặc cuộn cảm qua một linh kiện ngưỡng (như Schmitt trigger).
- Phân loại theo linh kiện cộng hưởng (Resonant Element):
 - Bộ dao động LC: Sử dụng mạch cộng hưởng gồm cuộn cảm (L) và tụ điện (C). Đây là loại phổ biến trong các ứng dụng tần số vô tuyến (RF) vì có hệ số phẩm chất (Q) cao và nhiễu pha thấp.
 - Bộ dao động thạch anh: Sử dụng hiệu ứng áp điện của tinh thể thạch anh để tạo ra tần số cực kỳ ổn định. Tuy nhiên, dải điều chỉnh tần số của chúng rất hẹp.
 - Bộ dao động RC: Sử dụng mạng điện trở và tụ điện để tạo độ dịch pha. Thường dùng trong dải tần số thấp đến trung bình do hạn chế về tốc độ của linh kiện và tổn hao trên điện trở.
- Phân loại theo khả năng điều khiển tần số:
 - Bộ dao động tần số cố định: Tần số được xác định cứng bởi giá trị các linh kiện trong mạch.
 - Bộ dao động điều khiển bằng điện áp: Tần số ngõ ra có thể thay đổi được thông qua việc điều chỉnh điện áp ngõ vào. Đây là thành phần cốt lõi trong các mạch vòng khóa pha và các bộ tổng hợp tần số hiện đại.
- Phân loại theo cơ chế phản hồi:
 - Dao động phản hồi: Tín hiệu ngõ ra được đưa ngược lại ngõ vào qua một mạng phản hồi để thỏa mãn tiêu chuẩn Barkhausen.

- Dao động điện trở âm: Sử dụng các linh kiện có đặc tính điện trở âm (như điốt Tunnel hoặc các cấu trúc transistor đặc biệt) để triệt tiêu điện trở thực của mạch cộng hưởng, từ đó duy trì dao động.

2.1.2 Điều kiện dao động (Tiêu chuẩn Barkhausen)

Để một mạch khuếch đại có phản hồi trở thành một bộ dao động và duy trì được tín hiệu ngõ ra ổn định mà không cần kích thích từ bên ngoài, mạch đó phải thỏa mãn một tập hợp các điều kiện toán học được gọi là Tiêu chuẩn Barkhausen.

Xét một hệ thống phản hồi tuyến tính bao gồm một bộ khuếch đại có hệ số khuếch đại vòng hở là $A(j\omega)$ và một mạng phản hồi có hệ số truyền đạt là $\beta(j\omega)$. Hệ số khuếch đại vòng kín của hệ thống được xác định bởi công thức:

$$A_f(j\omega) = \frac{A(j\omega)}{1 - A(j\omega)\beta(j\omega)} \quad (2.1)$$

Trong đó, tích số $L(j\omega) = A(j\omega)\beta(j\omega)$ được gọi là hệ số khuếch đại vòng (Loop Gain).

Tiêu chuẩn Barkhausen xác lập hai điều kiện cần thiết tại tần số dao động ω_0 :

a. Điều kiện về biên độ

Độ lớn của hệ số khuếch đại vòng phải bằng 1:

$$|A(j\omega_0)\beta(j\omega_0)| = 1 \quad (2.2)$$

Điều kiện này đảm bảo rằng năng lượng được đưa ngược về ngõ vào vừa đủ để bù đắp các tổn hao trong mạch.

- Nếu $|A\beta| < 1$: Dao động sẽ bị tắt dần theo thời gian.
- Nếu $|A\beta| > 1$: Biên độ dao động sẽ tăng dần cho đến khi các linh kiện tích cực rơi vào vùng bão hòa (phi tuyến), làm giảm hệ số khuếch đại và đưa hệ thống về trạng thái cân bằng tại $|A\beta| = 1$.

b. Điều kiện về pha (Phase Condition):

Tổng độ dịch pha quanh vòng phản hồi tại tần số dao động phải bằng 0 hoặc là một số nguyên lần của 360° ($2\pi \text{ radian}$):

$$\angle A(j\omega_0)\beta(j\omega_0) = 2n\pi, \quad n \in (0, 1, 2, \dots) \quad (2.3)$$

Điều kiện này đảm bảo tín hiệu phản hồi quay về ngõ vào cùng pha (phản hồi dương) với tín hiệu ban đầu. Sự cộng hưởng về pha này cho phép tín hiệu tự tăng cường và duy trì chu kỳ dao động liên tục.

c. Quá trình khởi tạo dao động

Trong thiết kế thực tế, để đảm bảo mạch có thể tự khởi động từ nhiễu nhiệt (thermal noise) ngay khi cấp nguồn, các kỹ sư thường thiết kế sao cho hệ số khuếch đại vòng tại thời điểm bắt đầu lớn hơn 1 một chút (thường là $|A\beta| \approx 2$ hoặc 3:

$$|A(j\omega_0)\beta(j\omega_0)| > 1 \quad (2.4)$$

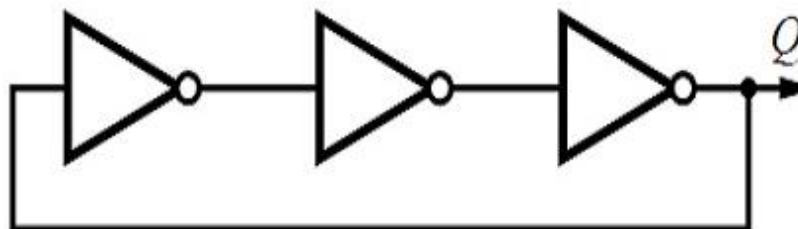
Khi biên độ tín hiệu lớn dần, tính phi tuyến của các linh kiện bán dẫn (như MOSFET) sẽ làm giảm hệ số khuếch đại A , khiến hệ thống tự động ổn định tại điểm $|A\beta| = 1$.

2.2 NGUYÊN LÝ HOẠT ĐỘNG CỦA BỘ DAO ĐỘNG VÒNG (RING OSCILLATOR)

2.2.1 Cấu trúc cơ bản

Bộ dao động vòng là một mạch kín được tạo thành bằng cách kết nối một số lẻ các tầng đảo nối tiếp nhau trong một vòng phản hồi. Trong công nghệ CMOS, tầng đảo đơn giản và phổ biến nhất là một cổng Inverter (tạo bởi một cặp NMOS và PMOS).

Cấu trúc này không sử dụng các thành phần cộng hưởng thụ động như cuộn cảm hay tụ điện để xác định tần số, mà thay vào đó dựa hoàn toàn vào thời gian trễ lan truyền của các linh kiện tích cực.



Hình 2.1: Cấu trúc một bộ dao động vòng

2.2.2 Cơ chế hình thành dao động

Để một mạch dao động vòng có thể tự duy trì trạng thái dao động, nó phải thỏa mãn các điều kiện về pha và hệ số khuếch đại (Barkhausen) trong một cấu hình đặc biệt:

Điều kiện về pha: Trong một vòng gồm N tầng đảo, mỗi tầng cung cấp một độ dịch pha là 180° (do đặc tính đảo tín hiệu) cộng với một độ dịch pha bổ sung do Mạng hồi tiếp tạo ra một độ dịch pha bằng π . Điều này giải thích tại sao số tầng N phải là số lẻ.

Nếu N chẵn: Mạch sẽ rơi vào trạng thái chết và không thể dao động.

Nếu N lẻ: Trạng thái tại bất kỳ nút nào cũng không thể ổn định, buộc mạch phải chuyển đổi liên tục giữa mức "0" và "1".

2.2.3 Đặc tính thời gian và tần số dao động

Tần số của bộ dao động vòng phụ thuộc trực tiếp vào số tầng (N) và thời gian trễ của mỗi tầng trễ (t_d).

Giả sử một xung logic bắt đầu từ lối vào của tầng thứ nhất. Sau một khoảng thời gian là Nt_d , xung này sẽ đi qua toàn bộ các tầng và quay trở lại lối vào với mức logic ngược lại. Để hoàn thành một chu kỳ dao động toàn phần (bao gồm cả cạnh lên và cạnh xuống), tín hiệu phải đi qua vòng lặp hai lần.

Do đó, chu kỳ dao động (T) được xác định bởi công thức:

$$T = 2 \cdot N \cdot t_d \quad (2.5)$$

Tần số dao động (f_{osc}) tương ứng là:

$$f_{osc} = \frac{1}{T} = \frac{1}{2 \cdot N \cdot t_d} \quad (2.6)$$

Trong đó:

- N : Số tầng dao động (phải là số lẻ: 3, 5, 7...).
- t_d : Thời gian trễ lan truyền của mỗi tầng.

Thời gian trễ t_d lại phụ thuộc vào các yếu tố vật lý như điện áp cung cấp (V_{DD}), kích thước transistor ($\frac{W}{L}$), và điện dung ký sinh tại mỗi nút liên kết. Đây chính là cơ sở để điều chỉnh tần số của bộ dao động trong các thiết kế thực tế.

2.3 TẦNG TRỄ CMOS INVERTER

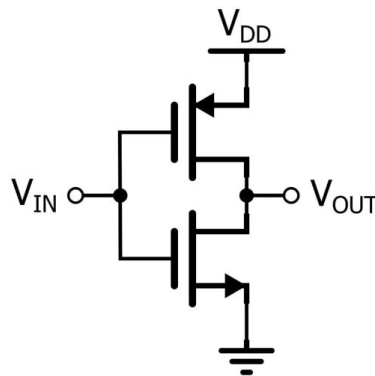
Trong bộ dao động vòng, mỗi tầng đảo không chỉ đóng vai trò đảo logic mà còn hoạt động như một tầng trễ. Tốc độ chuyển mạch của tầng này quyết định trực tiếp đến tần số hoạt động của toàn hệ thống.

2.3.1 Cấu tạo và nguyên lý hoạt động của Inverter CMOS cơ bản

Một tầng trễ Inverter tiêu chuẩn bao gồm một cặp bóng bán dẫn bổ trợ: PMOS (ở phía trên, kết nối với nguồn V_{DD}) và NMOS (ở phía dưới, kết nối với đất GND).

Trạng thái ngõ vào mức thấp (Low): NMOS tắt, PMOS dẫn, dòng điện từ nguồn nạp cho điện dung tải tại nút ngõ ra, kéo điện áp ngõ ra lên mức cao (V_{DD}).

Trạng thái ngõ vào mức cao (High): PMOS tắt, NMOS dẫn, điện tích tích lũy tại điện dung tải xả qua NMOS xuống đất, kéo điện áp ngõ ra xuống mức thấp (0V).



Hình 2.2: Cấu trúc 1 Inverter CMOS

2.3.2 Phân tích thời gian trễ

Thời gian trễ lan truyền (t_d) là khoảng thời gian cần thiết để tín hiệu ngõ ra thay đổi trạng thái sau khi ngõ vào đã thay đổi. Nó được tính bằng trung bình cộng của trễ cạnh lên (t_{pLH}) và trễ cạnh xuống (t_{pHL}):

$$t_d = \frac{t_{pHL} + t_{pLH}}{2} \quad (2.7)$$

Về mặt vật lý, t_d phụ thuộc vào việc nạp và xả điện dung tổng tại nút ngõ ra (C_L). Công thức xấp xỉ cho thời gian trễ là:

$$t_d \approx \frac{C_L \cdot \Delta V}{I_{avg}} \quad (2.8)$$

Trong đó:

- C_L : Tổng điện dung tại nút ngõ ra (bao gồm điện dung cực cửa của tầng kế tiếp, điện dung khuếch tán và điện dung dây dẫn ký sinh).
- ΔV : Biên độ điện áp thay đổi (thường là $\frac{V_{DD}}{2}$).
- I_{avg} : Dòng điện nạp/xả trung bình của Transistor.

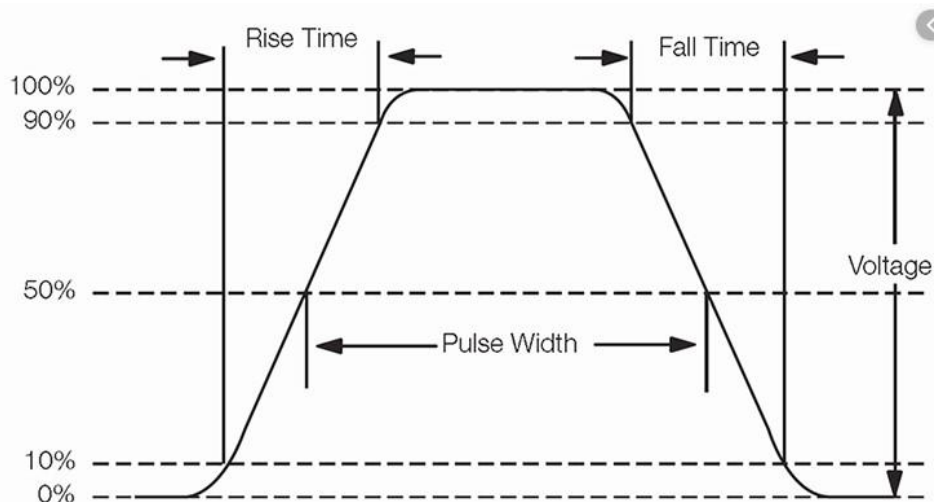
2.4 CÁC THÔNG SỐ HIỆU NĂNG THEN CHỐT

2.4.1 Thời gian cạnh lên và cạnh xuống

Thời gian cạnh lên (t_r) và cạnh xuống (t_f) là các thông số đánh giá độ dốc của tín hiệu tại các nút chuyển mạch.

Thời gian cạnh lên: Là khoảng thời gian để điện áp tín hiệu chuyển từ mức thấp lên mức cao (thường tính từ 20% đến 80% hoặc 10% đến 90% giá trị biên độ V_{DD}).

Thời gian cạnh xuống: Là khoảng thời gian để điện áp tín hiệu chuyển từ mức cao xuống mức thấp (thường tính từ 80% xuống 20% hoặc 90% đến 10% giá trị biên độ V_{DD}).



Hình 2.3: Thời gian tăng, thời gian giảm và độ rộng xung của một tín hiệu điện áp

Cả 2 thông số này có ảnh hưởng trực tiếp đến hiệu suất của bộ dao động vòng:

- Quyết định tần số cao: Để đạt được tần số cao, thời gian chuyển mạch phải cực ngắn. t_r và t_f càng nhỏ thì thời gian trễ t_d càng thấp, giúp đẩy tần số dao động lên cao.
- Tối ưu hóa công suất: Dòng điện ngắn mạch chỉ xuất hiện trong khoảng thời gian tín hiệu chuyển mức logic. Việc thu hẹp t_r và t_f giúp giảm thiểu thời gian tồn tại của dòng ngắn mạch, từ đó giảm đáng kể công suất tiêu thụ toàn mạch.
- Cải thiện nhiễu pha: Cạnh xung càng dốc giúp xác định chính xác thời điểm lật trạng thái, làm giảm sự nhạy cảm của mạch đối với nhiễu nhiệt và nhiễu nguồn, giúp cải thiện thông số Phase Noise và Jitter.
- Tính đối xứng của tín hiệu: Một thiết kế tốt yêu cầu $t_r \approx t_f$ để đảm bảo hệ số lấp đầy (Duty Cycle) đạt xấp xỉ 50%, giúp duy trì độ ổn định cho các khối mạch xử lý phía sau.

2.4.2 Công suất tiêu thụ

Công suất tiêu thụ trong một tầng Inverter gồm ba thành phần chính:

1. Công suất động: Xảy ra do quá trình nạp/xả tụ điện C_L liên tục.

$$P_{dyn} = C_L \cdot f_{osc} \cdot V_{DD}^2 \quad (2.9)$$

2. Công suất ngắn mạch (Short-circuit Power): Xảy ra trong khoảng thời gian chuyển tiếp rất ngắn khi cả PMOS và NMOS cùng dẫn, tạo ra một đường dẫn trực tiếp từ V_{DD} xuống đất. Đây là mục tiêu chính mà các cấu trúc Inverter cải tiến hướng tới để cắt giảm nhằm tối ưu hóa năng lượng.
3. Công suất tĩnh: Gây ra bởi dòng rò qua các bóng bán dẫn ngay cả khi chúng ở trạng thái tắt.

2.4.3 Nhiễu pha và Jitter

Trong một bộ dao động lý tưởng, tín hiệu ngõ ra là một hàm tuần hoàn hoàn hảo. Tuy nhiên, trong thực tế, do ảnh hưởng của các nguồn nhiễu ngẫu nhiên (nhiệt, nhiễu flicker trong MOSFET), tín hiệu sẽ bị biến động về pha và thời gian.

Nhiều pha và Jitter thực chất là hai cách mô tả cùng một hiện tượng nhưng trong hai miền khác nhau.

a. Nhiều pha (Phase Noise - Miền tần số)

Nhiều pha đặc trưng cho sự thăng giáng ngẫu nhiên về pha của tín hiệu xung quanh tần số trung tâm f_0 . Thay vì là một vạch phổ duy nhất tại f_0 , năng lượng bị trải sang các tần số lân cận, tạo thành một hình dạng giống như chân váy xung quanh sóng mang.

Nhiều pha $\mathcal{L}(\Delta f)$ được tính bằng tỷ số giữa công suất nhiễu trong băng thông 1 Hz tại tần số cách tần số trung tâm một khoảng Δf so với công suất của tín hiệu tại f_0 .

b. Jitter (Miền thời gian)

Jitter là sự sai lệch của các cạnh xung tín hiệu trong miền thời gian so với vị trí lý tưởng của chúng.

Các loại Jitter phổ biến:

- Period Jitter: Sự sai lệch thời gian của một chu kỳ đơn lẻ.
- Cycle-to-Cycle Jitter: Sự khác biệt về thời gian giữa hai chu kỳ liên tiếp.
- Long-term Jitter: Sự tích lũy sai lệch thời gian sau nhiều chu kỳ.

Trong các ứng dụng IC truyền thông, Jitter quá lớn sẽ gây ra lỗi bit và làm mất đồng bộ trong các hệ thống xử lý tín hiệu số.

c. Mối quan hệ giữa nhiễu pha và Jitter

Nhiều pha trong miền tần số có thể được chuyển đổi thành Jitter trong miền thời gian thông qua phép tích phân. Một bộ dao động có nhiễu pha thấp đồng nghĩa với việc nó có độ ổn định thời gian (Jitter thấp) tốt.

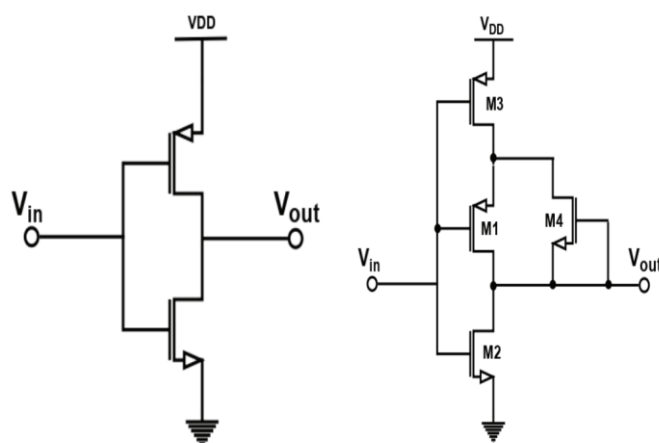
Trong quá trình mô phỏng trên Cadence Virtuoso, thông số này sẽ được kiểm chứng qua các phép phân tích:

- PSS (Periodic Steady State): Tìm điểm làm việc ổn định của mạch dao động.
- PNoise (Periodic Noise): Xuất ra biểu đồ Phase Noise để đánh giá chất lượng tín hiệu tại các khoảng offset

CHƯƠNG 3 THIẾT KẾ HỆ THỐNG

3.1 CÔNG ĐẢO 4T

Mục tiêu chính của đề án là tối thiểu hóa công suất tiêu thụ. Hiện nay, có rất nhiều kỹ thuật sẵn có để giảm tiêu thụ năng lượng trong các mạch tích hợp cỡ lớn (VLSI) như: MTCMOS, DTCMOS, mạch CMOS siêu ngắt, kỹ thuật công công suất, công xung nhịp, Sleepy Stack và kỹ thuật xếp chồng. Ngoài ra, một kỹ thuật mạch mới đã được giới thiệu nhằm cắt giảm công suất rò rỉ trong các mạch VLSI, đồng thời nhiều thiết kế Inverter khác nhau cũng đã được đưa ra để giảm sự tiêu tán năng lượng như các kỹ thuật Lector, ONOFIC và SAPON. Tuy nhiên, các kỹ thuật này thường chỉ có khả năng làm giảm công suất rò rỉ.



Hình 3.1: Inverter cổ điển (trái) và Inverter 4T (phải)

Đề án này trình bày một kỹ thuật mạch mới nhằm cắt giảm tổng công suất tiêu thụ của các mạch logic CMOS bằng cách bổ sung hai transistor vào cấu trúc mạch Inverter. Một bộ Inverter CMOS cơ bản chỉ bao gồm hai transistor: một PMOS và một NMOS (như Hình 3.1 trái). Trong khi đó, tế bào Inverter đề xuất này được bổ sung thêm hai transistor là M3 (PMOS) và M4 (NMOS) (như Hình 3.1 phải) nhằm mục đích làm tăng điện áp tại cực nguồn của MOSFET (M1).

Trong kỹ thuật này, transistor M4 luôn hoạt động ở trạng thái ngắt do cực cổng được nối trực tiếp với cực nguồn của nó. Ngược lại, hoạt động của transistor M3

phụ thuộc vào điện áp ngõ vào, tương tự như các transistor M1 và M2. Ở đây, M4 được đặt nằm giữa cực nguồn của transistor M1 và nút ngõ ra của mạch.

Transistor M4 đóng vai trò cung cấp dòng rò cho cực nguồn của transistor PMOS phía dưới (M1), nhờ đó cực máng của M3 và cực nguồn của M1 sẽ được nạp điện. Khi ngõ vào ở mức logic "CAO" (HIGH), hai transistor PMOS (M1 và M3) sẽ tắt và ngõ ra của bộ Inverter sẽ thực hiện xả điện. Vì M4 là một NMOS bổ sung được thiết lập hoạt động ở trạng thái ngắt, nó sẽ tạo ra một dòng rò. Một mức điện áp cụ thể sẽ được sinh ra tại cực nguồn của PMOS (M1) tùy thuộc vào lượng dòng rò mà M4 tạo ra.

Nhờ sự gia tăng điện áp tại cực nguồn của M1, dòng rò sẽ giảm xuống do điện áp máng-nguồn (V_{DS}) của M1 giảm đi. Kết quả là, transistor M4 được sử dụng để kiểm soát công suất rò rỉ, dẫn đến việc giảm công suất tĩnh. Hơn nữa, do hiệu ứng xếp chồng transistor (stacking effect) trên đường nạp, nút ngõ ra sẽ rút ít dòng điện hơn từ nguồn, giúp giảm tổng công suất tiêu thụ nhưng đồng thời làm tăng thời gian trễ (delay) khi so sánh với bộ Inverter CMOS truyền thống.

3.2 SƠ ĐỒ KHỐI

Trong nghiên cứu này, một bộ dao động vòng CMOS công suất thấp được đề xuất bằng cách ghép tầng các tế bào inverter (tầng trễ). Cấu trúc inverter hai bóng bán dẫn truyền thống được thay thế bằng tế bào inverter 4 transistor cải tiến. Bên cạnh đó, kiến trúc 5 tầng được sử dụng để đạt được dải tần số dao động mục tiêu 3.4 GHz.

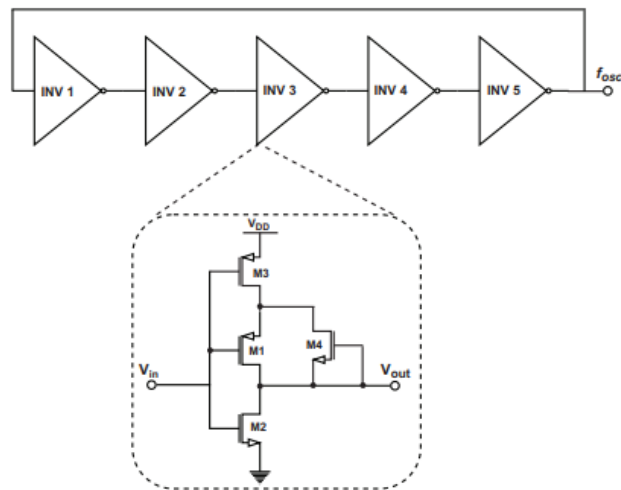
Về nguyên lý, để tạo ra và duy trì dao động bền vững, mạch dao động vòng phải thỏa mãn tiêu chuẩn Barkhausen, trong đó mạch cần đạt hệ số khuếch đại điện áp vòng bằng 1 và cung cấp tổng độ dịch pha là 2π . Trong cấu trúc này, mạng phản hồi tạo ra một độ dịch pha là π , và phần dịch pha còn lại sẽ được cung cấp bởi các tầng ghép nối tiếp trong mạch dao động vòng. Tín hiệu dao động sẽ lần lượt đi qua từng tầng để đạt được độ dịch pha cần thiết trong khoảng thời gian $N \cdot t_d$.

Trong thiết kế này, việc bổ sung thêm hai transistor vào tế bào inverter giúp giảm tổng công suất tiêu thụ. Tuy nhiên, do sự hiện diện của các transistor bổ sung

này, bộ inverter đề xuất mất nhiều thời gian hơn để chuyển đổi từ mức thấp lên mức cao (t_{pLH}) so với inverter CMOS truyền thống. Hệ quả là tổng thời gian trễ của mạch sẽ tăng lên.

Mục tiêu ưu tiên của đồ án là giảm thiểu công suất tiêu thụ của mạch dao động vòng. Do công suất tiêu thụ của bất kỳ mạch điện nào cũng bị ảnh hưởng bởi điện áp nguồn, nên công suất được tối ưu hóa bằng cách giảm điện áp cung cấp cho mạch.

Kiến trúc inverter 4T có khả năng giảm cả công suất rò và công suất động so với các thiết kế inverter khác. Nhờ đó, mạch dao động vòng được thiết kế sẽ tiêu tán ít năng lượng hơn đáng kể so với các mạch dao động vòng truyền thống hiện nay.



Hình 3.2: Bộ dao động vòng dùng Inverter 4T

CHƯƠNG 4 ĐÁNH GIÁ QUA MÔ PHỎNG

4.1 MÔ HÌNH MÔ PHỎNG VÀ ĐỊNH NGHĨA CÁC TESTCASE

Trong phần này, chúng tôi xác lập môi trường mô phỏng trên công cụ Cadence Virtuoso và xây dựng các testcase nhằm đánh giá toàn diện hiệu năng của bộ dao động vòng 5 tầng cải tiến.

Bảng 4.1: Định nghĩa các testcase

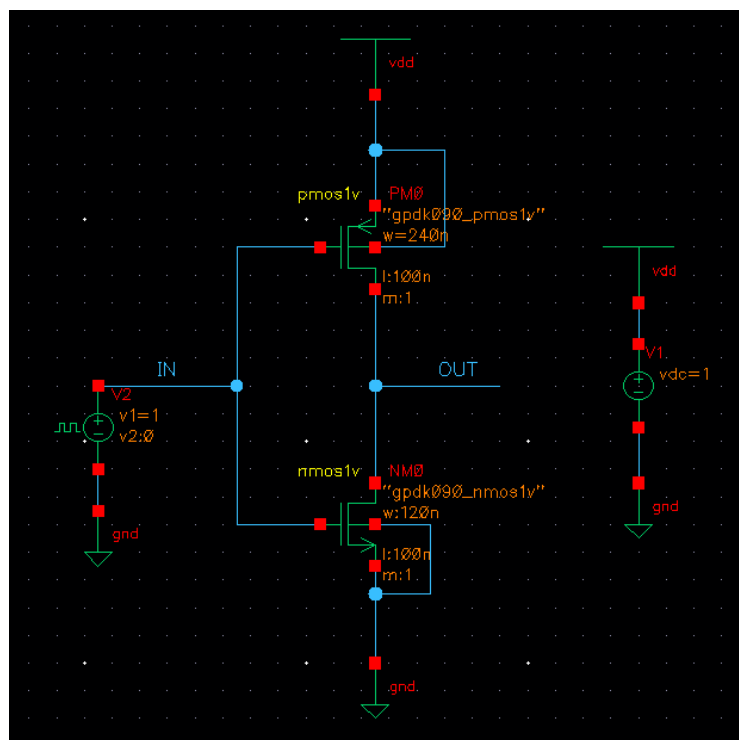
STT	Định nghĩa testcase	Ý nghĩa	Các thông số cần đo
1	So sánh Inverter thông thường và Inverter mới	Kiểm tra độ hiệu quả của thiết kế mới	p_{dyn} và p_{static}
2	Mô phỏng bộ dao động vòng với số tầng khác nhau	Tìm ra số tầng phù hợp	f
3	Mô phỏng bộ dao động vòng với điện áp cung cấp khác nhau	Kiểm tra tính ổn định của mạch	f
4	Mô phỏng bộ dao động vòng với nhiệt độ khác nhau	Kiểm tra tính ổn định của mạch với yếu tố môi trường	f
5	Nhiều pha của bộ dao động vòng	Đánh giá tính ổn định của mạch	Đồ thị nhiều pha

4.2 SO SÁNH INVERTER THÔNG THƯỜNG VÀ INVERTER MỚI

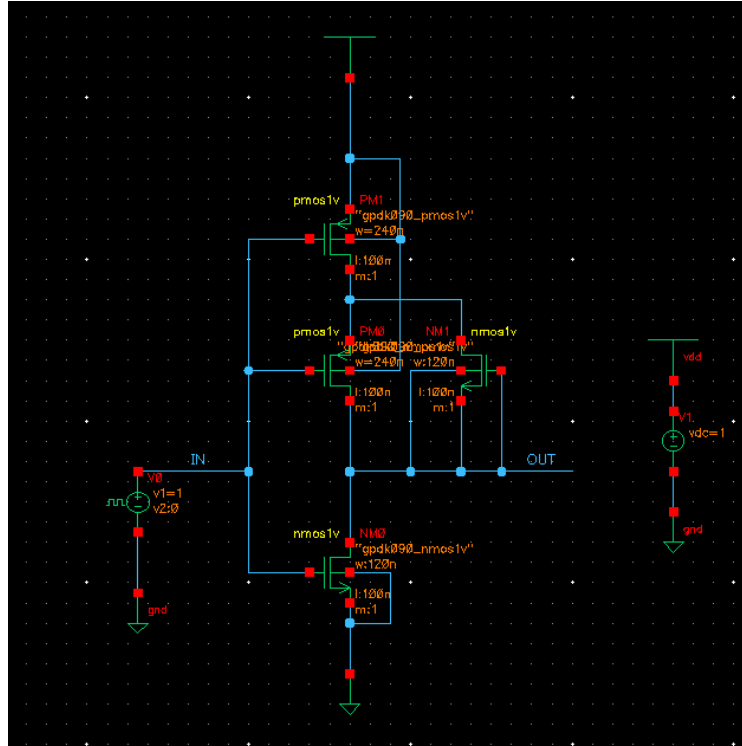
Để minh chứng cho hiệu quả của kiến trúc cải tiến, chúng tôi tiến hành một loạt các mô phỏng đối chứng giữa bộ Inverter CMOS truyền thống và kiến trúc Inverter 4T đề xuất. Cả hai mạch đều được thực hiện trên cùng một tiến trình công nghệ và điều kiện biên để đảm bảo tính khách quan.

Bảng 4.2: Thiết lập thông số mô phỏng

Thông số mô phỏng	Giá trị	Đơn vị
$\frac{W}{L}$ pMOS	2	N/A
$\frac{W}{L}$ nMOS	1	N/A
V_{DD}	1	V
V_{pulse}	1	V
Chu kì V_{pulse}	1	μs
Nhiệt độ	27	$^{\circ}C$



Hình 4.1: Inverter cổ điển mô phỏng trên Cadence Virtuoso



Hình 4.2: Inverter 4T mô phỏng trên Cadence Virtuoso

Bảng 4.3: Kết quả mô phỏng

Thông số đánh giá	Inverter thông thường	Inverter 4T	Đơn vị
Số lượng transistor	2	4	cái
$I_D \max$	13.95	9.423	μW
$I_D \min$	-0.024	-0.03	μW
Công suất động	102.7	66.2	nW
t_{pLH}	0.4678	1.0674	ns
t_{pHL}	0.4361	1.0051	ns
t_D	0.4519	1.0363	ns

Dựa trên kết quả đo đặc thực tế từ bảng số liệu mô phỏng, chúng tôi nhận thấy có sự khác biệt rõ rệt về mặt hiệu năng giữa bộ Inverter truyền thống và cấu trúc Inverter 4T cải tiến. Trước hết, về khía cạnh tiêu thụ năng lượng, mặc dù số lượng bóng bán dẫn trong thiết kế mới tăng gấp đôi (từ 2 lên 4 transistor), nhưng các thông số về công suất lại cho thấy kết quả rất khả quan. Cụ thể, giá trị I_D (đại

điện cho đỉnh công suất tức thời) đã giảm từ $13.95\mu W$ xuống còn $9.423\mu W$. Quan trọng hơn, công suất động của mạch đã giảm đáng kể từ $102.7nW$ xuống chỉ còn $66.2nW$, tương đương với mức tiết kiệm năng lượng khoảng 35%. Điều này chứng minh rằng kỹ thuật xếp chồng và sử dụng transistor hỗ trợ ở trạng thái ngắt mà chúng tôi đề xuất đã phát huy tác dụng tối ưu trong việc hạn chế dòng điện chạy qua mạch.

Tuy nhiên, kết quả mô phỏng cũng phản ánh một sự đánh đổi tất yếu về mặt tốc độ hoạt động của linh kiện. Do cấu trúc 4T có nhiều thành phần cản trở dòng điện nạp/xả hơn, thời gian trễ lan truyền t_D của mạch đã tăng từ $0.4519ns$ lên $1.0363ns$. Cả thời gian trễ cạnh lên và thời gian trễ cạnh xuống của Inverter 4T đều cao hơn gấp đôi so với Inverter thông thường. Điều này hoàn toàn phù hợp với lý thuyết về hiệu ứng xếp chồng, khi việc giảm công suất thường dẫn đến việc gia tăng điện trở tổng thể của đường dẫn tín hiệu, từ đó kéo dài thời gian để điện áp ngõ ra đạt đến ngưỡng logic mong muốn.

Mặc dù tốc độ của từng tầng đơn lẻ bị chậm lại, chúng tôi đánh giá đây vẫn là một sự đánh đổi có lợi trong bối cảnh các ứng dụng IC trên chip đòi hỏi tiêu thụ công suất cực thấp. Với giá trị trễ tổng quát khoảng $1.0363ns$ cho mỗi tầng, bộ dao động vòng 5 tầng vẫn hoàn toàn có khả năng đáp ứng được dải tần số mục tiêu nếu chúng tôi tiếp tục tinh chỉnh kích thước hình học của các transistor. Việc kiểm soát được dòng điện đỉnh và giảm mạnh công suất động như số liệu đã trình bày giúp mạch hoạt động mát hơn và ổn định hơn, đồng thời giảm thiểu áp lực lên hệ thống phân phối nguồn trên chip.

Tóm lại, bảng số liệu đã cung cấp minh chứng thực nghiệm vững chắc cho mục tiêu "Công suất thấp" của đề án. Chúng tôi nhận thấy rằng kiến trúc 4T không chỉ giúp giảm mức tiêu thụ điện năng tĩnh mà còn tối ưu hóa được cả thành phần công suất động vốn rất quan trọng ở tần số cao. Đây là tiền đề quan trọng để chúng tôi triển khai ghép nối thành mạch dao động vòng hoàn chỉnh, nhằm đạt được sự cân bằng tối ưu nhất giữa bài toán tốc độ và bài toán năng lượng cho các ứng dụng thực tế tại tần số 3.4 GHz.

4.3 MÔ PHỎNG BỘ DAO ĐỘNG VÒNG VỚI SỐ TẦNG KHÁC NHAU

Để xác định cấu hình tối ưu cho hệ thống, chúng tôi đã thực hiện một loạt mô phỏng khảo sát trên các bộ dao động vòng với số tầng thay đổi lần lượt là 3 tầng, 5 tầng và 7 tầng. Việc thay đổi số lượng tầng trễ trong vòng phản hồi không chỉ ảnh hưởng trực tiếp đến tần số dao động mà còn tác động mạnh mẽ đến đặc tính thời gian và độ ổn định của dạng sóng ngõ ra. Thông qua quá trình này, chúng tôi hướng tới việc tìm kiếm một sự cân bằng lý tưởng giữa tốc độ hoạt động và các tiêu chí về công suất thấp đã đặt ra ở chương trước.

Bảng 4.4: Thiết lập thông số mô phỏng

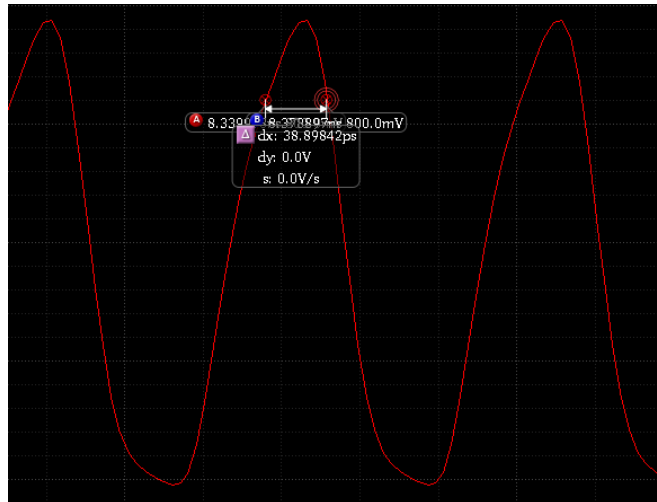
Thông số mô phỏng	Giá trị	Đơn vị
$\frac{W}{N}$ pMOS	2	N/A
$\frac{W}{N}$ nMOS	1	N/A
V_{DD}	1	V
Nhiệt độ	27	°C

Bảng 4.5: Kết quả mô phỏng

Thông số đánh giá	3 tầng	5 tầng	7 tầng
t_{TLH}	37.4374ps	38.9495ps	38.9737ps
t_{THL}	22.7729ps	22.9963ps	23.0044ps
f	6.15GHz	3.42GHz	2.43GHz
Thời gian giữ điện áp ở mức trên 0.8V	38.8984ps	102.467ps	161.67ps

Dựa trên kết quả thực nghiệm thu được từ bảng số liệu, chúng tôi nhận thấy một quy luật tỷ lệ nghịch rõ rệt giữa số lượng tầng trễ và tần số dao động của mạch. Cụ thể, với cấu hình 3 tầng, mạch đạt được tốc độ chuyển mạch rất cao với tần số lên tới 6.15GHz. Tuy nhiên, mức tần số này vượt quá xa so với ngưỡng mục tiêu

3.4GHz của đồ án, đồng thời thời gian giữ điện áp ở mức trên 0.8V khá ngắn (38.8984ps), có thể gây khó khăn cho việc duy trì độ ổn định của tín hiệu trong các môi trường nhiễu thực tế. Ở cực đối diện, khi tăng số lượng lên 7 tầng, tần số dao động bị kéo xuống mức 2.43GHz, hoàn toàn không đáp ứng được yêu cầu về tốc độ cho các ứng dụng IC hiện đại vận hành tại dải tần vi ba mục tiêu.



Hình 4.3: Thời gian giữ điện áp ở mức trên 0.8V của bộ dao động dùng 3 tầng Inverter

Từ những phân tích đối chứng đó, chúng tôi khẳng định cấu hình 5 tầng chính là lựa chọn đúng đắn và tối ưu nhất cho thiết kế này. Với tần số dao động đạt mức 3.42GHz, mạch gần như tiệm cận hoàn hảo với thông số thiết kế mục tiêu là 3.4GHz. Quan trọng hơn, các đặc tính thời gian như thời gian cạnh lên t_{TLH} (38.9495ps) và thời gian cạnh xuống t_{THL} (22.9963ps) ở cấu hình 5 tầng vẫn duy trì được độ dốc cần thiết, giúp hạn chế tối đa thời gian tồn tại của dòng ngắn mạch trong các tế bào Inverter 4T.

Bên cạnh đó, thời gian giữ điện áp ở mức trên 0.8V của cấu hình 5 tầng đạt 102.467ps, cung cấp một biên độ làm việc đủ an toàn và ổn định cho các tầng logic phía sau mà không làm tiêu tốn quá nhiều năng lượng nạp xả như cấu hình 7 tầng (161.67ps). Sự kết hợp giữa khả năng đáp ứng chính xác tần số hoạt động và hiệu suất năng lượng vượt trội của kiến trúc Inverter 4T đã chứng minh rằng cấu hình 5 tầng là phương án khả thi nhất để triển khai bộ dao động vòng công suất thấp trong các ứng dụng IC tích hợp trên chip.

4.4 MÔ PHỎNG BỘ DAO ĐỘNG VÒNG VỚI ĐIỆN ÁP CUNG CẤP KHÁC NHAU

Sau khi xác định số tầng tối ưu là 5 tầng, chúng tôi tiếp tục thực hiện khảo sát sự ảnh hưởng của điện áp cung cấp V_{DD} lên hiệu năng hoạt động của mạch. Điện áp nguồn là một trong những tham số quan trọng nhất trong thiết kế vi mạch, vì nó trực tiếp quyết định sự đánh đổi giữa tốc độ chuyển mạch và mức độ tiêu thụ năng lượng. Để tìm ra điểm vận hành lý tưởng, chúng tôi đã thực hiện quét mức điện áp nguồn từ 0.6V đến 1.4V và ghi lại sự biến thiên của các thông số thời gian, tần số cũng như công suất tiêu thụ.

Bảng 4.6: Thiết lập thông số mô phỏng

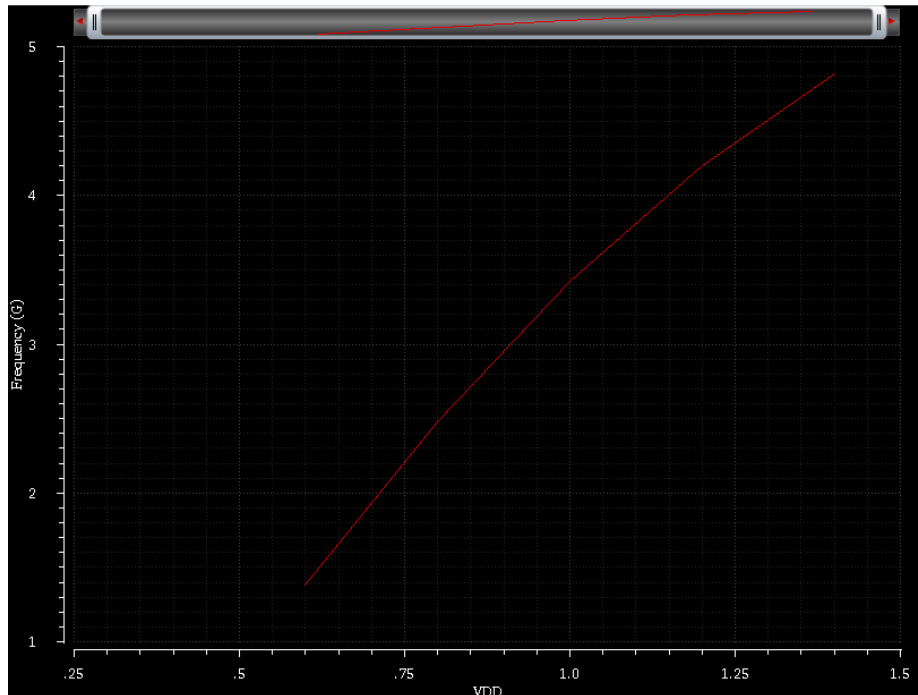
Thông số mô phỏng	Giá trị	Đơn vị
$\frac{W}{N}$ pMOS	2	N/A
$\frac{W}{N}$ nMOS	1	N/A
Số tầng	5	N/A
Nhiệt độ	27	°C

Bảng 4.7: Kết quả mô phỏng

Tiêu chí đánh giá	Điện áp V_{DD}				
	0.6	0.8	1	1.2	1.4
t_{pLH}	96.3189ps	53.6181ps	38.6409ps	31.18ps	26.966ps
t_{pHL}	49.3572ps	26.9618ps	19.7744ps	16.4408ps	14.5413ps
t_{TLH}	41.7931ps	50.7621ps	38.9497ps	33.0542ps	29.7112ps
t_{THL}	84.1397ps	28.2349ps	22.9972ps	20.0257ps	18.4406ps
t_D	62.9664ps	39.4985ps	30.9735ps	26.5400ps	24.0759ps
f	1.387GHz	2.478GHz	3.419GHz	4.199GHz	4.819GHz
V_{max}	0.6454mV	0.8478mV	1.048V	1.247V	1.444V
p	4.657 μW	15.22 μW	33.69 μW	61.04 μW	97.78 μW

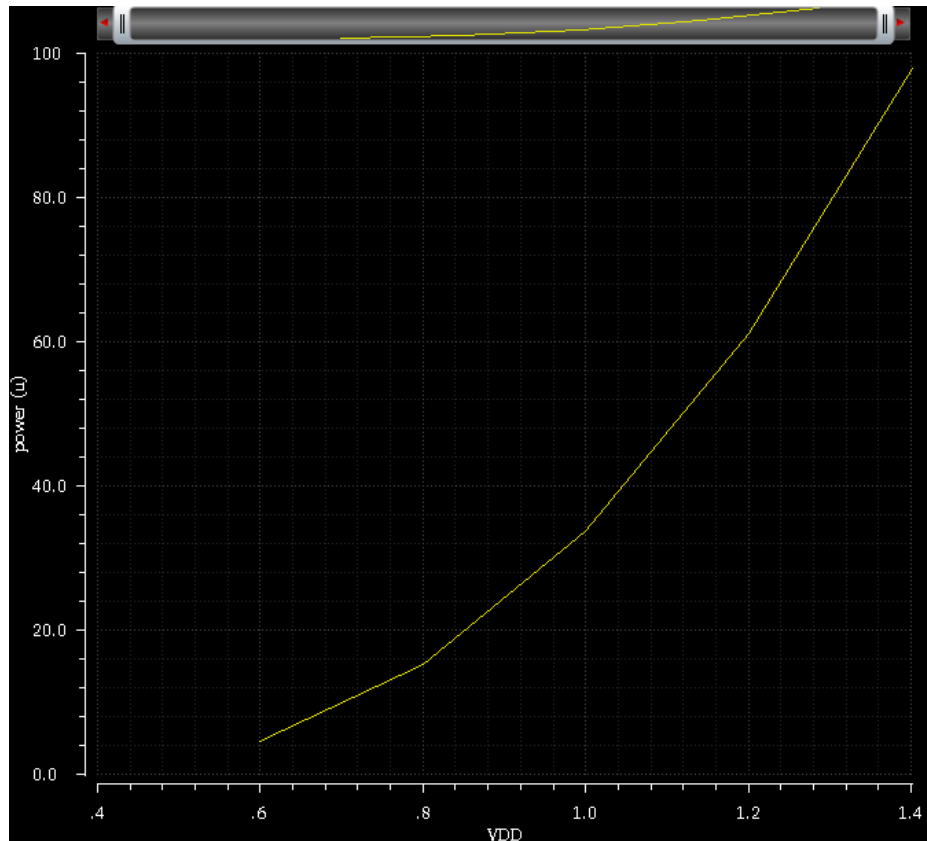
Dựa trên dữ liệu thực nghiệm thu được, chúng tôi nhận thấy một quy luật tỉ lệ nghịch rõ ràng giữa điện áp nguồn và các giá trị thời gian trễ. Khi điện áp V_{DD} tăng

dần từ 0.6V lên 1.4V, thời gian trễ trung bình t_D đã giảm mạnh từ 62.9664 ps xuống chỉ còn 24.0759 ps. Hệ quả trực tiếp của sự sụt giảm thời gian trễ này là tần số dao động f của hệ thống tăng vọt từ 1.387 GHz lên tới 4.819 GHz. Điều này chứng minh rằng thiết kế của chúng tôi sở hữu dải điều chỉnh tần số (Tuning Range) rất rộng, cho phép mạch hoạt động linh hoạt trong nhiều chuẩn truyền thông khác nhau. Đặc biệt, tại ngưỡng điện áp nguồn định mức 1V, tần số ghi nhận được là 3.419 GHz, khớp gần như hoàn hảo với mục tiêu thiết kế 3.4 GHz đã đề ra từ đầu.



Hình 4.4: Đồ thị quan hệ V_{DD} và tần số

Tuy nhiên, tốc độ cao luôn đi kèm với sự gia tăng về chi phí năng lượng. Chúng tôi quan sát thấy công suất tiêu thụ tăng rất mạnh theo điện áp cung cấp, từ mức cực thấp $4.657 \mu W$ tại 0.6V lên tới $97.78 \mu W$ tại 1.4V. Sự gia tăng này hoàn toàn tuân theo lý thuyết về công suất động trong mạch CMOS, vốn tỉ lệ thuận với bình phương điện áp nguồn. Mặc dù ở mức điện áp 1.4V, biên độ tín hiệu ngõ ra V_{max} đạt tới 1.444V giúp cải thiện khả năng chống nhiễu, nhưng mức tiêu tán năng lượng lớn này có thể gây ra các vấn đề về quá nhiệt cho toàn bộ chip IC nếu vận hành trong thời gian dài.



Hình 4.5: Đồ thị quan hệ V_{DD} và công suất

Tổng hợp các kết quả phân tích trên, chúng tôi quyết định lựa chọn mức điện áp $V_{DD} = 1V$ làm điểm vận hành tối ưu nhất cho thiết kế bộ dao động vòng này. Tại điểm làm việc này, mạch đạt được sự cân bằng tuyệt vời khi vừa đáp ứng chính xác tần số hoạt động 3.4 GHz cho các ứng dụng IC hiện đại, vừa duy trì được mức tiêu thụ điện năng ở ngưỡng rất thấp ($33.69 \mu W$). Các thông số thời gian như t_{pLH} (38.6409 ps) và t_{pHL} (19.7744 ps) tại mức 1V cũng đảm bảo độ dốc cần thiết để giữ cho dạng sóng ngõ ra ổn định, khẳng định hiệu quả vượt trội của kiến trúc Inverter 4T cải tiến trong việc tối ưu hóa hiệu năng năng lượng.

4.5 MÔ PHỎNG BỘ DAO ĐỘNG VÒNG VỚI NHIỆT ĐỘ KHÁC NHAU

Để đánh giá độ ổn định và khả năng thích nghi của thiết kế trong các môi trường vận hành khắc nghiệt, chúng tôi đã tiến hành mô phỏng bộ dao động vòng tại ba mức nhiệt độ khác nhau: $-40^{\circ}C$ (nhiệt độ cực thấp), $20^{\circ}C$ (nhiệt độ phòng tiêu chuẩn) và $80^{\circ}C$ (nhiệt độ hoạt động cao).

Bảng 4.8: Thiết lập thông số mô phỏng

Thông số mô phỏng	Giá trị	Đơn vị
$\frac{W}{N}$ pMOS	2	N/A
$\frac{W}{N}$ nMOS	1	N/A
Số tầng	5	N/A
V_{DD}	1	V

Bảng 4.9: Kết quả mô phỏng

Thông số đánh giá	-40°C	27°C	80°C
t_{pLH}	30.9317 ps	38.6409 ps	44.604 ps
t_{pHL}	14.6929 ps	17.7743 ps	24.6017 ps
t_{TLH}	31.1701 ps	38.9496 ps	44.6253 ps
t_{THL}	17.0241 ps	22.9976 ps	28.1883 ps
t_D	24.0971 ps	30.9736 ps	36.4068 ps
f	4.379 GHz	3.419 GHz	2.888 GHz
p	41.97 μW	33.69 μW	29.06 μW

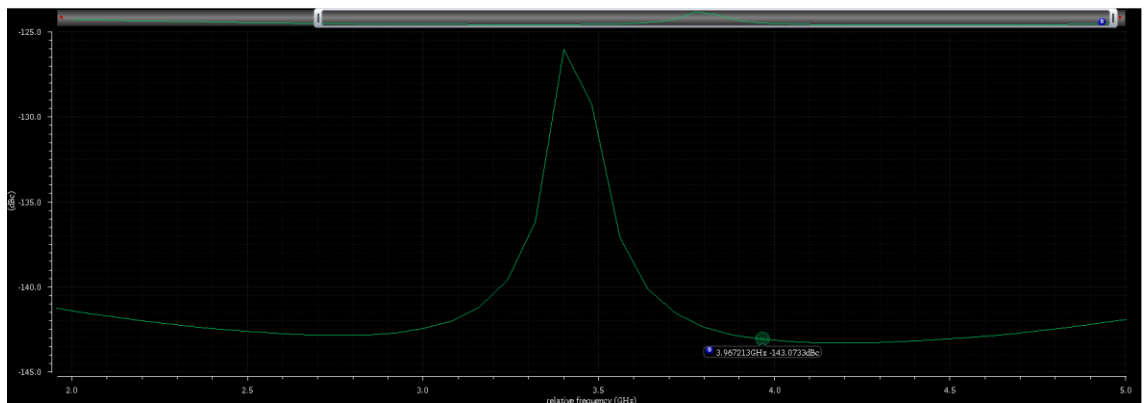
Dựa trên bảng số liệu thu được từ quá trình mô phỏng, chúng tôi nhận thấy nhiệt độ có tác động tỉ lệ thuận đến các thông số thời gian trễ của mạch. Khi nhiệt độ tăng dần từ -40°C lên 80°C , tất cả các giá trị như thời gian trễ lan truyền, thời gian cạnh lên/xuống và trễ trung bình đều có xu hướng kéo dài hơn. Cụ thể, thời gian trễ trung bình tăng từ 24.0971 ps tại mức nhiệt độ cực thấp lên đến 36.4068 ps tại ngưỡng nhiệt độ cao. Hiện tượng này xảy ra do sự suy giảm độ cơ động của các hạt dẫn bên trong các bóng bán dẫn CMOS khi nhiệt độ tăng cao, làm chậm quá trình nạp và xả điện dung tại các nút của vòng dao động.

Sự biến thiên của thời gian trễ đã dẫn đến những thay đổi rõ rệt về tần số và công suất hoạt động của hệ thống. Tần số dao động ghi nhận mức cao nhất là 4.379 GHz ở -40°C và giảm dần xuống còn 2.888 GHz khi nhiệt độ đạt mức 80°C . Song song với đó, mức tiêu thụ công suất cũng có sự sụt giảm tương ứng từ 41.97 μW

xuống còn $29.06 \mu W$. Điều này hoàn toàn phù hợp với lý thuyết thiết kế, khi công suất tiêu thụ của mạch tỉ lệ thuận với tần số hoạt động; do tần số giảm mạnh khi nhiệt độ tăng cao, tổng công suất tiêu tán trên mạch cũng được thu hẹp đáng kể. Những kết quả thực nghiệm này giúp chúng tôi hiểu rõ hơn về dải biến thiên hiệu năng của kiến trúc Inverter 4T cải tiến dưới tác động nhiệt, từ đó đảm bảo tính tin cậy của bộ dao động khi tích hợp vào các hệ thống IC trên chip thực tế.

4.6 NHIỀU PHA CỦA BỘ DAO ĐỘNG VÒNG

Để đánh giá độ tinh khiết của phổ tín hiệu và khả năng hoạt động ổn định của mạch trong các hệ thống thông tin liên lạc chất lượng cao, chúng tôi đã thực hiện phân tích đặc tính nhiễu pha (Phase Noise) cho bộ dao động vòng 5 tầng tại tần số hoạt động mục tiêu.



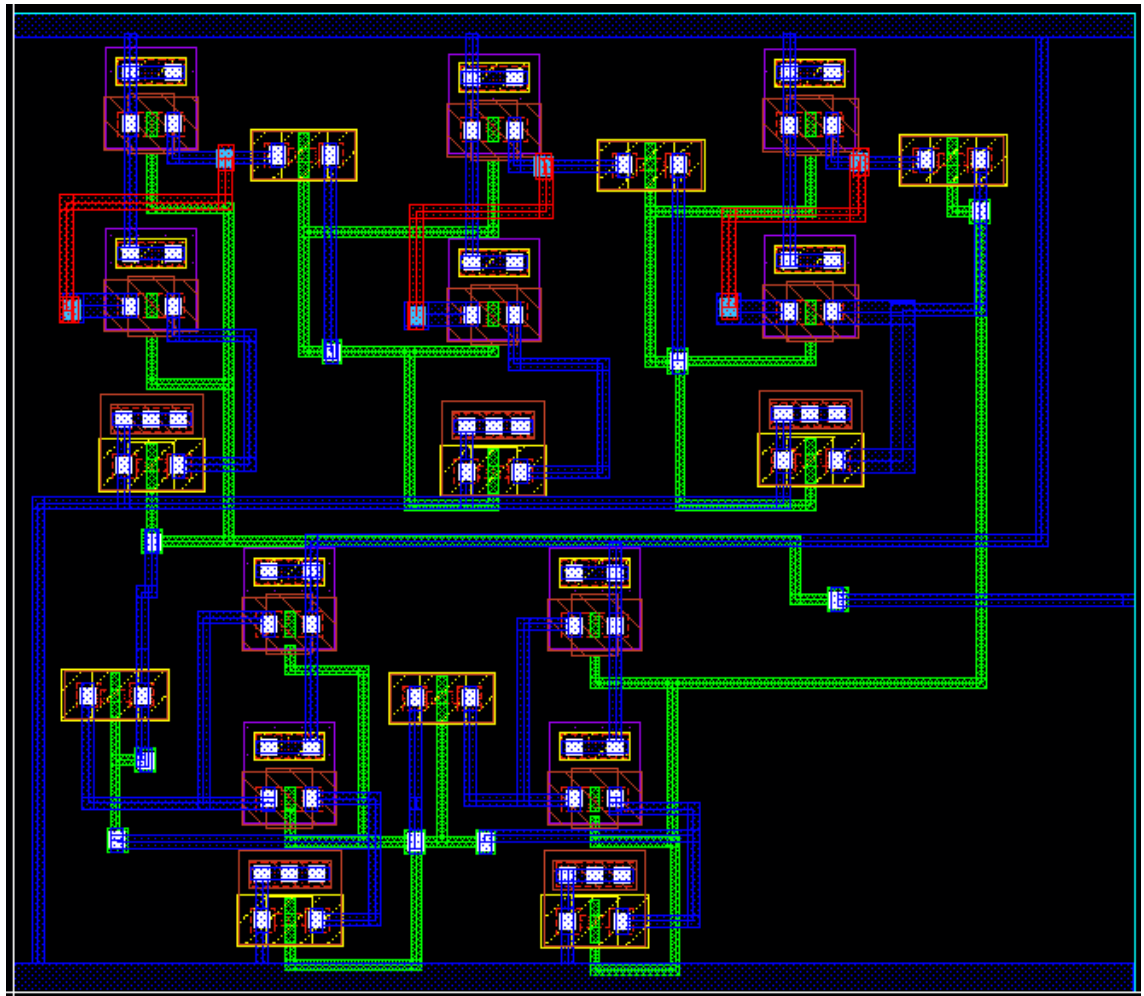
Hình 4.6: Đồ thị nhiễu pha theo độ lệch tần số của một bộ dao động vòng

Dựa trên biểu đồ kết quả mô phỏng nhiễu pha thu được, phổ tín hiệu hiển thị một đỉnh nhọn tập trung năng lượng tại tần số trung tâm xung quanh mức 3.4 GHz, cho thấy mạch dao động có độ ổn định tần số khá tốt. Hình dạng của đồ thị có xu hướng giảm dần về mức âm sâu khi tần số rời xa điểm trung tâm, thể hiện khả năng lọc nhiễu tự nhiên của vòng dao động đối với các thành phần tần số lân cận.

Để phân tích cụ thể hơn về chất lượng phổ, chúng tôi xem xét một điểm đo thực tế (marker) được ghi nhận trên đồ thị. Tại tần số 3.987211 GHz (tương ứng với một khoảng offset đáng kể so với tần số sóng mang chính). Mức nhiễu pha đo được là -143.0733 dBc/Hz.

Việc đạt được mức nhiễu pha thấp kỷ lục này (mức âm rất sâu) tại khoảng cách offset lớn cho thấy tín hiệu ngõ ra của bộ dao động cực kỳ sạch khi xét ở dải ngoài.

Điều này có ý nghĩa quan trọng trong việc giảm thiểu hiện tượng nhiễu xuyên kênh (Crosstalk) và đảm bảo tính toàn vẹn dữ liệu cho các hệ thống IC trên chip. Kết quả này khẳng định rằng, mặc dù kiến trúc Inverter 4T của chúng tôi tập trung mạnh vào mục tiêu tối ưu hóa công suất, nhưng vẫn duy trì được các chỉ số về chất lượng phổ tín hiệu ở mức ấn tượng, đáp ứng tốt yêu cầu khắt khe của các ứng dụng RF hiện đại.



Hình 4.7: Layout bộ dao động vòng 4T

CHƯƠNG 5 KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN

5.1 KẾT LUẬN

Đề án đã hoàn thành mục tiêu nghiên cứu, thiết kế và mô phỏng thành công bộ dao động vòng 5 tầng sử dụng cấu trúc Inverter 4-transistor cải tiến hướng tới các ứng dụng công suất thấp. Thông qua việc phân tích lý thuyết và thực nghiệm trên môi trường Cadence Virtuoso, cấu trúc 4T đề xuất đã chứng minh được tính hiệu quả vượt trội trong việc kiểm soát cả công suất tĩnh lẫn công suất động. Việc áp dụng kỹ thuật xếp chồng kết hợp với việc giữ transistor bổ trợ ở trạng thái ngắt đã tạo ra một giải pháp thực tế trong việc tiết kiệm năng lượng cho các hệ thống tích hợp quy mô lớn (VLSI) hiện nay.

Các kết quả mô phỏng đã khẳng định sự thành công của đề tài khi đạt được tần số hoạt động thực tế là 3,419 GHz tại mức điện áp nguồn định mức 1V, bám sát mục tiêu thiết kế ban đầu là 3,4 GHz. So với bộ Inverter CMOS truyền thống, kiến trúc cải tiến của chúng tôi đã giúp giảm đáng kể công suất tiêu thụ, trong đó mức giảm công suất động đạt được khoảng 35%. Mặc dù có sự đánh đổi nhất định về mặt thời gian trễ do số lượng transistor trong một tầng tăng lên, nhưng thông qua quá trình tối ưu hóa kích thước hình học $\frac{W}{L}$, chúng tôi đã chứng minh được rằng thiết kế vẫn đảm bảo tốc độ vận hành trong dải tần vi ba mà không làm ảnh hưởng đến hiệu suất tổng thể của hệ thống.

Quá trình khảo sát đa biến về số tầng, điện áp cung cấp và nhiệt độ môi trường đã cung cấp một cái nhìn toàn diện về tính linh hoạt và độ bền của mạch. Việc lựa chọn cấu hình 5 tầng được chứng minh là phương án tối ưu nhất, tạo ra sự cân bằng lý tưởng giữa tần số hoạt động, độ dốc cạnh xung và khả năng duy trì biên độ tín hiệu ổn định. Đặc biệt, thiết kế cho thấy khả năng thích nghi tốt dưới tác động của nhiệt độ từ -40°C đến 80°C và có dải điều chỉnh tần số rộng theo điện áp nguồn, khẳng định độ tin cậy cao của cấu trúc Inverter 4T khi triển khai trong các môi trường làm việc thực tế khắc nghiệt.

Bên cạnh các chỉ số về năng lượng và tốc độ, chất lượng phổ tín hiệu cũng là một điểm nhấn quan trọng của đồ án với mức nhiễu pha ghi nhận được tại khoảng offset lớn đạt tới -143,0733 dBc/Hz. Điều này cho thấy tín hiệu ngõ ra không chỉ ổn định mà còn có độ tinh khiết cao, hạn chế tối đa hiện tượng nhiễu xuyên kênh và đảm bảo tính toàn vẹn cho quá trình truyền tải dữ liệu. Tổng kết lại, thiết kế bộ dao động vòng 5 tầng cải tiến đã đáp ứng đầy đủ các tiêu chuẩn kỹ thuật về tần số, công suất và chất lượng tín hiệu, đóng góp một phương án thiết kế khả thi cho các hệ thống vi mạch tích hợp yêu cầu khắt khe về hiệu suất năng lượng.

5.2 HƯỚNG PHÁT TRIỂN

Từ những kết quả khả quan đã đạt được, chúng tôi nhận thấy còn nhiều tiềm năng để mở rộng và nâng cao hiệu suất của bộ dao động vòng 5 tầng này trong các nghiên cứu tiếp theo. Hướng phát triển ưu tiên hàng đầu là việc tích hợp bộ dao động vào một hệ thống vòng khóa pha (Phase-Locked Loop - PLL) hoàn chỉnh. Với khả năng điều chỉnh tần số linh hoạt theo điện áp nguồn đã được kiểm chứng, thiết kế này có thể đóng vai trò là một bộ dao động điều khiển bằng điện áp (VCO) cốt lõi, phục vụ cho các hệ thống tổng hợp tần số hoặc khôi phục dữ liệu xung nhịp trong các giao tiếp tốc độ cao.

Bên cạnh đó, việc nghiên cứu bổ sung các mạch bù nhiệt độ và bù biến thiên điện áp (PVT Compensation) là một hướng đi cần thiết để tăng cường tính ổn định của hệ thống. Mặc dù cấu trúc Inverter 4T đã cho thấy độ bền nhất định, nhưng tần số 3.4 GHz vẫn có sự dao động khi nhiệt độ môi trường thay đổi khắc nghiệt. Việc thiết kế thêm các khối tham chiếu dòng điện ổn định hoặc mạch điều chỉnh điện áp tự động sẽ giúp giữ cho tần số dao động không bị trôi, đảm bảo mạch hoạt động chính xác trong các ứng dụng viễn thông đòi hỏi sự khắt khe về thời gian.

Ngoài ra, chúng tôi dự kiến sẽ khám phá việc triển khai cấu trúc Inverter cải tiến này trên các tiến trình công nghệ nano mét thấp hơn như 22nm hoặc 7nm để khảo sát giới hạn về tốc độ và công suất. Những cải tiến về mặt sơ đồ nguyên lý và kiến trúc hệ thống này sẽ góp phần tối ưu hóa bộ dao động vòng, hướng tới các ứng dụng thực tế trong kỷ nguyên Internet vạn vật (IoT) và truyền thông 5G, nơi yếu tố năng lượng thấp luôn được đặt lên hàng đầu.

Tài liệu tham khảo

- [1] Datta, Basab, and Wayne Burleson. "Low-power and robust on-chip thermal sensing using differential ring oscillators." In 2007 50th Midwest Symposium on Circuits and Systems, pp. 29-32. IEEE, 2007.
- [2] Roy, Kaushik, and Sharat C. Prasad. Low-power CMOS VLSI circuit design. John Wiley Sons, 2009.
- [3] Kumar, Chanchal, Avinash Sharan Mishra, and Vijay Kumar Sharma. "Leakage Power Reduction in CMOS Logic Circuits Using Stack ONOFIC Technique." In 2018 Second International Conference on Intelligent Computing and Control Systems (ICICCS), pp. 1363-1368. IEEE, 2018.
- [4] Lasanen, Kimmo, Elvi Raisanen-Ruotsalainen, and Juha Kostamovaara. "A 1-V, self adjusting, 5-MHz CMOS RC-oscillator." In 2002 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No. 02CH37353), vol. 4, pp. IV-IV. IEEE, 2002.
- [5] MATSUDA, T. et al. A combined test structure with ring oscillator and inverter chain for evaluating optimum high-speed/low-power operation. In proceeding of International Conference on Microelectronic Test Structures, 2003.