



**AGH**

**AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE**

**WYDZIAŁ ELEKTROTECHNIKI, AUTOMATYKI,  
INFORMATYKI I INŻYNIERII BIOMEDYCZNEJ**

Praca dyplomowa

*Implementacja algorytmów cyfrowego przetwarzania sygnałów w  
układzie heterogenicznym Intel Cyclone V SoC*

Autor:

*Dominik Bachurski*

Kierunek studiów:

*Mikroelektronika w Technice i Medycynie*

Opiekun pracy:

*dr Paweł Skrzypiec*

Kraków, 2024

Uprzedzony o odpowiedzialności karnej na podstawie art. 115 ust. 1 i 2 ustawy z dnia 4 lutego 1994 r. o prawie autorskim i prawach pokrewnych (t.j. Dz.U. z 2006 r. Nr 90, poz. 631 z późn. zm.): „Kto przywłaszcza sobie autorstwo albo wprowadza w błąd co do autorstwa całości lub części cudzego utworu albo artystycznego wykonania, podlega grzywnie, karze ograniczenia wolności albo pozbawienia wolności do lat 3. Tej samej karze podlega, kto rozpowszechnia bez podania nazwiska lub pseudonimu twórcy cudzy utwór w wersji oryginalnej albo w postaci opracowania, artystycznego wykonania albo publicznie zniekształca taki utwór, artystyczne wykonanie, fonogram, wideogram lub nadanie.”, a także uprzedzony o odpowiedzialności dyscyplinarnej na podstawie art. 211 ust. 1 ustawy z dnia 27 lipca 2005 r. Prawo o szkolnictwie wyższym (t.j. Dz. U. z 2012 r. poz. 572, z późn. zm.): „Za naruszenie przepisów obowiązujących w uczelni oraz za czyny uchybiające godności studenta student ponosi odpowiedzialność dyscyplinarną przed komisją dyscyplinarną albo przed sądem koleżeńskim samorządu studenckiego, zwanym dalej «sądem koleżeńskim».”, oświadczam, że niniejszą pracę dyplomową wykonałem(-am) osobiście i samodzielnie i że nie korzystałem(-am) ze źródeł innych niż wymienione w pracy.

*Serdecznie dziękuję ... tu ciąg dalszych podziękowań np. dla promotora, żony, sąsiada itp.*



## Spis treści

<b>1. Wstęp</b>	7
1.1. Wprowadzenie do przetwarzania sygnałów na FPGA	7
1.1.1. Równoległe przetwarzanie danych	7
1.1.2. Kontrola zegara i deterministyczne przetwarzanie	7
1.1.3. Platforma Cyclone V SoC	7
1.2. Cele pracy	8
<b>2. Opis systemu</b>	9
2.1. Architektura Hardware'u	9
<b>3. Hardware</b>	11
<b>4. Software</b>	13
<b>5. Modular Scatter-Gather DMA</b>	15
5.1. Avalon MM - Avalon MM	15
5.2. Avalon MM - Avalon ST - Avalon MM	16



# **1. Wstęp**

## **1.1. Wprowadzenie do przetwarzania sygnałów na FPGA**

### **1.1.1. Równoległe przetwarzanie danych**

Współczesne algorytmy cyfrowego przetwarzania sygnałów (DSP) stawiają coraz wyższe wymagania wobec wydajności systemów obliczeniowych. Tradycyjne procesory, choć rozwijają się pod względem mocy obliczeniowej, napotykają ograniczenia wynikające z sekwencyjnego przetwarzania, co sprawia, że są mniej efektywne przy obliczeniach, które można prowadzić równolegle. W tym kontekście układy FPGA (Field-Programmable Gate Arrays) wyróżniają się możliwością równoległego przetwarzania danych, co pozwala na znaczne przyspieszenie złożonych operacji. Dzięki takiemu rozwiązaniu można przetwarzać wiele strumieni danych jednocześnie, co daje wyraźną przewagę nad klasycznymi procesorami, szczególnie w aplikacjach wymagających wysokiej przepustowości i małych opóźnień.

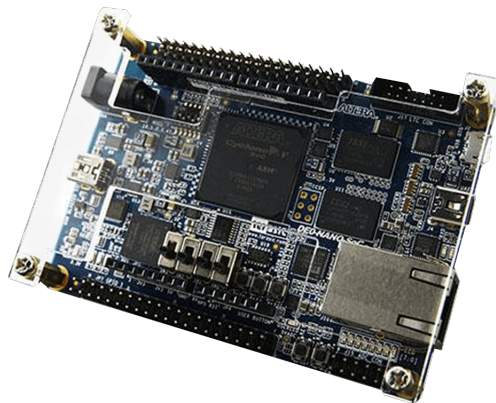
### **1.1.2. Kontrola zegara i deterministyczne przetwarzanie**

Kolejną zaletą układów FPGA jest możliwość precyzyjnego dostosowania częstotliwości zegara do wymagań projektowych. Dzięki wykorzystaniu języków opisu sprzętu, takich jak VHDL czy Verilog, projektant ma pełną kontrolę nad wartościami sygnałów w każdym takcie zegara, co umożliwia dokładne określenie, kiedy i jakie operacje mają się odbywać. To daje pewność, że w takich aplikacjach jak filtr FIR dane będą przetwarzane i transmitowane w równych, określonych odstępach czasowych, co jest kluczowe. W odróżnieniu od procesorów, gdzie prędkość zegara jest sztywno ustalona, a czas wykonywania kodu może być niedeterministyczny – szczególnie w językach wysokiego poziomu, takich jak Python – FPGA zapewniają pełną deterministyczność przetwarzania. Nawet w językach niskiego poziomu użytkownik nie ma pełnej kontroli nad czasem wykonywania kodu, co może prowadzić do pewnych opóźnień.)

### **1.1.3. Platforma Cyclone V SoC**

W mojej pracy skupię się na układzie heterogenicznym firmy Intel – Cyclone V SoC. Jest to budżetowy układ zawierający w swojej architekturze zarówno FPGA, jak i HPS (Hard Processor System) oparty na procesorze ARM, co pozwala na rozdzielenie zadań pomiędzy obie architektury. Mimo że

Cyclone V SoC nie jest układem najwyższej klasy, jego cena oraz możliwości konfiguracyjne sprawiają, że znajduje zastosowanie w projektach wymagających kompromisu między wydajnością a kosztami. W mojej pracy pokażę, jak można efektywnie wykorzystać ten układ do implementacji zaawansowanych algorytmów przetwarzania sygnałów.



**Rys. 1.1.** Układ DE0-Nano-SoC (Cyclone V)

## 1.2. Cele pracy

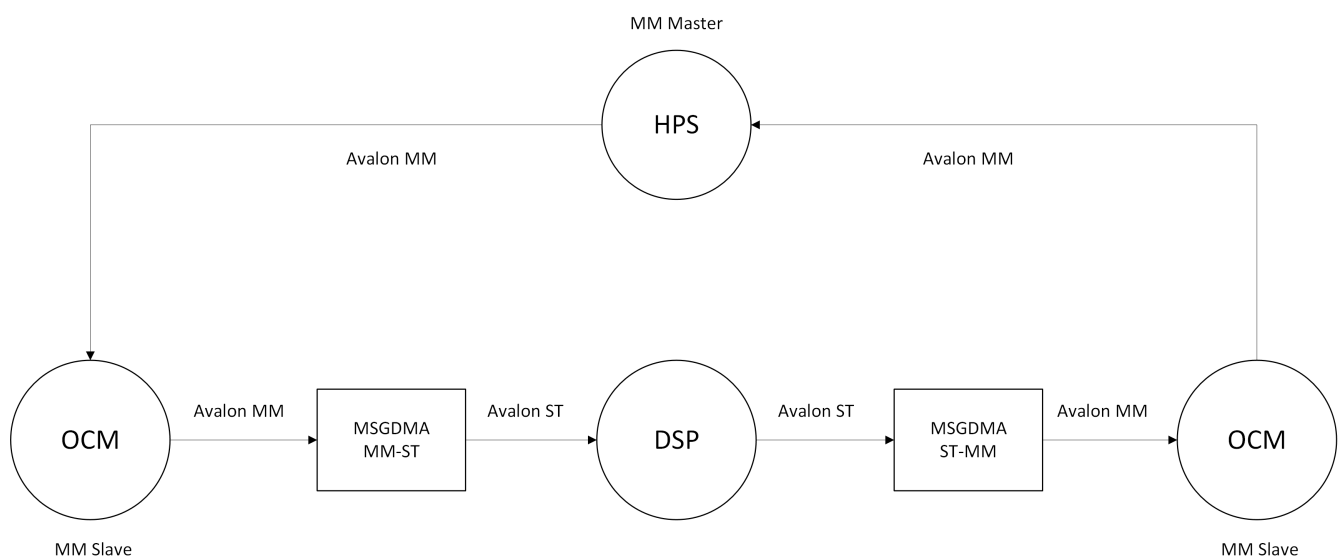
Celem pracy jest opracowanie kompleksowego systemu przetwarzania sygnałów. Część FPGA systemu będzie odpowiedzialna za implementację algorytmów DSP, w tym filtru FIR oraz modułu realizującego dyskretną transformatę Fouriera (DFT). System ten będzie wyposażony w dwie pamięci, pomiędzy którymi dane będą transmitowane, przetwarzane, a następnie zapisywane.

Równocześnie wbudowany procesor będzie pełnił funkcję jednostki sterującej, uruchamiając serwer, który umożliwi użytkownikowi zdalną interakcję z systemem poprzez stronę internetową. Strona będzie umożliwiać wprowadzanie danych do FPGA, inicjowanie procesów przetwarzania oraz monitorowanie wyników. Taki podział zadań na układ FPGA i HPS umożliwi efektywną realizację złożonych algorytmów DSP, zapewniając wysoką wydajność oraz intuicyjną obsługę przez użytkownika.



## 2. Opis systemu

### 2.1. Architektura Hardware'u



**Rys. 2.1.** Diagram przedstawiający architekturę systemu



### **3. Hardware**



## **4. Software**

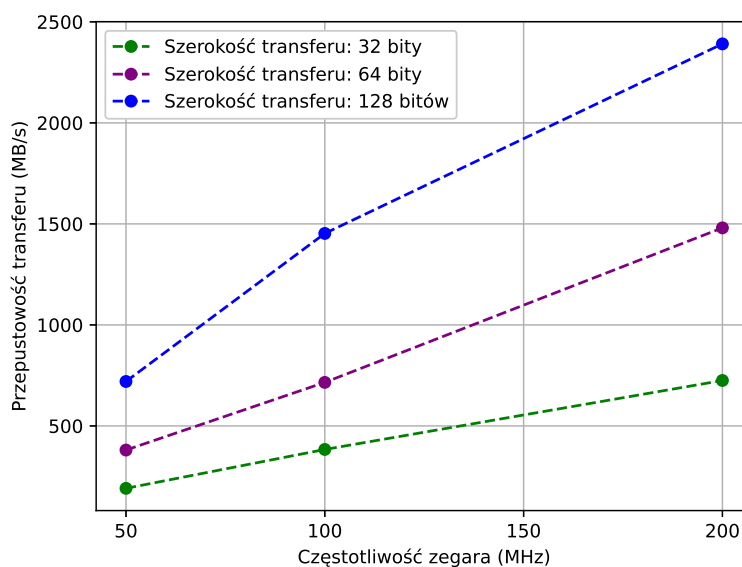


## 5. Modular Scatter-Gather DMA

### 5.1. Avalon MM - Avalon MM

	Szerokość transferu: 32 bity	Szerokość transferu: 64 bity	Szerokość transferu: 128 bitów
<b>Zegar: 50MHz</b>	191.06 MB/s	380.63 MB/s	720.01 MB/s
<b>Zegar: 100MHz</b>	383.53 MB/s	715.43 MB/s	1452.71 MB/s
<b>Zegar: 200MHz</b>	724.94 MB/s	1480.24 MB/s	2390.95 MB/s

**Tabela 5.1.** Przepustowość transferu DMA w zależności od częstotliwości zegara i szerokości transferu

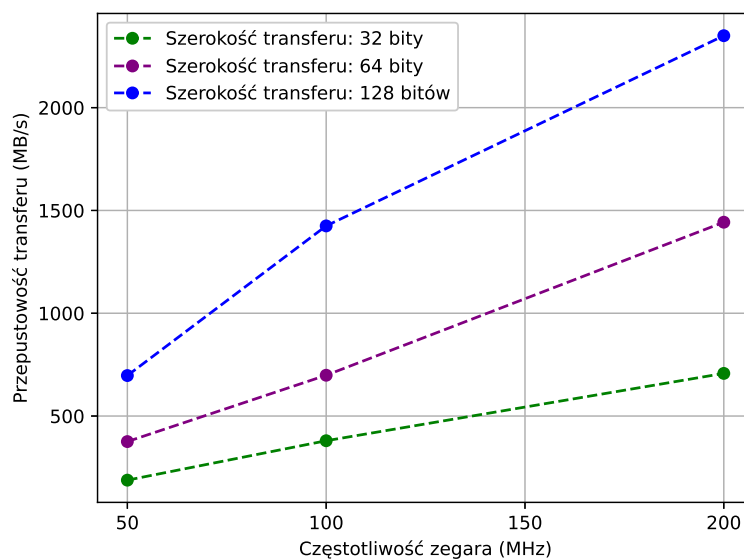


**Rys. 5.1.** Zależność prędkości transferu od częstotliwości zegara

## 5.2. Avalon MM - Avalon ST - Avalon MM

Szerokość transferu Częstotliwość zegara	32 bity	64 bity	128 bitów
<b>50 MHz</b>	188.12 MB/s	375.75 MB/s	696.90 MB/s
<b>100 MHz</b>	379.88 MB/s	698.40 MB/s	1424.82 MB/s
<b>200MHz</b>	707.35 MB/s	1442.78 MB/s	2350.05 MB/s

**Tabela 5.2.** Przepustowość transferu DMA w zależności od częstotliwości zegara i szerokości transferu



**Rys. 5.2.** Zależność prędkości transferu od częstotliwości zegara