



AGH

AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

**WYDZIAŁ ELEKTROTECHNIKI, AUTOMATYKI,
INFORMATYKI I INŻYNIERII BIOMEDYCZNEJ**

Praca dyplomowa

*Implementacja algorytmów cyfrowego przetwarzania sygnałów w
układzie heterogenicznym Intel Cyclone V SoC*

*Implementation of digital signal processing algorithms in the
heterogeneous Intel Cyclone V SoC system*

Autor:

Dominik Bachurski

Kierunek studiów:

Mikroelektronika w Technice i Medycynie

Opiekun pracy:

dr inż. Paweł Skrzypiec

Kraków, 2024

Uprzedzony o odpowiedzialności karnej na podstawie art. 115 ust. 1 i 2 ustawy z dnia 4 lutego 1994 r. o prawie autorskim i prawach pokrewnych (t.j. Dz.U. z 2006 r. Nr 90, poz. 631 z późn. zm.): „Kto przywłaszcza sobie autorstwo albo wprowadza w błąd co do autorstwa całości lub części cudzego utworu albo artystycznego wykonania, podlega grzywnie, karze ograniczenia wolności albo pozbawienia wolności do lat 3. Tej samej karze podlega, kto rozpowszechnia bez podania nazwiska lub pseudonimu twórcy cudzy utwór w wersji oryginalnej albo w postaci opracowania, artystycznego wykonania albo publicznie zniekształca taki utwór, artystyczne wykonanie, fonogram, wideogram lub nadanie.”, a także uprzedzony o odpowiedzialności dyscyplinarnej na podstawie art. 211 ust. 1 ustawy z dnia 27 lipca 2005 r. Prawo o szkolnictwie wyższym (t.j. Dz. U. z 2012 r. poz. 572, z późn. zm.): „Za naruszenie przepisów obowiązujących w uczelni oraz za czyny uchybiające godności studenta student ponosi odpowiedzialność dyscyplinarną przed komisją dyscyplinarną albo przed sądem koleżeńskim samorządu studenckiego, zwanym dalej «sądem koleżeńskim».”, oświadczam, że niniejszą pracę dyplomową wykonałem(-am) osobiście i samodzielnie i że nie korzystałem(-am) ze źródeł innych niż wymienione w pracy.

Serdecznie dziękuję ... tu ciąg dalszych podziękowań np. dla promotora, żony, sąsiada itp.

Spis treści

1. Architektura	11
1.1. Platforma	11
1.2. Architektura Hardware'u	12
1.3. Architektura Software'u	13
2. Hardware	15
3. Software	17
4. Modular Scatter-Gather DMA	19
4.1. Avalon MM - Avalon MM	19
4.2. Avalon MM - Avalon ST - Avalon MM	20

Spis symboli i skrótów

DSP	Digital Signal Processing
FPGA	Field Programmable Gate Array
HPS	Hard Processor System
FFT	Fast Fourier Transform
DMA	Direct Memory Access
FIR	Finite Impulse Response

Wstęp

Wprowadzenie

Cyfrowe przetwarzanie sygnałów Digital Signal Processing (DSP) to dziedzina inżynierii, zajmująca się analizą, modyfikacją oraz optymalizacją sygnałów cyfrowych. Sygnały te mogą być wygenerowane cyfrowo lub przechodzić konwersję z postaci analogowej. Przejście do cyfrowej formy sygnału miejsce, kiedy system wymaga operowania na sygnale dyskretnym reprezentowanym jako wartości liczbowe będące próbkami sygnału w czasie.

Przetwarzanie sygnałów znajduje szerokie zastosowanie w różnych dziedzinach technologii, w tym telekomunikacji (np. w systemach komunikacji mobilnej), audio (np. w korektorach dźwięku), bezpieczeństwa danych (np. w enkrypcji), medycynie (np. w diagnostyce) oraz w zastosowaniach militarnych (np. w radarach i sonarach). W kontekście telekomunikacji, DSP daje nam możliwość przeprowadzania operacji modulacji i demodulacji, które odgrywają kluczową rolę w przesyłaniu danych, umożliwiając efektywne kodowanie informacji oraz ich odczytanie po stronie odbiorczej. Ponadto, techniki takie jak redukcja szumów i zakłóceń są niezbędne do poprawy jakości sygnału.

Przetwarzanie sygnałów może odbywać się w różnych dziedzinach, takich jak czas, częstotliwość czy przestrzeń, co pozwala na szczegółową analizę i modyfikację sygnałów w zależności od zastosowania. Transformacje takie jak Fast Fourier Transform (FFT) umożliwiają analizę sygnałów w dziedzinie częstotliwości, co jest kluczowe w przypadku systemów audio i wideo. Filtry DSP, zarówno liniowe, jak i nieliniowe, są używane do eliminacji zakłóceń, poprawy jakości dźwięku i obrazu oraz optymalizacji systemów transmisji danych.

DSP daje nam możliwość tworzenia bardziej wydajnych systemów, które mogą przetwarzać coraz większe ilości danych w czasie. Zastosowania DSP rozwijają się dynamicznie, obejmując coraz nowsze obszary, od rozwoju sztucznej inteligencji po diagnostykę medyczną, co czyni tę dziedzinę niezbędną w rozwoju współczesnej technologii.

Cel pracy

Celem niniejszej pracy była konstrukcja systemu do przetwarzania sygnałów cyfrowych opartego na układzie heterogenicznym (system łączący różne typy komponentów obliczeniowych). Kontrolę nad częścią systemu odpowiedzialną za DSP według założeń miała pełnić aplikacja internetowa umożliwiająca użytkownikowi zdalną interakcję z układem.

Motyacją do realizacji takiego projektu była chęć stworzenia w przyszłości platformy zdolnej do wydajnego przetwarzania sygnałów pochodzących z np. przetworników analogowo-cyfrowych (A/C) w czasie rzeczywistym. W wielu zastosowaniach przetwarzanie sygnałów wymaga możliwości dostosowania architektury systemu do specyficznych potrzeb aplikacji, czego mogą nie oferować inne rozwiązania oparte np. o mikrokontrolery lub procesory DSP. Ponadto dzięki integracji układu Field Programmable Gate Array (FPGA) z Hard Processor System (HPS), użytkownik ma możliwość zdalnego zarządzania systemem oraz monitorowania przetwarzanych sygnałów, co zwiększa elastyczność i wygodę pracy. Umożliwia to szybkie dostosowywanie parametrów przetwarzania do konkretnych potrzeb, co jest istotne w wielu aplikacjach.

System ten ma na celu nie tylko zaprezentowanie w praktyce możliwości przetwarzania sygnałów, ale również stworzenie podstawy do dalszego rozwoju o kolejne funkcjonalności, takie jak implementacja nowych algorytmów DSP, rozszerzenie interfejsu użytkownika, czy integracja z innymi systemami przetwarzania danych.

Zakres pracy

Zakres pracy obejmował opracowanie systemu umożliwiającego przesył i odczyt danych pomiędzy HPS a pamięciami w FPGA, a także transmisję tych danych z wykorzystaniem Direct Memory Access (DMA) między obiema pamięciami.

Oprócz tego, praca skupi się na opracowaniu i implementacji w systemie filtru Finite Impulse Response (FIR) umożliwiającego modyfikację współczynników w trakcie pracy, co zapewni większą elastyczność przetwarzania danych. System będzie również wykorzystywał moduł FFT będący IP Quartusa, który umożliwi podgląd przetworzonych sygnałów w dziedzinie częstotliwości.

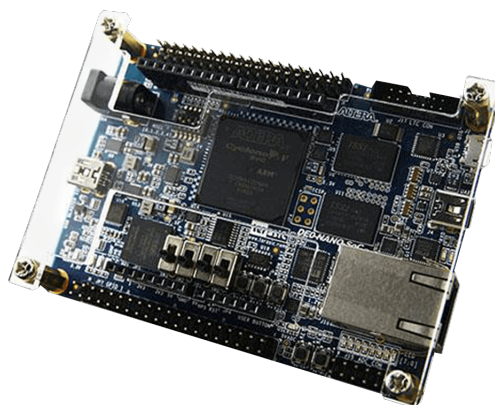
W ramach pracy powstanie również strona internetowa, która pozwoli użytkownikowi na przesył danych, komunikację z systemem oraz wizualizację wyników. Interfejs strony zostanie zaprojektowany z myślą o intuicyjnej obsłudze, a także w sposób umożliwiający łatwą implementację kolejnych funkcjonalności w przyszłości.

Struktura pracy

1. Architektura

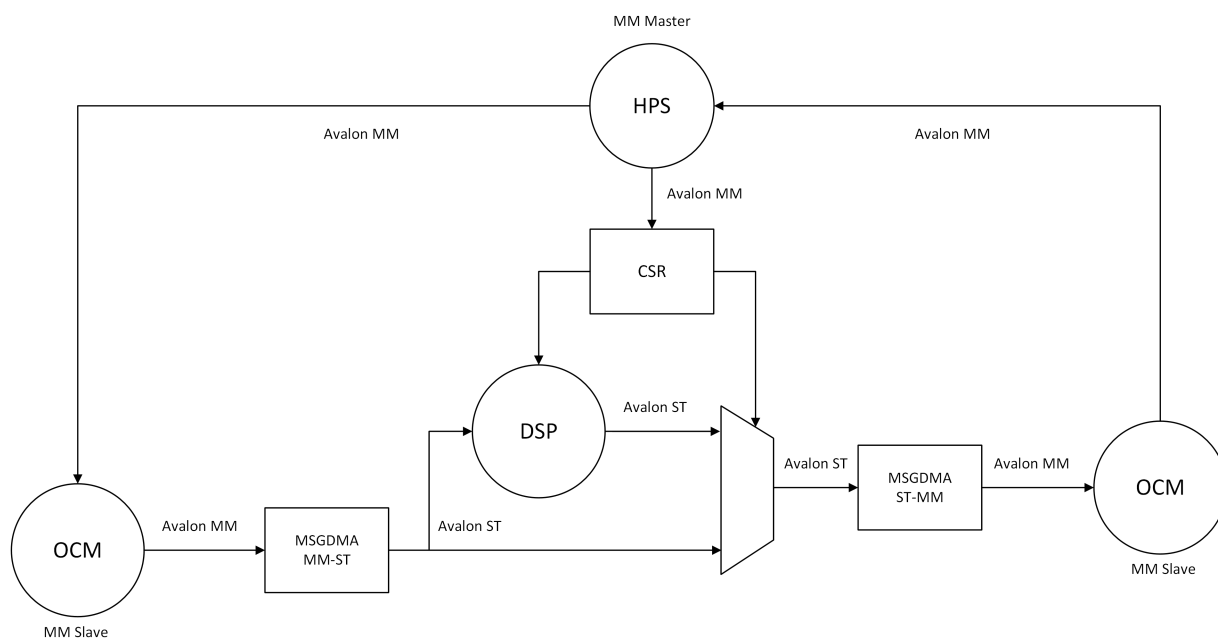
1.1. Platforma

Platformą, którą wybrałem do mojej pracy, jest heterogeniczny układ Intel Cyclone V SoC. Zawiera on FPGA oraz HPS (Hard Processor System) oparty na procesorze ARM, co umożliwia podział zadań między hardware i software. Ze względu na przystępną cenę i elastyczność konfiguracji, układ ten znajduje szerokie zastosowanie w projektach wymagających kompromisu między wydajnością a kosztami, szczególnie w środowiskach akademickich. W pracy przedstawię, jak efektywnie wykorzystać ten układ do implementacji zaawansowanych algorytmów przetwarzania sygnałów.



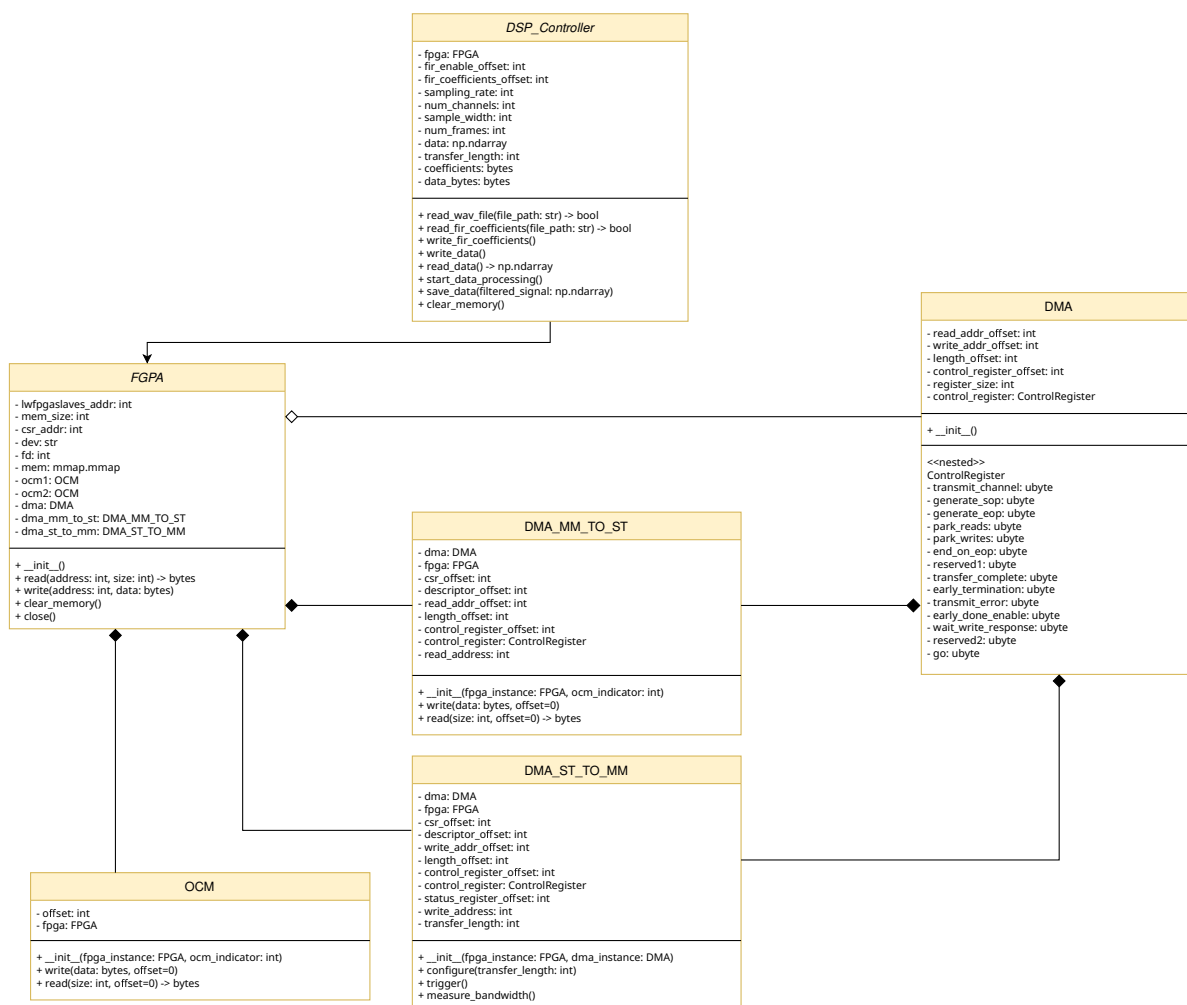
Rys. 1.1. Układ DE0-Nano-SoC (Cyclone V)

1.2. Architektura Hardware'u



Rys. 1.2. Diagram przedstawiający architekturę systemu

1.3. Architektura Software'u



Rys. 1.3. Diagram klas

2. Hardware

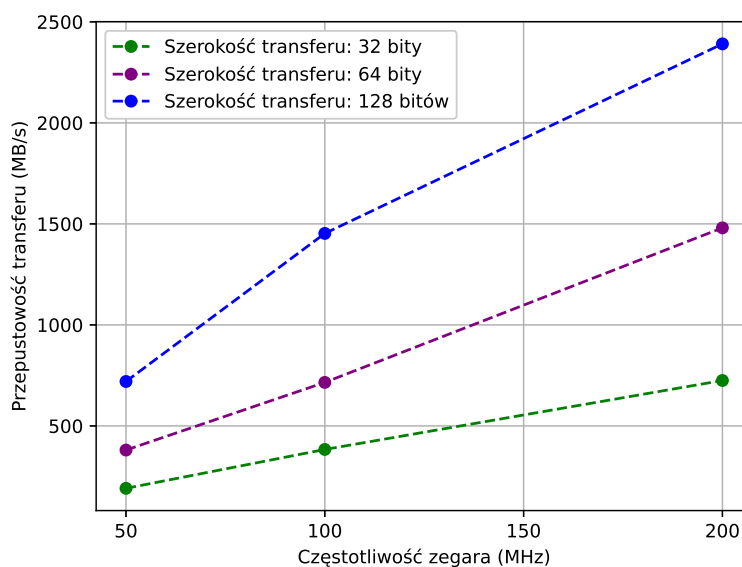
3. Software

4. Modular Scatter-Gather DMA

4.1. Avalon MM - Avalon MM

	Szerokość transferu: 32 bity	Szerokość transferu: 64 bity	Szerokość transferu: 128 bitów
Zegar: 50MHz	191.06 MB/s	380.63 MB/s	720.01 MB/s
Zegar: 100MHz	383.53 MB/s	715.43 MB/s	1452.71 MB/s
Zegar: 200MHz	724.94 MB/s	1480.24 MB/s	2390.95 MB/s

Tabela 4.1. Przepustowość transferu DMA w zależności od częstotliwości zegara i szerokości transferu

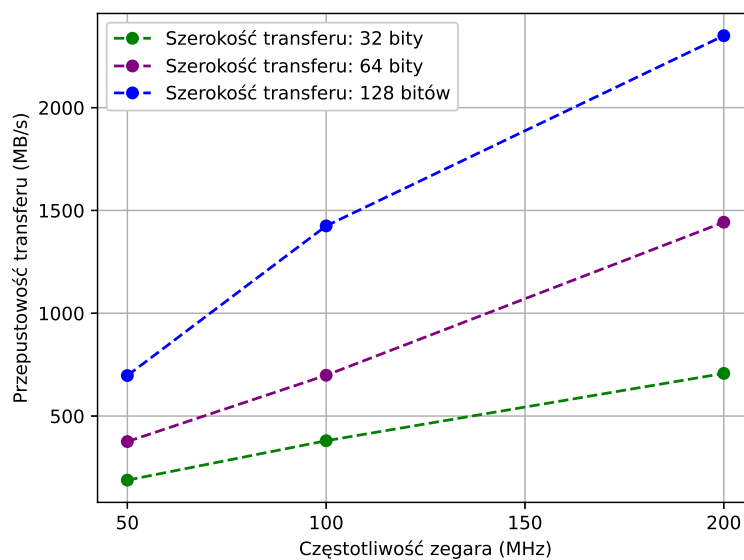


Rys. 4.1. Zależność prędkości transferu od częstotliwości zegara

4.2. Avalon MM - Avalon ST - Avalon MM

Szerokość transferu Częstotliwość zegara	32 bity	64 bity	128 bitów
50 MHz	188.12 MB/s	375.75 MB/s	696.90 MB/s
100 MHz	379.88 MB/s	698.40 MB/s	1424.82 MB/s
200MHz	707.35 MB/s	1442.78 MB/s	2350.05 MB/s

Tabela 4.2. Przepustowość transferu DMA w zależności od częstotliwości zegara i szerokości transferu



Rys. 4.2. Zależność prędkości transferu od częstotliwości zegara