

POLITECNICO DI TORINO
ESAMI DI STATO PER L'ABILITAZIONE ALLA PROFESSIONE DI INGEGNERE
SEZIONE A
PROVA DI CLASSE:
CLASSE 30/S INGEGNERIA DELLE TELECOMUNICAZIONI
II SESSIONE 2005

Si consideri un commutatore a pacchetto con quattro interfacce di linea bidirezionali tutte operanti alla stessa velocità di 1 Gbit/s. Si supponga che la quantità media di informazione da trasferire tra tutte le coppie sorgente/destinazione sia specificata dalla seguente matrice, espressa in Gbit/s:

0.05	0.2	0.1	0.3
0.1	0.05	0.1	0.3
0.2	0.25	0.05	0.25
0.3	0.2	0.3	0.05

dove ogni riga corrisponde a un ingresso e ogni colonna corrisponde a un'uscita.

Si supponga che i pacchetti vengano generati secondo un processo di Poisson e abbiano lunghezza descrivibile da una variabile casuale con distribuzione esponenziale unilatera.

Si supponga inoltre che la matrice di commutazione interna sia non bloccante e consenta di trasferire immediatamente i pacchetti dagli ingressi alle uscite, dove i pacchetti vengono memorizzati in attesa di essere trasmessi (quindi si tratta di un commutatore con memorizzazione alle uscite).

1. Si identifichi uno schema a blocchi per un commutatore a pacchetto operante come descritto e in grado di smaltire i volumi di traffico indicati, commentando brevemente per ogni blocco le funzionalità richieste e una sua possibile realizzazione.
2. Sotto quale ipotesi è possibile costruire un modello analitico in grado di valutare la probabilità di scarto e i ritardi dei pacchetti?
3. Dimensionare le memorie alle uscite in modo che la probabilità di scarto dei pacchetti sia inferiore a 10^{-6} .
4. Delineare la struttura di un simulatore scritto in linguaggio C per lo studio prestazionale del commutatore considerato.

Si discutano vantaggi e svantaggi di uno studio prestazionale basato su simulazione o su un approccio analitico.