SO Curs 6

Gestiunea memoriei

Alocarea memoriei

Alocarea memoriei contigue
Algoritmi de alocare a memoriei
Segmentare
Fragmentare
Paginare

Accesarea memoriei

Adrese si date
Arhitecturi si adresare
Address binding
Spatiul de memorie
Adrese virtuale
Protectia spatiului de memorie

Memoria sistemului

Ierarhia memoriei
Memoria principala
Procesor- memorie
Memoria cache
Gestiunea memoriei

Segmentarea

Segmentare
Selectorul de segment
Adresa liniara

Paginarea

Pagina
Tabela de pagini
TLB

Paginarea avansata

Protectia memoriei paginate
Partajarea memoriei
Paginarea ierarhica
Tabela de pagini inversata

Powered by Prezi

SO Curs 6

Gestiunea memoriei

Alocarea memoriei

Alocarea memoriei contigue
Algoritmi de alocare a memoriei
Segmentare
Fragmentare
Paginare

Accesarea memoriei

Adrese si date
Arhitecturi si adresare
Address binding
Spatiul de memorie
Adrese virtuale
Protectia spatiului de memorie

Memoria sistemului

Ierarhia memoriei
Memoria principala
Procesor- memorie
Memoria cache
Gestiunea memoriei

Segmentarea

Segmentare
Selectorul de segment
Adresa liniara

Paginarea

Pagina
Tabela de pagini
TLB

Paginarea avansata

Protectia memoriei paginate
Partajarea memoriei
Paginarea ierarhica
Tabela de pagini inversata

Powered by Prezi

Suport de curs

OSCE

- Capitolul 7 – Main Memory

MOS

- Capitolul 4 – Memory Management
  - Sectiunile 4.1, 4.2, 4.3, 4.8

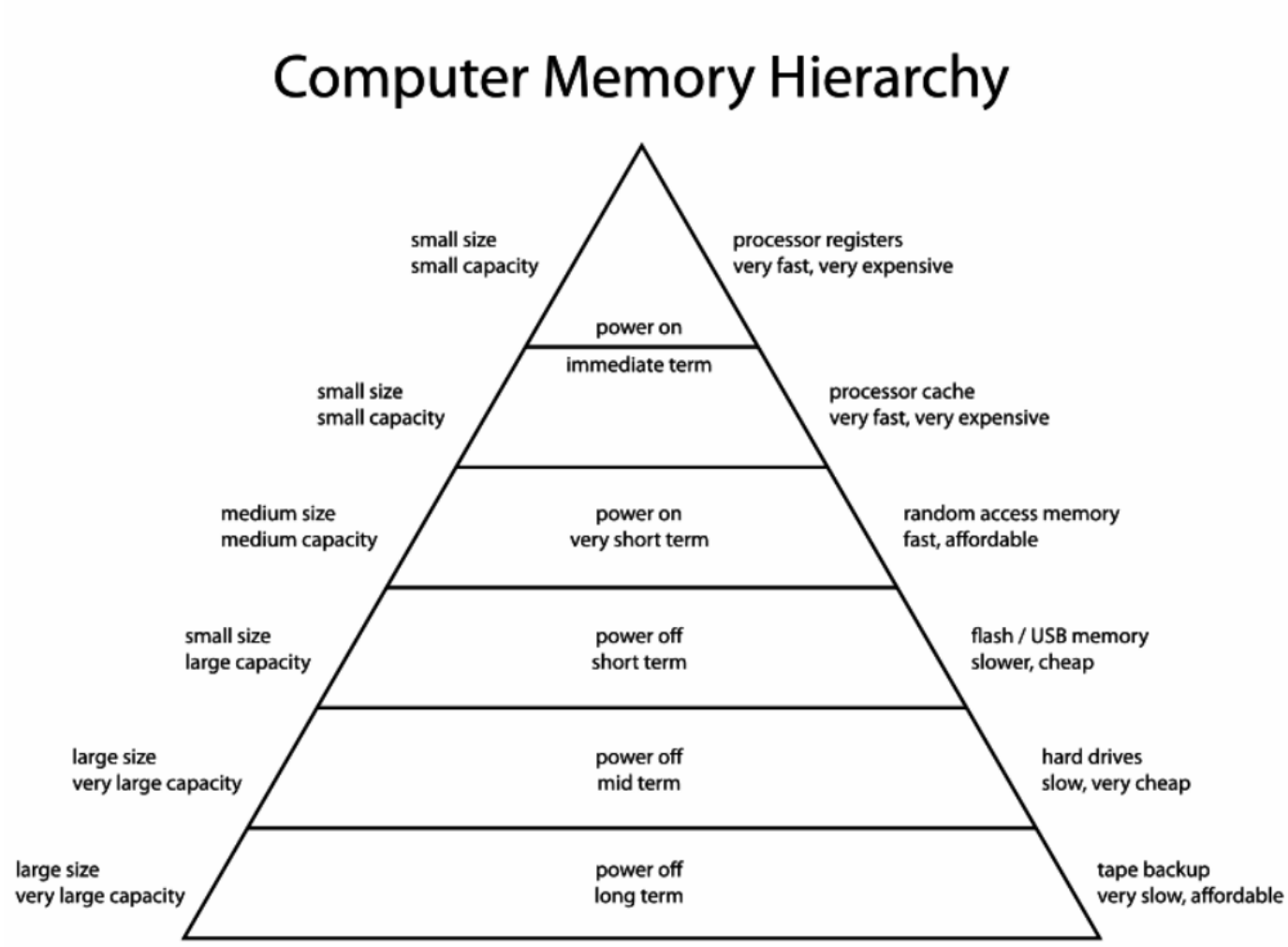
Ulrich Drepper - What every programmer should know about memory

Cuprins

Memoria sistemului

Ierarhia memoriei
Memoria principala
Procesor-memorie
Memoria cache
Gestiunea memoriei

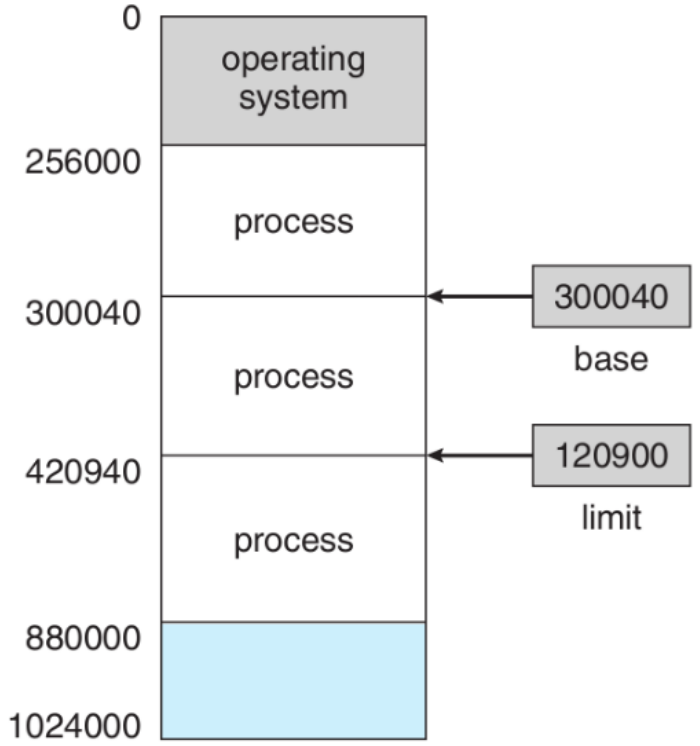
Ierarhia memoriei



http://en.wikipedia.org/wiki/Memory_hierarchy

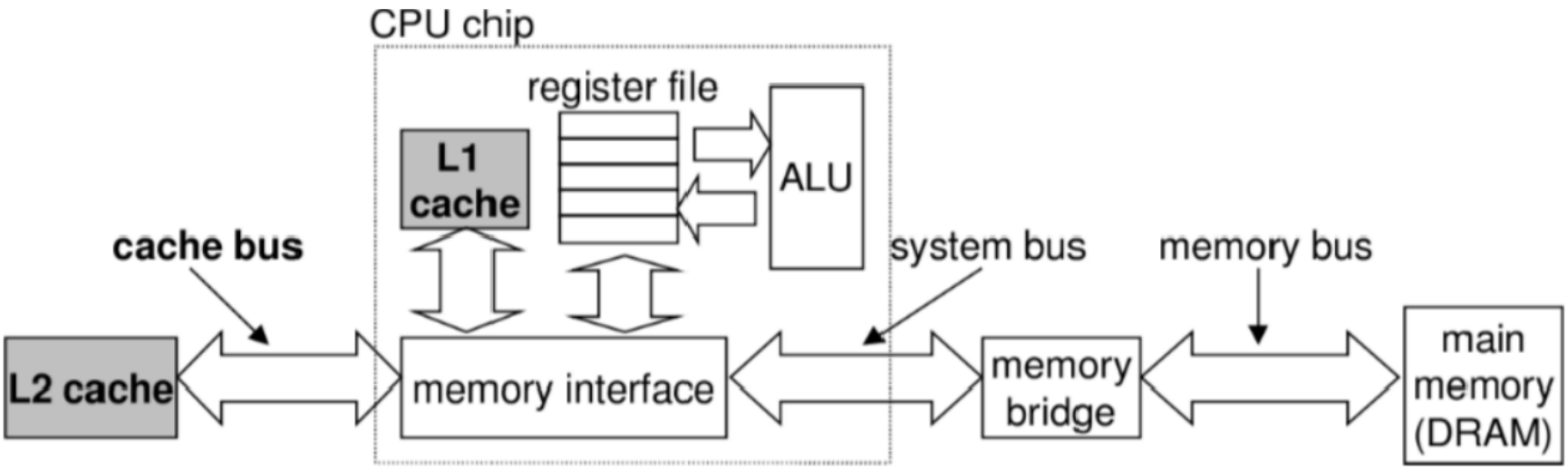
Memoria principala

memoria RAM
stocheaza date si cod (procese)
volatila, nepersistenta
cache pentru disc
lenta comparativ cu procesorul
rapida comparativ cu discul
adrese de memorie



OSCE, Chapter 7, pg. 278, Figure 7.1

Procesor-memorie



Memoria cache

cache intre procesor si memoria RAM
linii de cache (tag pentru intrare in memoria cache)

accesata de procesor inainte de accesul la memoria RAM
cache hit/miss ratio
in caz de miss se aloca/inlocuieste o intrare cu noua informatie

de avut in vedere sincronizarea cache-ului pe multiprocesor

Gestiunea memoriei

accesarea memoriei
adresarea memoriei, succesiunea de adrese
partitionarea memoriei
protectia accesului
alocarea/dezalocarea memoriei
partajarea memoriei
fragmentarea memoriei
translatarea adreselor virtuale
suport hardware: MMU, TLB
interactiunea cu alte subsisteme
caching

Accesarea memoriei

Adrese si date
Arhitecturi si adresare
Address binding
Spatiul de memorie
Adrese virtuale
Protejarea spatiului de memorie

Adrese si date

accesarea memoriei se face pe adrese
adresele sunt date de dimensiunea magistralei de adrese
- accesare maxim 2^N octeti (N = dimensiune magistrala)

IP (instruction pointer) sau PC (program counter)
- zone de cod

o adresa refera un octet din memorie
- zone de date

citirea se face, in general, la nivel de cuvant de procesor
- 4 octeti pe 32 de biti

datele se transmit pe magistrala de date
- citire/si scriere pe magistrala de date
- transferul intre registre si memorie

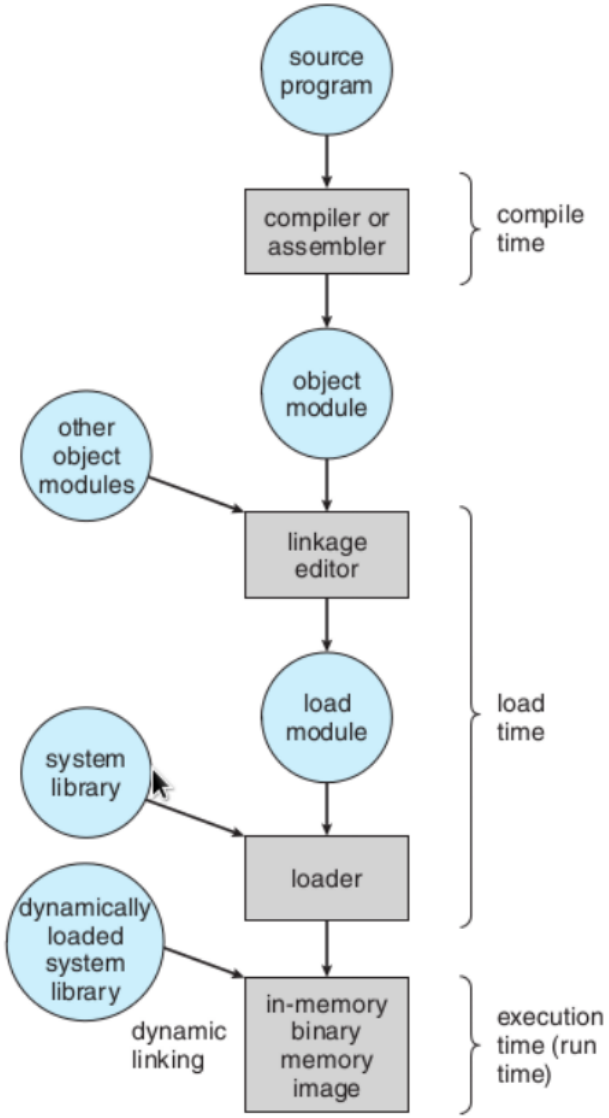
Arhitecturi si adresare

registre-memorie
prezenta operanzilor in registre sau memorie

arhitecturi load/store
- operatii load/store pentru comunicare registre-memorie
- operanzii sunt adusi (load) in registre
- rezultatul operatiei trebuie transmis (store) in memorie

arhitecturi "register memory"
- operatii move pentru comunicare registre-memorie
- operanzii pot sa fie stocati in registre/sau memorie

Address binding



OSCE, Chapter 7, pg. 281, Figure 7.3

Spatiul de memorie

fiecare proces are asociat un spatiu de memorie
nucleul are un spatiu de memorie propriu

trebuie protejat accesul la spaiul de memorie al nucleului
spatiile de memorie ale proceselor trebuie protejate unele de celelalte

spatiu de memorie = spatiu de adrese valide ce pot fi accesate de un proces

spatiu virtual de adrese (in sistemele cu memorie virtuala)

Adrese virtuale

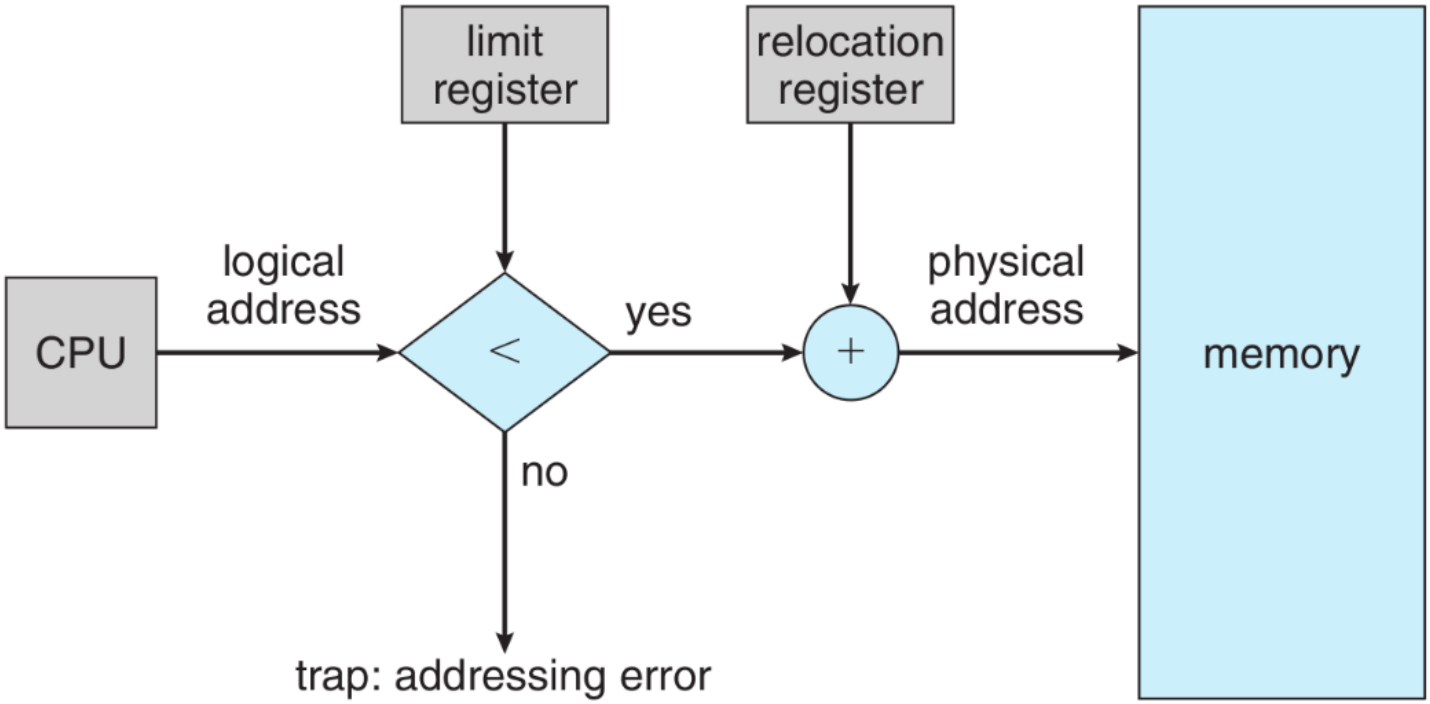
adresele generate de procesor se numesc adrese logice
adresele folosite de unitatea de memorie se numesc adrese fizice

adresa logică este o adresă virtuală
spatiu virtual de adrese: per proces
spatiu fizic de adrese: la nivel de sistem

la executie se transforma adresa logica in adresa fizica
MMU (Memory Management Unit)

- mapare adrese virtuale – adrese fizice

Protejarea spatiului de memorie



OSCE, Chapter 7, pg. 287, Figure 7.6

Alocarea memoriei

Alocarea memoriei contigue
Algoritmi de alocare a memoriei
Segmentare
Fragmentare
Paginare

Alocarea memoriei contigue

fiecare proces rezida intr-o sectiune contigua de memorie
folosirea unui registru de relocare si a unui registru limita

+ simplu de implementat
- trebuie sa stii de la bun inceput cat are nevoie un proces
- posibil sa nu fie locuri libere

Algoritmi de alocare a memorie

se mentin informatii despre blocurile libere si blocurile alocate

first-fit: se aloca primul bloc liber suficient de mare
best-fit: cel mai mic bloc suficient de mare
worst-fit: cel mai mare bloc

first-fit si best-fit sunt superiori worst-fit

- viteza de alocare, eficienta in alocare

Segmentare

partitionarea memorie in segmente
segmentul inseamna o baza si o limita

un proces poate avea mai multe segmente

segmentele au dimensiune variabila

segmentele au asociate informatii de protectie

Fragmentare

spatiu liber care nu poate fi folosit pentru noi alocari
operatia inversa: defragmentare

fragmentare externa
- spatiu intre blocurile alocate
- exista spatiu de alocare dar nu e contiguu

fragmentare interna
- spatiu in cadrul blocului alocat
- nu este folosit si nu poate fi folosit de altii

solutii:
- compactarea blocurilor
- folosirea de spatii fizic non-contigue

Paginare

intreg spatiul de memorie este impartit in pagini

paginile au dimensiune fixa

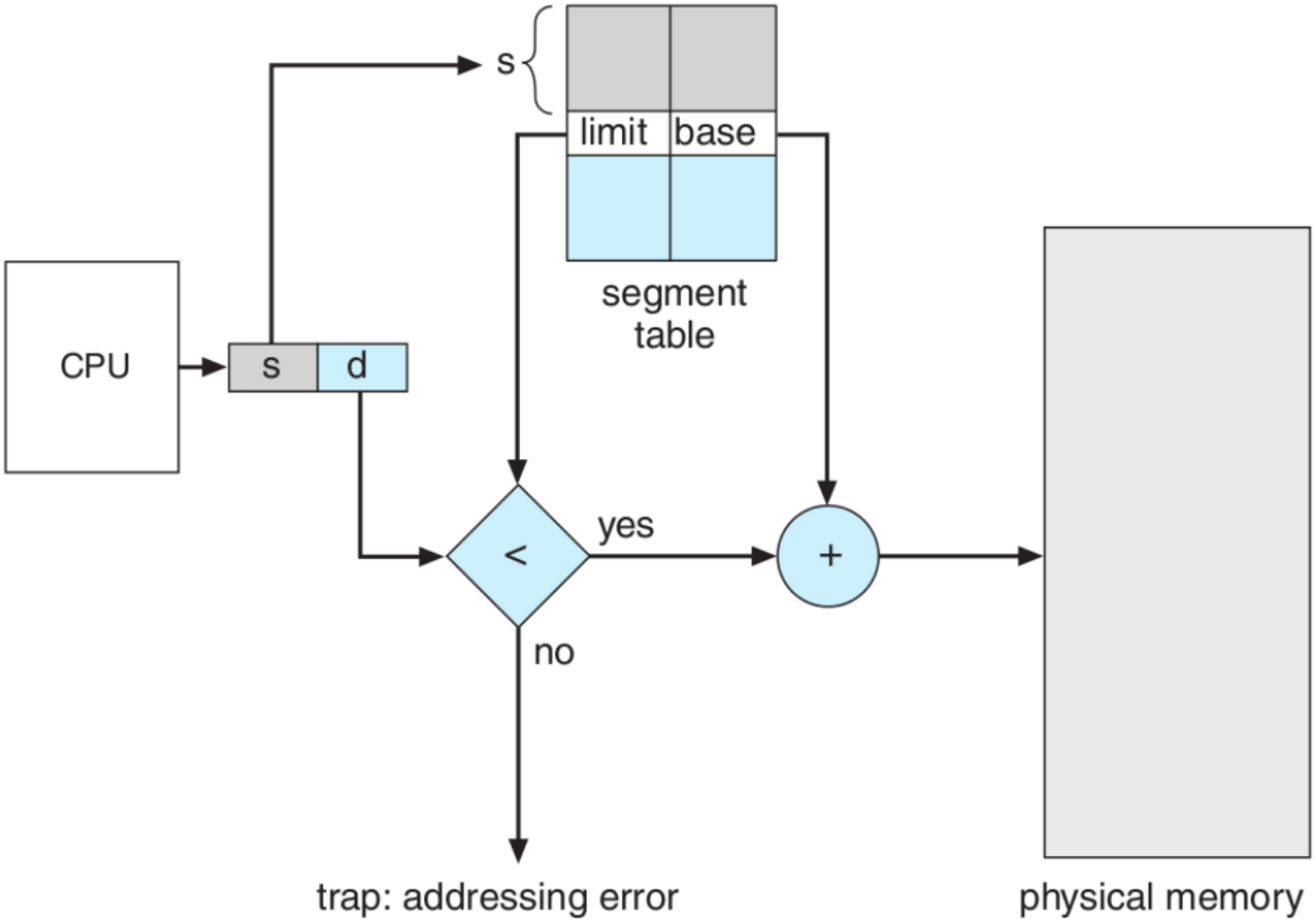
alocarea fizica non-contigua

nu exista probleme de fragmentare externa

Segmentarea

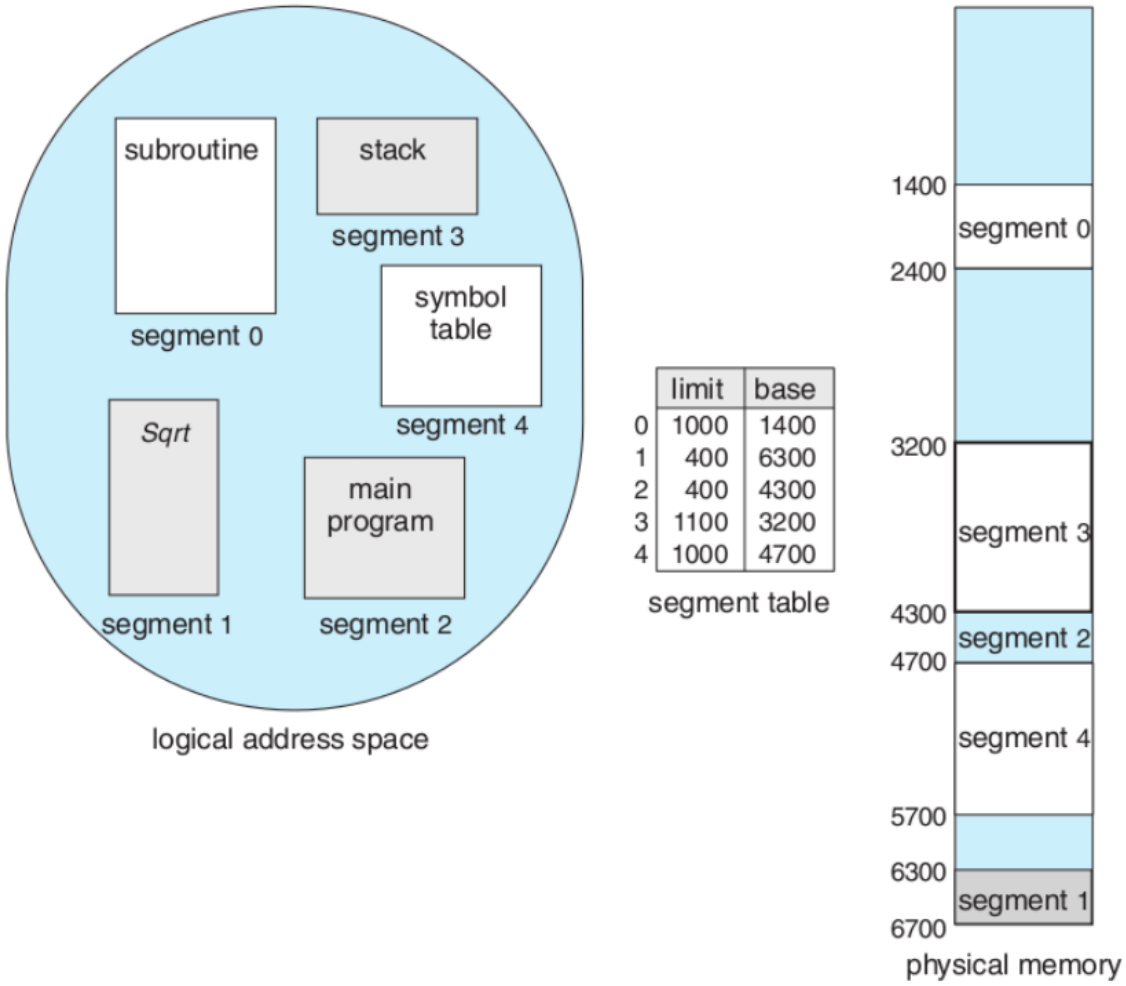
Segmentare
Selectorul de segment
Adresa liniara

Segmentare



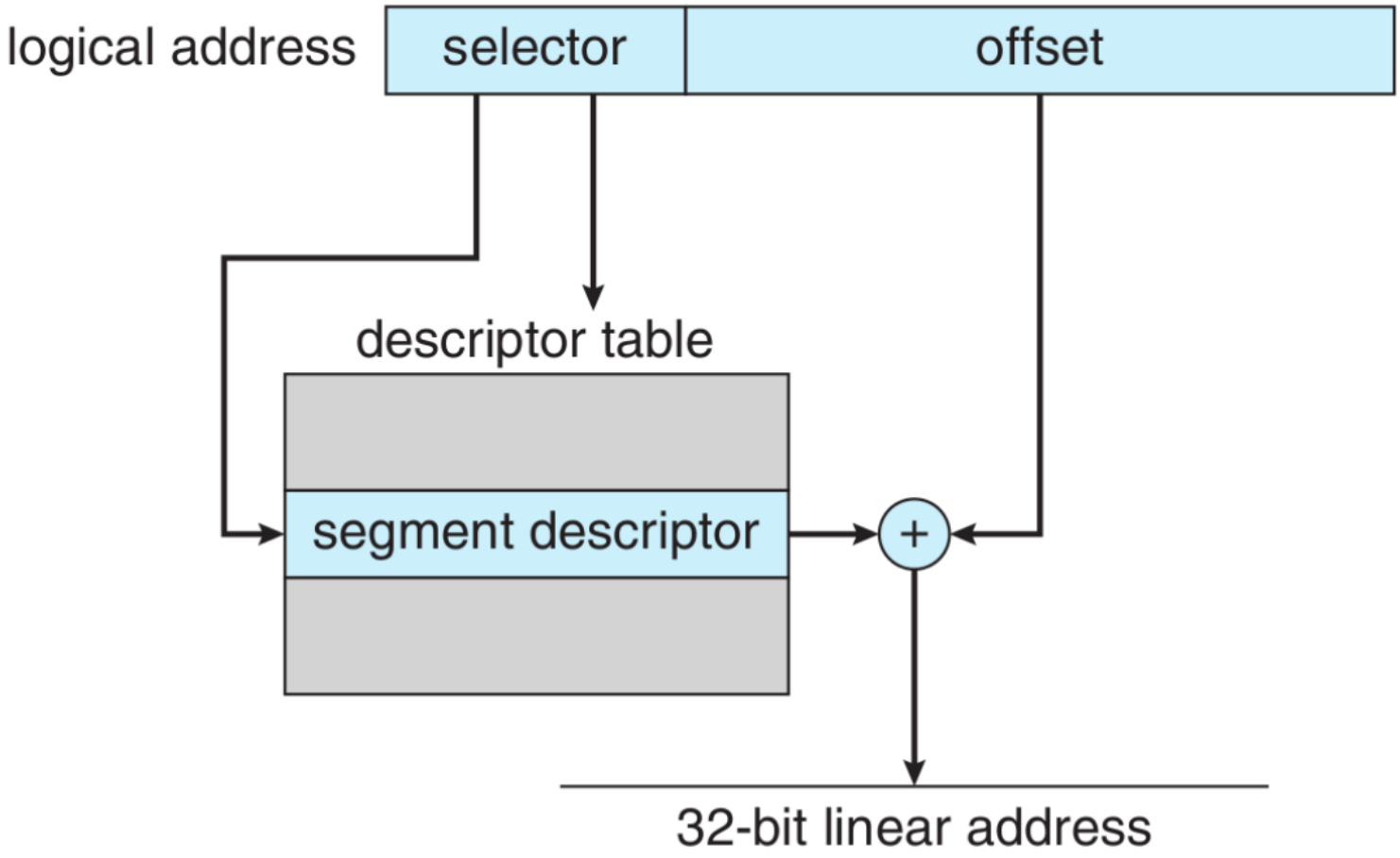
OSCE, Chapter 7, pg. 306, Figure 7.19

Segmentare (2)



OSCE, Chapter 7, pg. 307, Figure 7.20

Selectorul de segment



OSCE, Chapter 7, pg. 309, Figure 7.22

Adresa liniara

obtinuta din operatii pe selector din adresa logica
adresa liniara poate fi adresa fizica

adresa liniara este o adresa virtuala in cazul x86

- segmentare + pagina
- ulterior segmentarii se trece prin paginare

la x86: adresa logica -> adresa liniara (virtuala) -> adresa fizica

Paginarea

Pagina
Tabela de pagini
TLB

Pagina

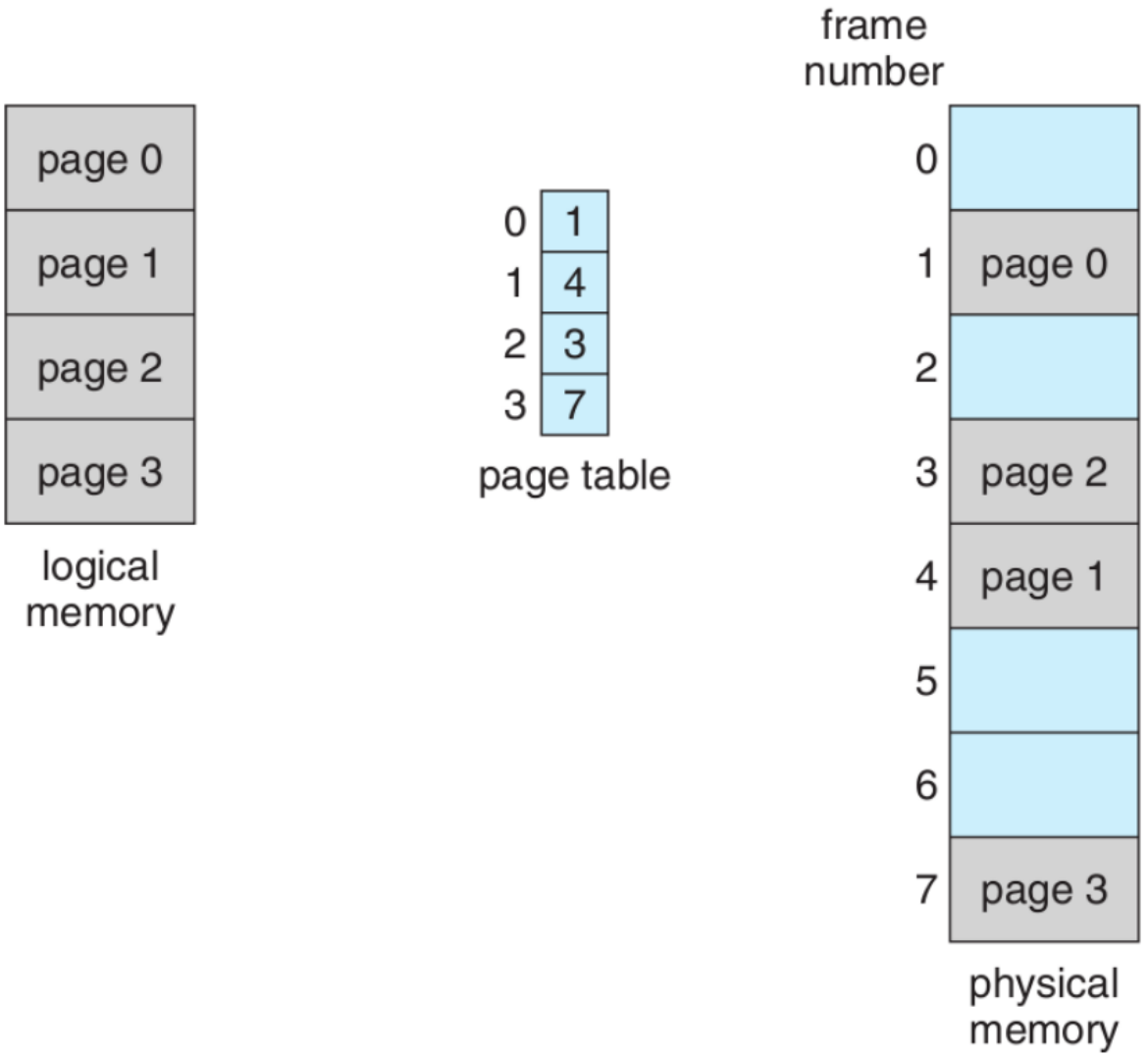
unitatea paginarii
dimensiune fixa (in general 4KB)

evita fragmentarea interna

pagini virtuale (pages)
pagini fizice (frames)
MMU translateaza pagini virtuale in pagini fizice

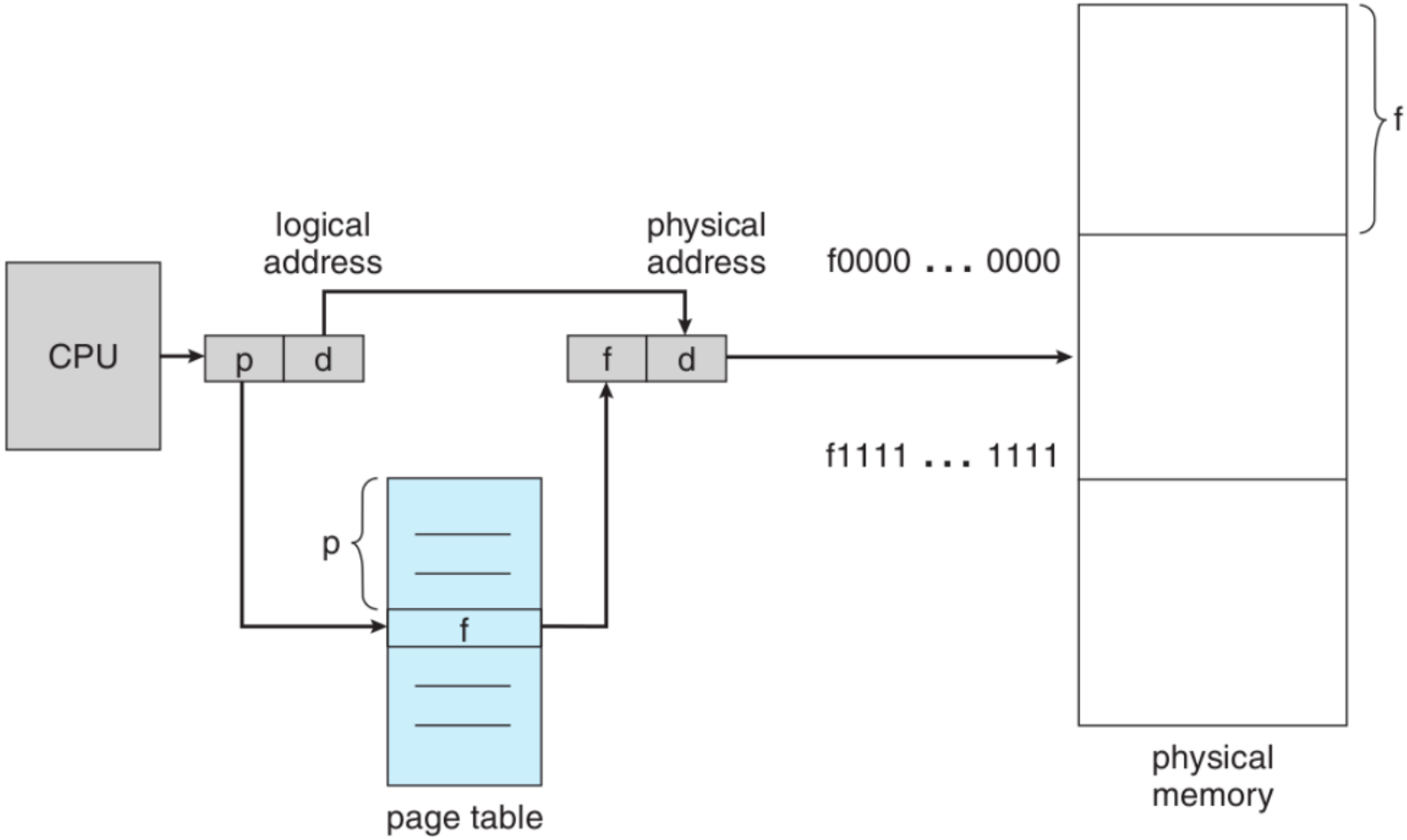
o adresa contine indexul paginii si deplasamentul in pagina

Tabela de pagini



OSCE, Chapter 7, pg. 292, Figure 7.9

Tabela de pagini (2)



OSCE, Chapter 7, pg. 290, Figure 7.7

TLB

accesarea memoriei
- accesarea tabelei de pagini (stocata in memorie)
- accesarea memoriei in sine

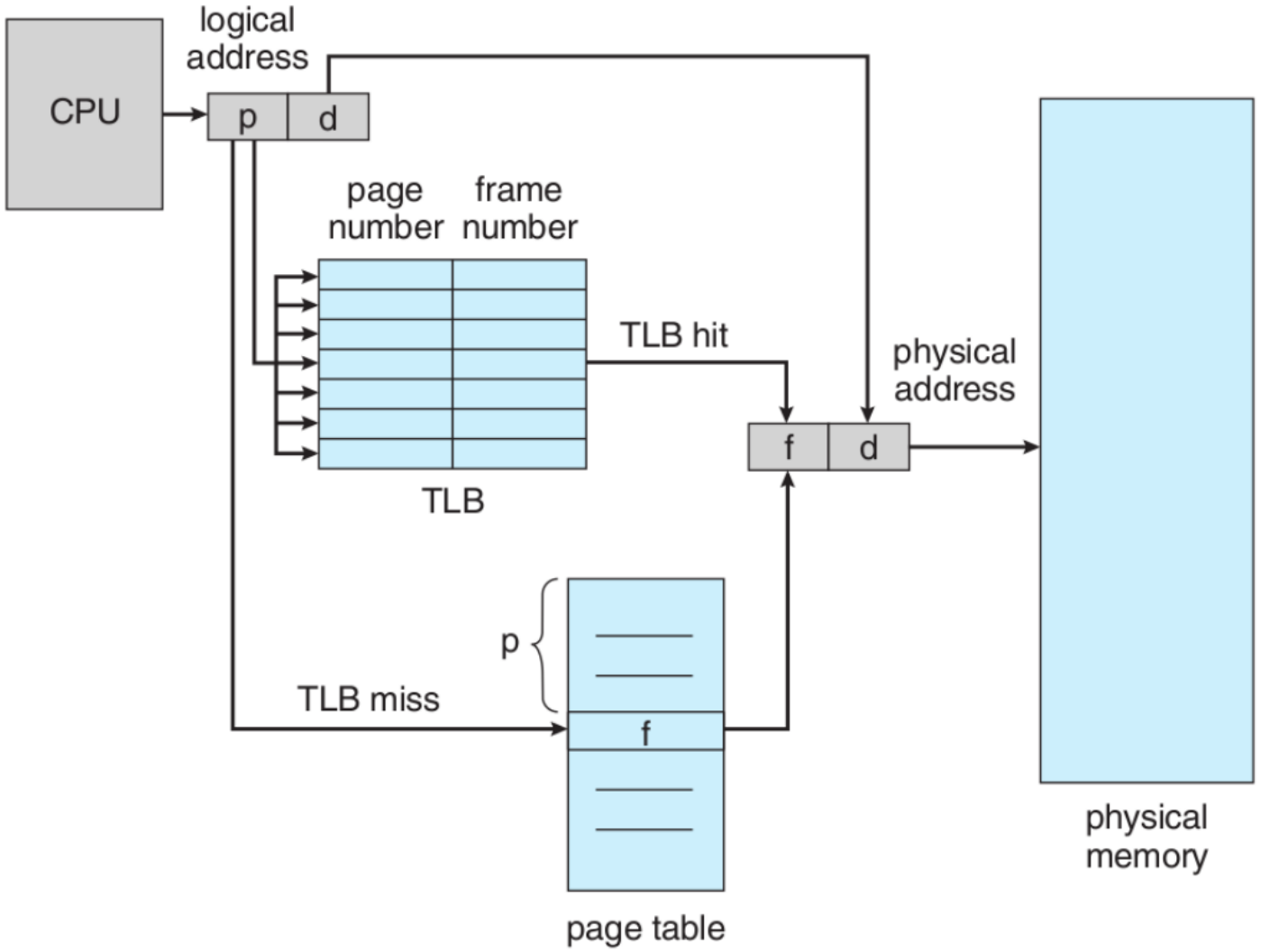
2 accese, ineficienta

TLB
- translation lookaside buffer
- cache de viteza mare si dimensiune mica (256 intrari)

in general mentinut per proces
la schimbarea contextului flush pe majoritatea intrarilor
- nu se face flush la partea comuna (kernel space)

schimbarea de context e costisitoare pentru ca
- se schimba tabela de pagini
- se face flush la TLB

TLB (2)

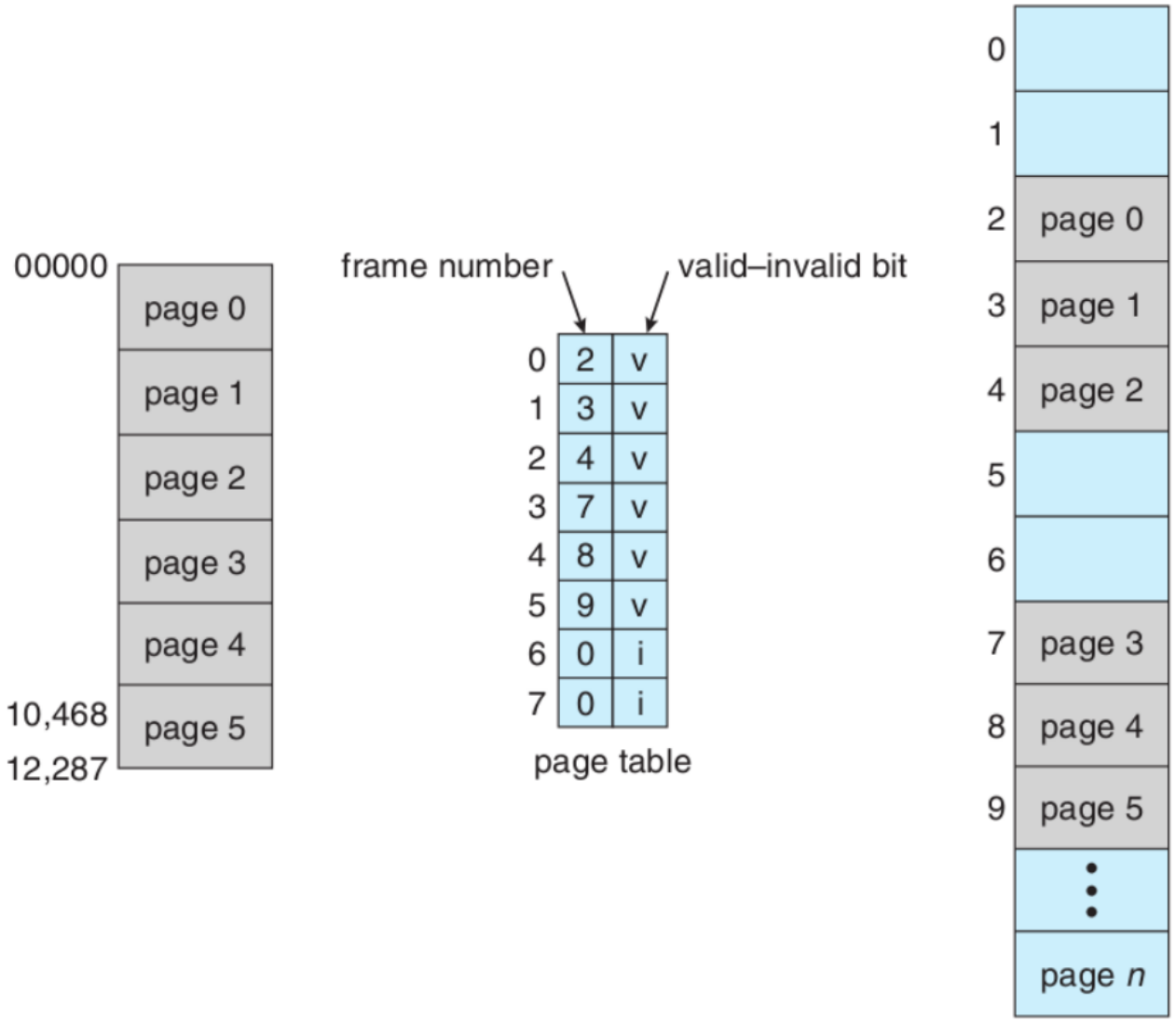


OSCE, Chapter 7, pg. 296, Figure 7.11

Paginarea avansata

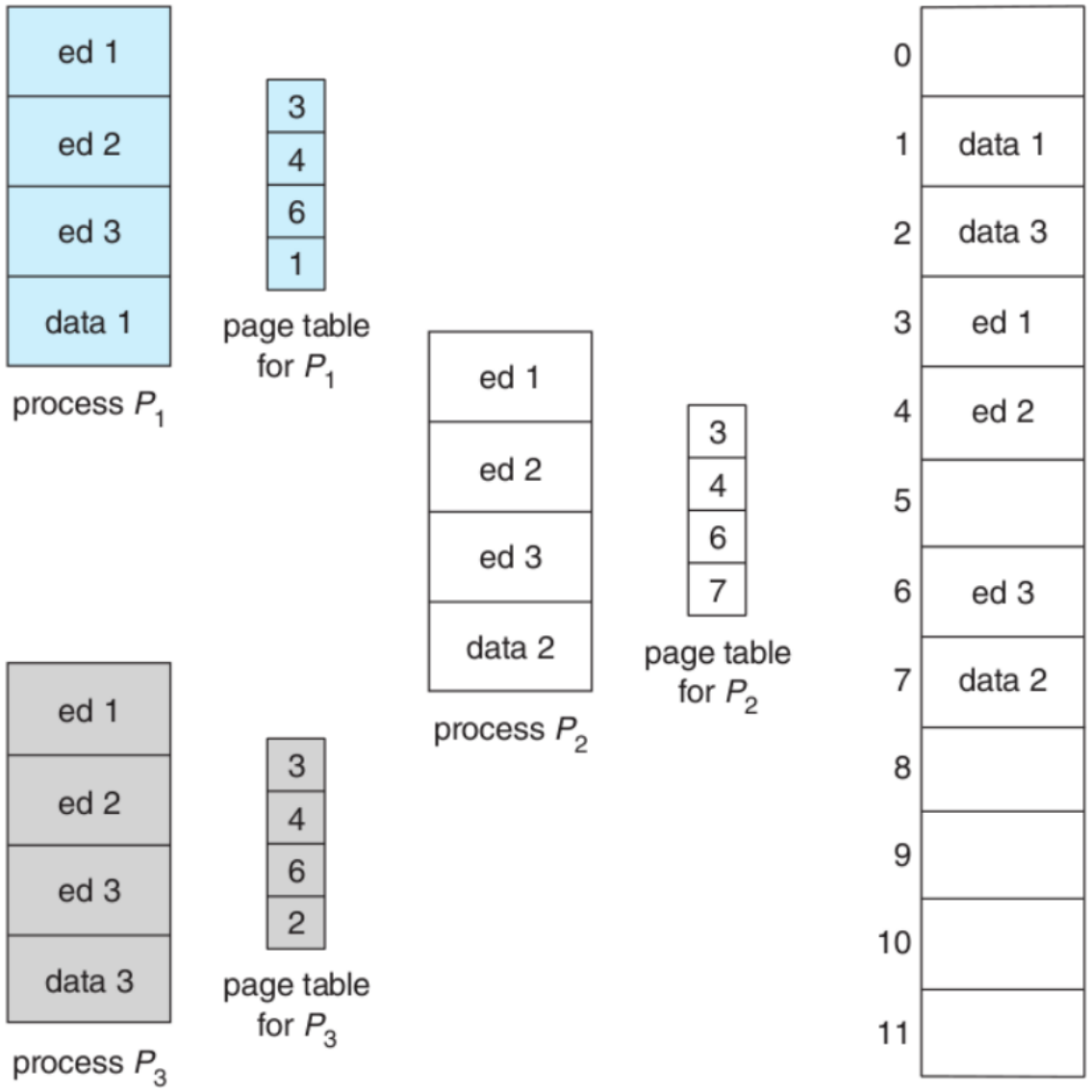
Protectia memoriei paginate
Partajarea memoriei
Paginarea ierarhica
Tabela de pagini inversata

Protectia memoriei paginate



OSCE, Chapter 7, pg. 297, Figure 7.12

Partajarea memoriei



OSCE, Chapter 7, pg. 299, Figure 7.13

Paginarea ierarhica

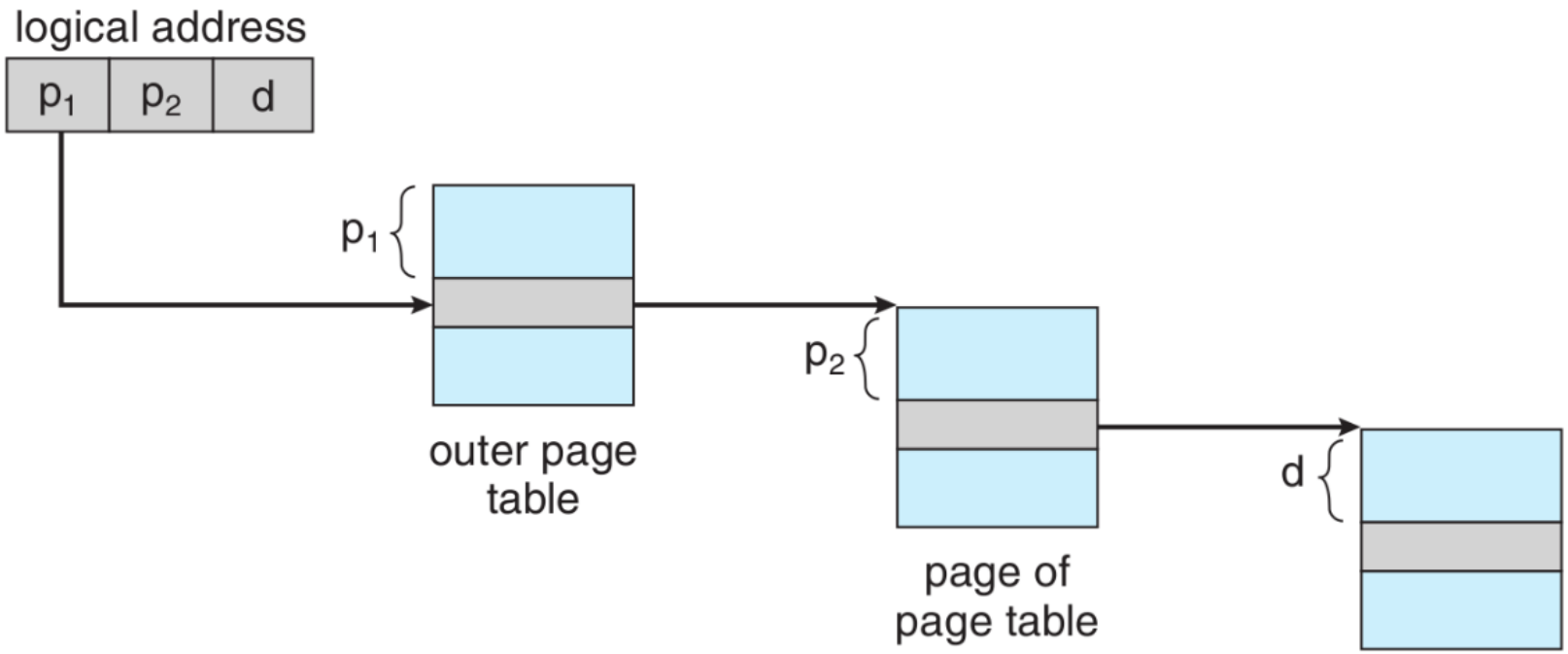
situatie:

- sistem cu spatiu de adresa pe 32 de biti
- dimensiunea unei pagini de 4 KB (adresa pe 12 biti)
- tabela de pagini conine 2^32 / 2^12 = 2^20 intrări (1 milion)
- fiecare intrare ocupă 4 octeti
  - 4 MB ocupati doar cu mentinerea tabelei de pagini

solutie:

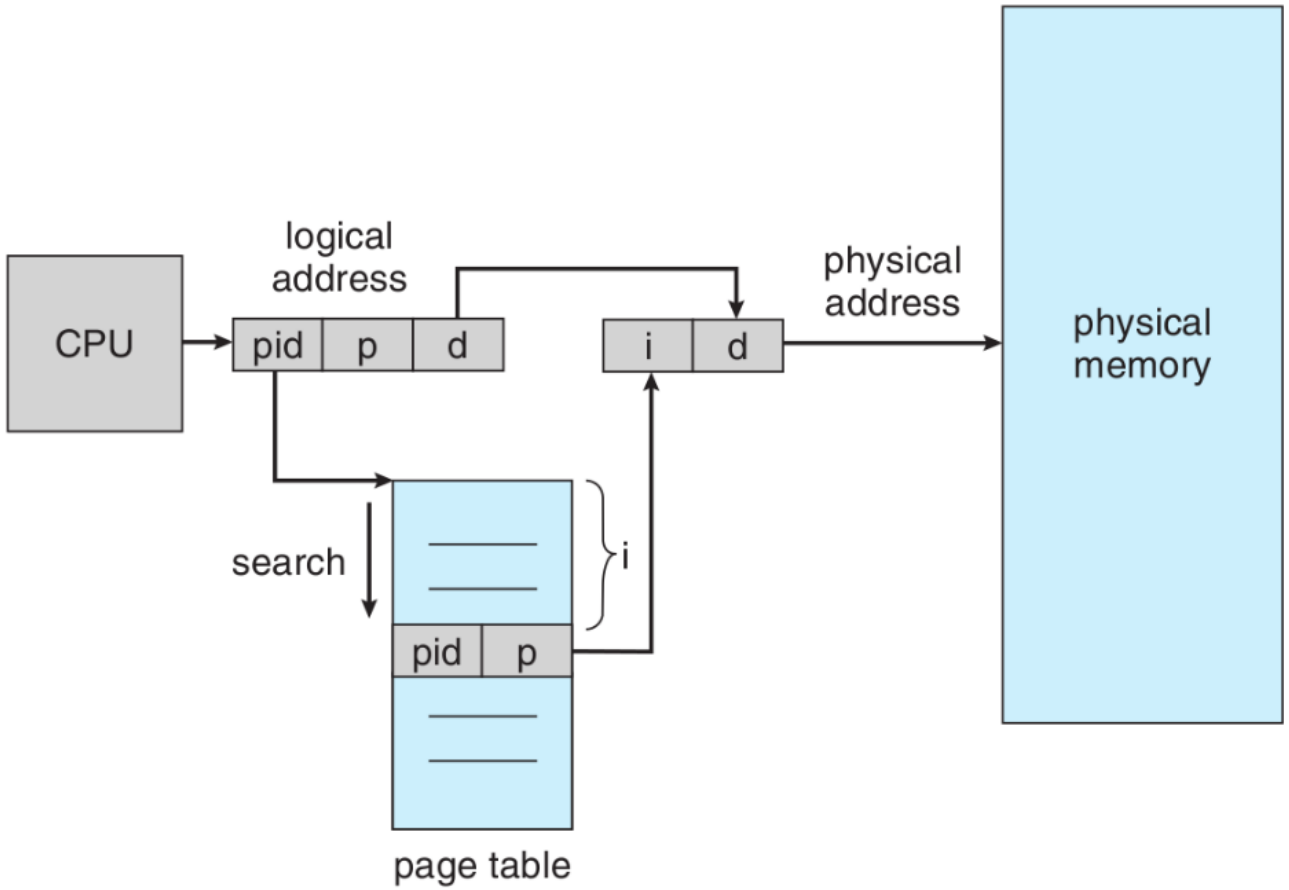
- paginarea ierarhica
- imparirea tabelei de pagini in componente mai mici

Paginarea ierarhica (2)



OSCE, Chapter 7, pg. 301, Figure 7.15

Tabela de pagini inversata



OSCE, Chapter 7, pg. 303, Figure 7.17

Cuvinte cheie

ierarhia de memorie
memoria principala
memoria cache
spatiu de memorie
address binding
adresa logica
adresa fizica
alocare
fragmentare

paginare
segmentare
selector de segment
adresa liniara
pagina virtuala (page)
pagina fizica (frame)
tabela de pagini
TLB
paginare ierarhica
tabela de pagini inversata