

数字逻辑与部件设计实验报告

【实验一：踢球裁决器】

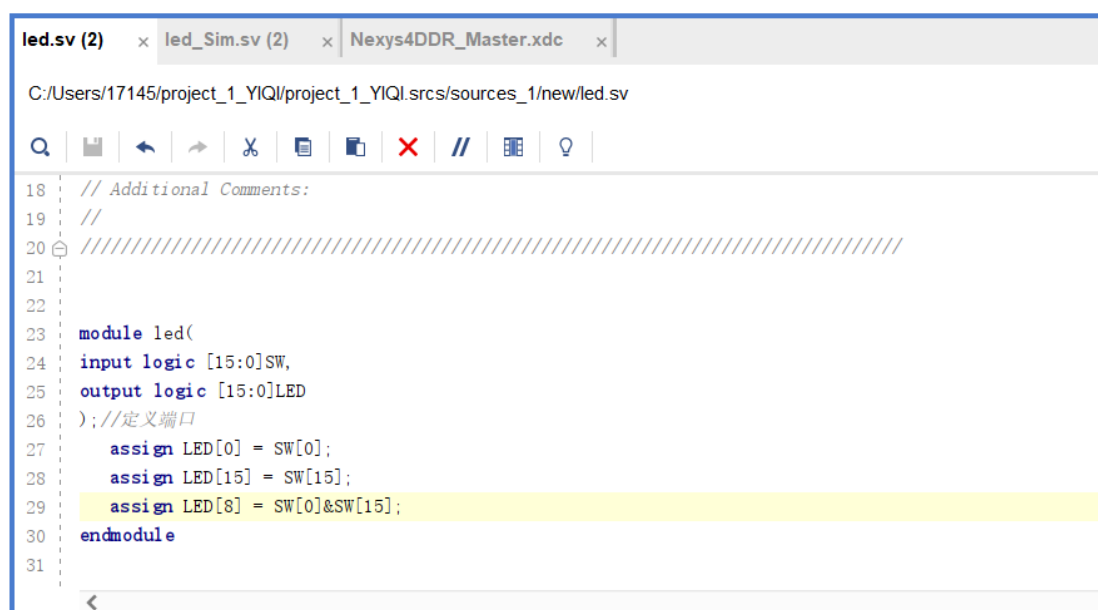
姓名：林艺奇 学号：22300246009 日期：2023-09-11

一、实验内容

用 HDL 描述是否去踢球的逻辑功能，并在 NEXYS4 开发板上实现验证。判断准则为：如果不下雨，且有空，则去踢球。否则就不去踢球。

二、实验方案

设计文件代码如下图所示

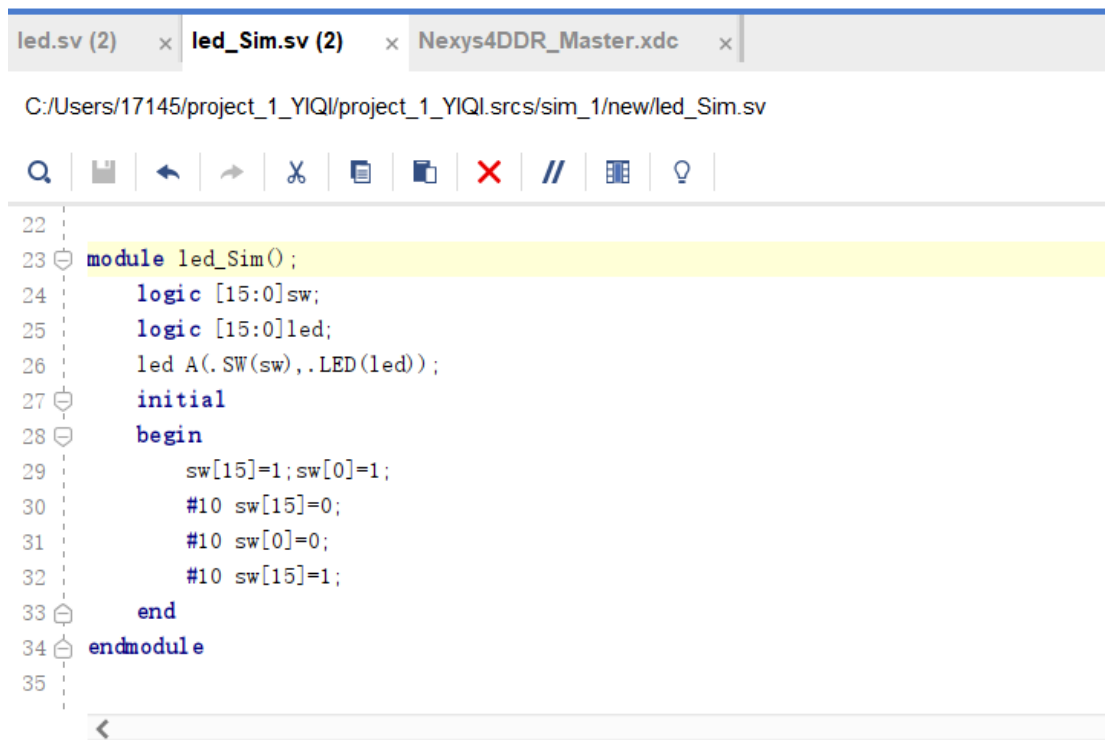


```
18 // Additional Comments:
19 //
20 ///////////////////////////////////////////////////////////////////
21
22
23 module led(
24   input logic [15:0]SW,
25   output logic [15:0]LED
26 );//定义端口
27     assign LED[0] = SW[0];
28     assign LED[15] = SW[15];
29     assign LED[8] = SW[0]&SW[15];
30 endmodule
31
```

其中，SW[15]=1 表示晴天，SW[15]=0 表示下雨。LED[15]反映对应的 SW[15]高低。

SW[0]=1 表示有空，SW[0]=0 表示没空。LED[0]反映对应的 SW[0]高低。LED[8]亮表示去踢球，否则表示不去踢球。

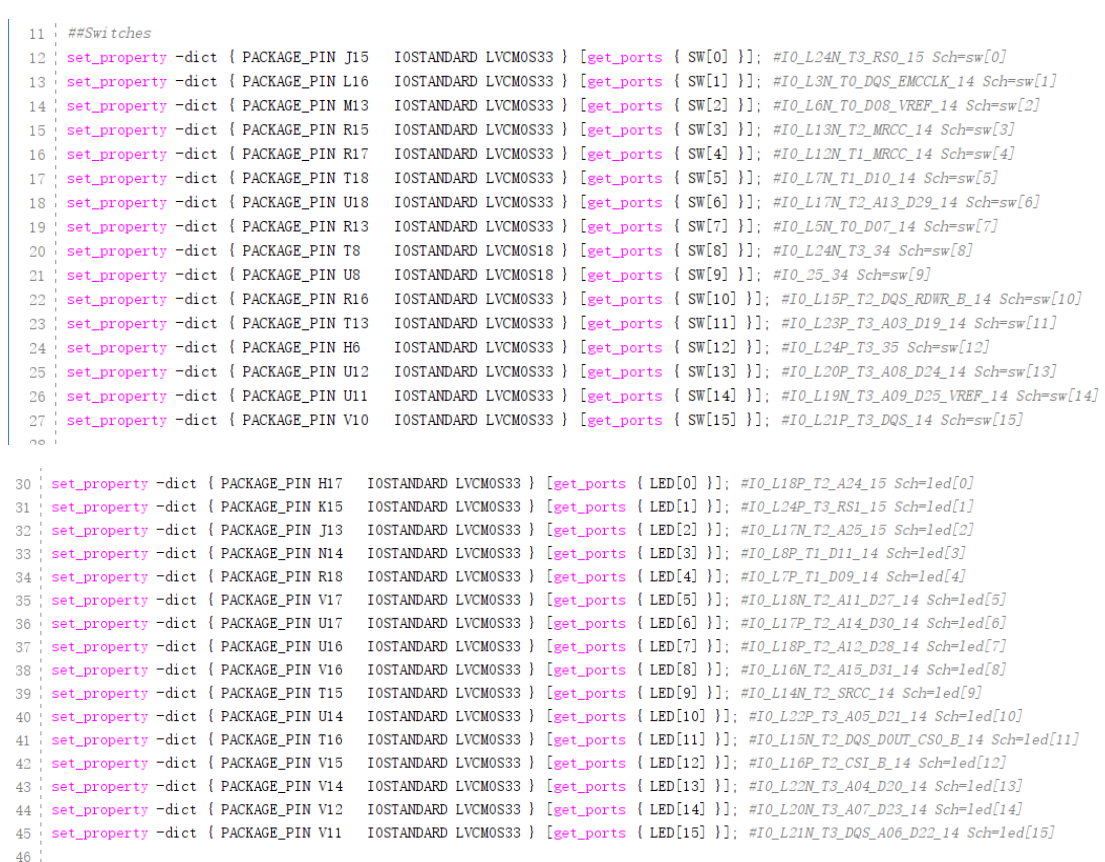
仿真文件代码如下图所示：



The screenshot shows a Verilog code editor with three tabs: led.v (2), led_Sim.v (2), and Nexys4DDR_Master.xdc. The active tab is led_Sim.v (2), which contains the following code:

```
22
23 module led_Sim();
24     logic [15:0]sw;
25     logic [15:0]led;
26     led A(.SW(sw),.LED(led));
27     initial
28     begin
29         sw[15]=1;sw[0]=1;
30         #10 sw[15]=0;
31         #10 sw[0]=0;
32         #10 sw[15]=1;
33     end
34 endmodule
35
```

约束文件代码如下图所示：



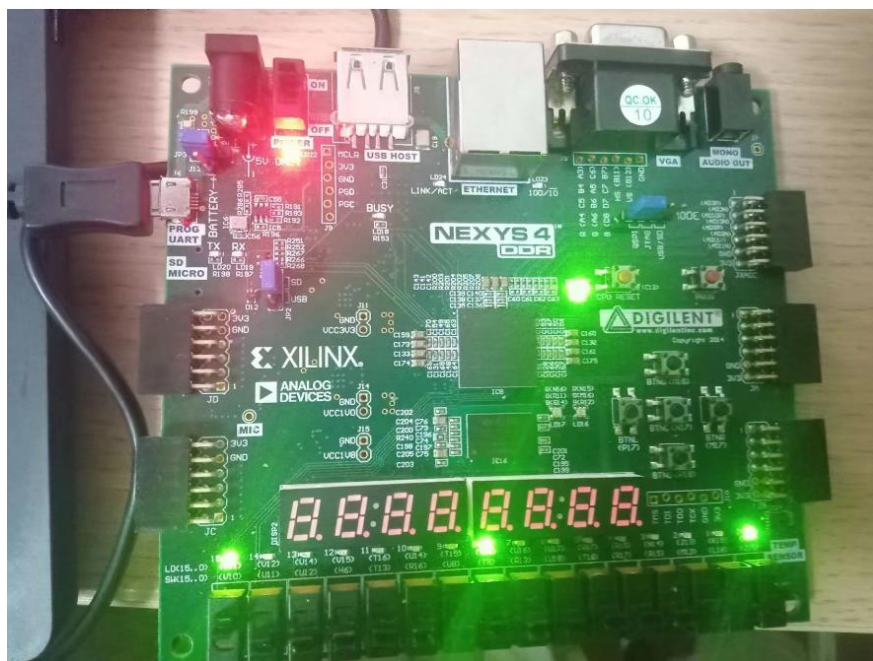
The screenshot shows a Verilog code editor with three tabs: led.v (2), led_Sim.v (2), and Nexys4DDR_Master.xdc. The active tab is Nexys4DDR_Master.xdc, which contains the following code:

```
11 ##Switches
12 set_property -dict { PACKAGE_PIN J15 IOSTANDARD LVCMOS33 } [get_ports { SW[0] }]; #IO_L24N_T3_RS0_15 Sch=sw[0]
13 set_property -dict { PACKAGE_PIN L16 IOSTANDARD LVCMOS33 } [get_ports { SW[1] }]; #IO_L3N_TO_DQS_EMCLK_14 Sch=sw[1]
14 set_property -dict { PACKAGE_PIN M13 IOSTANDARD LVCMOS33 } [get_ports { SW[2] }]; #IO_L6N_TO_D08_VREF_14 Sch=sw[2]
15 set_property -dict { PACKAGE_PIN R15 IOSTANDARD LVCMOS33 } [get_ports { SW[3] }]; #IO_L13N_T2_MRCC_14 Sch=sw[3]
16 set_property -dict { PACKAGE_PIN R17 IOSTANDARD LVCMOS33 } [get_ports { SW[4] }]; #IO_L12N_T1_MRCC_14 Sch=sw[4]
17 set_property -dict { PACKAGE_PIN T18 IOSTANDARD LVCMOS33 } [get_ports { SW[5] }]; #IO_L7N_T1_D10_14 Sch=sw[5]
18 set_property -dict { PACKAGE_PIN U18 IOSTANDARD LVCMOS33 } [get_ports { SW[6] }]; #IO_L17N_T2_A13_D29_14 Sch=sw[6]
19 set_property -dict { PACKAGE_PIN R13 IOSTANDARD LVCMOS33 } [get_ports { SW[7] }]; #IO_L5N_TO_D07_14 Sch=sw[7]
20 set_property -dict { PACKAGE_PIN T8 IOSTANDARD LVCMOS18 } [get_ports { SW[8] }]; #IO_L24N_T3_34 Sch=sw[8]
21 set_property -dict { PACKAGE_PIN U8 IOSTANDARD LVCMOS18 } [get_ports { SW[9] }]; #IO_25_34 Sch=sw[9]
22 set_property -dict { PACKAGE_PIN R16 IOSTANDARD LVCMOS33 } [get_ports { SW[10] }]; #IO_L15P_T2_DQS_RDWR_B_14 Sch=sw[10]
23 set_property -dict { PACKAGE_PIN T13 IOSTANDARD LVCMOS33 } [get_ports { SW[11] }]; #IO_L23P_T3_A03_D19_14 Sch=sw[11]
24 set_property -dict { PACKAGE_PIN H6 IOSTANDARD LVCMOS33 } [get_ports { SW[12] }]; #IO_L24P_T3_35 Sch=sw[12]
25 set_property -dict { PACKAGE_PIN U12 IOSTANDARD LVCMOS33 } [get_ports { SW[13] }]; #IO_L20P_T3_A08_D24_14 Sch=sw[13]
26 set_property -dict { PACKAGE_PIN U11 IOSTANDARD LVCMOS33 } [get_ports { SW[14] }]; #IO_L19N_T3_A09_D25_VREF_14 Sch=sw[14]
27 set_property -dict { PACKAGE_PIN V10 IOSTANDARD LVCMOS33 } [get_ports { SW[15] }]; #IO_L21P_T3_DQS_14 Sch=sw[15]
28
29
30 set_property -dict { PACKAGE_PIN H17 IOSTANDARD LVCMOS33 } [get_ports { LED[0] }]; #IO_L18P_T2_A24_15 Sch=led[0]
31 set_property -dict { PACKAGE_PIN K15 IOSTANDARD LVCMOS33 } [get_ports { LED[1] }]; #IO_L24P_T3_RS1_15 Sch=led[1]
32 set_property -dict { PACKAGE_PIN J13 IOSTANDARD LVCMOS33 } [get_ports { LED[2] }]; #IO_L17N_T2_A25_15 Sch=led[2]
33 set_property -dict { PACKAGE_PIN N14 IOSTANDARD LVCMOS33 } [get_ports { LED[3] }]; #IO_L8P_T1_D11_14 Sch=led[3]
34 set_property -dict { PACKAGE_PIN R18 IOSTANDARD LVCMOS33 } [get_ports { LED[4] }]; #IO_L7P_T1_D09_14 Sch=led[4]
35 set_property -dict { PACKAGE_PIN V17 IOSTANDARD LVCMOS33 } [get_ports { LED[5] }]; #IO_L18N_T2_A11_D27_14 Sch=led[5]
36 set_property -dict { PACKAGE_PIN U17 IOSTANDARD LVCMOS33 } [get_ports { LED[6] }]; #IO_L17P_T2_A14_D30_14 Sch=led[6]
37 set_property -dict { PACKAGE_PIN U16 IOSTANDARD LVCMOS33 } [get_ports { LED[7] }]; #IO_L18P_T2_A12_D28_14 Sch=led[7]
38 set_property -dict { PACKAGE_PIN V16 IOSTANDARD LVCMOS33 } [get_ports { LED[8] }]; #IO_L16N_T2_A15_D31_14 Sch=led[8]
39 set_property -dict { PACKAGE_PIN T15 IOSTANDARD LVCMOS33 } [get_ports { LED[9] }]; #IO_L14N_T2_SRCC_14 Sch=led[9]
40 set_property -dict { PACKAGE_PIN U14 IOSTANDARD LVCMOS33 } [get_ports { LED[10] }]; #IO_L22P_T3_A05_D21_14 Sch=led[10]
41 set_property -dict { PACKAGE_PIN T16 IOSTANDARD LVCMOS33 } [get_ports { LED[11] }]; #IO_L15N_T2_DQS_DOUT_CS0_B_14 Sch=led[11]
42 set_property -dict { PACKAGE_PIN V15 IOSTANDARD LVCMOS33 } [get_ports { LED[12] }]; #IO_L16P_T2_CSI_B_14 Sch=led[12]
43 set_property -dict { PACKAGE_PIN V14 IOSTANDARD LVCMOS33 } [get_ports { LED[13] }]; #IO_L22N_T3_A04_D20_14 Sch=led[13]
44 set_property -dict { PACKAGE_PIN V12 IOSTANDARD LVCMOS33 } [get_ports { LED[14] }]; #IO_L20N_T3_A07_D23_14 Sch=led[14]
45 set_property -dict { PACKAGE_PIN V11 IOSTANDARD LVCMOS33 } [get_ports { LED[15] }]; #IO_L21N_T3_DQS_A06_D22_14 Sch=led[15]
46
```

三、实验分析

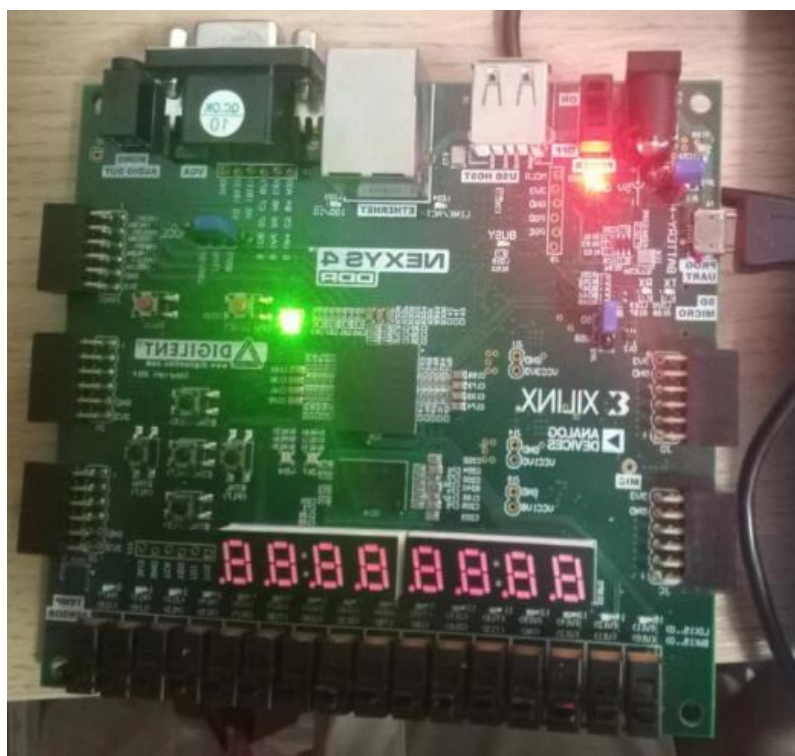
情况 1: led 15 亮, 表示晴天; led 0 亮, 表示有空。则 led 8 亮, 可以去踢球。

如下图所示:

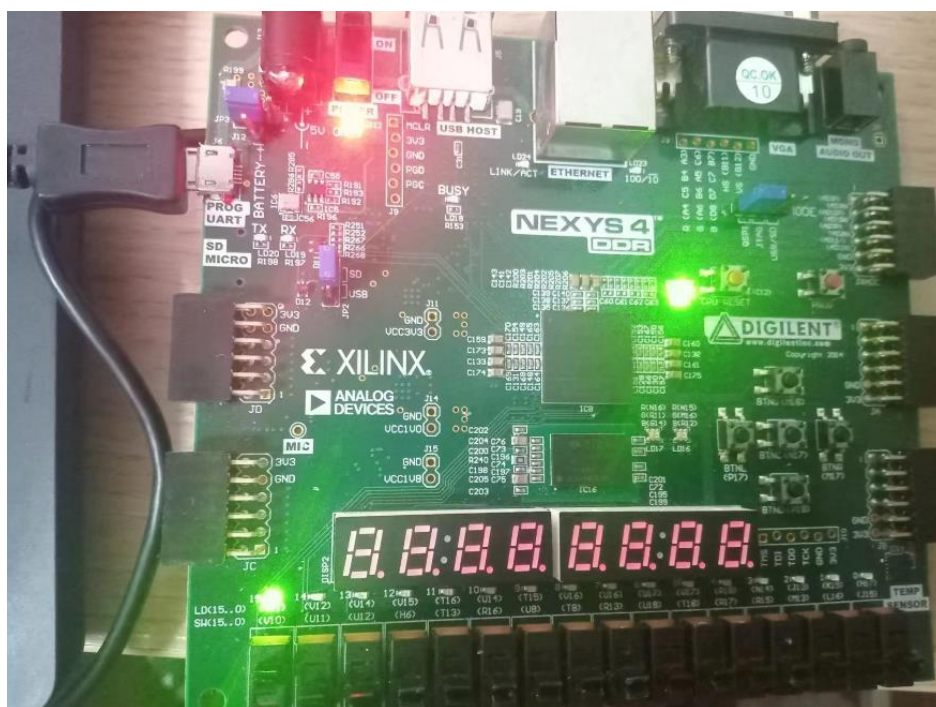


情况 2: led 15 不亮, 表示下雨; led 0 不亮, 表示没有空。则 led 8 不亮, 不可以去踢球。

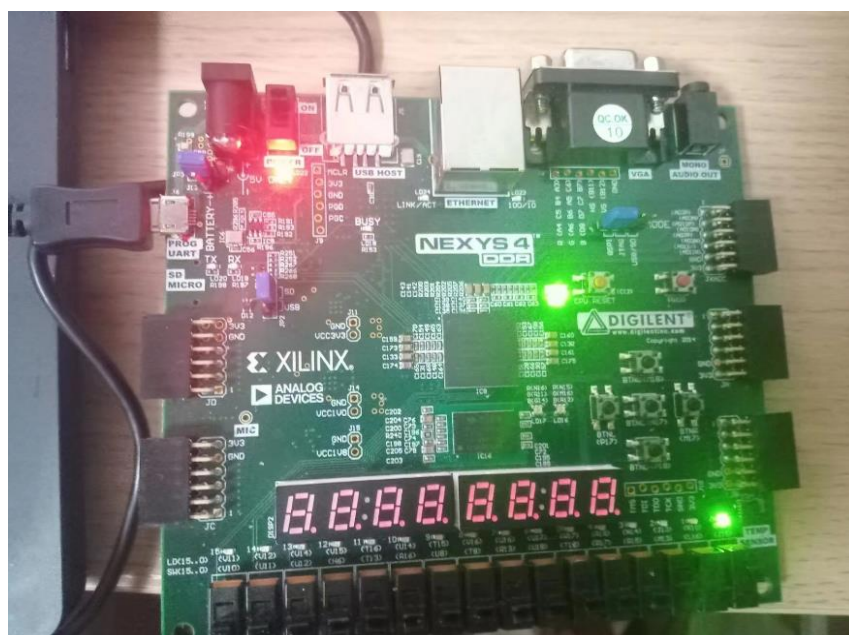
如下图所示:



情况 3: led 15 不亮, 表示下雨; led 0 亮, 表示有空。则 led 8 不亮, 不可以去踢球。
如下图所示:



情况 4: led 15 亮, 表示晴天; led 0 不亮, 表示没有空。则 led 8 不亮, 不能去踢球。
如下图所示:



以上四种情况中, 只有 led 15 和 led 0 同时亮时, led 8 才亮, 故符合判定标准。

四、总结与思考

遇到的问题：写好了文件运行的时候 led 灯一直都没有亮，后来才知道原来是板子有问题，于是换了一块板子。

总结与收获：在对 vivado 项目中三个文件进行编程与调试中，对 vivado、SystemVerilog 语言以及创建 bit 文件进行了初步的尝试。