TX41D97VC1GAA 技術資料

2003年05月06日

項No.	内容	シ ー ト No.	頁
-	表紙	3284TTD 2080-1	1-1/1
-	改 訂 来 歴 表	3284TTD 2080-1	2-1/1
-	適 用 範 囲	3284TTD 2080-1	3-1/1
1	最 大 定 格	3284TTD 2080-1	4-1/3~3/3
2	光 学 特 性	3284TTD 2080-1	5-1/2~2/2
3	電気的特性	3284TTD 2080-1	6-1/1
4	ブ ロ ッ ク 図	3284TTD 2080-1	7-1/1
5	端子機能表	3284TTD 2080-1	8-1/5~5/5
6	インタフェースタイミング	3284TTD 2080-1	9-1/4~4/4
7	外 形 図	3284TTD 2080-1	10-1/1

改 訂 来 歴 表

改訂日	上段:改訂前、下段 シートNo.	: 改訂後 頁	改訂項	目(内容詳細は、	本文参照)

発行日 2003.05.06 シート No.

適用範囲

< 4 1 cm(16.1形) S X G A + >

本仕様書は、バックライト付TFT液晶表示モジュールについて規定する。

·品 名 : T X 4 1 D 9 7 V C 1 G A A

・表 示 サ イ ズ : H 3 2 6 . 5 5 x V 2 4 4 . 9 1 [mm]

·画 素 数 : H1400×V1050

(ドット数:H(1400×3)×V1050)

・画 素 ピッチ : H 0 . 2 3 3 2 5 x V 0 . 2 3 3 2 5 [mm]

・カラーフィルタ配置 : R・G・B 縦ストライプ

・表 示 モ ード : 透過型

ノーマリーホワイトモード

262K色表示

・インターフェース : L V D S / レシーバ

・表面偏光板 :アンチリフレクションコート付グレア偏光板

(表面硬度 2 H)

・バックライト : 冷陰極蛍光管 2 灯(下置き)

(ランプ点灯用インバータは内蔵していない)

外形サイズ : H340TYP×V260TYP

 \times t 10 MAX. [mm]

·電源電圧:3.3V

*LVDS; Low Voltage Differential Signaling.

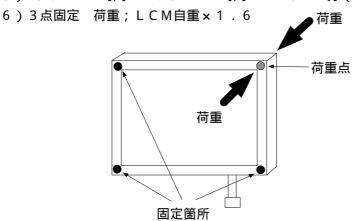
1.最大定格

1.1 環境条件

D	動(作 時	非 動	作 時	/ <u>.</u> _	/# +×
項 目	最 小	最大	最 小	最 大	単位	備考
周 囲 温 度	0	5 0	- 3 0	6 5		1)
湿 度	40 -	95%RH	50 -	90%RH	%RH	1)2)
振動	1	14.7(1.5G)	-	29.4 (3G)	m/s ²	3)
衝 撃	-	29.4 (3G)	-	980(100G)	1117 0	4)
腐蝕性ガス	ない	にと	ない	にと	-	
パネル表面照度	-	50,000	-	50,000	1 x	
ヒートショック -		1	2	сус.	5)	
ひねり		-	-	10,000	回	6)

備考1)周囲温度及び湿度とは、TFT液晶モジュール及びバックライトの 温度/湿度を示す。(製品システムの周囲温度/湿度ではない) 低温ではランプの輝度低下等を生じたり、又寿命も短くなる傾向があります。 可能な限り常温で使用して下さい。 非動作時の低温での放置時間は48hrとする。

- 2)結露させないこと。
- 3) 10~500Hz, 20分/サイクル, 1サイクル, X·Y·Z
- 4) 3 ms , X Y Z Z '
- 5)-30・2時間 65・2時間 10 /分(立上リ/立下り)



1.2 電気的絶対最大定格

(1) TFT液晶表示モジュール部

Vss=0V

	項	目		記号	最 小	最大	単位	備考
ロジ	ック用	電源電	圧	V DD	0	4.0	V	
静	電	耐	F	V ESDO	±	250	V	1)
月尹	电	ניטיו	圧	V ESD1	±	15	kV	2),3)

備考1)放電定数:200pF-0 、環境:25 -70%RH, I/Fピンに適用する。

2)放電定数:200pF-250 , 環境:25 -70%RH

3)シールドケース及びパネル表面に適用する。

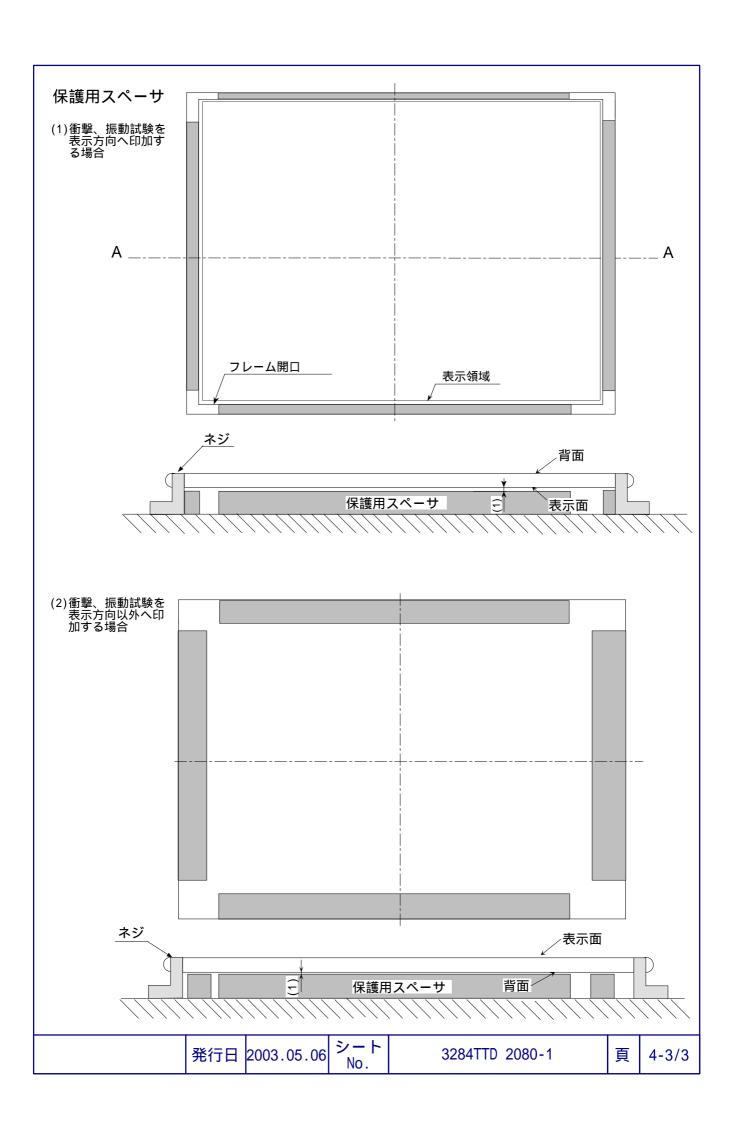
(2) バックライトユニット部

GND=0V

	項		目		記号	最 小	最大	単位	備	考
ラ	ン	プ	電	流	ΙL	0	7	mArms		
ラ	ン	プ	電	圧	VL	0	2,000	Vrms		

1.3 PCグランドと金属フレームとの接続

動作中のモジュールから保護フィルムを剥がす場合、モジュールの 金属フレームはPCのグランドに接地して下さい。 もし金属フレームとPCグランドを接続しなければ、保護フィルム を剥がすことによって発生する静電気の為に、PCがシャットダウン を起こすことがあります。



2 . 光学特性

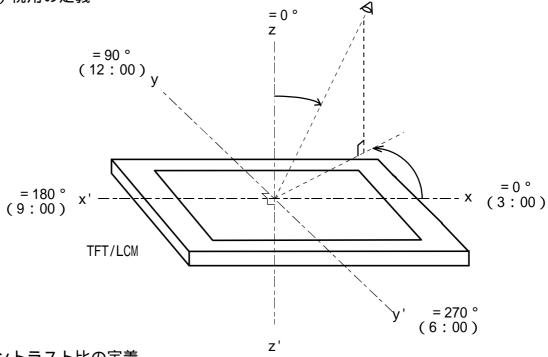
光学特性は、TFT液晶表示モジュールの表示動作、バックライトの発光動作 及び 測定系(測定機器)が充分安定した状態(30分以上)で測定する(外光ゼロ)。 なお、測定点は画面中央部とする。

測 定 機 器 : トプコン製 BM-7、フォトリサーチ社製プリチャード 1980A 及び 相当品

周囲温度 = 25 , VDD = 3.3V , f v = 60Hz , f L= 50kHz, I L = 6.0mA

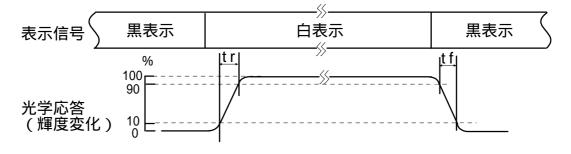
項	目	記号	条件	最 小	標準	最大	単位	備考
コントラ	スト比	C R		300	600	-	-	2)
ct Month 888	立上り	tr		-	30	-	mc	2)
応答時間	立下り	t f		-	20	-	ms	3)
輝 度(白 色)	Bwh		270	330	-	cd/m ²	4)
色度座標	赤	X		0.58	0.61	0.64	-	
	(階調63)	У	= 0 °	0.31	0.34	0.37	-	
(CIE)	緑	X	1)	0.27	0.30	0.33	-	
	(階調63)	У		0.52	0.55	0.58	-	
	青	Х		0.12	0.15	0.18	-	
	(階調63)	У		0.09	0.12	0.15	-	
	白	Х		0.29	0.32	0.35	-	
	(階調63)	У		0.30	0.33	0.36	-	
視角範囲	x-x'	Х	= 0 °	60	80	-		
	X-X	х '	= 180 °	60	80	-	deg.	1)
(CR 10)		У	= 90 °	30	50	-		. ,
	у-у'	у,	= 270 °	40	60	-		

備考1)視角の定義

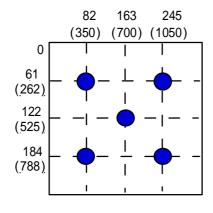


2) コントラスト比の定義

3)応答時間の定義



4)測定点



発行日 2003.05.06

3.電気的特性

(1) TFT液晶表示モジュール部

Ta=25 , V ss=0V

項目	記号	最 小	標準	最大	単位	備考
電源電圧	V DD	3.0	3.3	3.6	V	
LVDS差動_ Hi	V IH	-	-	+100	mV	1)
入力電圧Lo	V IL	-100	-	-		.,
電源電流	${f I}$ DD	-	600	950	mA	2),3)
Vsync 周 波 数	f۷	-	60	65	Hz	4),5)
Hsync 周 波 数	fн	-	61	76	kHz	4)
DCLK周 波 数	f clk	51	54	57	MHz	4)

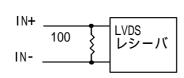
備考1) VCM=+1.25V

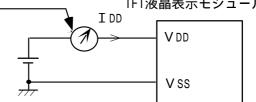
VCMはLVDSトランスミッタ/レシーバ のIEVE-ドボルテージです。 LVDSレシーバ入力端子は 100 で終端されています。

2) fv=60Hz, fclk=54MHz, VDD=3.3V 直流電流 標準値は64階調縦グレイスケールパターン表示時測定する。 最大値は1ドット毎黒,階調7(黒(0)から数えて)の縦ストライプパターン表示時測定する。

直流電流計

TFT液晶表示モジュール





- 3)電流ヒューズ(1.6A)を内蔵しています。電源異常時に内蔵ヒューズを溶断できる 電源容量(3.0A以上)、または保護回路を設定して下さい。
- 4) LVDSトランスミッター入力での規定。 5) Vsync周波数は、60Hzで使用することを推奨します。 Vsync周波数の ズレにより、フリッカーレベルが変化します。

(2)バックライトユニット

Ta=25 , GND=0V

項目	記号	最 小	標準	最大	単位	備考
ランプ電流	ΙL	2.8	5.0	7.0	mArms	4) 0)
		-	-	10	mA0-peak	1),2)
ランプ電圧	VL	-	740	-	Vrms	7)
点 灯 周 波 数	fL	40	-	70	kHz	3)
放電開始ランプ電圧	\/ a	1085	-	-	Vrms	4)
が电形なフクク电圧	Vs	1310	-	-		4),5)
C F L 動作寿命	-	10000	-	-	hr.	4),6)

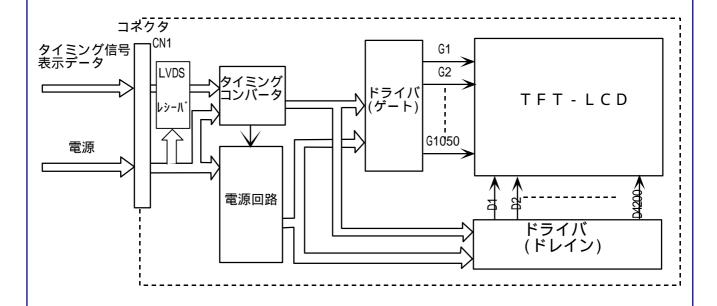
- 備考1)GND側に高周波電流計を接続し、測定を行う。
 - 2) ランプ電流を大きくするとランプ寿命が短くなる傾向があります。
 - 3) ランプ点灯周波数と、TFTパネル駆動用周波数が干渉し、表示上に横縞のビート フリッカが発生する場合があります。これは双方の周波数の差が大きい領域で減少 しますが、その領域内でも強弱が周期的に現れますのでフリッカ最小となるよう設 定して下さい。
 - 4) インバータ開放電圧をこの電圧以上で使用して下さい。

 - 6) CFL寿命時間は、初期値に於ける輝度半減期とする。(IL=5mA)
 - $7) I_{L} = 5.0 \text{mA}$

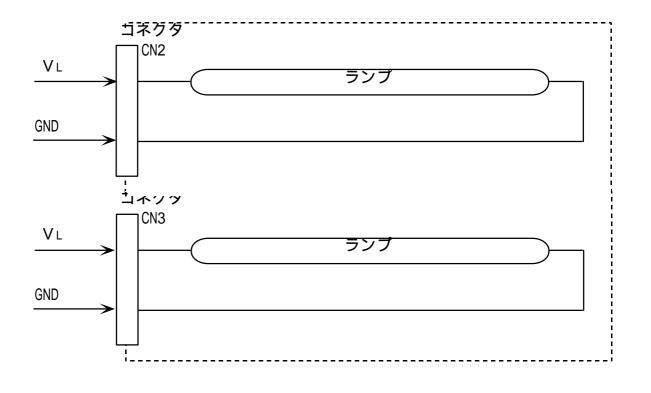
シート 発行日 2003.05.06 No.	3284TTD 2080-1	頁	6-1/1
------------------------------	----------------	---	-------

4. ブロック図

(1) TFT液晶表示モジュール部



(2)バックライト部



シート 発行日 2003.05.06 No. 3284TTD 2080-1 頁 7-1/1

5.端子機能表

(1) TFT液晶表示モジュール部

CN1 《JAE:FI-XB30S-HF10》

VSS	
2	
3	
4 VSS Ground 5 VSS Ground 6 VSS Ground 7 VSS Ground 8 R0in0- ODD LVDS Receiver Signal(-) (R0 ~ R5,G0) 9 R0in0+ ODD LVDS Receiver Signal(+) (R0 ~ R5,G0) 10 VSS Ground 11 R0in1- ODD LVDS Receiver Signal(-) (G1 ~ G5,B0 ~ B1) 12 R0in1+ ODD LVDS Receiver Signal(+) (G1 ~ G5,B0 ~ B1) 13 VSS Ground 14 R0in2- ODD LVDS Receiver Signal(-) (B2 ~ B5,HS,VS,DE) 15 R0in2+ ODD LVDS Receiver Signal(+) (B2 ~ B5,HS,VS,DE) 16 VSS Ground	
5 VSS Ground 6 VSS Ground 7 VSS Ground 8 R0in0- ODD LVDS Receiver Signal(-) (R0~R5,G0) 9 R0in0+ ODD LVDS Receiver Signal(+) (R0~R5,G0) 10 VSS Ground 11 R0in1- ODD LVDS Receiver Signal(-) (G1~G5,B0~B1) 12 R0in1+ ODD LVDS Receiver Signal(+) (G1~G5,B0~B1) 13 VSS Ground 14 R0in2- ODD LVDS Receiver Signal(-) (B2~B5,HS,VS,DE) 15 R0in2+ ODD LVDS Receiver Signal(+) (B2~B5,HS,VS,DE) 16 VSS Ground	
6 VSS Ground 7 VSS Ground 8 R0inO- ODD LVDS Receiver Signal(-) (RO ~ R5,GO) 9 R0inO+ ODD LVDS Receiver Signal(+) (RO ~ R5,GO) 10 VSS Ground 11 R0in1- ODD LVDS Receiver Signal(-) (G1 ~ G5,BO ~ B1) 12 R0in1+ ODD LVDS Receiver Signal(+) (G1 ~ G5,BO ~ B1) 13 VSS Ground 14 R0in2- ODD LVDS Receiver Signal(-) (B2 ~ B5,HS,VS,DE) 15 R0in2+ ODD LVDS Receiver Signal(+) (B2 ~ B5,HS,VS,DE) 16 VSS Ground	
7 VSS Ground 8 R0in0- ODD LVDS Receiver Signal(-) (R0 ~ R5,G0) 9 R0in0+ ODD LVDS Receiver Signal(+) (R0 ~ R5,G0) 10 VSS Ground 11 R0in1- ODD LVDS Receiver Signal(-) (G1 ~ G5,B0 ~ B1) 12 R0in1+ ODD LVDS Receiver Signal(+) (G1 ~ G5,B0 ~ B1) 13 VSS Ground 14 R0in2- ODD LVDS Receiver Signal(-) (B2 ~ B5,HS,VS,DE) 15 R0in2+ ODD LVDS Receiver Signal(+) (B2 ~ B5,HS,VS,DE) 16 VSS Ground	
8 R0inO- ODD LVDS Receiver Signal(-) (R0 ~ R5,G0) 9 R0inO+ ODD LVDS Receiver Signal(+) (R0 ~ R5,G0) 10 VSS Ground 11 R0in1- ODD LVDS Receiver Signal(-) (G1 ~ G5,B0 ~ B1) 12 R0in1+ ODD LVDS Receiver Signal(+) (G1 ~ G5,B0 ~ B1) 13 VSS Ground 14 R0in2- ODD LVDS Receiver Signal(-) (B2 ~ B5,HS,VS,DE) 15 R0in2+ ODD LVDS Receiver Signal(+) (B2 ~ B5,HS,VS,DE) 16 VSS Ground	
9 ROINO+ ODD LVDS Receiver Signal(+) (RO ~ R5,GO) 10 VSS Ground 11 ROIN1- ODD LVDS Receiver Signal(-) (G1 ~ G5,BO ~ B1) 12 ROIN1+ ODD LVDS Receiver Signal(+) (G1 ~ G5,BO ~ B1) 13 VSS Ground 14 ROIN2- ODD LVDS Receiver Signal(-) (B2 ~ B5,HS,VS,DE) 15 ROIN2+ ODD LVDS Receiver Signal(+) (B2 ~ B5,HS,VS,DE) 16 VSS Ground	
10 VSS Ground 11 R0in1- ODD LVDS Receiver Signal(-) (G1 ~ G5,B0 ~ B1) 12 R0in1+ ODD LVDS Receiver Signal(+) (G1 ~ G5,B0 ~ B1) 13 VSS Ground 14 R0in2- ODD LVDS Receiver Signal(-) (B2 ~ B5,HS,VS,DE) 15 R0in2+ ODD LVDS Receiver Signal(+) (B2 ~ B5,HS,VS,DE) 16 VSS Ground	
11 R0int- ODD LVDS Receiver Signal(-) (G1 ~ G5,B0 ~ B1) 12 R0int+ ODD LVDS Receiver Signal(+) (G1 ~ G5,B0 ~ B1) 13 VSS Ground 14 R0in2- ODD LVDS Receiver Signal(-) (B2 ~ B5,HS,VS,DE) 15 R0in2+ ODD LVDS Receiver Signal(+) (B2 ~ B5,HS,VS,DE) 16 VSS Ground	
12	
13	
14 ROIn2-	
15 ROIN2+ ODD LVDS Receiver Signal(+) (B2~B5,HS,VS,DE) 16 VSS Ground	
16 VSS Ground	
100	
17 CHYO ONE LYDE OF THE CONTROL OF T	
17 CLKO- ODD LVDS CTock Signal(-)	
18 CLKO+ ODD LVDS Clock Signal(+)	
19 VSS Ground	
20 REINO- EVEN LVDS Receiver Signal(-) (R0~R5,G0)	
21 REINO+ EVEN LVDS Receiver Signal (+) (R0 ~ R5,G0)	
22 VSS Ground	
23 REin1- EVEN LVDS Receiver Signat(-) (G1 ~ G5,B0 ~ B1)	
24 REIN1+ EVEN LVDS Receiver Signal (+) (G1 ~ G5, B0 ~ B1)	
25 VSS Ground	
26 REIn2- EVEN LVDS Receiver Signal(-) (B2~B5, Vss, Vss, Vss)	
2/ REIn2+ EVEN LVDS Receiver Signal(+) (B2~B5,Vss,Vss,Vss)	
28 VSS Ground	
29 CLKE- EVEN LVDS Clock Signal(-)	
30 CLKE+ EVEN LVDS Clock Signal(+)	
- VSS Ground	

*ODD; First Pixel Data
*EVEN; Second Pixel Data

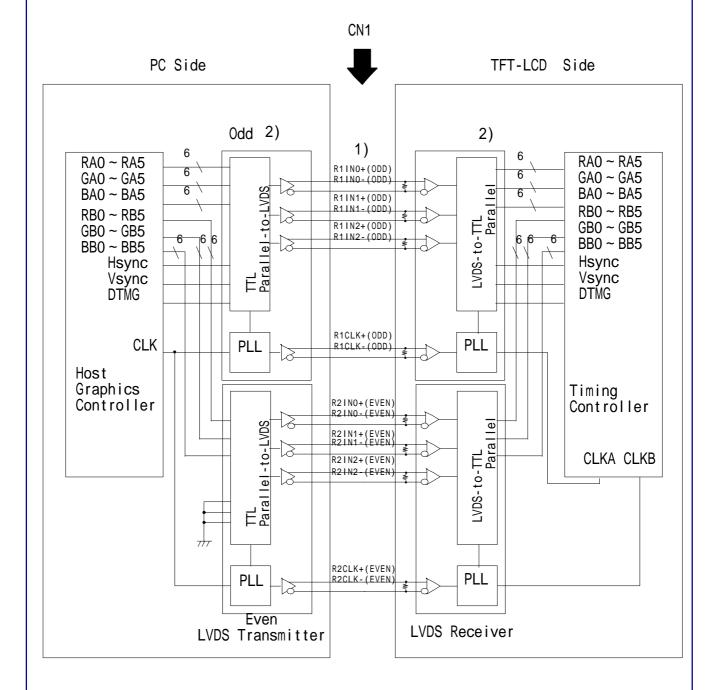
(2)バックライト部

CN2,CN3 《JST:BHSR-02VS-1》

ピンNo.	端子名	機能	備考
1	\/L	電源	
2	GND	GND (OV)	

ンート 発行日 2003.05.06 No. 32841 ID 2080-1 貝 8-1/9	シート	発行日 2003.05.06 No.	3284TTD 2080-1	頁 8-1/5
--	-----	--------------------	----------------	---------

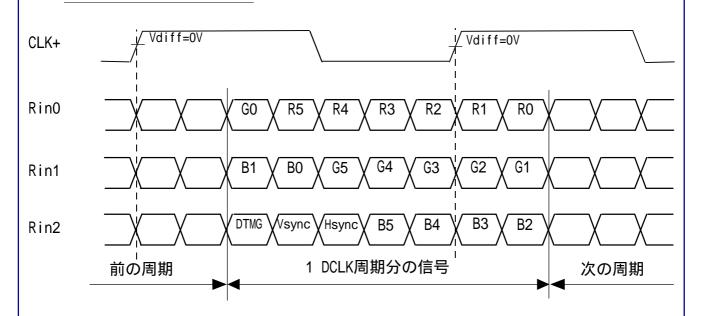
LVDS インターフェイス



- 注1) LVDSケーブルの特性インピーダンスは差動信号間で100 を推奨します。 インピーダンスが不整合の場合、正確な表示が行われない場合があります。
 - 2)トランスミッター ・Thine製:THC63LVDM63A 相当品 トランスミッターは本モジュールには内蔵されていません。
 - 3)レシーバー : TCON IC内蔵

 シート
 発行日
 2003.05.06
 No.
 3284TTD 2080-1
 頁
 8-2/5

LVDS入力信号



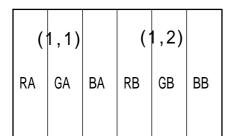
	INPUT SIGNAL	トランスミッタ	インターフェイ PC	スコネクタ(CN1) [FT液晶表示モジュール
	R0 R1 R2	INO(44) IN1(45) IN2(47) IN3(48)	OUTO+	I NO+
L	R3 R4 R5 G0	IN4(1)´ IN5(3) IN6(4)	OUTO-	INO-
	G1 G2 G3 G4 G5 B0 B1 B2 B3 B4 B5	IN7(6) IN8(7) IN9(9) IN10(10)	OUT1+	IN1+
D S		IN11(12) IN12(13) IN13(15) IN14(16)	OUT1 -	IN1-
		IN15(18) IN16(19) IN17(20)	OUT2+	IN2+
	HSYNC VSYNC DTMG	IN18(22) IN19(23) IN20(25)	OUT2-	IN2-
	DCLK	CLK IN(26)	CLK OUT+ CLK OUT-	CLK IN+ CLK IN-

注1)トランスミッターの()値は、Thine製THC63LVDM63Aを使用した場合のICピンNo. を示します。

シート 発行日 2003.05.06 No.	3284TTD 2080-1	頁	8-3/5
------------------------	----------------	---	-------

画面と表示データの関係

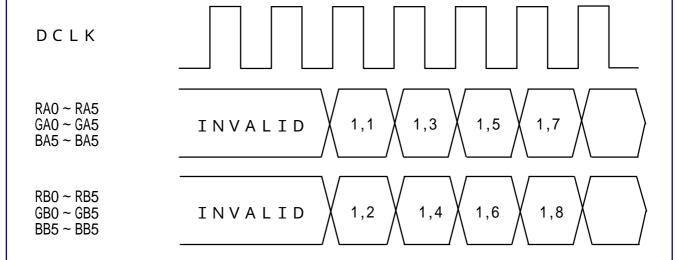
1DCLKで、2画素のデータをラッチします。



First Pixel Deta : RAO ~ RA5, GAO ~ GA5, BAO ~ BA5 Second Pixel Data : RBO ~ RB5, GBO ~ GB5, BBO ~ BB5

1,1	1,2	1,3	 1,1400
2,1	2,2	2,3	 2,1400
3,1	3,2	3,3	 3,1400
:	i :	:	:
:	:	:	:
:	:	:	:
1050,1	1050,2	1050,3	 1050,1400

Location of screen corresponding to each input data



=/	_	H

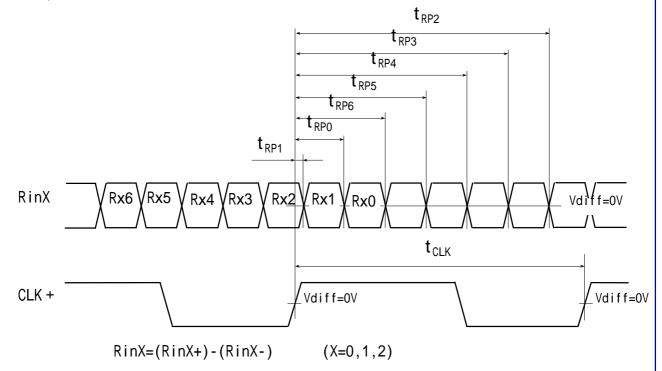
表示色と表示データの関係

	表示データ		R	デ-	- タ				(ゔデ	一方	7			Е	デ	一 ク	7	
±-4			R4	R3	R2	R1	R0	G5	G4	¦G3	G2	G1	GO	B5	B4	B3	B2	B1	B0
表示色		MSB					LSB	MSB		I I	l I		,	MSB				l	LSB
	BLACK	0					0			¦ 0				0	0	0	0	0	0
	RED(63)	1 1	1-	1-						† 0-				0.	0	0	¦ 0-	<u>-</u> 0-	-0
BASIC	GREÈN(63)-	0 ;	0				¦-0 -	1-1-		† 1-				0 -	† 0 −	0-	⊹θ-	- θ-	-0 -
COLOR	BLUE (63)	 						-0-							 	1-	- 1-	-1-	¦-1 -
	- CYAN	 -0-						-1						-1-		-1-	- 1-	-1-	¦-1 -
	Magenta	- 1	-1-				¦-1-									-1-	 1-	- 1 -	-1-
	- YELLOW	 -1-	1-				 -1 -								⊹ 0-			. •	¦-0 -
	├ ₩ HI -T E							-1-							 -1 -			- 1-	-1-
	BLACK							0							0			0	0
	RED(1-)							-0 -							¦-0 -				
	- RED(2)	† ' 0 †	-0-	- 0 -	-0-	-1-	¦-0 -	0 7	0-	† 0 -	⊹θ-	-θ-	¦-0 -	-0-	† - 0− :	Ð-	⊹θ-	-θ-	- 0
RED		+		-:-		- : -			-:	-:	+ -• - ·	 - -	• -	-:-	- -	-:-	† - -	<u> </u>	
	:	: ;	:	: :	:	:	1:	:	:	:	¦ :	:	¦ :	:	: :	:	:	¦ •	¦ :
	- RED(61)	 -1-	1-				 -1 -								 ∙0− -		⊹θ-	- θ-	¦-0 -
	- RED(62)	- 1 -					0								⊹ 0-		⊹ Θ −	-θ-	- 0 -
	- RED(63)	-1-	-1-¦				¦- 1 -								10-	0-	⊹θ-	-θ-	-0
	BLACK	0			0					0				0	 0	0	 0	¦ 0−	0
	GREEN(1-)							-0 -							¦-0-	0	† 0 −	-θ-	⊢θ-
	- GREEN(2)	† 1 0 †	-0	- 0 -	-0-	-θ-	¦-0 -	0 7	0-	† 0-	† 0 -	 1 -	¦-0 -	-0-	† - 0-	0-	⊦ 0-	-θ-	- 0
GREEN		+					- - -			-•	+ -• - · •	 - -		-:	¦ - :		† - -	L	- - -
GREEN	:	: ;	:	: :	:	:	1:	:	:	:		:	¦ :	:	:	:	:		¦ :
	- GREEN (61) - ·							-1						-0-	 ∙0− ·	-0-	- θ-	-θ-	-0 -
	- GREEN (62) - ·						¦-0 -			¦ 1 -				-0-	 ∙0− ·	-0-	- θ-	-θ-	-0 -
	GREEN (63)	'		-0-	- θ-		¦-0 -			† 1-		,	,	0	0	0-	¦ θ-	-θ-	-0 -
	BLACK	0		0	0		+0			⊹0				0	0	0	0	0	0
	BLUE (1)							-0 -							0		† 0 -	⊢θ-	-1-
	- BLUE(2)	† 0 †	-0-	-0-	-0-	-θ-	 -0 -	-0-	0-	† 0-	¦ θ-	-θ-	-0	-0-	0	0-	¦ θ-	-1-	-0 -
BLUE	:	+						-:		-•	+ -• - ·	 : -	• -	-:-			<u> </u>	L <u>-</u> -	
DLUL	: .	: ;	:		:	:	1:	:	:	:	•	:	:	:	:	:	:		:
	- BLUE(61) ·							0							 -1-	1-	 1-	-θ-	-1-
	- BLUE (62)							-0-								-1-	- 1-	-1-	-0 -
	- BLUE (63)	† 0 †	-0-	-0-	-0-	-0-	¦-0 -	-0-	-0-	† 0-	† θ-	-0-	¦-0 -	1	† 1	1-	¦ 1-	<u>-1-</u>	-1-

注 1) 階調の定義: 階調(63)は明るい表示色で番号が小さいほど暗い色をあらわす。 各色とも階調(0)が黒である。 注 2) データ信号: 1 はHi、 0 はLoを示す。

6.インタフェースタイミング

(1)LVDSレシーバ部 タイミング特性 (モジュールの入力端子で規定)



	項目	記号	MIN.	TYP.	MAX.	単位	備考
DCLK	周波数	1/t _{CLK}	51	54	57	MHz	
	0番目のデータ位置	t RPO	7t _{CLK} -0.49	7 t _{CLK}	$\frac{1}{7}t_{\text{CLK}+0.49}$		
	1番目のデータ位置	t _{RP1}	-0.49	0	+0.49		
RinX	2番目のデータ位置	t _{RP2}	$\frac{6}{7}$ t _{CLK} -0.49	$\frac{6}{7}$ t _{CLK}	$\frac{6}{7}$ t _{CLK} +0.49		
(X=0,1,2)	3番目のデータ位置	t _{RP3}	$\frac{5}{7}$ t _{CLK} -0.49	5 t _{CLK}	$\frac{5}{7}t_{CLK}+0.49$	ns	
	4番目のデータ位置	t _{RP4}	4 t _{CLK} 0.49	4 t _{CLK}	$\frac{4}{7}$ t _{CLK} +0.49		
	5番目のデータ位置	t _{RP5}	$\frac{3}{7}$ t _{CLK} -0.49	$\frac{3}{7}$ t _{CLK}	3 7 t _{CLK+0.49}		
	6番目のデータ位置	t _{RP6}	$\frac{2}{7}$ t _{CLK} -0.49	2 t _{CLK}	$\frac{2}{7}$ t _{CLK} +0.49		

シート 発行	3 2003.05.06 No.	3284TTD 2080-1	頁	9-1/4
--------	------------------	----------------	---	-------

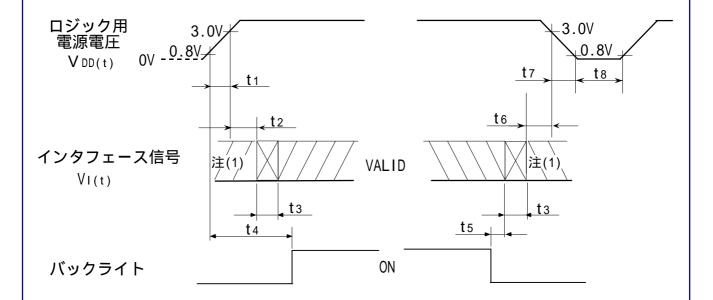
(2)タイミングコンバータ部 タイミング特性 (トランスミッターの入力タイミングで規定) Hsync t_{SV} Vsync t_{HP} $t_{\,\text{WH}}$ Hsync t_{WI} $t_{\underline{\text{HfP}}}$ t_{HBP} DTMG t_{VP} t_{WV} Vsync t_{IP} Hsync tvfP t_{VBP} DTMG 上記以外のスレッショルドレベル、変化時間、クロックに対するセットアップ / ホールド等のタイミングに関しては、御使用のトランスミッターの規定に従うものとする 発行日 2003.05.06 シート 3284TTD 2080-1 頁 9-2/4 No.

項	目	記号	最 小	標準	最大	単位	備考
Hsync	サイクル時間	t HP	820	844	1023	+ 0.17	
	有効幅	t wH	10	56	240	t clk	
	セットアップ時間	t sv	-2	-	ı	t clk	Hsyncに対し
Vsync	ホールド時間	t HV	0	-	ı	I CLK	risylicicxy O
	サイクル時間	t VP	1059	1068	2047	t HP	
	有効幅	t wv	1	3	120	CIIF	
	有効幅	twi	700	700	700	t CLK	
	サイクル時間	t IP	1050	1050	1050	t HP	
DTMG	水平バックポーチ期間	t HBP	32	120	500	t CLK	
	水平フロントポーチ期間	t HFP	0	24	-	I CLN	
	垂直バックポーチ期間	t VBP	0	15	-	t HP	
	垂直フロントポーチ期間	t VFP	1	-	-	LHF	1)

備考1) tVBP+tVFP 3 tHP

シート	発行日 2003.05.06	No.	3284TTD 2080-1	頁	9-3/4	
-----	----------------	-----	----------------	---	-------	--

(3) 電源とインタフェース信号のタイミング



POWE	R	ON	_ PC	WER	0FF_
	t1	15ms	5ms	t 5	
0 <	t 2	45ms	0	t 6	45ms
0	tз	5ms	0	t 7	20ms
0.1s	t4		0.4s	t 8	

- 注1) t₂期間はTxからHi-Z信号を出力すること。
 - 2) t_3 期間はTxの出力開始から電気的特性に規定されたタイミング信号が入力されるまでの時間。

No.

