

# 利用SPICE模型在Multisim中创建自定义元器件

## 利用SPICE模型在Multisim中创建自定义元器件

参考资料

步骤1 找到需要的元器件的SPICE模型

步骤2 在Multisim中创建自定义元器件

步骤3 在Multisim中导入和导出组件

问题1 Error The Model Contains Top-Level .subckt Statements in Multisim

问题2 the prz file is from a different version,use the same version's application...

## 参考资料

[NI Multisim元件库：在Multisim中创建自定义元器件](#)

[Error The Model Contains Top-Level .subckt Statements in Multisim](#)

[.subckt definitions](#)

[如何在Multisim中导入和导出组件？](#)

[模型下载站pspice](#)

## 步骤1 找到需要的元器件的SPICE模型

在网上找了好久，有一个网站还算靠谱，在上面可以下载到所需的SPICE模型

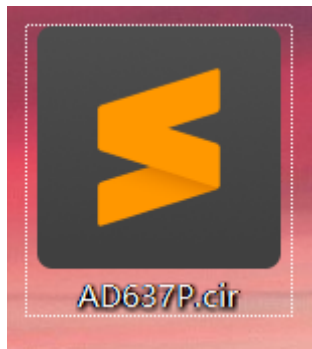
[模型下载站pspice](#)

Designing Doesn't Have to Stop in These Uncertain Times.  
Request Your Work From Home License

Request Access

AD630	Balanced Modulator/Demodulator	- AD630 SPICE Macro Model
AD633	Low Cost Analog Multiplier	- AD633 SPICE Macro Model Analog Multiplier Rev. A, 12/93 - AD633J SPICE Macro Model Analog Multiplier Rev. A, 12/93
AD636	Low Level, True RMS-to-DC Converter	- AD636P SPICE Macro Model
AD637	High Precision, Wideband RMS-to-DC Converter	- AD637 SPICE Macro Model
AD645	Low Noise, Low Drift FET Op Amp	- AD645 SPICE Macro Model Rev. B, 4/92 - AD645A SPICE Macro Model Rev. B, 4/92 - AD645B SPICE Macro Model Rev. B, 4/92 - AD645J SPICE Macro Model Rev. B, 4/92 - AD645K SPICE Macro Model Rev. B, 4/92 - AD645S SPICE Macro Model Rev. B, 4/92

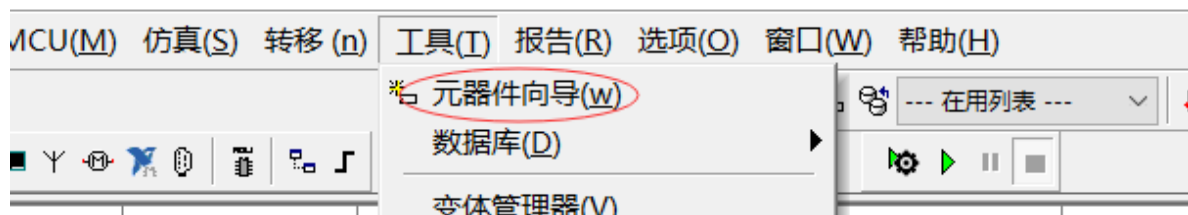
下载所需得到的模型文件如下图，后缀为.cir



## 步骤2 在Multisim中创建自定义元器件

此步骤可参考[NI Multisim元件库：在Multisim中创建自定义元器件](#)

1、打开软件点击**工具》元器件向导**



元器件向导 - 第1步，共8步

输入元器件信息

元器件名称(a):

作者姓名(A):

函数(F):

☒ 仿真及布局（模型与印迹）(S)

☐ 仅仿真（模型(m)）

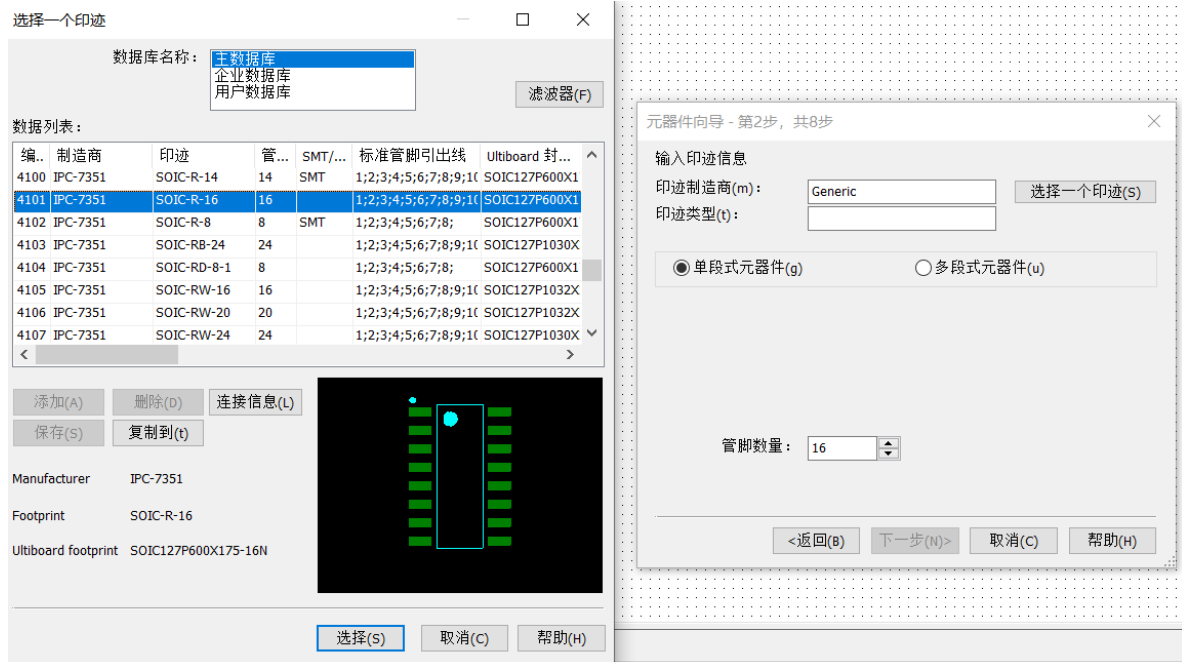
☐ 仅布局（印迹）(L)

元器件类型(t):

下一步(N)> 取消(C) 帮助(H)

2、填入名称，选择需要的模型类型（仿真或封装footprint或者二者都要）下面的示例是二者都选的情形

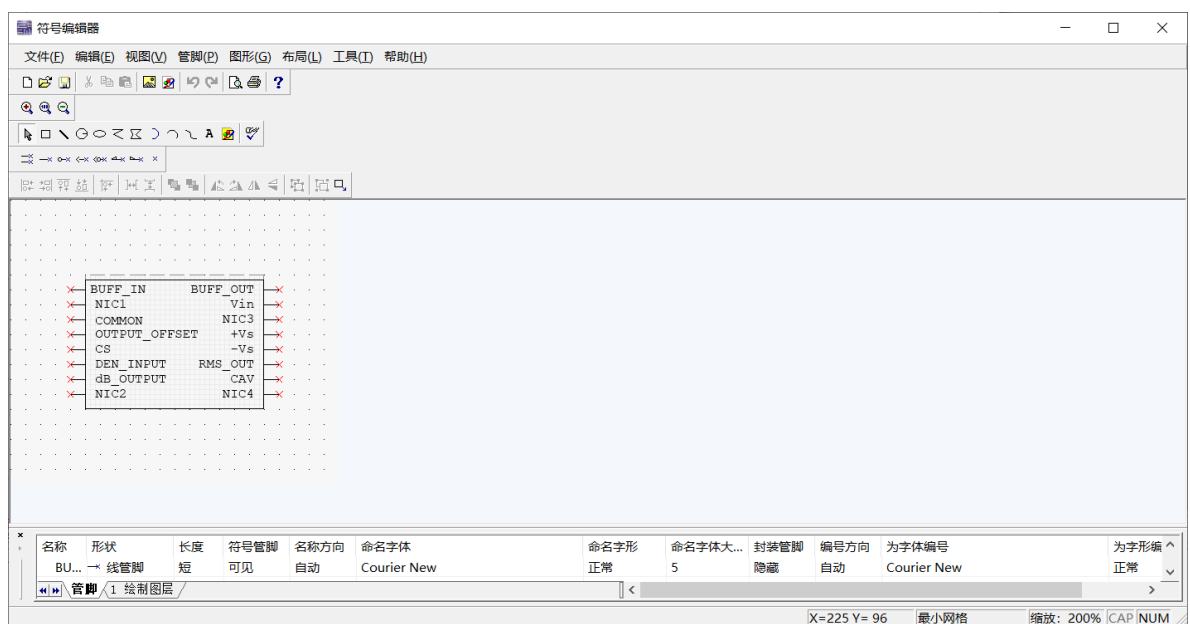
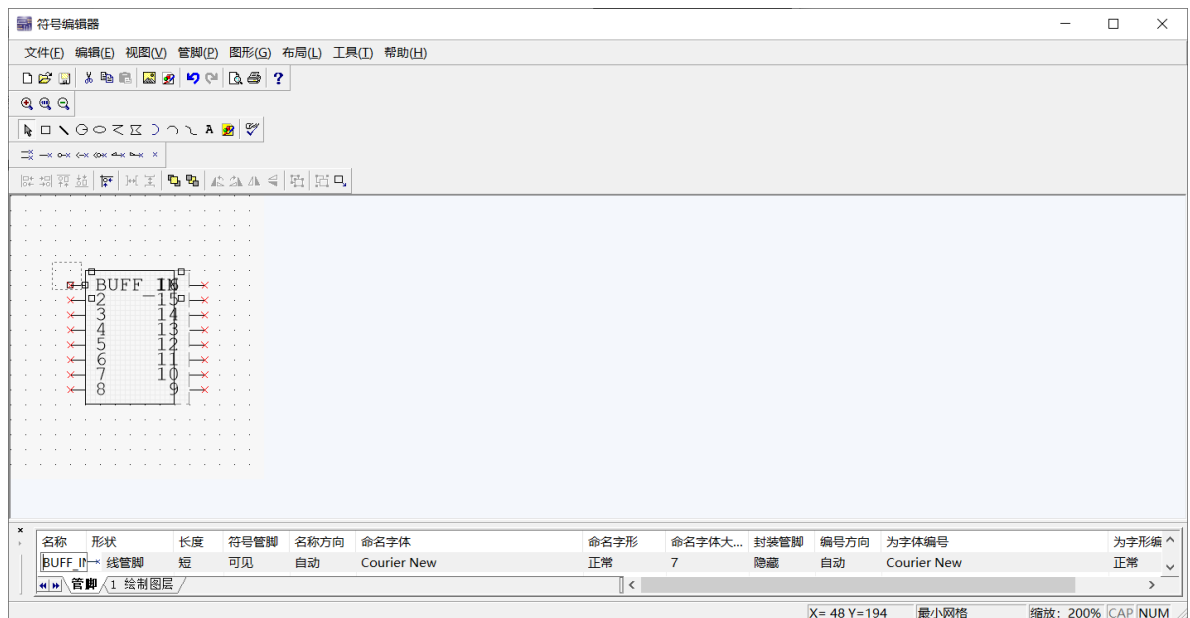
这里建议查看需要创建的元器件的数据手册，选择合适的管脚数量和封装形式



3、下一步编辑或导入仿真元件的原理图符号，如下图

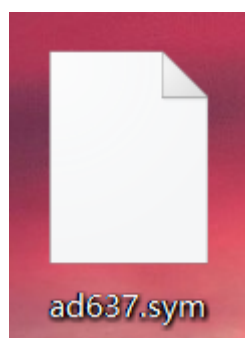


4、进入符号编辑窗口如图，需要设置好管脚名称和字体大小等参数

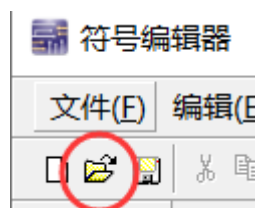


同样参照数据手册正确对应管脚名称，上图为成品图

完成设计的文件也可单独存储，便于下次调用，文件后缀为.sym



调用方法：选择已有的.sym文件



5、下一步检查管脚和设置管脚参数，包括有分段元件的，需要注意

元器件向导 - 第4步，共8步

✕

设置管脚参数

管脚列表(P):

添加隐藏管脚(A)

删除隐藏管脚(D)

符号管脚	区段	类型	ERC 状态
CS	A	双向	包括
DEN_INPUT	A	双向	包括
dB_OUTPUT	A	双向	包括
NIC2	A	双向	包括
NIC4	A	双向	包括
CAV	A	双向	包括
RMS_OUT	A	双向	包括
-Vs	A	双向	包括
+Vs	A	双向	包括
NIC3	A	双向	包括
Vin	A	双向	包括
BUFF_OUT	A	双向	包括

<返回(B)

下一步(N)>

取消(C)

帮助(H)

6、对照数据手册，填写正确的管脚映射

元器件向导 - 第5步，共8步

设置符号与布局印迹之间的映射信息(S)

符号管脚	封装管脚	管脚交叉
BUFF_IN	1	
NIC1		
COMMON		
OUTPUT_OFFSET		
CS		
DEN_INPUT		
dB_OUTPUT		
NIC2		
NIC4		
CAV		
RMS_OUT		
-Vs		
+Vs		

Verify symbol-to-footprint mapping against the datasheet while adding or changing footprint.

映射管脚(M)

<返回(B)

下一步(N)>

取消(C)

帮助(H)

DESCRIPTIONS

1

2

3

4

5

6

7

8

16

15

14

13

12

11

10

9

BUFF IN

NIC

COMMON

OUTPUT OFFSET

CS

DEN INPUT

dB OUTPUT

NIC

AD637

TOP VIEW

(Not to Scale)

BUFF OUT

V<sub>IN</sub>

NIC

+V<sub>S</sub>

-V<sub>S</sub>

RMS OUT

CAV

NIC

NIC = NO INTERNAL CONNECTION

00758-003

Figure 3. 16-Lead SOIC\_W Pin Configuration

Table 6. 16-Lead SOIC\_W Pin Function Descriptions

Pin No.	Mnemonic	Description
---------	----------	-------------

7、加载模型文件，选择我们之前下载的.cir文件



8、加载完后还要确认管脚映射

元器件向导 - 第7步, 共8步

×

Symbol:

Model:

```

* AD637P SPICE Macro-model
* Description: Amplifier
* Generic Desc: Bipolar, RMS-DC Conver, wide
* Developed by:
* Revision History: 08/10/2012 - Updated t
*
* Copyright 2012 by Analog Devices, Inc.
*
* Refer to http://www.analog.com/Analog_Ro
* indicates your acceptance of the terms a
          
```

设置符号与仿真模型之间的映射信息（符号所含管脚数量须至少与模型所含的连接点数量相同。）

管脚映射表(m):

符号管脚	Model node name
BUFF_IN	BUFFIN
NIC1	COM
COMMON	OFFSET
OUTPUT_OFFSET	DENIN
CS	DBOUT
DEN_INPUT	BUFFOUT

<返回(B)

下一步(N)>

取消(C)

帮助(H)

9、添加系列，存储至用户数据库

元器件向导 - 第8步, 共8步

—

□

×

系列树:

数据库: 用户数据库

组: Analog

系列: test

系列

Def

☒ ANSI
 ☐ DIN

添加系列(A)

☒ 替换该元器件(P)

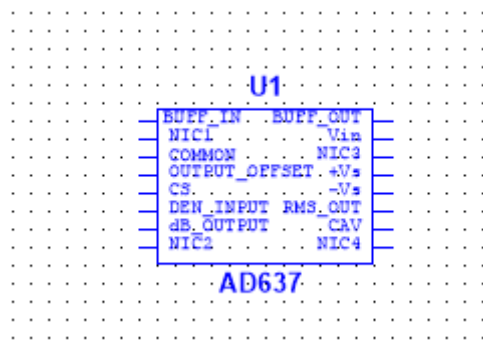
<返回(B)

完成(F)

取消(C)

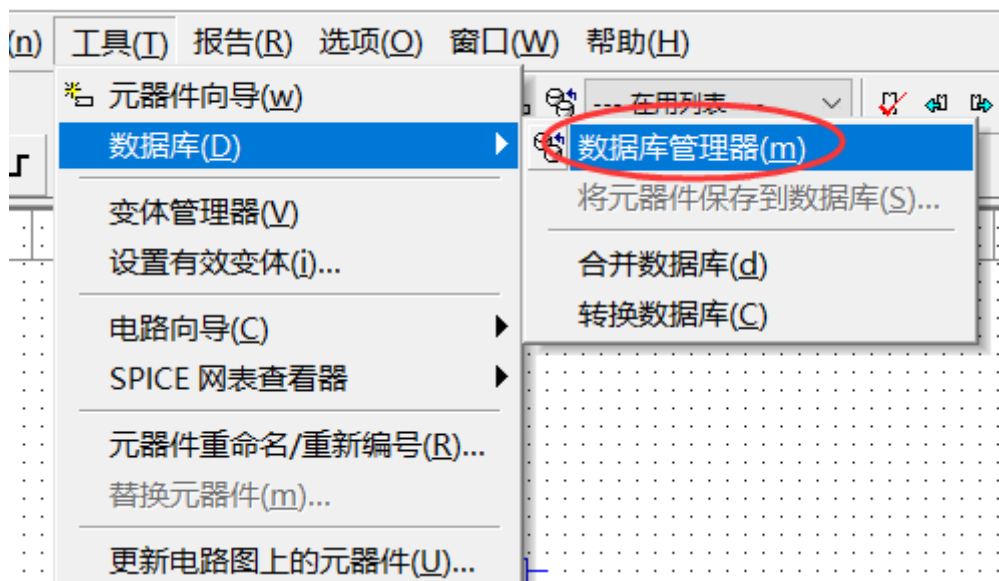
帮助(H)

10、最后就可以像平时一样放置元件了



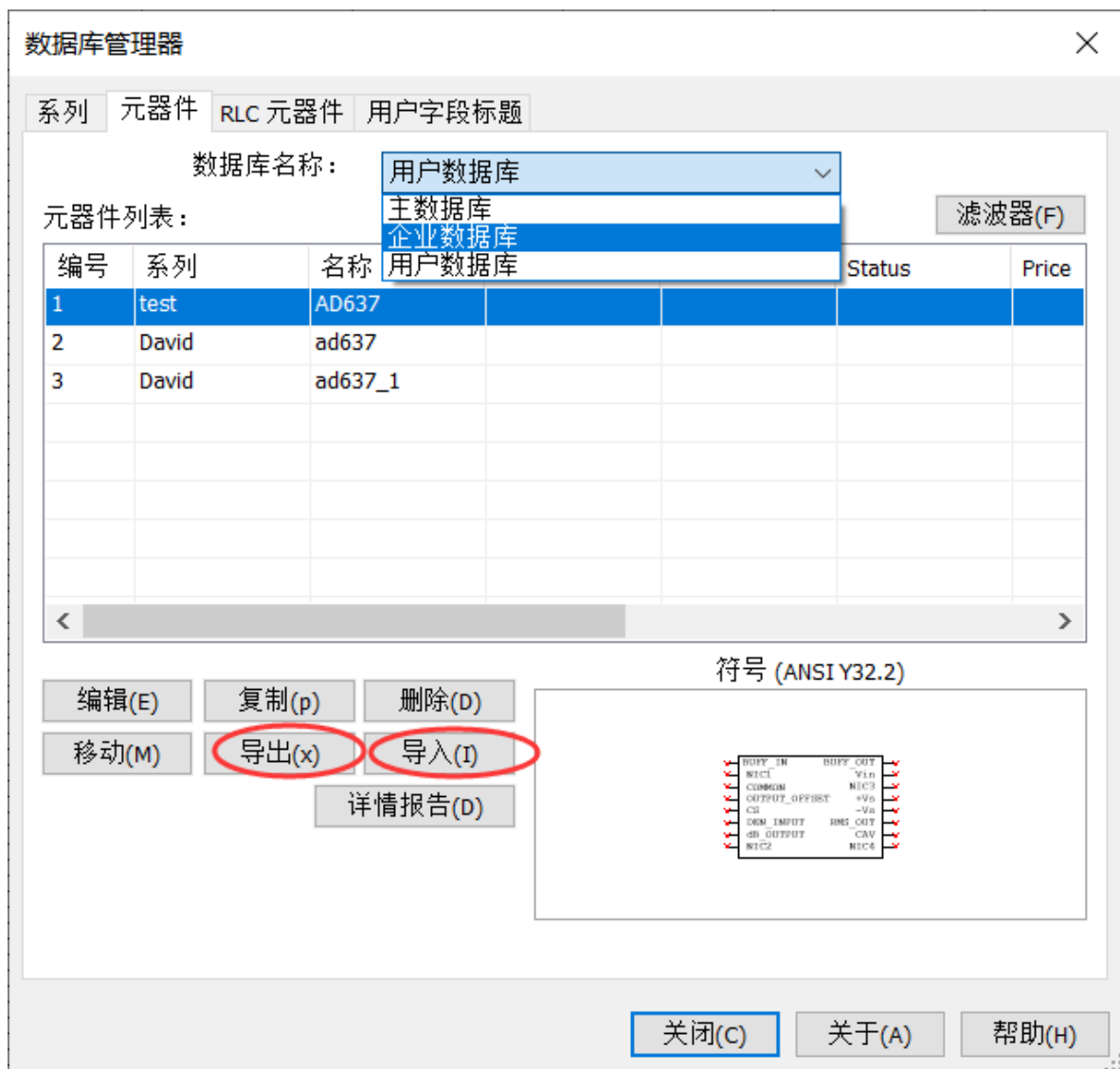
### 步骤3 在Multisim中导入和导出组件

1、进入工具》数据库》数据库管理器

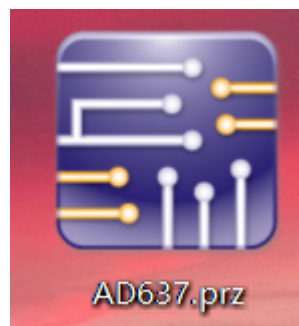


2、选择所需的元件点导出或编辑即可



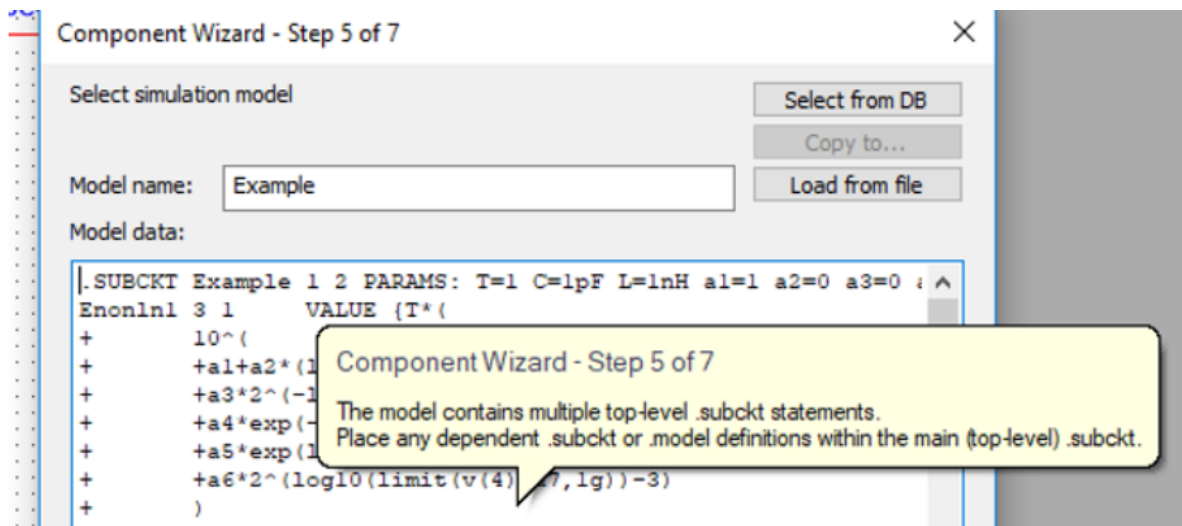


导出生成的文件格式为.prz



## 问题1 Error The Model Contains Top-Level .subckt Statements in Multisim

问题描述



The model contains multiple top-level .subckt statements.

Place any dependent .subckt or .model definitions within the main (top-level) .subckt

原因是我们下载的spice模型中含有多个主.subckt声明，其实这个问题和写c语言程序有两个主函数一样，自然会报错，但是最坑的是官网对这个错误的解释，竟然在讨论不恰当的缩进引起的问题，见参考资料[Error The Model Contains Top-Level .subckt Statements in Multisim](#)

解决方法：

使用Notepad++或Sublime Text类文本代码处理软件对.cir文件进行编辑

```

41 .SUBCKT AD637 BUFFIN COM OFFSET DENIN DBOUT BUFFOUT VIN VS NVS RMSOUT CAV
42
43 * Use .OPTIONS GMIN=5E-17 for best output accuracy
44
45 R1 VIN 13 24K
46 R3 VIN 1 12K
47 R4 1 15 6K
48 X4 1 COMP 4 VS NVS OPAMP
49 Q1 VS 4 15 NPN
50 .MODEL NPN NPN
51 R6 6 13 6K
52 X3 CAV OFFSET RMSOUT VS NVS AEIOPAMP0
53 GB3 8 COM Value = {IF(ABS(I(V11)) < 10N, ABS((I(V4)*I(V4))/5N), ABS((I(V4)*I(V4))/(I(V11)+40N))
54 Q3 CAV CAV 8 _Q3_MOD
55 .MODEL _Q3_MOD NPN BF=200
56 V0 DBOUT 18 DC=100UV
57 R5 OFFSET COMP 125
58 EB2 18 COM Value = {IF(I(V4) < 5N, 0.026*(LOG(I(V0))-LOG(0.48*5N)), 0.026*(LOG(I(V0))-LOG(0.48
59 +*I(V4))))}
60 R9 DENIN 17 24K
61 X2 17 OFFSET 20 VS NVS AEIOPAMP1
62 Q7 VS 4 6 NPN
63 V4 13 COMP
64 RBUFFIN BUFFIN COMP 100MEG
65 Q2 14 0 20 _Q2_MOD
66 .MODEL _Q2_MOD NPN BF=1000
67 R10 CAV RMSOUT 24K
68 V11 17 14
69 RE BUFFOUT NVS 40K
70 Q4 VS 29 BUFFOUT _Q115_MOD
71 .MODEL _Q115_MOD NPN BF=0.1 IS=1E-15 RB=0 RC=100 RE=0

```

```

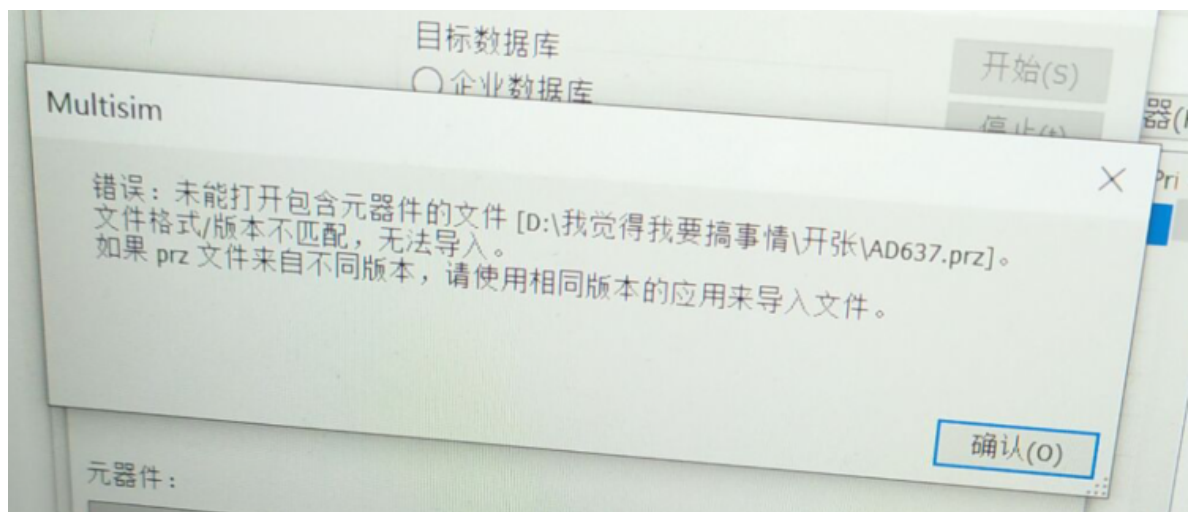
04 RP 7 4 10K
05 GA 0 15 12 10 .9MMHO
06 GCM 0 15 13 0 6.3NMHOS
07 R2 15 0 100K
08 D2 15 0 D741
09 D3 0 15 D741
10 C2 15 16 30PF
11 GB 16 0 15 0 150.00M
12 RO2 16 0 1000
13 D4 16 17 D741P
14 EP 17 0 Value = {V(7)-1.8}
15 D5 18 16 D741P
16 EN 0 18 Value = {-V(4)-2.3}
17 .MODEL D741P D(RS=1M)
18 D6 19 16 D741
19 D7 16 20 D741
20 IRO 20 19 170UA
21 RR0 16 21 .1MEG
22 Q4 7 19 21 QNO
23 Q5 4 20 21 QPO
24 .MODEL QNO NPN(BF=150 CJC=3P IS=1E-14)
25 .MODEL QPO PNP(BF=150 CJC=3P IS=1E-14)
26 L1 21 6 10.0000U
27 RL1 21 6 1K
28 .MODEL D741 D(CJO=3PF)
29 .MODEL QN741 NPN
30 .ENDS
31 *$
32 .SUBCKT AEIOPAMP0 2 3 6 7 4
33 * - IN + OUT VCC VEE
34 *PARAMS ARE GAIN={GAIN} FT={FT} IOS={IOS} VOS={VOS} IBIAS={IBIAS}
35 RP 4 7 10K
36 * VHI MORE NEGATIVE MOVES THE MAX OUTPUT VOLTAGE DOWN
37 * VLO MORE POSITIVE MOVES THE MIN OUTPUT VOLTAGE UP
38 IB 3 90 4.5000N
39 VIB 90 4
40 IO 3 2 500.00P
41 RIP 3 4 1G
42 CIP 3 4 1.4PF
43 FIBN 2 4 VIB 1

```

部分代码截图

可见官网下载的spice模型为了模型的通用性，写入了不同封装的管脚参数，所以如果我们直接把它导入肯定是会报错的。那么我们解决的方法就比较好办了，只保留我们需要的封装参数，把其余的代码删除即可。注意以.subckt开头，.ENDS结尾。

**问题2 the prz file is from a different version,use the same version's application...**



大意就是版本不兼容，笔者使用的是13.0的版本，在14.0的版本竟然打不开....

目前还真的没啥好办法，暂时只能将上述的.sym .cir文件发给别人让他自己照着这个步骤生成.prz文件。

---

2020/4/29 Edited by David Du