

Lab3: 秒表的设计与实现

实验介绍

这个实验将指导你通过使用 ISE 软件设计秒表的 7 段显示管显示。

实验目标

学习分频电路、偏移计数器和计数器级联的原理和实现

实验步骤

1. 使用**原理图**画出一个 163 计数器（注意：必须使用原理图完成）
 2. 使用 163 计数器级联设计将 50MHz 时钟分频成 100ms 时钟的电路
 3. 使用 163 计数器级联设计模 10（分）、模 60（秒）和模 10（1/10 秒）计数器。
 4. 设计按钮识别电路和信号同步电路，实现开始暂停、清 0 等功能。
 5. 设计顶层原理图，连接所有模块形成秒表电路设计
 6. 模拟、综合，形成 bit 文件下载到 FPGA 板上。
-

实验原理

1. 7 段显示管可以显示 0-9 的不同数字，在本次试验中，我们需要将计数值显示在 7 段显示管上，因此结果应该使用 4 个管进行显示。最低 1 个数码管显示 0-9 的计数值，每 100ms 秒计数一次，中间 2 位数码管显示 0-59 的计数值，每 1s 计数一次，最高位 1 个数码管显示 0~9 的计数值，每 1 分钟计数一次。
2. 实现一个对 50MHz 输入时钟技术产生 100ms 时钟的计数器(可以用 verilog 实现)。
注意：为了避免时钟扭斜造成的电路错误，可以采用 FPGA 内部的时钟树，在原理图中的 100ms 时钟后加入 BUFG 元件，在作为时钟信号连接计数器。
3. 分别实现模 10、模 60 的 3 计数器，分别使用 163 计数器（必须用原理图实现）设计实现，之后连接成最终的秒表计数器（注意进位链的设计）。
4. 采用两个按钮（BTN0 和 BTN1）分别实现清 0 和开始暂停功能，可以使用同步器同步。实现判别 BTN1 按钮抬起动作的从 1 变 0 的事件，并将开始暂停寄存器取反一次，以暂停计数器和开始计数器的功能。清 0 按钮 BTN0 直接连接所有寄存器的复位端，开始暂停寄存器初始处于暂停状态。（可以用 verilog 实现，注意 FPGA 板上的所有按钮按下是高电平）。

5. 复用 Lab2 的二进制转 BCD 的模块，分别实现 4 位、6 位二进制到 BCD 的转换，采用 AN0~AN3 选择输出数码管显示。（可以采用 verilog 实现）。