

Lab2: 4 位加法器及 BCD 显示电路的设计与实现

实验介绍

本实验通过使用 ISE 软件进行 4 位加法器的 7 段显示管 BCD 显示设计。

实验目标

学习 7 段译码器的显示原理和实现

学习 4 位加法器的实现

学习 5 位二进制转 BCD 码的转换电路实现

实验步骤

1. 编写 4 位加法器以及 7 段 LED 译码器的 verilog 代码。加法器要求给出进位生成函数 gi 和进位传递函数 pi 的逻辑表达式，并设计实现先行进位链。
 2. 编写 BCD 转 4 位二进制和 5 位二进制转换成 BCD 码的 verilog 代码。
 3. 将加法器、7 段译码器和 BCD 转换的代码作为 symbol 添加入给定的电路图 lab2.sch 中。
 4. 仿真验证、综合、下载到实验板（详细过程可参考 Lab1），实现这个可以在 2 个 LED 显示管上显示的 4 位加法器 BCD 结果的电路。
-

实验原理

1. 将开关分成两组，表示两个 4 位 BCD 码， $A=SW[7:4]$ 和 $B=SW[3:0]$ 。
2. 7 段显示管可以显示 0-F 的不同数字，具体由译码的情况确定，在本次试验中，我们需要将 $SW[7:4]$ 和 $SW[3:0]$ 转换成二进制，然后相加形成 5 位的结果。然后再将 5 位结果转化为 8 位 BCD 码显示在 7 段显示管上，结果应该使用 2 个 LED 进行显示， $seg1[6:0]$ 和 $seg0[6:0]$ 。
3. 试验中需要采用 verilog 语言完成的部分如下：2 个 BCD 转二进制的电路（Lab1），4 位加法器(5 位输出)、5 位二进制转 8 位 BCD 码的转换电路、7 段数码管的显示译码电路。当 $AN0$ 为 0 时选择 $seg0$ 输出， $AN1$ 为 0 时选择 $seg1$ 输出。

4. 实验中会给一个 verilog 设计文件 `an_gen.v` 包含一个时序电路来产生 `AN0-AN3` 的信号，输入位 `clk` 和 `btn0` 两个信号。待完成上述模块之后，生成全部的 `symbol`，并设计原理图完成整个设计。（注意：请忽略时钟方面的 `warnings`）。
-

参考 UCF 文件

```
NET "SW[0]" LOC = "P11";
NET "SW[1]" LOC = "L3";
NET "SW[2]" LOC = "K3";
NET "SW[3]" LOC = "B4";
NET "SW[4]" LOC = "G3";
NET "SW[5]" LOC = "F3";
NET "SW[6]" LOC = "E2";
NET "SW[7]" LOC = "N3";

NET "MCLK" LOC = "B8";

NET "seg(6)" LOC = "L14"; # CA
NET "seg(5)" LOC = "H12"; #CB
NET "seg(4)" LOC = "N14"; #CC
NET "seg(3)" LOC = "N11"; #CD
NET "seg(2)" LOC = "P12"; #CE
NET "seg(1)" LOC = "L13"; #CF
NET "seg(0)" LOC = "M12"; #CG
NET "dp" LOC = "N13"; #DP

NET "an(0)" LOC = "K14";
NET "an(1)" LOC = "M13";
NET "an(2)" LOC = "J12";
NET "an(3)" LOC = "F12";
```