Lab2: 4位加法器及BCD显示电路的设计与实现

**实验介绍**

本实验通过使用ISE软件进行4位加法器的7段显示管BCD显示设计。

**实验目标**

学习7段译码器的显示原理和实现

学习4位加法器的实现

学习5位二进制转BCD码的转换电路实现

**实验步骤**

1. 编写4位加法器以及7段LED译码器的verilog代码。加法器要求给出进位生成函数gi和进位传递函数pi的逻辑表达式，并设计实现先行进位链。
2. 编写BCD转4位二进制和5位二进制转换成BCD码的verilog代码。
3. 将加法器、7段译码器和BCD转换的代码作为symbol添加入给定的电路图lab2.sch中。
4. 仿真验证、综合、下载到实验板（详细过程可参考Lab1），实现这个可以在2个LED显示管上显示的4位加法器BCD结果的电路。

**实验原理**

1. 将开关分成两组，表示两个4位BCD码，A=SW[7:4]和B=SW[3:0]。
2. 7段显示管可以显示0-F的不同数字，具体由译码的情况确定，在本次试验中，我们需要将SW[7:4]和SW[3:0]转换成二进制，然后相加形成5位的结果。然后再将5位结果转化为8位BCD码显示在7段显示管上，结果应该使用2个LED进行显示，seg1[6:0]和seg0[6:0]。
3. 试验中需要采用verilog语言完成的部分如下：2个BCD转二进制的电路（Lab1），4位加法器(5位输出)、5位二进制转8位BCD码的转换电路、7段数码管的显示译码电路。当AN0为0时选择seg0输出，AN1为0时选择seg1输出。
4. 实验中会给一个verilog设计文件an\_gen.v包含一个时序电路来产生AN0-AN3的信号，输入位clk和btn0两个信号。待完成上述模块之后，生成全部的symbol，并设计原理图完成整个设计。（注意：请忽略时钟方面的warnings）。

**参考UCF文件**

NET "SW[0]" LOC = "P11";

NET "SW[1]" LOC = "L3";

NET "SW[2]" LOC = "K3";

NET "SW[3]" LOC = "B4";

NET "SW[4]" LOC = "G3";

NET "SW[5]" LOC = "F3";

NET "SW[6]" LOC = "E2";

NET "SW[7]" LOC = "N3";

NET "MCLK" LOC = "B8";

NET "seg(6)" LOC = "L14"; # CA

NET "seg(5)" LOC = "H12"; #CB

NET "seg(4)" LOC = "N14"; #CC

NET "seg(3)" LOC = "N11"; #CD

NET "seg(2)" LOC = "P12"; #CE

NET "seg(1)" LOC = "L13"; #CF

NET "seg(0)" LOC = "M12"; #CG

NET “dp” LOC = “N13”; #DP

NET "an(0)" LOC = "K14";

NET "an(1)" LOC = "M13";

NET "an(2)" LOC = "J12";

NET “an(3)" LOC = “F12";