Lab3: 秒表的设计与实现

**实验介绍**

这个实验将指导你通过使用ISE软件设计秒表的7段显示管显示。

**实验目标**

学习分频电路、偏移计数器和计数器级联的原理和实现

**实验步骤**

1. 使用**原理图**画出一个163计数器（注意：必须使用原理图完成）
2. 使用163计数器级联设计将50MHz时钟分频成100ms时钟的电路
3. 使用163计数器级联设计模10（分）、模60（秒）和模10（1/10秒）计数器。
4. 设计按钮识别电路和信号同步电路，实现开始暂停、清0等功能。
5. 设计顶层原理图，连接所有模块形成秒表电路设计
6. 模拟、综合，形成bit文件下载到FPGA板上。

**实验原理**

1. 7段显示管可以显示0-9的不同数字，在本次试验中，我们需要将计数值显示在7段显示管上，因此结果应该使用4个管进行显示。最低1个数码管显示0-9的计数值，每100ms秒计数一次，中间2位数码管显示0-59的计数值，每1s计数一次，最高位1个数码管显示0~9的计数值，每1分钟计数一次。
2. 实现一个对50MHz输入时钟技术产生100ms时钟的计数器（可以用verilog实现）。**注意：为了避免时钟扭斜造成的电路错误，可以采用FPGA内部的时钟树，在原理图中的100ms时钟后加入BUFG元件，在作为时钟信号连接计数器。**
3. 分别实现模10、模60的3计数器，分别使用163计数器（必须用原理图实现）设计实现，之后连接成最终的秒表计数器（注意进位链的设计）。
4. 采用两个按钮（BTN0和BTN1）分别实现清0和开始暂停功能，可以使用同步器同步。实现判别BTN1按钮抬起动作的从1变0的事件，并将开始暂停寄存器取反一次，以暂停计数器和开始计数器的功能。清0按钮BTN0直接连接所有寄存器的复位端，开始暂停寄存器初始处于暂停状态。（可以用verilog实现，注意FPGA板上的所有按钮按下是高电平）。
5. 复用Lab2的二进制转BCD的模块，分别实现4位、6位二进制到BCD的转换，采用AN0~AN3选择输出数码管显示。（可以采用verilog实现）。