Lab4: 简单计算器的设计与实现

**实验介绍**

这个实验将指导你通过使用ISE软件设计具有计算和表妙功能的简单计算器。

**实验目标**

学习有限状态机的设计实现，学习数据通路和控制器的划分，学习层次化设计方法。

**简单计数器的规范说明**

1. 功能：计算和秒表功能，用按钮控制选择输出到4个7段数码管上，复用Lab2。

计算：实现8位加法器和8时序乘法器功能，复用Lab2的加法器。

秒表：功能与Lab3的功能一致，复用Lab3的设计。

2. 具体功能描述：

2.1 四个按钮的功能定义：

|  |  |  |
| --- | --- | --- |
| 按钮 | 计算器状态下 | 秒表状态下 |
| Bnt0 | 等于键 | 复位键 |
| Bnt1 | 乘法键 | 开始/暂停键 |
| Bnt2 | 加法键 | 无定义 |
| Bnt3 | 切换到秒表功能并复位 | 切换到计算器功能并复位 |

2.2 时钟定义：

整体时钟采用50MHz输入时钟。

2.3 输入输出定义：

采用两位十进制BCD输入和4位十进制输出。

采用8个开关，SW[7:4]为十进制BCD十位输入，SW[3:0]为十进制BCD个位输入，通过BCD-Binary转换电路转换成7位二进制，高位填0，进行加法和乘法运算。

计算结果为16位二进制，低14位通过Binary-BCD的转换电路转换成4位十进制BCD输出。

以上转换电路可在Lab2的基础上位数扩充。

3. 数据通路和控制器的设计

3.1 计算器数据通路设计

要求计算器分为数据通路和控制器两个部分，首先设计数据通路，将所有的输入输出控制信号和控制器（FSM、计数器）连接。计算器的数据通路设计可参考教科书P414 10.5题的图，稍加改动就可以只实现一次加法。

**注意：要求乘法器必须用串行加法实现，用verilog写出FSM控制。**

3.2 整体控制

以四个按键为输入设计全局控制器，具体定义见2.1定义的功能。

3.3 具体的参考设计框图如下：

