

基于 Verilog 的 LFM 脉冲压缩硬件算法处理 IP 设计

一、赛题介绍

线性调频（LFM）信号因具备大时宽带宽积特性，在雷达、通信等领域的信号处理中应用广泛，而脉冲压缩技术是提升 LFM 信号处理性能（如提高距离分辨率、抑制旁瓣等）的关键手段。为实现 LFM 脉冲压缩的高效硬件级处理，需基于特定波形参数，采用 Verilog 硬件描述语言设计专用的 LFM 脉冲压缩硬件算法处理 IP，以满足信号存储、实时处理及结果上传等功能需求。

本赛题要求使用 Verilog，设计一个 LFM 脉冲压缩硬件算法处理 IP。

二、基本要求

1. 根据提供的波形数据，设计片内信号存储 IP。

（1）波形参数：中频 5MHz、信号带宽 $B=10\text{MHz}$ 、脉宽 $t_p=5\mu\text{s}$ 。

2. 根据提供的波形数据，实现信号 LFM 脉冲压缩处理 IP。

（1）实现匹配滤波器；

（2）汉明窗函数加权操作；

3. 将处理结果以 float 型数据上传至上位机；

4. 编写对应的系统设计文档。

三、发挥要求

- 1. 实现任意波形（最大 $t_p=100\mu s$ ）从上位机下发给片内信号存储器；
然后送给 LFM 脉冲压缩处理模块进行数据处理；
- 2. 实现上位机更新匹配滤波器的滤波参数；
- 3. 实现上位机原始数据和处理后的数据的图形化展示；
- 4. 使用更高速的数据传输方式，如 1G 网络、10G 网络、Aurora、JESD204B 等等。

四、 评分要求

项目	分值	说明
片内信号存储设计	10%	
LFM 脉冲压缩算法	40%	
处理数据上传	10%	
可变波形数据下发	10%	
处理数据图像化展示	10%	
高速通信实现	10%	
FPGA 性能优化与扩展	10%	<div>1. 信号处理时间；</div> <div>2. 片上存储（BRAM）使用，提高性能资源比（MACs/DSP 或 throughput/BRAM）；</div> <div>3. 系统工作功耗；</div> <div>4. verilog 状态机采用二段式写法；</div>

五、 提交要求

1. 设计源码：完整的 FPGA 设计源码；
2. 设计文档：包含硬件原理图（如果有），RTL 代码说明，测试数据与处理信号截图；
3. 演示视频：十分钟内功能演示，重点展示核心功能实现过程。