

第二次作业

PB21020485 吴敌

1

(1)

每个写缓冲区项目的大小应该与L2缓存的写数据总线的宽度相匹配，以便在每个处理器周期中最大限度地利用带宽。因此，每个写缓冲区项目应为16B。

(2)

对于64位存储指令，我们需要8个周期才能将一个16B的缓冲区填满。如果我们使用合并写缓冲区，我们可以在缓冲区填满之前开始写入L2缓存，这意味着我们可以在8个周期内开始第一次写入。相比之下，如果我们使用非合并缓冲区，我们必须等到缓冲区完全填满才能开始写入。使用合并写缓冲区可以使写入速度提高一倍。

(3)

非阻塞缓存中，当缓存发生缺失时，处理器可以继续执行其他指令，包括可能产生更多写操作的指令。这可能会导致写缓冲区更快地被填满，因此可能需要更大的写缓冲区来存储这些待写入的数据。而阻塞缓存暂停后面的指令，不会有额外的需求。

2

(1)

若缺失的数据在L2中，L1将从L2中取块，并把L1原本块替代。

若缺失数据不在L2中，L2需要到内存中取数据，取回的块同时提供给L1和L2。相应的L1和L2中有块会被替代。

(2)

若缺失的数据在L2中，L1将从L2中取块，该块与L1原本块相互换。

若缺失的块不在L2中，L1需要到内存中取，取回的块只提供给L1不给L2。相应的L1原本块会被替代。

(3)

包含式，若缺失的数据在L2中，L1将被替换的块写入L2；若缺失的数据不在L2，L1被替换的脏块要写回L2，若L2被替换块也是脏块则写入内存。

互斥式，若缺失的数据在L2中，L1与L2相应块互换；若缺失的数据不在L2，L1被替换的块要写在L2，L2被替换的块若也是脏块，则要写回内存。

3

Time=休眠总功耗/待机功耗,同时可以忽略读写DRAM功耗（过小）：

$$(8 * 10^9 * 2 * 2.56 * 10^{-6}) / (64 * 1.6) = 400s$$

4

(1)

$$L1 \text{ lcache缺失: } 15 + 2 * \frac{1}{0.266} = 22.5ns$$

$$L2 \text{ cache缺失: } 1.5 * (60 + 4 * \frac{1}{0.133}) = 135ns$$

$$\text{平均访问时间: } 0.02 * (22.5 + 0.2 * 135) = 0.99ns$$

(2)

$$L1 \text{ Dcache缺失: } 15 + \frac{1}{0.266} = 18.75ns$$

$$\text{平均访问时间: } 0.05 * (18.75 + 0.2 * 135) = 2.29ns$$

(3)

写缓存有0.05比例需要额外时间：

$$0.05 * (18.75 + 0.2 * 135) = 2.29ns$$

(4)

$$CPI = 1 + 0.99 * 1.1 + 0.2 * 2.29 * 1.1 + 0.05 * 2.29 * 1.1 = 2.72$$