

Homework 2

1. 在直写 L1 缓存与写回 L2 缓存之间设计一个写缓冲区。L2 缓存写数据总线的宽度为16B，可以每4个处理器周期向一个独立缓存地址执行一次写操作。
 - 每个写缓冲区项目应当为多少字节？
 - 如果所有其他指令可以与存储指令并行发射，块存在于 L2 缓存中，在通过执行 64位存储指令将存储器置零时，使用一个合并写缓冲区来代替非合并缓冲区，在稳定状态下可以得到什么样的加速比？
 - 对于采用阻塞缓存与非阻塞缓存的系统，可能出现的L1缺失对于所需写缓冲区项目的个数有什么样的影响？
2. 考虑一个由 L1 和 L2 数据缓存组成的两级存储器层次结构。假定两个缓存在写入命中时都使用写回策略，两者的块大小相同。列出在以下事件时采取的操作。
 - 当缓存组织方式为包含式层次结构时，发生 L1 缓存缺失(miss)
 - 当缓存组织方式为互斥式层次结构时，发生 L1 缓存缺失
 - 在前两小问中，考虑被替换的块是脏块的可能性(需要更新和不需要更新的可能性)
3. 每当计算机空闲时，既可以将其置于待机状态(DRAM 仍然处于活动状态)，也可以让他休眠。为了使其进入休眠状态，假定必须仅将 DRAM 的内容复制到永久性介质中，比如闪存中，如果将大小为 64 字节的缓存行读写至闪存需要 $2.56\mu\text{j}$ ，读写至 DRAM 需要 0.5nJ ，如果 8GB DRAM 空闲功耗为 1.6W，那么一个系统空闲多长时间后才能从休眠中获益？假定主存储器的容量为 8GB。
4. 你正要采用一个具有以下特征的处理器构建系统：循序执行，运行频率为1.1GHz，排除存储器访问在外的 CPI 为 1。只有载入和存储指令能从存储器读写数据，载入指令占全部指令的 20%，存储指令占 5%。此计算机的存储器系统包括一个分离的 L1 缓存，它在命中时不会产生任何代价。I 缓存和 D 缓存都是直接映射，分别为 32KB。I 缓存的缺失率为 2%，块大小为 32 字节，D 缓存为直写缓存，缺失率为 5%，块大小为 16 字节。D 缓存上有一个写入缓冲区，消除了绝大多数写入操作的停顿，占总写入操作的 95%(指 CPU 的写停顿比例)。L2 为 512KB，统一 L2 的块大小为 64 字节，访问时间为 15ns。它由 128 位数据总线连接到 L1 缓存，运行频率为 266MHz，每条总线每个时间周期可以传送一个 128 位字。在发往此系统 L2 缓存的所有存储器引用中，其中 80%的引用无须进入主存储器就可以得到满足。另外，在被替换的所有块中，50%为脏块。主存储器的宽度为128 位，访问延迟为 60ns，在此之后，可以在这个宽 128 位，频率为 133MHz 的主存储器总线上以每个周期传送一个字的速率来传送任意数目的总线字。
 - 指令访问的存储器平均访问时间为多少
 - 数据读取的存储器平均访问时间为多少
 - 数据写入的存储器平均访问时间为多少
 - 包括存储器访问在内的整体 CPI 为多少