

UNIVERSIDADE DE SÃO PAULO

ESCOLA DE ENGENHARIA DE SÃO CARLOS

PROJETO DE CIRCUITOS INTEGRADOS DIGITAIS II - SEL0622

Projeto 11

Aluno: Lucas A. M. Magalhães

Número USP: 7173347

Aluno: Luiz H. G. Patire

Número USP: 7126667

11 de agosto de 2014

Sumário

Relatório	2
Questão 1	2
Questão 2	2
Questão 3	3
Questão 4	4
Questão 5	4
Questão 6	4
Questão 7	5
Questão 8	6
Questão 9	8
Questão 10	9
Questão 11	9
Questão 12	10
Questão 13	11
Questão 14	12
Questão 15	13
Questão 16	14

Relatório

Questão 1

Descreva o contador assíncrono em VHDL (não fazer a descrição estrutural que repete o esquemático, mas sim em alto nível). Utilize o manual de VHDL do software Leonardo (LeonardoSpectrum HDL Synthesis Manual (D:\MGC\LeoSpec\LS2005a_82\doc)) para ver modelos se necessário.

O *Listing 1* mostra a descrição de um contador 8 em VHDL.

Listing 1: "Descrição de um Contador 8 em VHDL"

```
1  entity contador8 is
    port( sm, clk : IN BIT;
          mc, output : OUT BIT);
end contador8;

6  architecture test of contador8 is
begin

    counter: process (clk, sm)
        variable cont : integer range 0 to 7 := 0;
11  begin
        if(clk'event AND clk='1') then
            if(cont = 7) then
                cont := 0;
            else
16          cont := cont + 1;
            end if;

            if(cont > 3) then
                output <= '1';
21          else
                output <= '0';
            end if;

            end if;
26          if(sm = '1' and cont = 0) then
                mc <= '0';
            else
                mc <= '1';
            end if;
31          end process;

end test;
```

Questão 2

Simule no ModelSim o circuito e verifique seu funcionamento. Para isso:

- crie uma pasta de trabalho, **work**, caso ainda não tenha feito;
- compile o seu VHDL;
- inicie a simulação, **Simule > Start Simulation**. Caso não sejam abertas as janelas de wave e objetos, abri-las via comandos **View - Wave** e **View - Objects**.

- crie os sinais de entrada (na janela de Objects, **Create Wave**);
- coloque na janela waves os sinais de saída que deseja ver (“arraste” os sinais de uma janela a outra);
- execute a simulação.

Apresente o resultado gráfico da simulação.

O gráfico da simulação feita no *ModelSim* é apresentada na Figura 1. A partir do gráfico pode se observar que o contador funciona corretamente para todas as entradas.

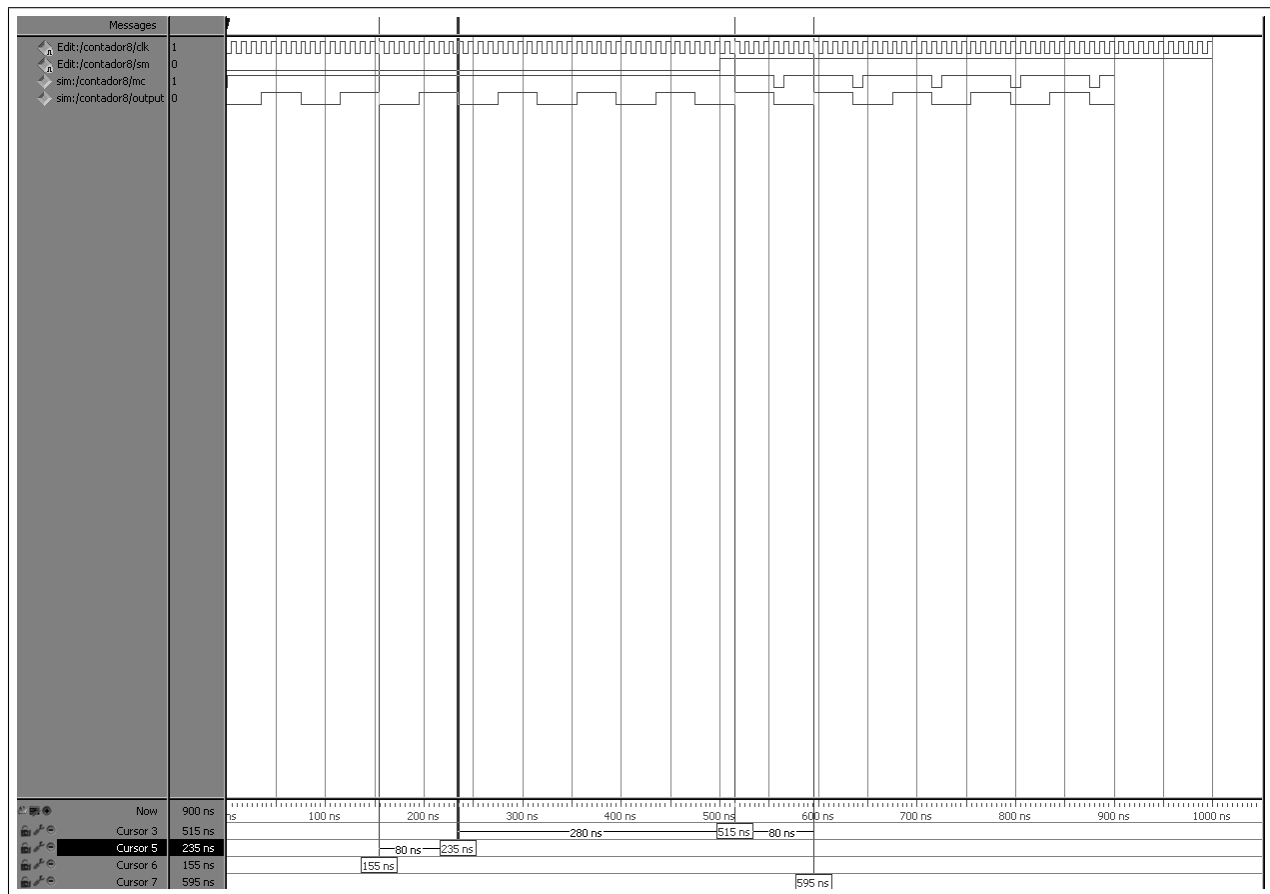


Figura 1: Gráfico de Simulação do Circuito Contador 8 no *ModelSim*

Questão 3

Compare a implementação feita no **Leonardo** com a implementação original (Presente na Figura 1 do enunciado). Qual é a maior diferença?

A diferença é que o circuito gerado pelo VHDL é um circuito síncrono enquanto o circuito apresentado na figura é assíncrono. A síntese de circuitos assíncronos a partir de uma

descrição VHDL de alto nível é algo muito complicado e que não é aplicado pela maioria dos compiladores VHDL.

Questão 4

Verifique o caminho crítico e estime a máxima frequência de operação que este circuito pode atingir (apresente a figura com caminho crítico).

O caminho crítico é apresentado na Figura 2. A máxima frequência é de $0,840\text{ GHz}$.

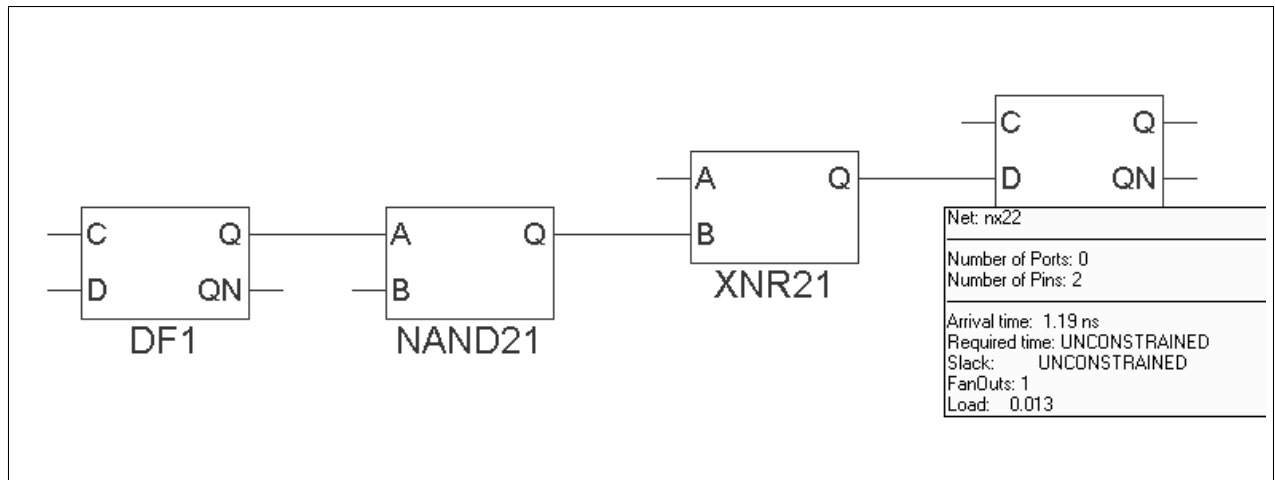


Figura 2: Caminho Crítico do Circuito Calculado pelo *LeonardoSpectrum*.

Questão 5

Apresente no relatório o VHDL e o esquemático final que obteve.

A descrição VHDL está no *Listing 1* e o esquemático é apresentado na Figura 3.

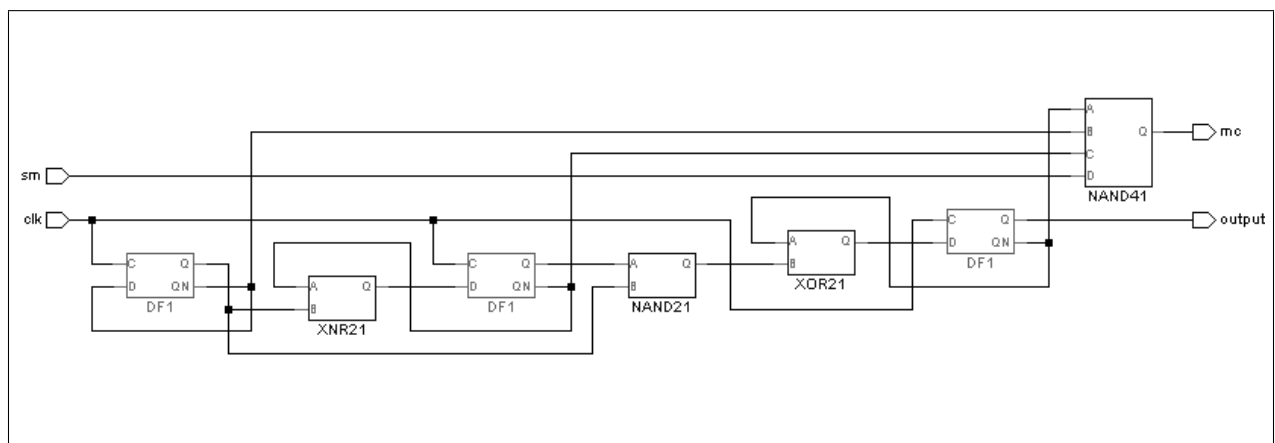


Figura 3: Esquemático do Circuito Gerado a partir do VHDL pelo *LeonardoSpectrum*.

Questão 6

Exporte o circuito gerado para o ICStation e gere o esquemático. A partir do esquemático extraia o circuito para simulação e determine a máxima frequência de operação.

A partir da simulação do netlist gerado pelo ICStation vê-se que a máxima frequência do circuito é $1,13\text{ GHz}$. O gráfico resultado da simulação é mostrado na Figura 4.

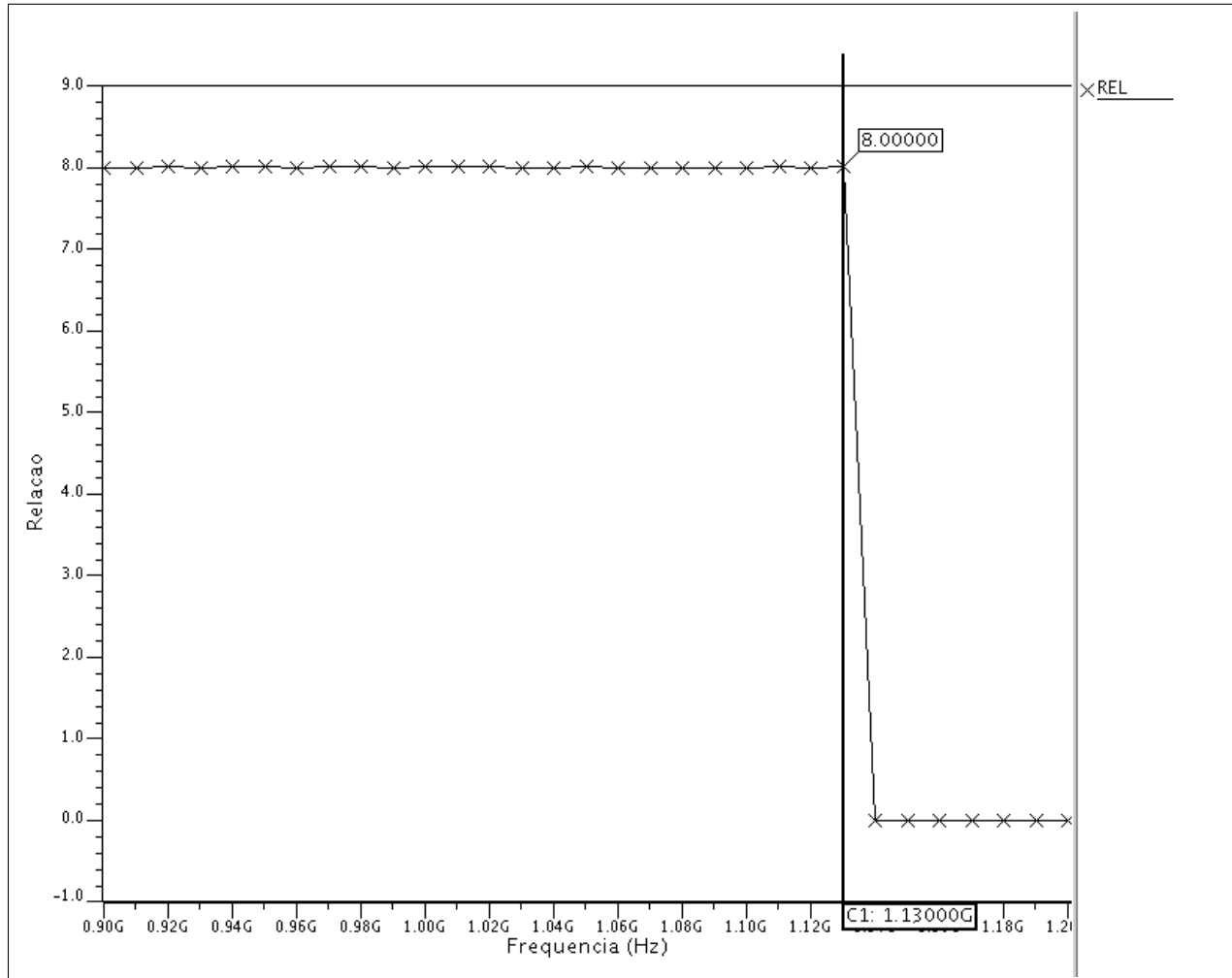


Figura 4: Gráfico da Simulação Gerada a partir do *netlist*.

Questão 7

Coloque os ports, passe o DRC, elimine os erros e faça o LVS. Apresente o layout obtido no relatório.

O *layout* é apresentado na Figura 5.

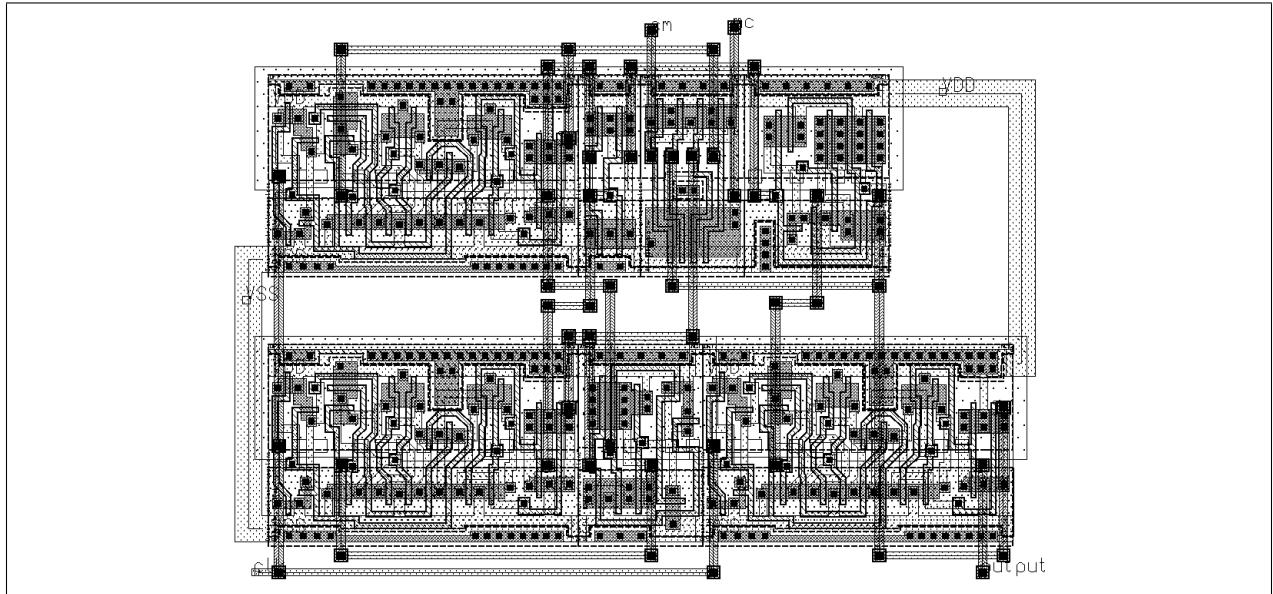


Figura 5: *Layout* do Circuito Contador 8.

Questão 8

Simule o circuito extraído do layout (**R+C+CC**) e determine sua máxima velocidade.

A simulação feita está descrita no *Listing 2*. A Figura 6 e a Figura 7 mostram o resultado da simulação para $SM = '0'$ e $SM = '1'$, respectivamente. Pode-se ver que a máxima frequência de funcionamento é de $0,790\text{ GHz}$

Listing 2: "Arquivo Padrão para a Simulação do Circuito Contador 8"

```

*****
2 .param f = 500MEG , T='1/f', ts='0.01*T' , td = ts

X1 SM CLK MC OUTPUT VSS VDD CONTADOR8

VM SM 0 0V
7 VD VDD 0 3V
VS VSS 0 0V
VCLK CLK 0 PULSE( 0 3V 0 ts td '0.5*T-0.5*ts-0.5*td' T )

.tran 0 100n 0 100p SWEEP f 0.75G 0.95G 10MEG
12 .meas tran periodo TRIG V(OUTPUT) val=1.5 fall=2 targ V(OUTPUT) val=1.5 fall=3
.meas tran outFreq PARAM='1/periodo'
.meas tran rel PARAM='f/outFreq'
.probe tran V(CLK) V(OUTPUT)

17 .include "transistors.mod"
.include "contador8.pex.netlist"

.end

```

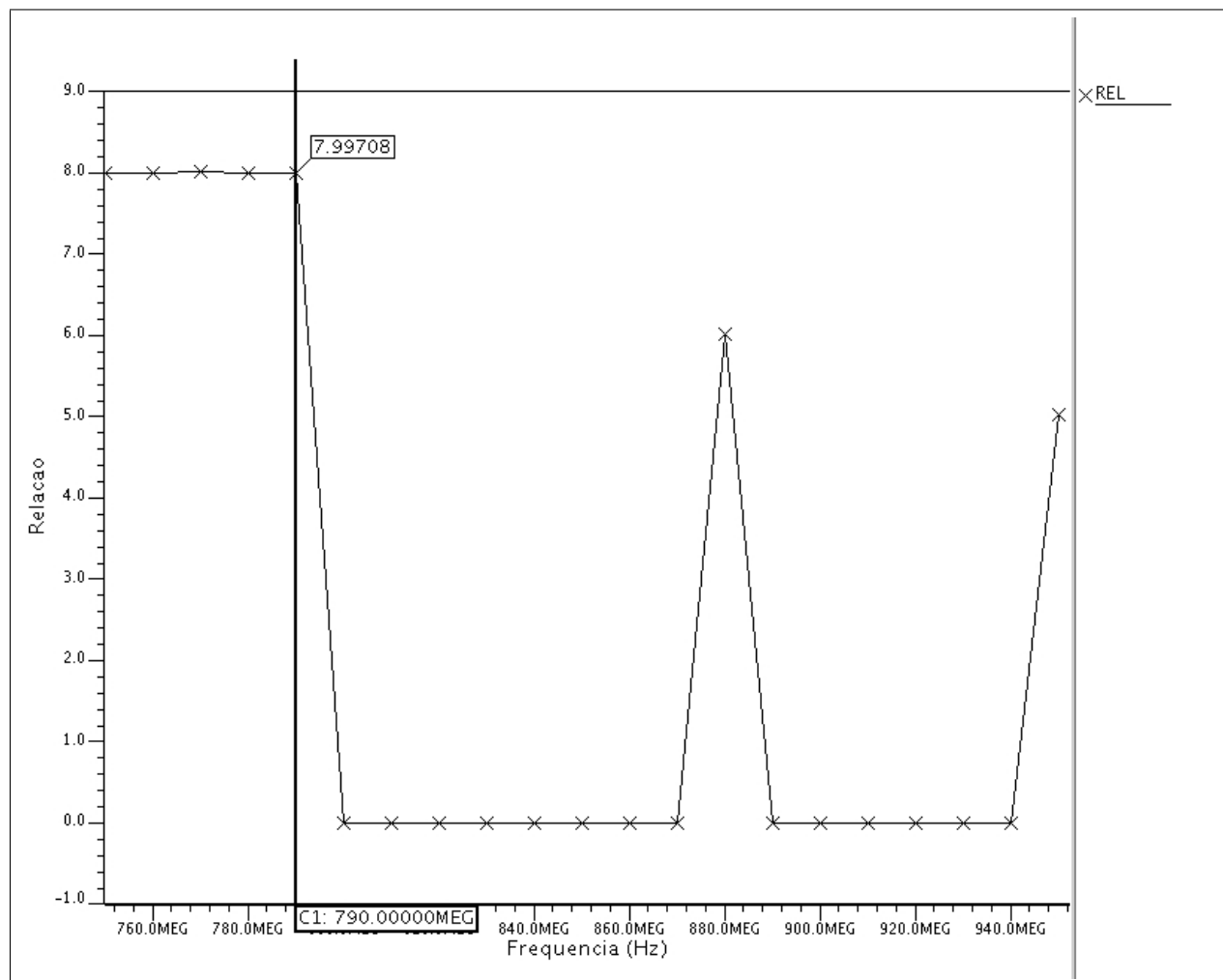


Figura 6: Simulação do Circuito Contador 8, SM = '0'

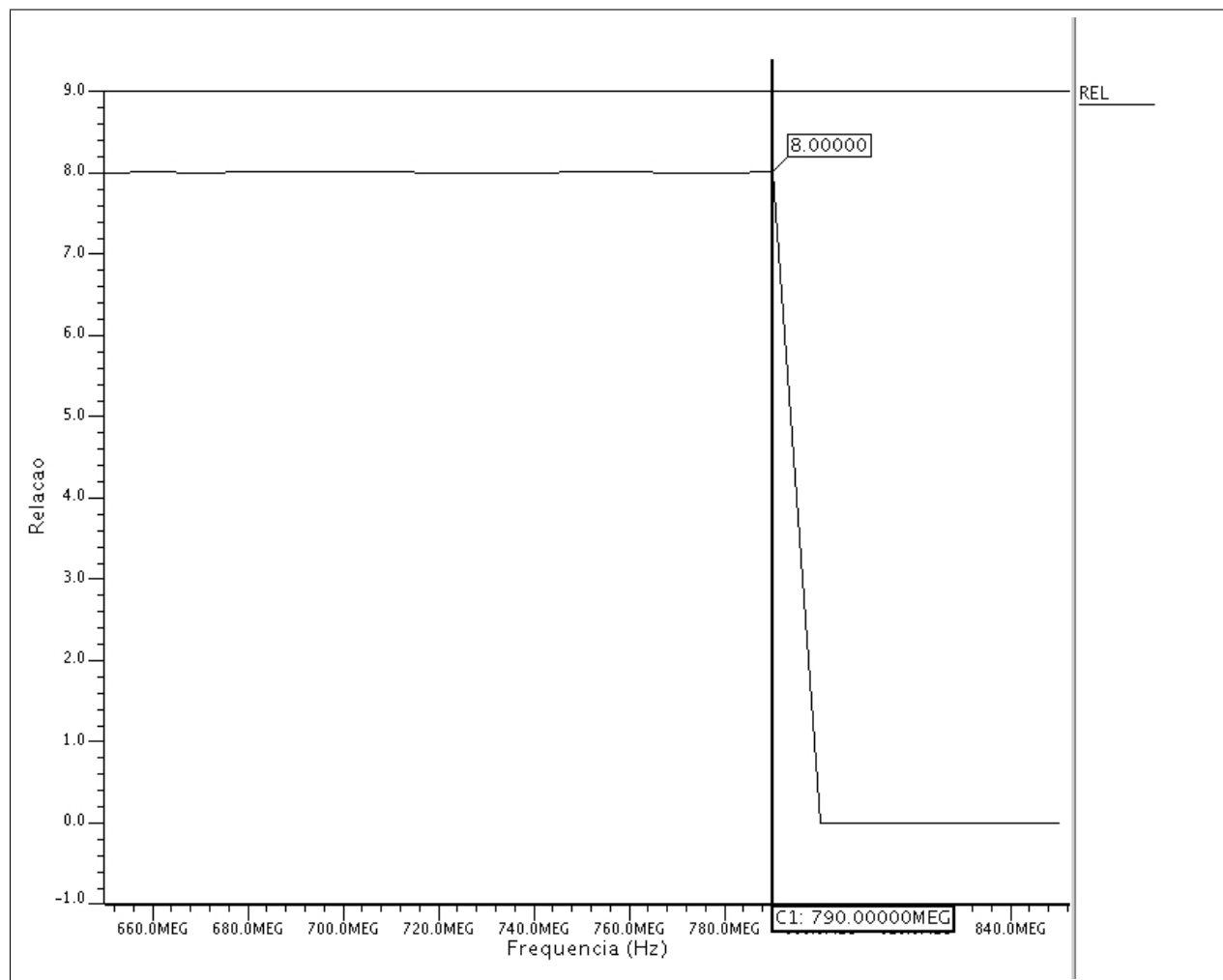


Figura 7: Simulação do Circuito Contador 8, SM = '1'

Questão 9

Compare os resultados de velocidade obtidos nas questões 6, 8 e 12.

A Tabela 1 mostra os resultados da velocidade do circuito em cada uma das simulações feitas.

Tabela 1: Máxima Frequência de Operação do Contador 8

	Máxima Frequência (GHz)
Caminho Crítico	0,840 GHz
Netlist	1,13 GHz
R+C+CC	0,790 GHz

Pela tabela, pode-se perceber que a simulação a partir do *netlist* obtém o melhor resultado (maior frequência), mas essa simulação trabalha com modelos mais ideais do circuito. O

tempo do Caminho Crítico e da simulação R+C+CC, oferecem os resultados mais reais, pois levam em consideração as características da tecnologia e da implementação. O resultado da R+C+CC, fornece o melhor resultado, levando em consideração elementos parasitas e características das conexões entre os elementos.

Questão 10

Com os dois blocos já escritos em VHDL, contador 4/5 e contador 8, monte o Prescaler completo VHDL (agora descrevendo um bloco conectado ao outro). Apresente o VHDL.

A descrição VHDL do circuito completo pode ser encontrada no *Listing 3*:

Listing 3: "Descrição do Circuito *Prescaler* em VHDL"

```
ENTITY prescaler IS
    PORT (sm, clock : IN BIT;
          output : OUT BIT);
END prescaler;
5
ARCHITECTURE prescaler_11 OF prescaler IS
    SIGNAL mc1, qn1 : BIT;
BEGIN
    CONT45 : ENTITY work.state_machine PORT MAP(clock, mc1, qn1);
10    CONT8   : ENTITY work.divisor8 PORT MAP(sm, qn1, mc1, output);
END prescaler_11;
```

Questão 11

Simule no ModelSim o circuito e verifique seu funcionamento. Apresente os resultados gráficos da simulação.

A simulação do circuito feita no *ModelSim* é apresentada na Figura 8. Vemos que o *clock* é dividido por 32 ou 33 conforme o valor de SM.

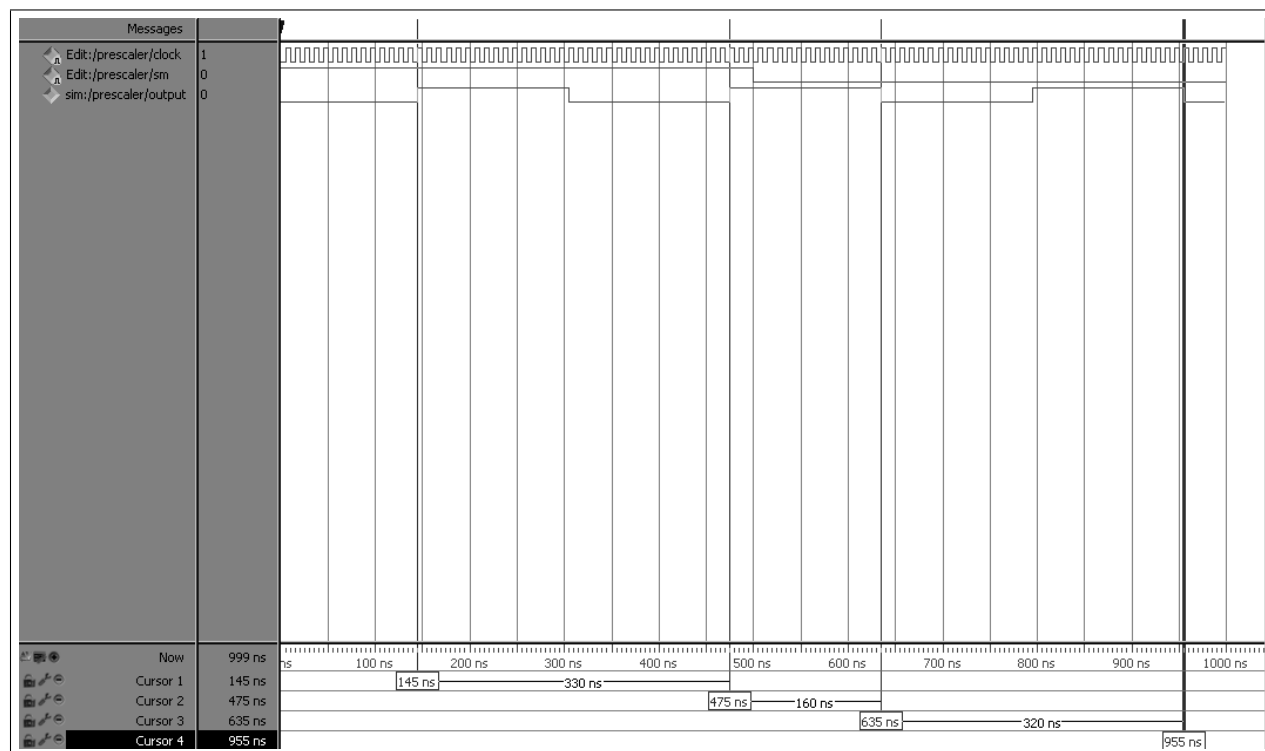


Figura 8: Simulação do *Prescaler* no *ModelSim*.

Questão 12

Faça a síntese e teste duas possibilidades disponíveis no Leonardo: **mantendo a hierarquia** e **flat** (apresente os esquemáticos)

O esquemático da síntese do circuito utilizando a opção *Preserve Hierarchy* pode ser encontrado na Figura 9 e da síntese utilizando a opção *Flatten*, na Figura 10

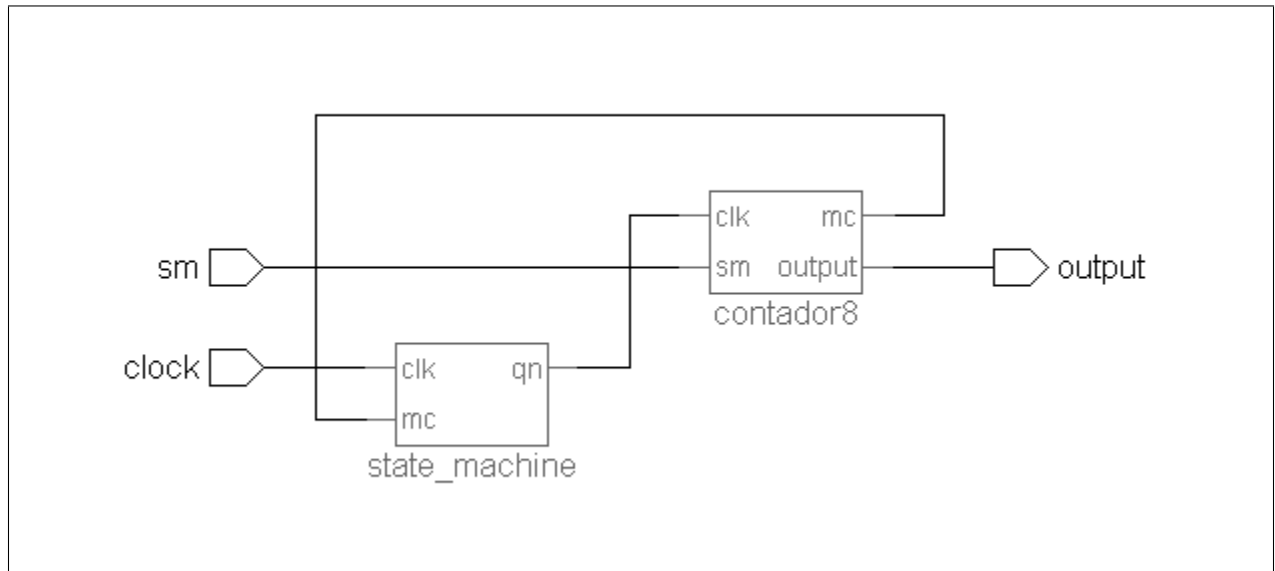


Figura 9: Esquemático da Síntese do *Prescaler* Utilizando *Preserve Hierarchy*

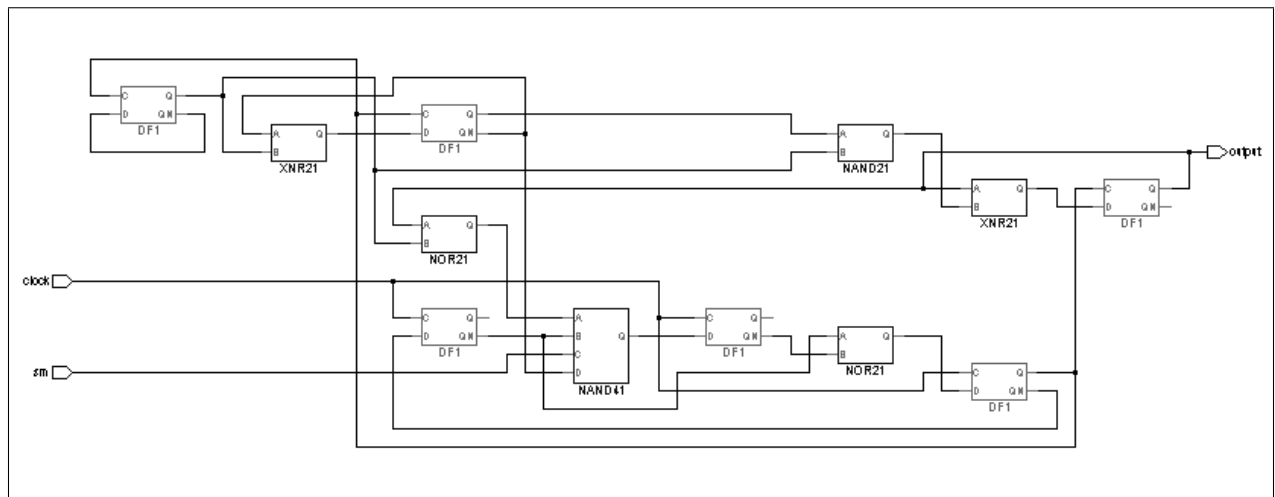


Figura 10: Esquemático da Síntese do *Prescaler* Utilizando *Flatten*

Questão 13

Verifique, para o caso flat, qual é o caminho crítico (apresente a figura com caminho crítico e indique no esquemático completo onde ele está). Está correto?

O caminho crítico do caso *Flatten* pode ser encontrado na Figura 11.

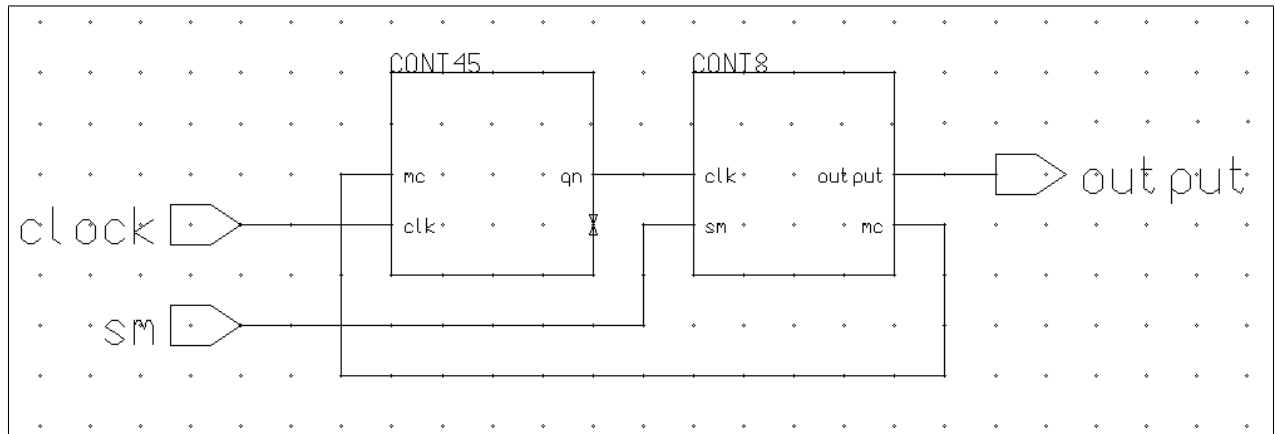


Figura 13: Esquemático Gerado para o Caso *Preserve Hierarchy*

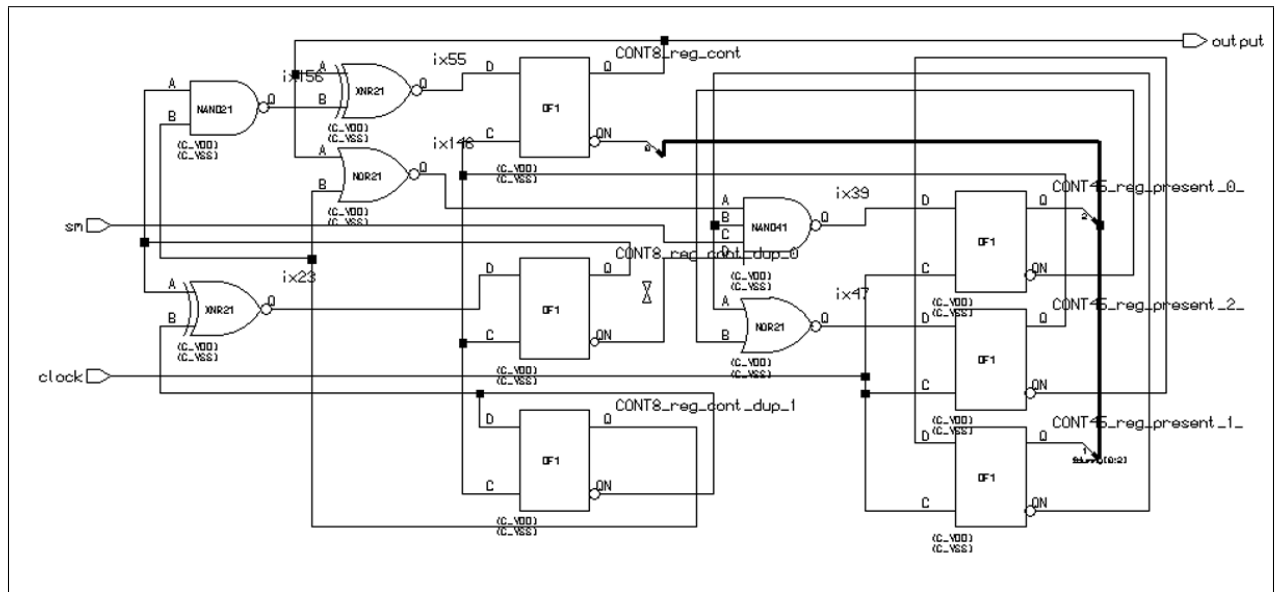


Figura 14: Esquemático Gerado para o Caso *Flatten*

Pode-se observar que no caso *Preserve Hierarchy*, as entidades incluídas na descrição são preservadas no esquemático. No caso *Flatten*, as entidades são substituídas pelos componentes da tecnologia que a compõe.

A hierarquia na descrição dos circuitos permite uma melhor organização e modularização do circuito, porém limita a otimização realizada pelo programa “LeonardoSpectrum”, pois o otimizador não consegue associar lógicas entre limites de hierarquia do sistema. Ao permitir o *flatten* das hierarquias, o otimizador consegue melhores resultados.

É interessante utilizar a opção *flatten* quando existem muitos níveis de hierarquia presentes no sistema, ou quando a otimização é uma necessidade crítica para o produto final.

Questão 15

A partir do esquemático com hierarquia, monte o layout do prescaler completo (aproveite

os layouts já feitos). Passe o DRC e faça o LVS. Apresente o layout obtido no relatório.

O *layout* do *prescaler* completo se encontra na Figura 15

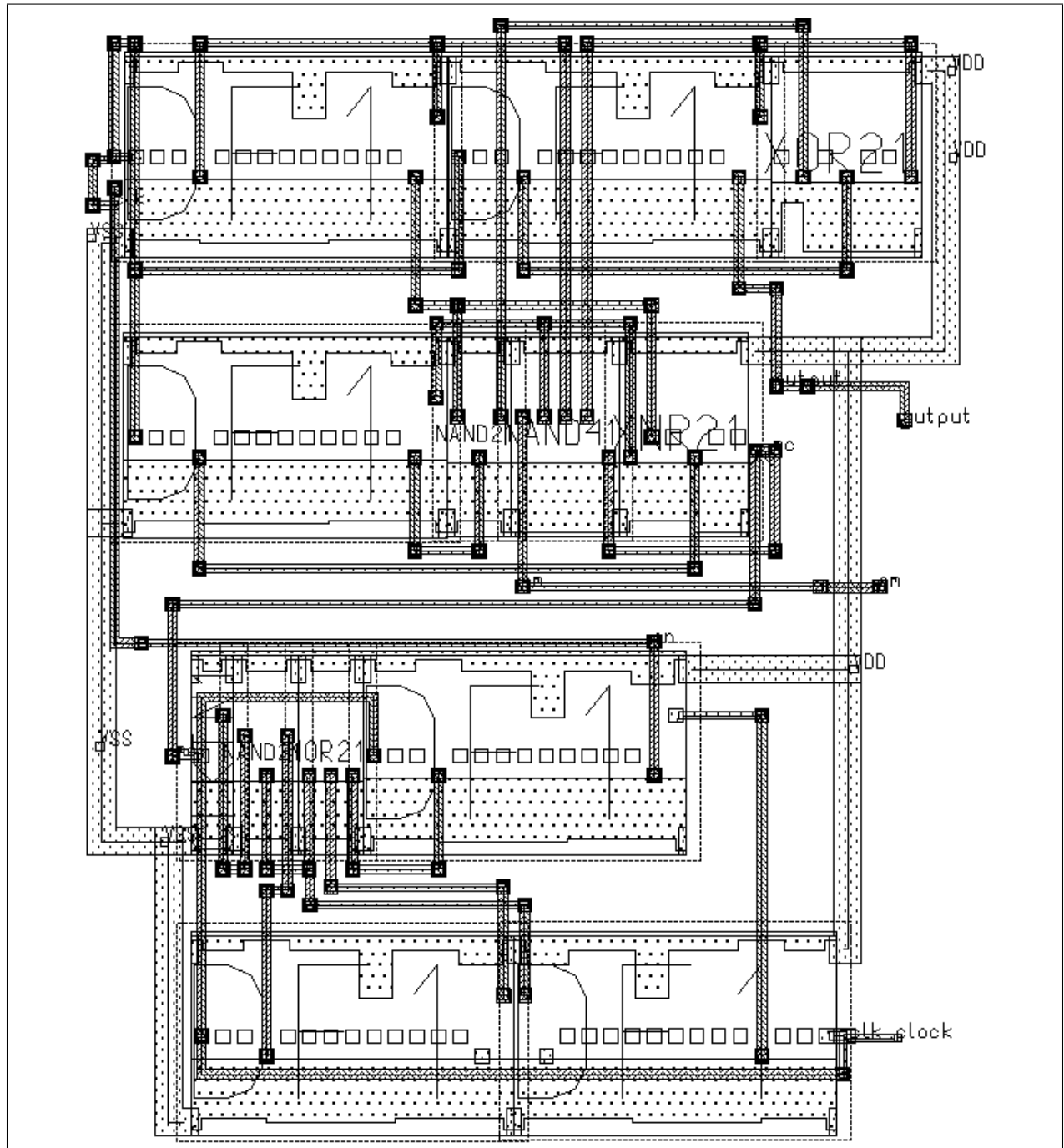


Figura 15: *Layout* Completo do Circuito Prescaler

Questão 16

Extraia o circuito (R+C+CC), determine a máxima velocidade de operação e, nessa

velocidade, determine a razão (potência consumida)/GHz. Determine também a área do circuito.

A máxima velocidade do circuito para as devidas configurações de SM é apresentada na Tabela 2. As simulações são apresentadas na Figura 16 e na Figura 17 para SM igual a '0' e '1', respectivamente. Os resultados de potência são apresentados na Tabela 3 e os gráficos da simulação da potência são mostrados na Figura 18 e na Figura 19

Tabela 2: Máxima frequência de Operação do circuito *Prescaler*.

SM	Máxima Frequência (GHz)
0	0,870
1	0,860

Tabela 3: Potência/Frequência do circuito na Máxima frequência do *Prescaler*.

SM	Potência/Frequência (W/GHz)
0	2,14 <i>P</i>
1	2,2 <i>P</i>

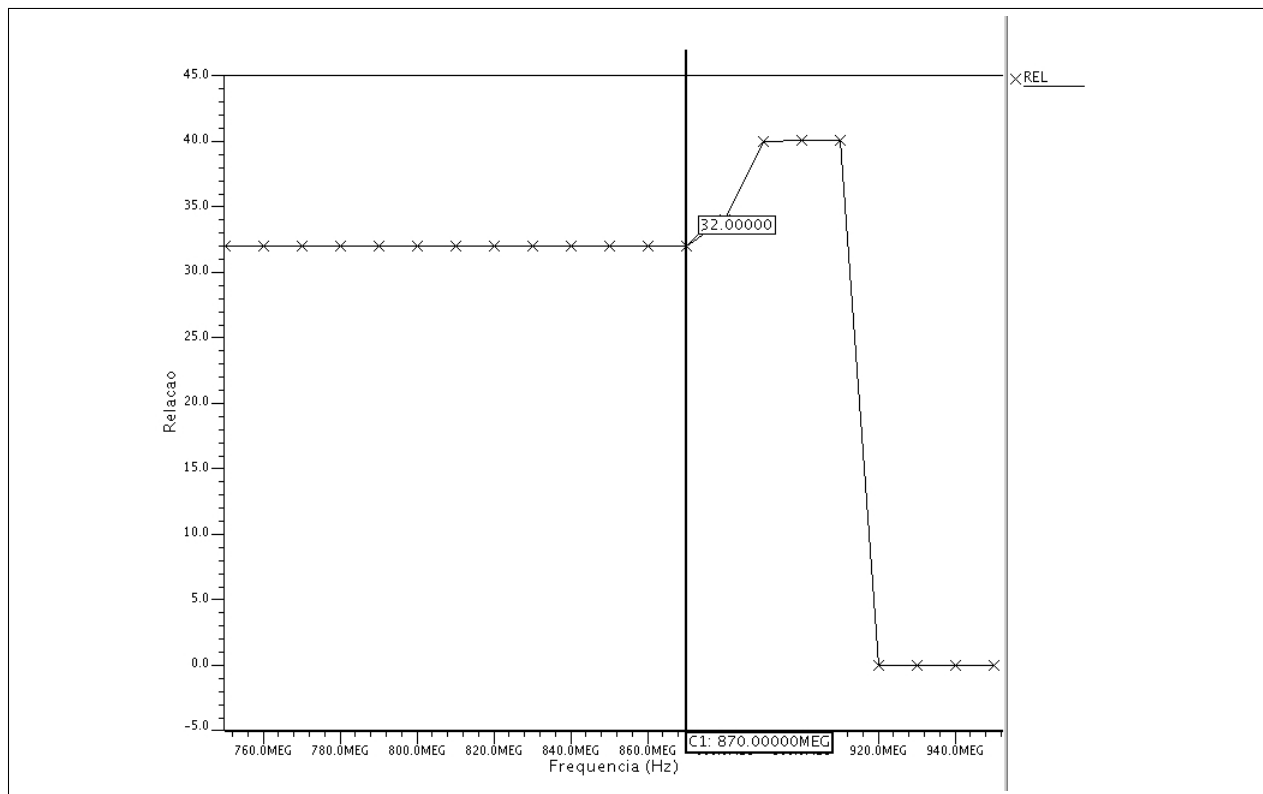


Figura 16: Simulação do circuito *Prescaler* para SM igual a 0, Relação x Frequência (Hz)

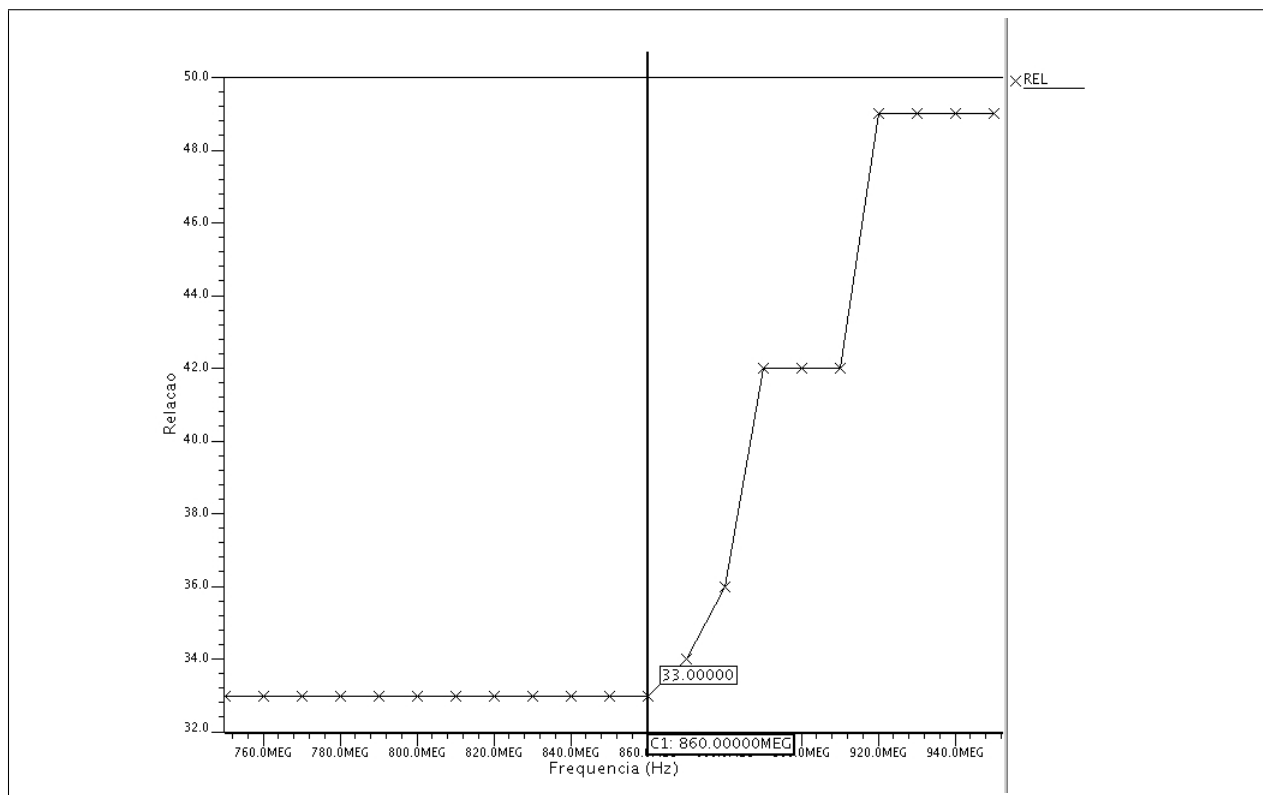


Figura 17: Simulação do circuito *Prescaler* para SM igual a 1, Relação x Frequência (Hz)

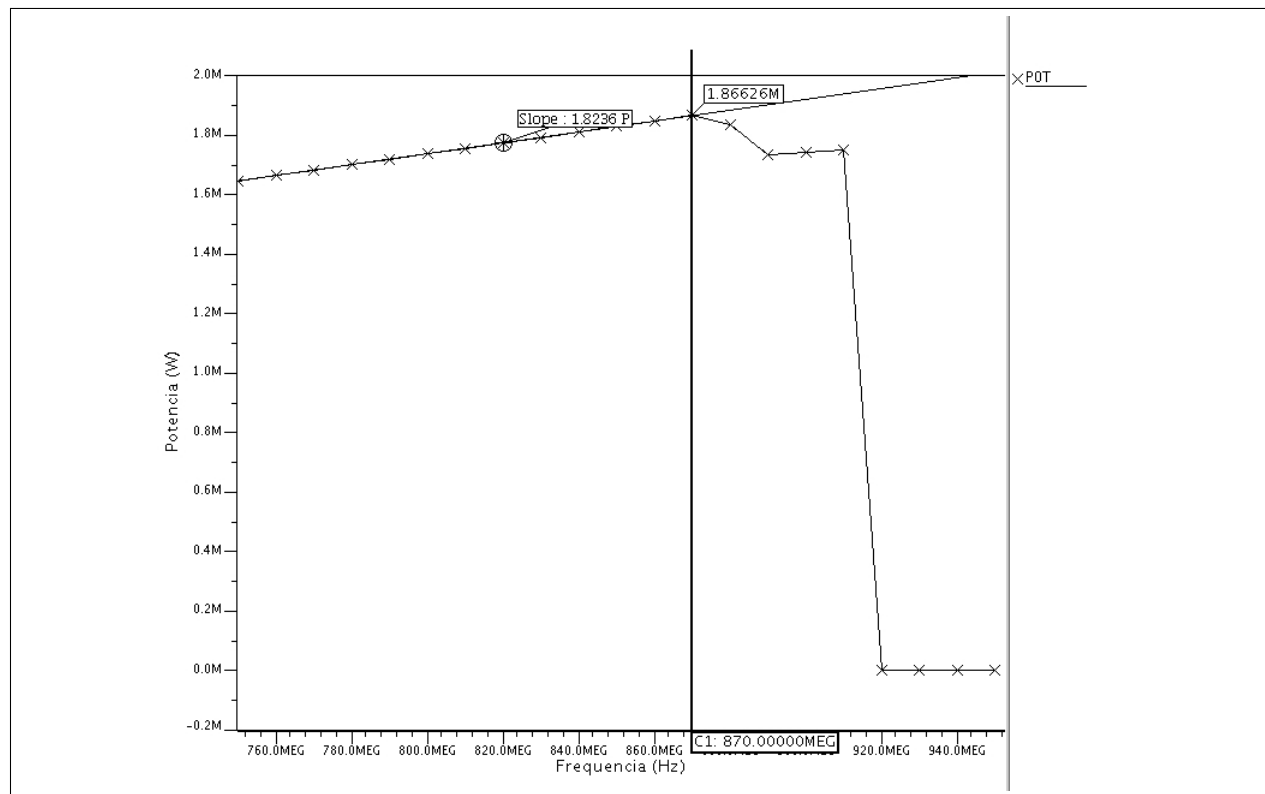


Figura 18: Simulação do circuito *Prescaler* para SM igual a 0, Potência x Frequência (Hz)

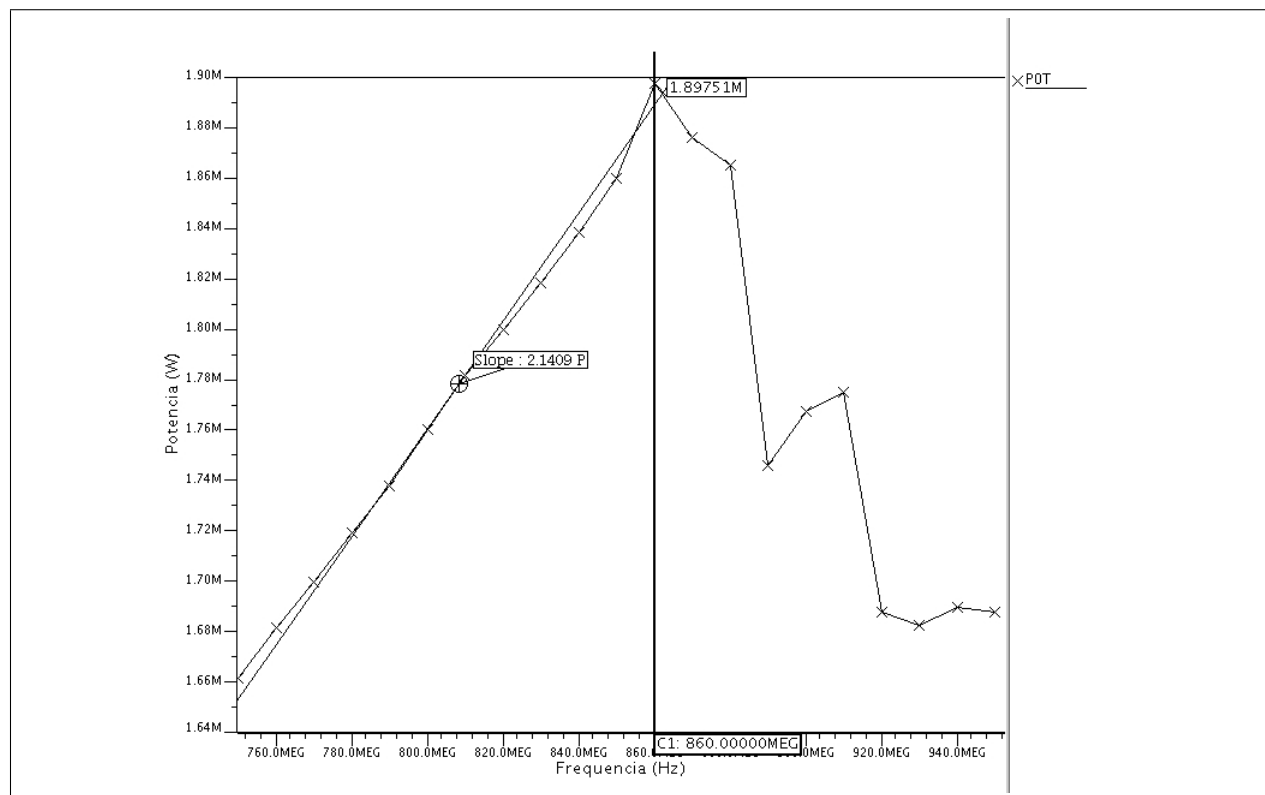


Figura 19: Simulação do circuito *Prescaler* para SM igual a 1, Potência x Frequência (Hz)