

UNIVERSIDADE DE SÃO PAULO

ESCOLA DE ENGENHARIA DE SÃO CARLOS

PROJETO DE CIRCUITOS INTEGRADOS DIGITAIS II - SEL0622

---

## Projeto 12

---

*Aluno:* Lucas A. M. Magalhães

*Número USP:* 7173347

*Aluno:* Luiz H. G. Patire

*Número USP:* 7126667

11 de agosto de 2014

## Sumário

<b>Relatório</b>	<b>2</b>
Questão 1 . . . . .	2
Questão 2 . . . . .	3
Questão 3 . . . . .	3
Questão 4 . . . . .	4
Questão 5 . . . . .	5
Questão 6 . . . . .	9

## Relatório

Questão 1

Análise a implementação carregada, determine qual é o circuito que está implementado e apresente seu esquemático (nível de transistores).

O circuito apresentado é um *latch* com entrada *clear*, seu esquemático está na Figura 1. O circuito funciona como *latch*, porém somente para circuito de alta frequência, isso porque o valor da saída do circuito fica armazenado nas capacitâncias parasitas da chave. A Figura 2 mostra o circuito implementado.

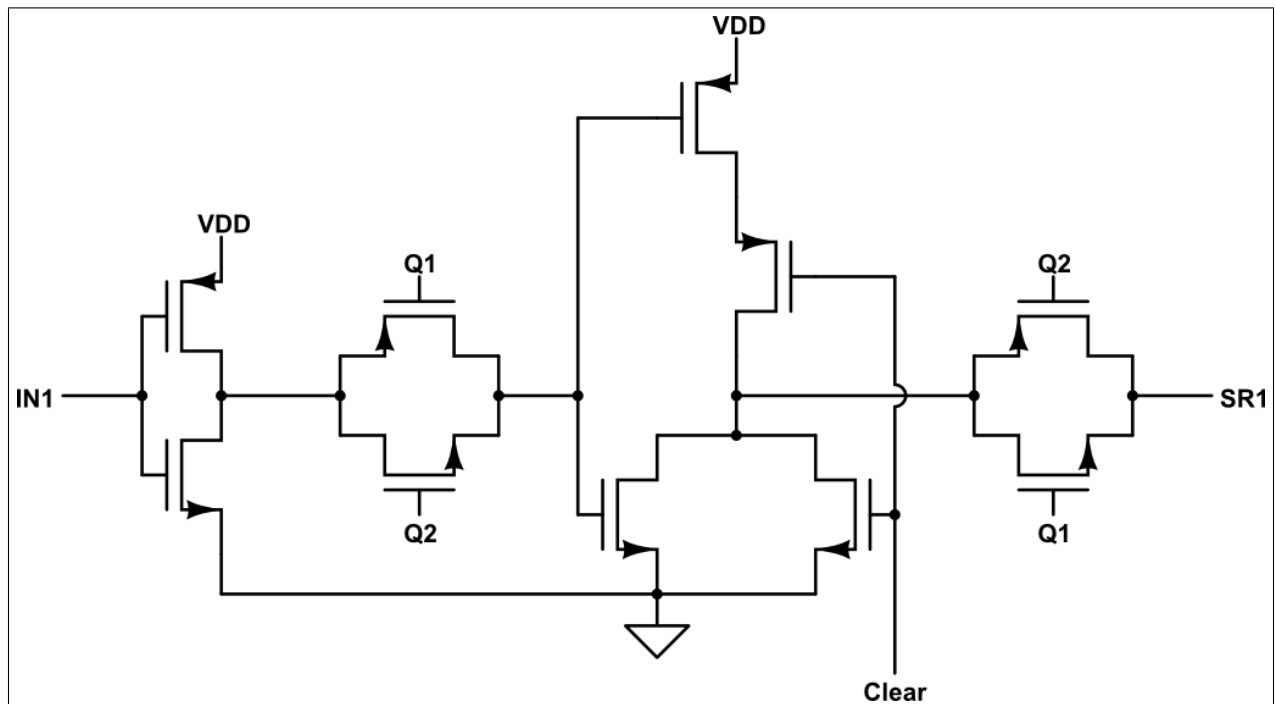


Figura 1: Esquemático do *Latch*

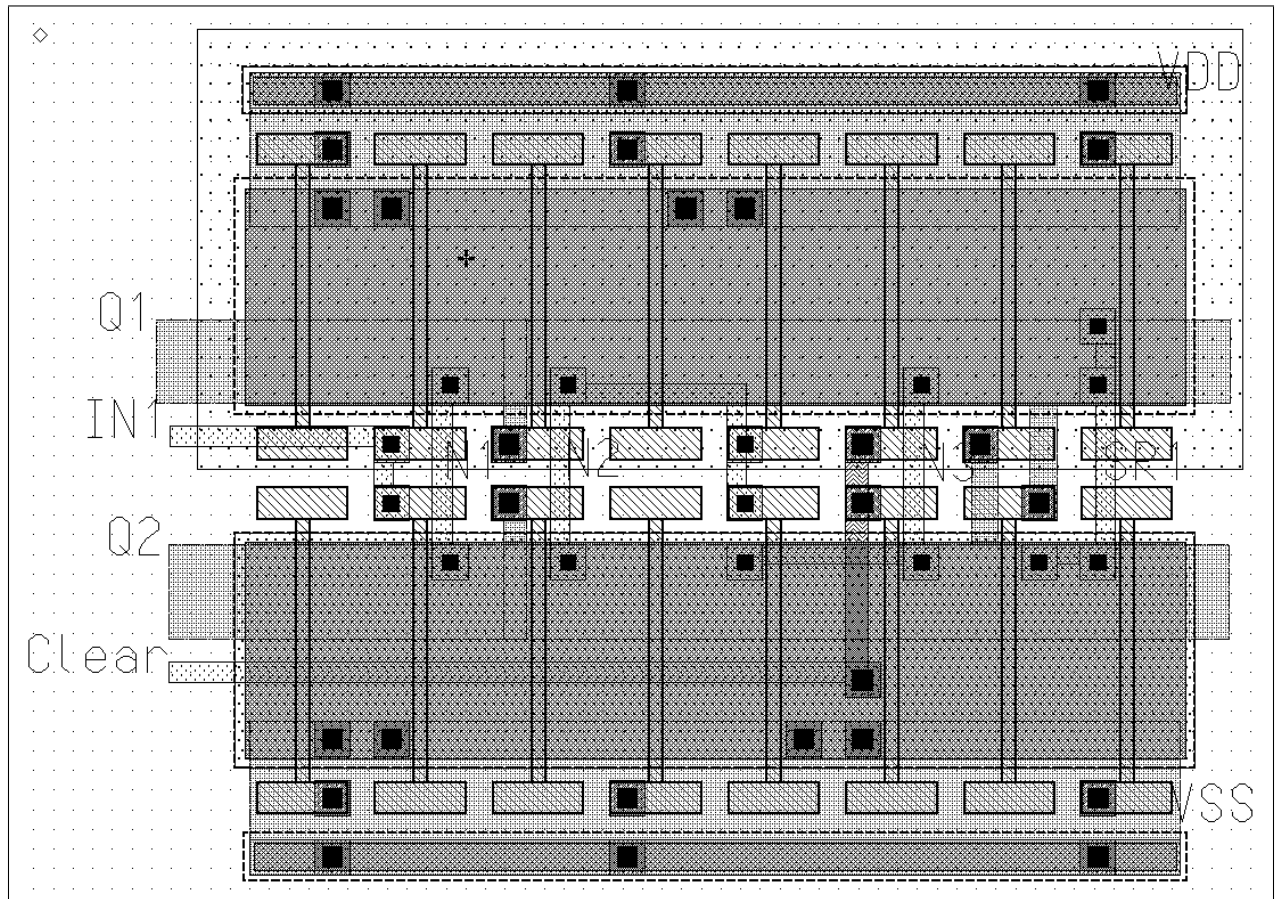


Figura 2: *Layout do Latch em Gate Array*

### Questão 2

Qual é a largura máxima das linhas que podem ser usadas nas conexões e que não atrapalhará conexões vizinhas?

Pelas medições feitas no *Gate Array*, a largura máxima das linhas é de  $0,9 \mu m$  e as linhas devem ter espaçamento de  $0,6 \mu m$ .

### Questão 3

Salve a estrutura com um nome diferente. Nela desenhe um oscilador em anel com **5** **NANDs** de duas entradas (aumente o *gate array*, tanto na vertical como na horizontal para conseguir isso). Utilize apenas uma das entradas do **NAND** para o oscilador. A outra, **aquela ligada ao transistor mais próximo ao terra**, conecte a um porte de entrada chamado **CRT**. Verifique erros e apresente o *layout* obtido.

O *layout* é apresentado na Figura 3.

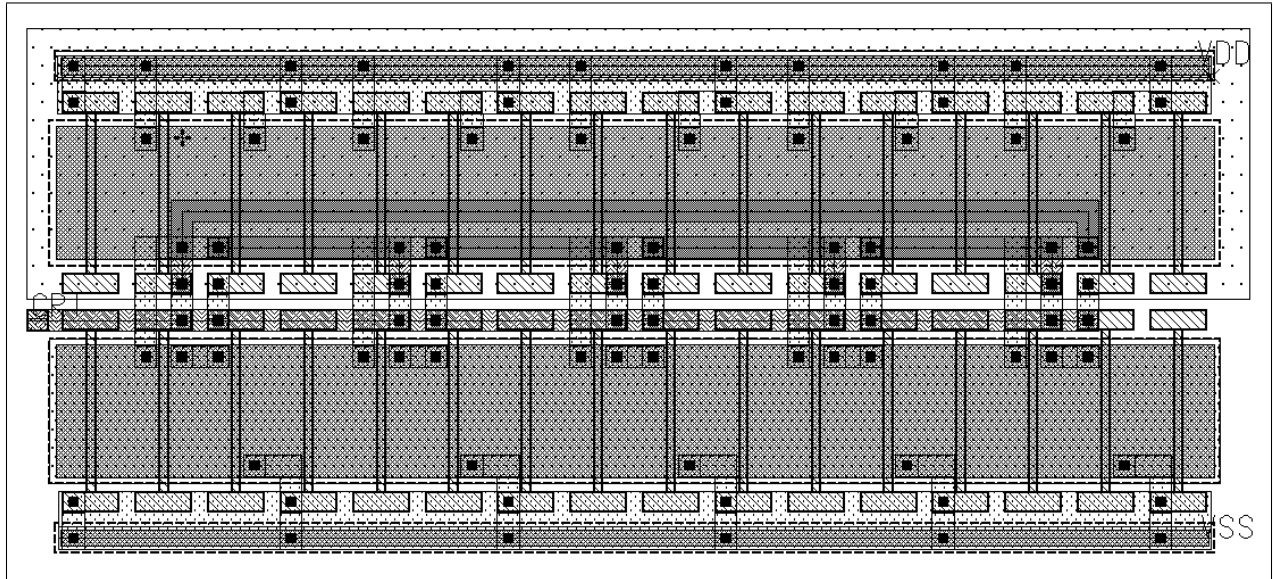


Figura 3: *Layout* do Oscilador de 5 NANDs em *Gate Array*

#### Questão 4

Extraia o *netlist* do circuito e por simulação determine o período de oscilação e os **atrasos médios na propagação para subida** (*low-to-high*) e para **descida** (*high-to-low*) de uma porta **NAND** (mantenha o sinal **CRT = 3,3 V**). Qual a relação entre essas grandezas? Apresente o arquivo de simulação e os sinais vistos no ezwave.

A simulação é feita a partir da especificação mostrada no *Listing 1*. A Tabela 1 mostra como ficam os valores de atraso e o período de oscilação para  $CRT = 3,3 V$ .

Listing 1: "Arquivo de Simulação do Oscilador em Anel com 5 NANDs - Medidas de Período e Atrasos"

```

1 *****
  .include "ringnamed.cir"

  .param voltage=3.3V

6 X IN1 IN2 IN3 IN4 IN5 CRT VDD VSS PUNTOA

  VD VDD 0 3.3V
  VS VSS 0 0V
  VC CRT 0 voltage

11 .tran 0 100n 0 100p
  .meas tran periodo TRIG V(IN1) val=1.65 fall=4 targ V(IN1) val=1.65 fall=5
  .meas tran atrasod TRIG V(IN1) val=1.65 rise=4 targ V(IN2) val=1.65 fall=3
  .meas tran atrasos TRIG V(IN1) val=1.65 fall=4 targ V(IN2) val=1.65 rise=4
16 .probe tran V(IN1) V(IN2)

  .end

```

---

Tabela 1: Valores encontrados na simulação.

Parâmetro	Valor
Período de Oscilação	1,09 ns
Atraso de Subida	0,09 ns
Atraso de Descida	0,13 ns

A relação entre essas grandezas é dado pela equação 1:

$$T = 5 \cdot atraso_{subida} + 5 \cdot atraso_{descida} \quad (1)$$

A Figura 4 mostra as ondas da simulação no ezwave.

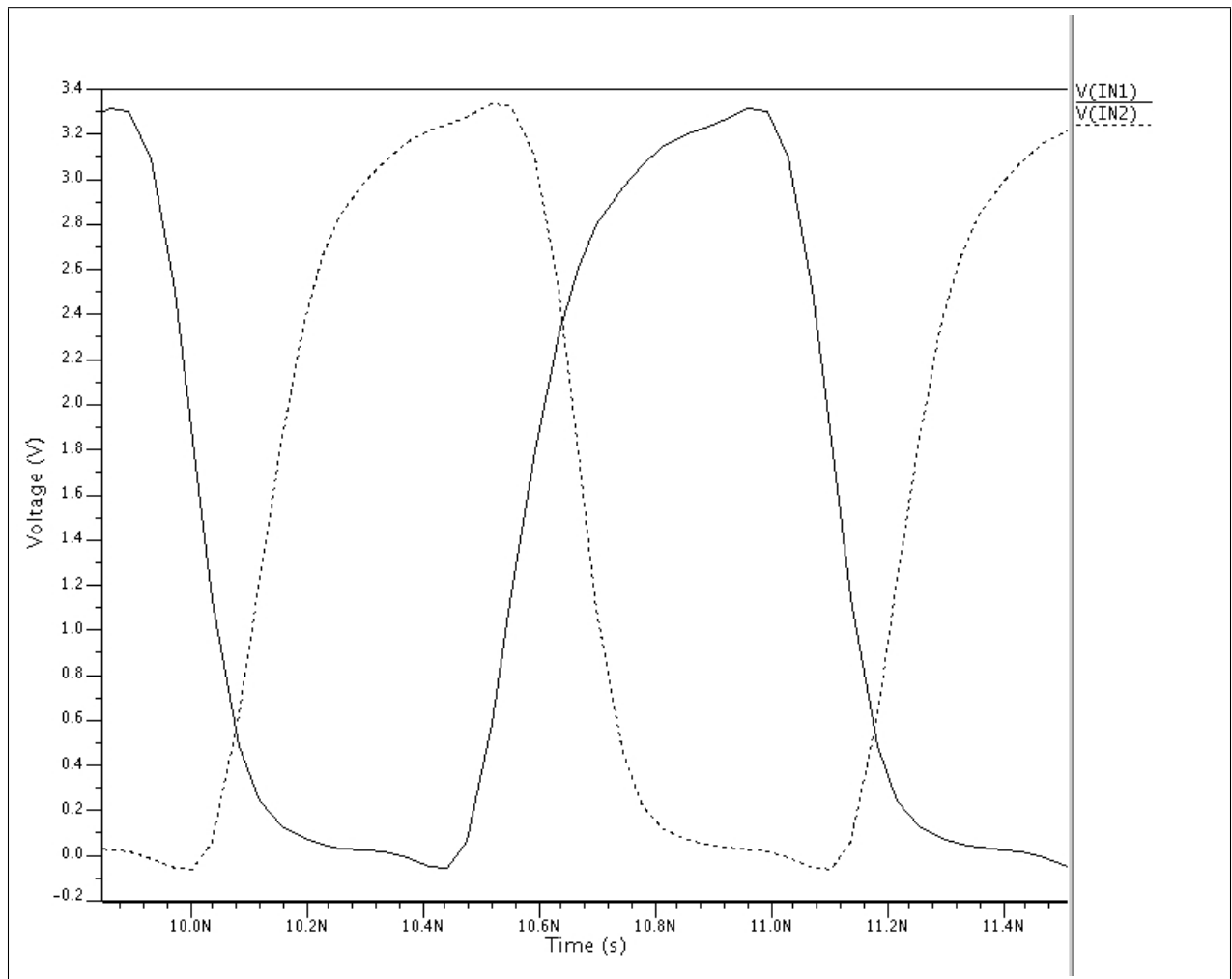


Figura 4: Tensões de Entrada e Saída do Primeiro Transistor do Oscilador em Anel

---

### Questão 5

Varie **CRT** de **0,9 V** a **3,3 V** (passos de 0,1 V) e determine a frequência de oscilação para cada valor de CRT (modelo típico). Trace o gráfico **Freq. de Oscilação versus CRT**. Caso se deseje utilizar o circuito como um **VCO** (*Voltage-Controlled Oscillator*), qual a faixa de frequências que ele com certeza pode cobrir (considere os três modelos aqui, típico, *worst speed* e *worst power*)?

O arquivo de simulação padrão para a análise pode ser encontrado no *Listing 2*.

Listing 2: "Arquivo de Simulação do Oscilador em Anel com 5 NANDs - Frequências de Operação com Variação do CRT"

```
*****
2  .include "ringnamed.cir"
   .include "transistors.mod"

   .param voltage=3.3V
7  X IN1 IN2 IN3 IN4 IN5 CRT VDD VSS PUNTOA

   VD VDD 0 3.3V
   VS VSS 0 0V
   VC CRT 0 voltage
12 .tran 0 100n 0 100p SWEEP voltage 0.9V 3.3V 0.1V
   .meas tran periodo TRIG V(IN1) val=1.65 fall=4 targ V(IN1) val=1.65 fall=5
   .meas tran atrasod TRIG V(IN1) val=1.65 rise=4 targ V(IN2) val=1.65 fall=3
   .meas tran atrasos TRIG V(IN1) val=1.65 fall=4 targ V(IN2) val=1.65 rise=4
17 .meas freq PARAM='1/periodo'

   .probe tran V(IN1) V(IN2)

   .end
```

Os gráficos resultantes das simulações podem ser encontrados na Figura 5, 6 e 7, para os modelos típicos, *worst power* e *worst speed*, respectivamente.

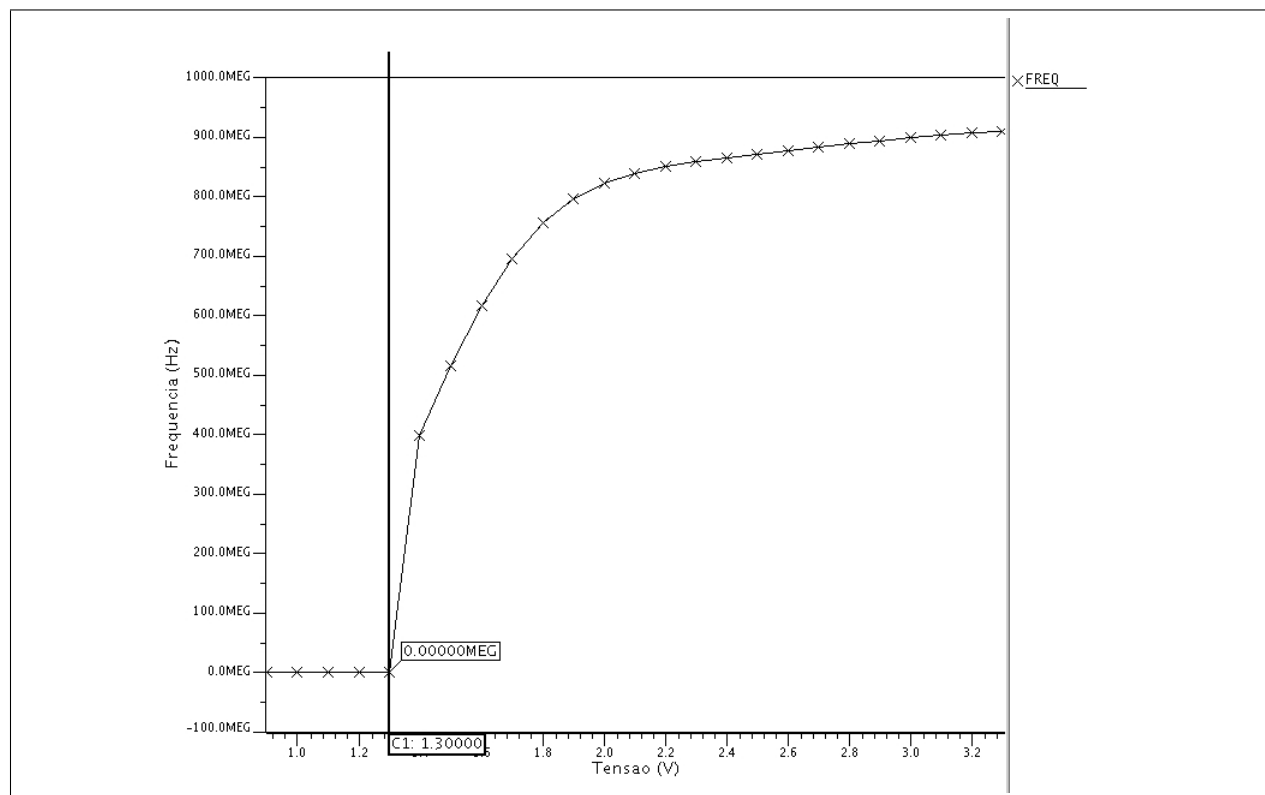


Figura 5: Frequência de Operação por Tensão de CRT - Modelo Típico



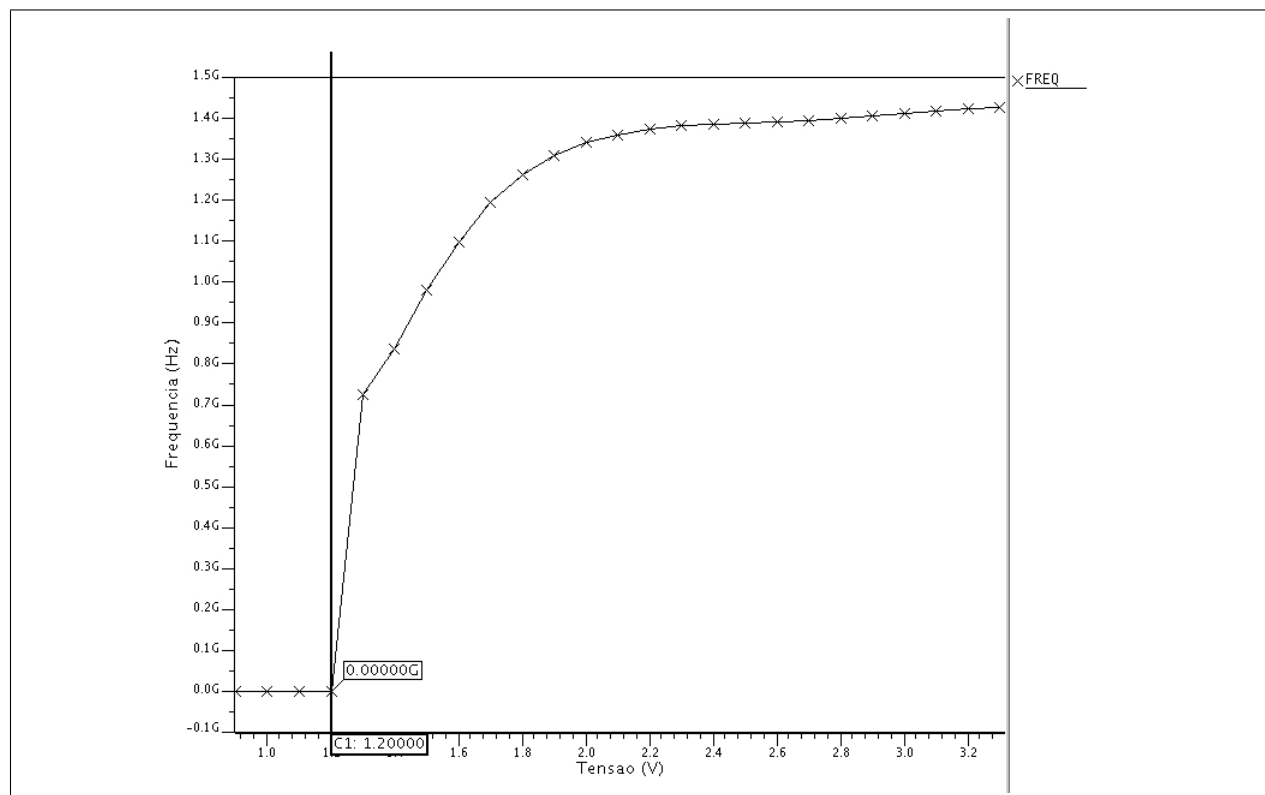


Figura 6: Frequência de Operação por Tensão de CRT - Modelo *Worst Power*

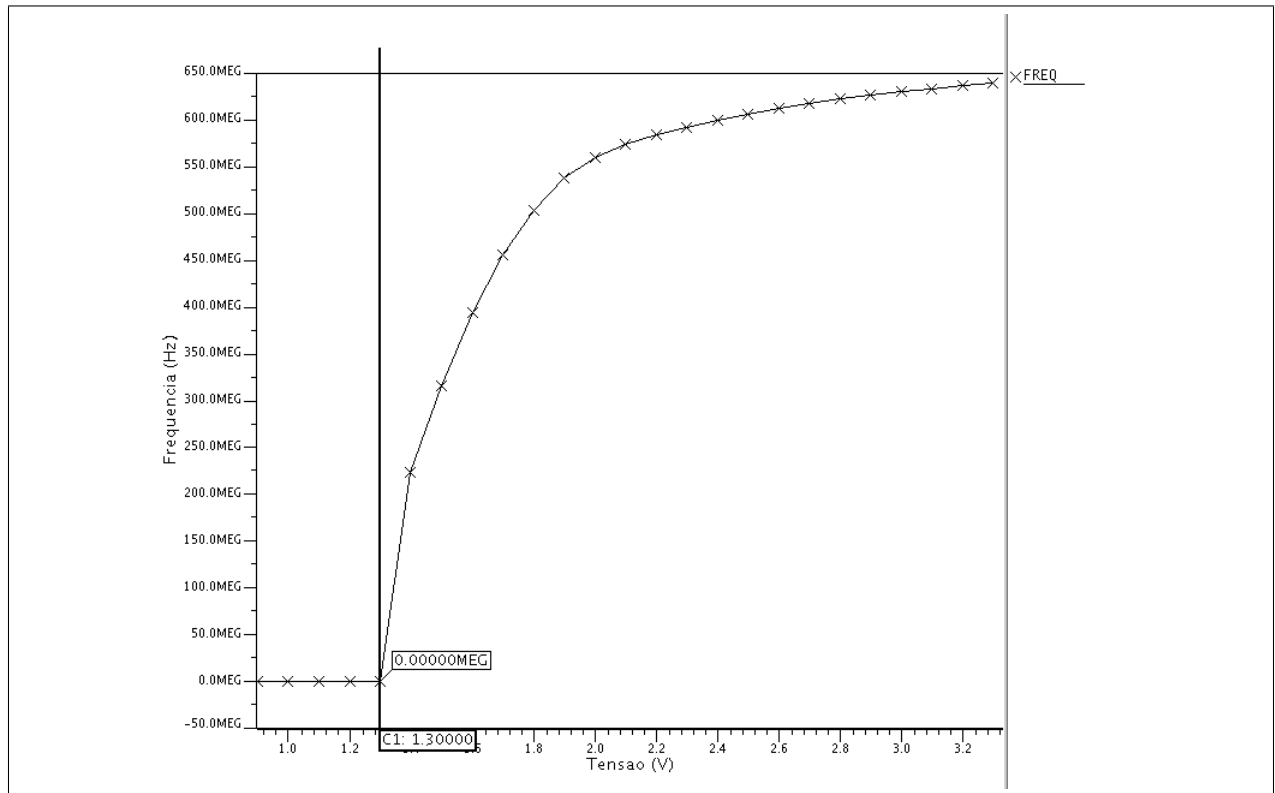


Figura 7: Frequência de Operação por Tensão de CRT - Modelo *Worst Speed*

Observando as saídas das simulações, pode-se ver que o oscilador pode cobrir, com certeza, frequências até 600 *Mhz*.

### Questão 6

Gere um arquivo GDSII (*File – export*) com o oscilador em anel feito. Tente lê-lo para verificar se foi gerado corretamente. Qual o tamanho deste arquivo?

O arquivo gerado tem 54,2 *KB*.