

PROJETO 8

Projeto de Circuitos Integrados Digitais (nov/2014)

Neste trabalho será projetado um relógio especificado. No projeto serão aplicados os recursos aprendidos ao longo do ano, entre estes o uso de VHDL, simulação lógica com MODELSIM, síntese, geração automática de *layout*, verificações com DRC e LVS, extração, simulação com ELDO e avaliação de consumo. Por fim, será analisado tempo de vida de uma bateria alimentando o circuito implementado.

1. Considere que é fornecido um sinal de *clock* na frequência de 32,768 kHz (onda quadrada). Com este sinal projete um circuito que tenha as seguintes características:





sinais de entrada: **clk**, **modo** e **ajuste**;

sinais de saída: **m₀ ... m₅** e **H₀ ... H₃**.




O circuito funciona como um relógio onde os minutos são codificados, binariamente, em **m₀ ... m₅** e as horas, codificadas, binariamente, em **H₀ ... H₃** (horas vai de 0 até 11). Os sinais **ajuste** e **modo** servem para indicar a operação do relógio conforme descrito abaixo;

- quando **ajuste** = “1” e **modo** = “0”, os minutos são incrementados a cada 0,5 segundo;
- quando **ajuste** = “1” e **modo** = “1”, as horas são incrementadas a cada 1 segundo;
- quando **ajuste** = “0”, o circuito opera como relógio.

O projeto envolve

-  fazer o esquemático: o esquemático deve ser gerado da forma que achar mais conveniente;
-  fazer o símbolo com indicação de onde esta o *layout*;
-  fazer simulações: as simulações devem verificar se as operações de relógio e de ajuste estão corretas. Deve ser tomado cuidado com o procedimento de testes pois, dado o tamanho do circuito, ele pode demorar muito. Assim, testes de blocos separados serão necessários;
-  fazer o *layout* com verificações de DRC e LVS.

Como características gerais, espera-se que:

-  seja um circuito pequeno;
-  tenha consumo reduzido;
-  os *ports* de entrada e saída estejam convenientemente colocados.

2. Apresente os esquemáticos do relógio completo e de seus blocos. Descreva sucintamente a função de cada bloco.

3. Quando uma célula de biblioteca tem mais de uma versão, por exemplo DF1 e DF3, escolha a versão mais apropriada para a aplicação. Justifique o critério aplicado na escolha.
4. Apresente os *layouts* dos blocos e do circuito final.
5. Descreva as simulações realizadas dizendo a função (serve para verificar o que?), quais são os sinais de comando e de entrada, tempo total que levou a simulação (tempo real) e o que foi observado como resultado (se for gráfico, acrescente o gráfico ao relatório).
6. Determine a área e estime a potência consumida pelo circuito completo.
7. Considere que o oscilador que gera o sinal de *clock* de 32,768 kHz consome uma corrente média de 10 μA . Para uma bateria de 1,0 Ah, por quanto tempo o relógio, circuito projetado mais oscilador, deverá operar (coloque em anos e dias, por exemplo, 4 anos e 36 dias)?
8. Considere que o sinal de *clock* da entrada apresente tempos de subida/descida de cerca de 30% do seu período. Nessa situação o circuito continua funcionando? Caso não, qual é a razão?
9. Se necessário arrume o problema encontrado no item 8. Com o sinal de relógio como acima, tempos de subida/descida de cerca de 30% do período, determine a nova potência consumida.