

PROJETO 7

Projeto de Circuitos Integrados Digitais (nov./2014)

O formato mais utilizados para arquivos com descrição de *layouts*, principalmente para o envio de circuitos para *foundries*, é o GDSII (**Graphic Data System II stream format**). Este formato pode ser lido ou gerado pelo *software* da Mentor Graphics. Considere o arquivo GDSII disponibilizado pelo professor, **soc.gds**.

1. Leia o circuito em GDSII (**File – import**). A estrutura faz parte de um *Gate Array* do tipo *Sea of Gates* (mar de portas). *Gate Arrays*, os avós dos FPGAs (*Field Programmable Gate Arrays*), são dispositivos onde há a pré-difusão de partes dos dispositivos. A configuração final de um circuito é realizada sobre a estrutura pré-difundida por meio de conexões de metal. No *Gate Array* apresentado temos as seguintes características:
 - todos os transistores já estão construídos e com dimensões fixas;
 - a configuração do circuito é feita através dos contatos, vias e metais que conectam um transistor ao outro;
 - o isolamento entre blocos de circuitos é feito com transistores: para isolar um conjunto de transistores P, conecta-se os transistores P das extremidades do conjunto à V_{DD} ; para isolar um conjunto de transistores N, conecta-se os transistores N das extremidades do conjunto à V_{SS} ;
 - a estrutura de transistores é repetida ao longo de todo C.I. Apenas nas bordas do circuito são colocados os *PADs* para alimentação, entradas e saídas (no circuito lido aparece apenas uma pequena porção do que seria o *Gate Array completo*).
2. *Análise a implementação carregada, determine qual é o circuito que está implementado e apresente seu esquemático (nível de transistores).
3. Passe o DRC para verificar quais erros há. Corrigir os possíveis problemas.
4. Observe que no circuito a posição dos possíveis contatos e vias é bem definida e homogeneamente espaçada. Agora apague todas estruturas que não fazem parte de *gate array* original (contatos, vias e metais) e determine onde podem estar potenciais contatos/vias; desenhe um quadrado de $0,1\ \mu\text{m} \times 0,1\ \mu\text{m}$, com o **layer text**, em torno do ponto central das posições onde podem ser colocados os contatos/vias (para isso utilize o comando edit-copy-relative). Estes quadrados servirão de referência para o desenho de novos circuitos.

5. Com o comando **context-setcel origin** altere a origem do desenho para um ponto que seja o ponto central de algum contato/via possível. Feito isso, se o *snap* for ajustado para, por exemplo, 0,5 μm , pode-se facilmente achar os pontos onde são permitidos contatos/vias.
6. *Qual é a largura máxima das linhas que podem ser usadas nas conexões e que não atrapalhará conexões vizinhas?
7. *Salve a estrutura com um nome diferente. Nela desenhe um oscilador em anel com **5 NANDs** de duas entradas (aumente o *gate array*, tanto na vertical como na horizontal para conseguir isso). Utilize apenas uma das entradas do **NAND** para o oscilador. A outra, **aquela ligada ao transistor mais próximo ao terra**, conecte a um porte de entrada chamado **CRT**. Verifique erros e apresente o *layout* obtido.
8. *Extraia o *netlist* do circuito e por simulação determine o período de oscilação e os **atrasos médios na propagação para subida** (*low-to-high*) e para **descida** (*high-to-low*) de uma porta **NAND** (mantenha o sinal **CRT = 3,3 V**). Qual a relação entre essas grandezas? Apresente o arquivo de simulação e os sinais vistos no ezwave.
9. ***Varie CRT de 0,9 V a 3,3 V** (passos de 0,1 V) e determine a frequência de oscilação para cada valor de CRT (modelo típico). Trace o gráfico **Freq. de Oscilação versus CRT**. Caso se deseje utilizar o circuito como um **VCO** (*Voltage-Controlled Oscillator*), qual a faixa de frequências que ele com certeza pode cobrir (considere os três modelos aqui, típico, *worstspeed* e *worstpower*)?
9. *Gere um arquivo GDSII (**File – export**) com o oscilador em anel feito. Tente lê-lo para verificar se foi gerado corretamente. Qual o tamanho deste arquivo?