

UNIVERSIDADE DE SÃO PAULO

Escola de Engenharia de São Carlos
SEL0621 - Projetos de Circuitos Integrados Digitais I
Prof. Dr. João Pereira do Carmo

Projeto 9

Davi Diório Mendes	7546989
Nivaldo Henrique Bondança	7143909



14 de outubro de 2014

Lista de Figuras

1	Prescaler 32/33	p. 5
2	Esquemático do circuito <i>prescaler</i> 32/33	p. 6
3	<i>Layout</i> do circuito <i>prescaler</i> 32/33	p. 7
4	Circuito utilizando o <i>prescaler</i>	p. 7
5	<i>Layout</i> do circuito utilizando <i>prescaler</i> 32/33	p. 8
6	Circuito utilizando Prescalers e transistor.	p. 9
7	<i>Layout</i> do circuito utilizando <i>prescaler</i> 32/33	p. 10
8	Relação entre frequência de <i>clock</i> e de saída. Típico, SM = "1", esquemático.	p. 11
9	Relação entre frequência de <i>clock</i> e de saída. Típico, SM = "0", esquemático.	p. 11
10	Relação entre frequência de <i>clock</i> e de saída. <i>Worstspeed</i> , SM = "1", esquemático.	p. 11
11	Relação entre frequência de <i>clock</i> e de saída. <i>Worstspeed</i> , SM = "0", esquemático.	p. 12
12	Relação entre frequência de <i>clock</i> e de saída. Típico, SM = "1", C + CC.	p. 12
13	Relação entre frequência de <i>clock</i> e de saída. Típico, SM = "0", C + CC.	p. 12
14	Relação entre frequência de <i>clock</i> e de saída. <i>Worstspeed</i> , SM = "1", C + CC.	p. 13
15	Relação entre frequência de <i>clock</i> e de saída. <i>Worstspeed</i> , SM = "0", C + CC.	p. 13

Lista de Tabelas

1	Máximas frequência de operação.	p. 14
---	---	-------

Códigos Fontes

Resumo

Neste projeto iremos repetir algumas etapas feitas anteriormente e será mostrado como fazer, de forma automática, o *floor planning* e o *placement* das células. Ainda sendo considerados e analisados os valores máximos de frequência de operação.

Questões

1. Considere o circuito da **Figura 1** (circuito prescaler).

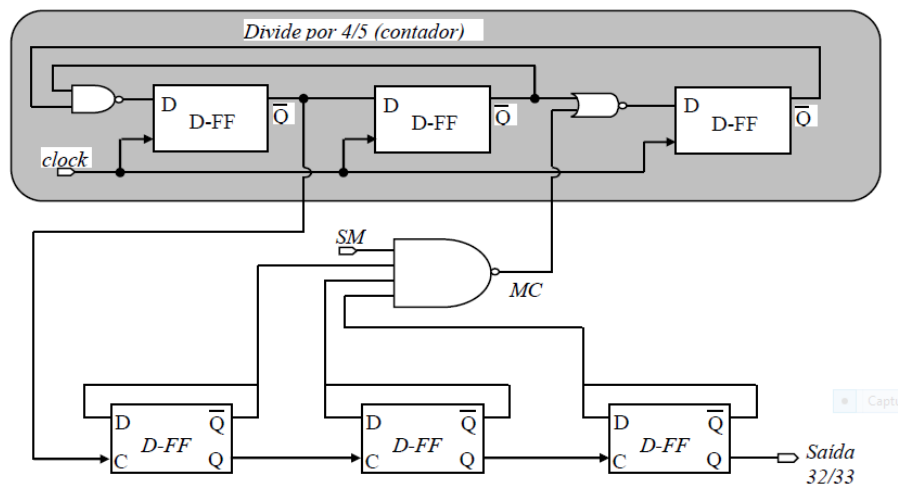


Figura 1: Prescaler 32/33

Desenhe o circuito completo do esquemático da **Figura 1** utilizando as células DF1, NAND23, NOR23 e NAND40. Como sinais de entrada ele deve ter o *clock* e *SM*; como sinal de saída, *saida32_33* (divide o *clock* por 32 ou 33).

O esquemático do circuito *prescaler* está representado na **Figura 2**.

2. Gere o símbolo para a célula e faça a verificação do esquemático e do símbolo. Certifique-se de que não haja erros ou mesmo *warnings*.

3. Gere o *layout* do circuito a partir do *SDL* (utilize o *designviewpoint* e não o *schematic*) Para isto:

- Coloque as células no *layout*;
- Realize o *autofloorplan* (**Place & Route - Autofp**);

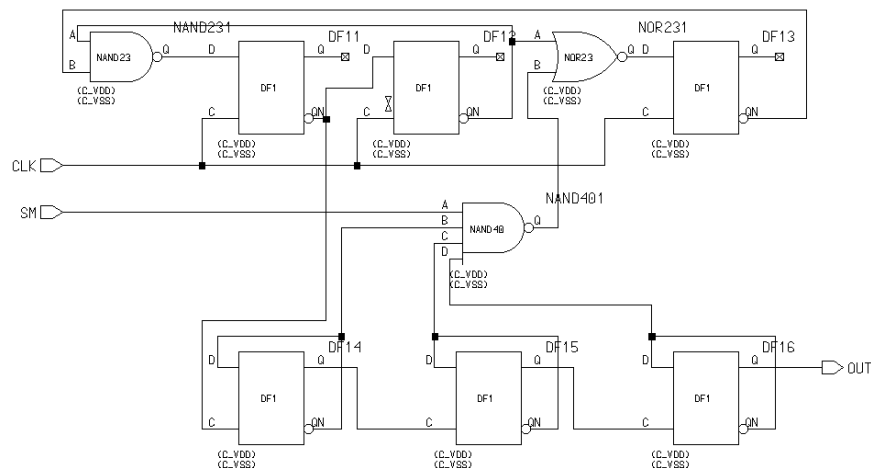


Figura 2: Esquemático do circuito *prescaler* 32/33

- c. Recoloque as células dentro das linhas de *floorplan* (**Place & Route - AutoPlace - Std-Cel**);
 - d. Apague as linhas que serviriam de guia para os *PADs* (as linhas mais externas);
 - e. Selecione todo o esquemático para garantir que todas as ligações no *layout* apareçam. Caso não isto seja feito, no momento do *routing*, várias ligações deixam de ser realizadas;
 - f. Para o *routing*, desabilite a utilização de polisilício (não deixe de fazer isto, pois, caso contrário, o poli será incorretamente usado);
 - g. Use o comando *routing* automático para fazer as ligações. Tome cuidado para que as linhas de *VDD* e *VSS* tenham $1,8\mu\text{m}$ de largura (use a opção **Route - ARoute NEt Classe**);
 - h. Para as ligações que não foram feitas, utilize o comando **Route - Aroute - Region - RIP** (neste caso algumas ligações são desfeitas e nova tentativa é realizada);
 - i. Verifique que todas as ligação foram realizadas através do comando **Route - Routing Results - SOvrf**.
4. Verifique se as ligações foram bem feitas (principalmente dos sinais de *VDD* e *VSS*). Refaça aquelas que não estiverem boas. Coloque os *ports* no *layout*, conecte-os e coloque os *labels*.
5. Passe o *DRC* no circuito não deixando nenhum erro.

6. Faça o LVS entre o *layout* e o esquemático. Só devem ocorrer *warnings*. Inclua no relatório o *layout* feito e corrigido.

O *layout* do circuito está representado na **Figura 3**.

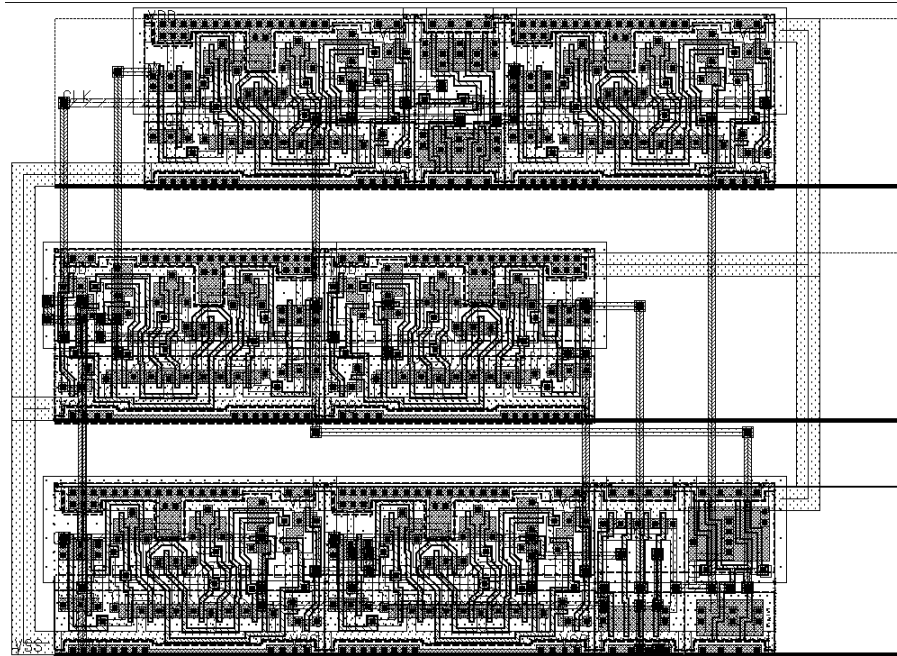


Figura 3: *Layout* do circuito *prescaler* 32/33

7. Considere o circuito da **Figura 4** (não tem função alguma, servindo apenas para ilustração). Desenhe o esquemático desse circuito utilizando a célula NAND23 e o *prescaler* anterior (faça as devidas checagens).

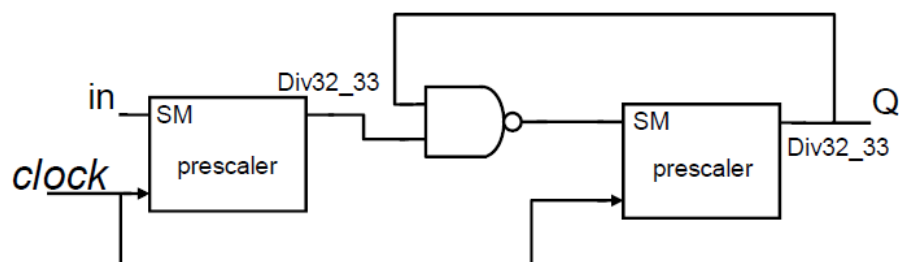


Figura 4: Circuito utilizando o *prescaler*.

8. Gere o *layout* a partir do esquemático. Para isto não se esqueça de acrescentar ao símbolo do *prescaler* a propriedade *phy_comp* e como seu valor a localização do *layout*.

9. Termine as conexões, adicione *ports*, faça o DRC e o LVS. Inclua no relatório o *layout* feito.

O *layout* do circuito está representado na **Figura 5**.

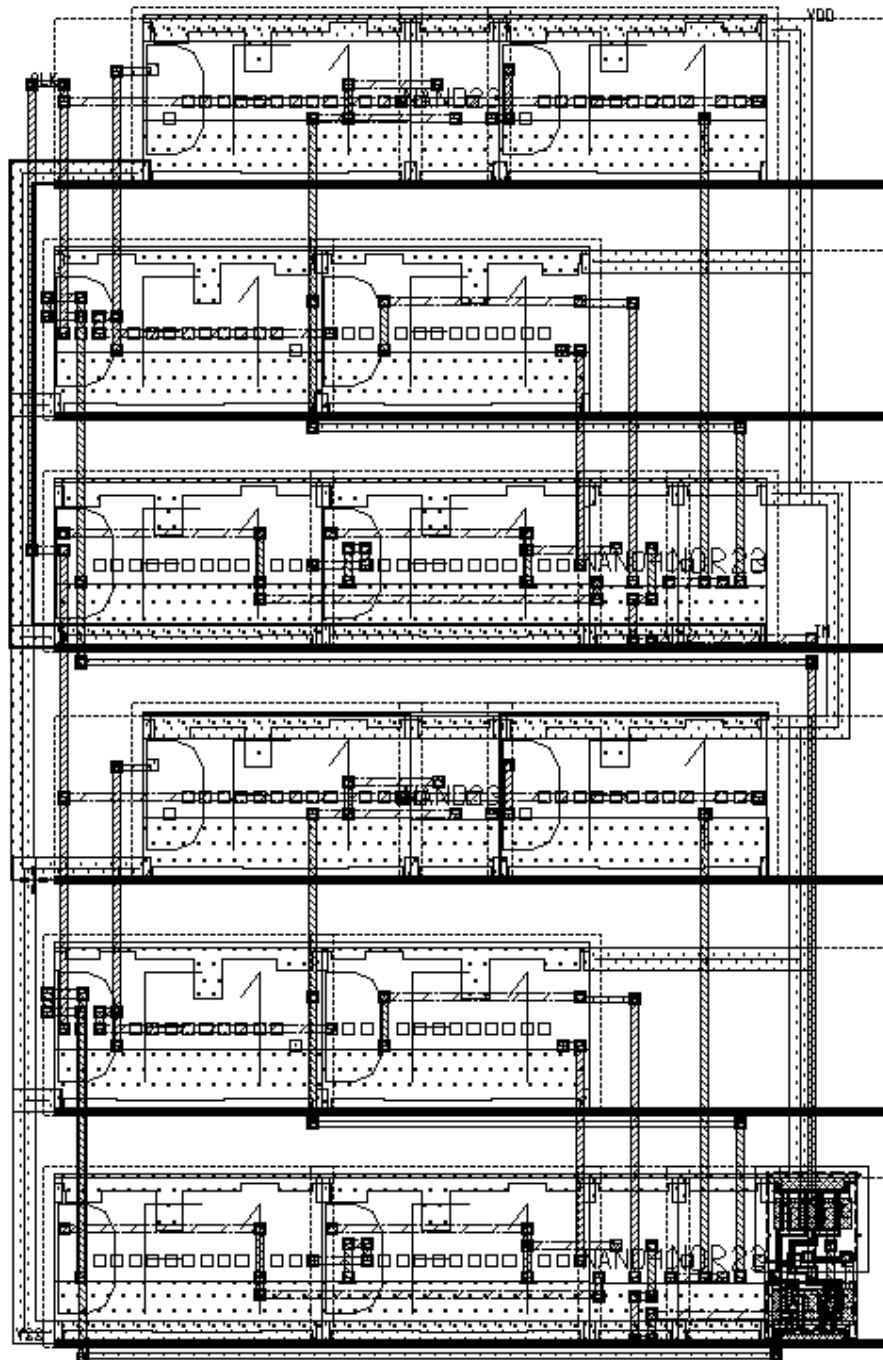


Figura 5: *Layout* do circuito utilizando *prescaler* 32/33

10. Modifique o circuito adicionando um transistor na saída como indicado na **Figura 6**. Novamente gere o *layout*, adicione *ports*, faça o *DRC* e o *LVS*. Quais são os valores da saída quando o gate do transistor está "Alto" e quando está "Baixo". Inclua no relatório o *layout* feito.

O novo *layout* do circuito está representado na **Figura 7**.

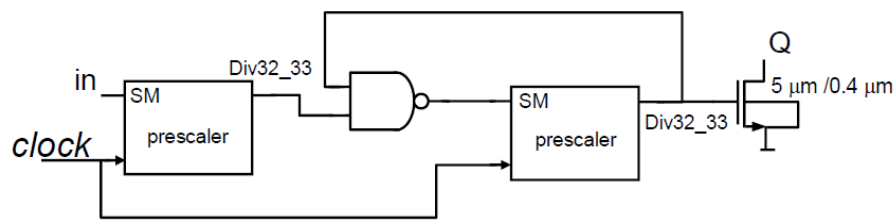


Figura 6: Circuito utilizando Prescalers e transistor.

11. Voltando ao circuito da **Figura 1**, extrair a partir do esquemático o *netlist* e determinar a máxima velocidade para os modelos típico e *worstspeed* (o circuito deve dividir o *clock* por 32, para SM = "0", ou por 33, para SM = "1"). Use o comando *measure*, compare as frequências obtidas nos dois modelos e comente os resultados.

Analizando os resultados representados na **Tabela 1** e nos gráficos em **Figura 8**, **Figura 9**, **Figura 10** e **Figura 11**, percebe-se que existe um limiar na frequência onde o circuito passa a se comportar de maneira indesejada. Sem contar que no modelo *worstspeed* o circuito tem uma grande diminuição em sua frequência máxima de operação, como esperado.

12. A partir do *layout* do circuito da **Figura 1**, extrair o circuito para simulação com apenas capacitores. Determinar a máxima velocidade do circuito para o modelo típico e para o modelo *worstspeed*.

Os resultados estão representados na **Tabela 1**, obtidos nos gráficos da **Figura 12**, **Figura 13**, **Figura 14** e **Figura 15**.

13. Extrair agora o circuito para simulação com capacitores e resistores. Determinar a máxima velocidade do circuito para o modelo típico e para o modelo *worstspeed*.

Os resultados estão representados na **Tabela 1**.

14. A partir do *datasheet* dos blocos que compõe o *prescaler* estime o máximo *clock* que o circuito poderia suportar.

Ao analisar o circuito do *prescaler*, é possível notar que existem dois possíveis caminhos críticos, considerando apenas as partes que dependem do *clock*, que são os representados pelas seguintes equações:

$$t_{min_1} = t_{set-up} + t_{NAND} + t_{FF} \quad (1)$$

$$t_{min_2} = t_{set-up} + t_{NOR} + t_{FF} \quad (2)$$

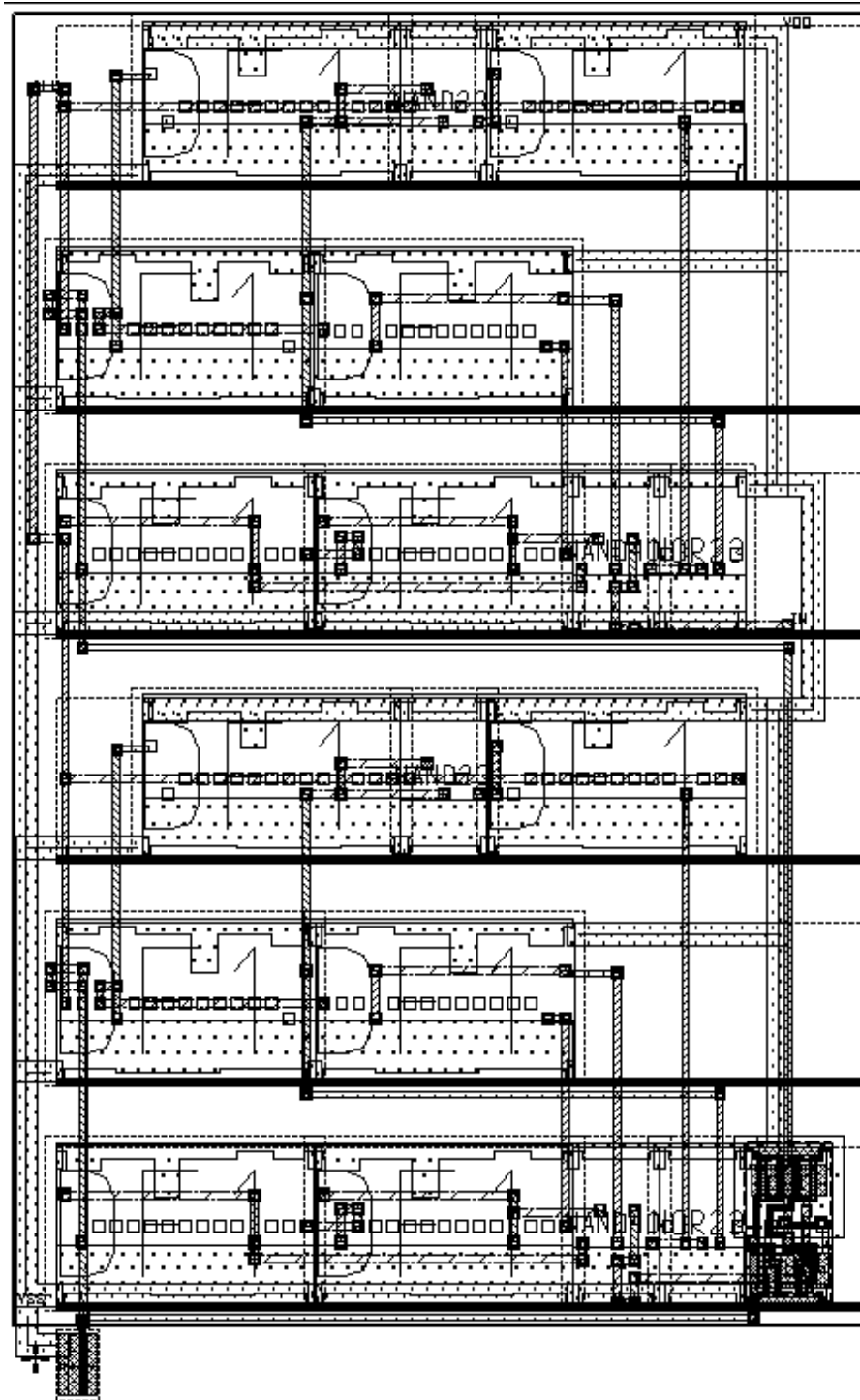


Figura 7: *Layout* do circuito utilizando *prescaler* 32/33

Por analisar as configurações dos componentes, sabe-se que a capacitância de carga dos elementos são $C_{NAND} = 20fF$, $C_{NOR} = 21fF$ e $C_{FF} = 5fF$. Utilizando aproximação linear, em conjunção as informações fornecidas pelo documento que contém informações sobre as células,

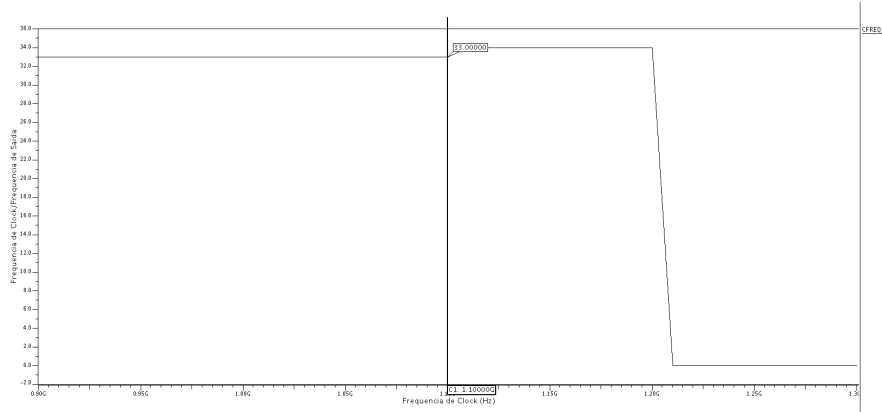


Figura 8: Relação entre frequência de *clock* e de saída. Típico, SM = "1", esquemático.

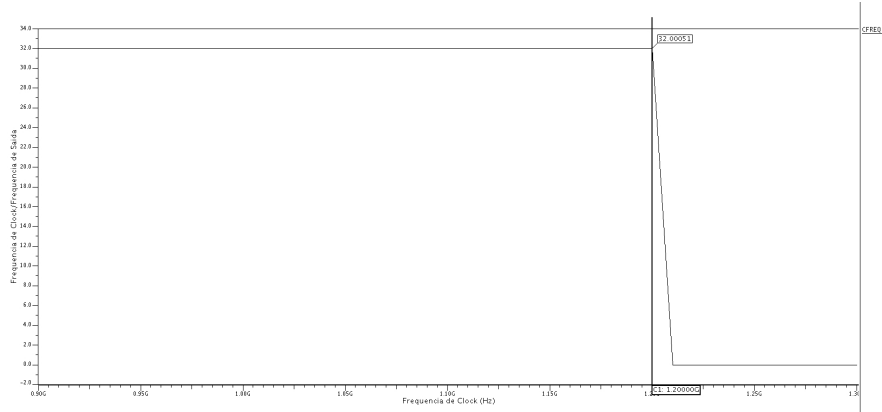


Figura 9: Relação entre frequência de *clock* e de saída. Típico, SM = "0", esquemático.

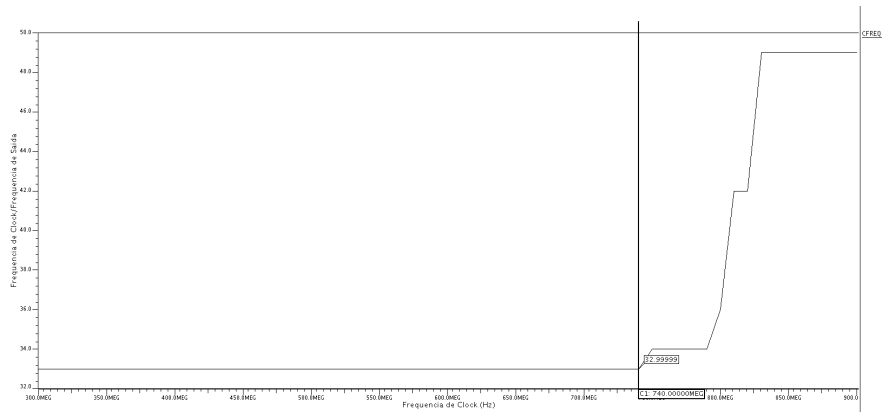


Figura 10: Relação entre frequência de *clock* e de saída. *Worst speed*, SM = "1", esquemático.

pode-se definir $t_{set-up} = 0ns$, $t_{FF} = 0,706ns$, $t_{NOR} = 0,073ns$ e $t_{NAND} = 0,043ns$.

$$\frac{2,14 - 0,50}{320 - 1} = \frac{t_{FF} - 0,50}{41 - 1} \quad (3)$$

$$\frac{1,60 - 0,07}{960 - 3} = \frac{t_{NOR} - 0,07}{5 - 3} \quad (4)$$

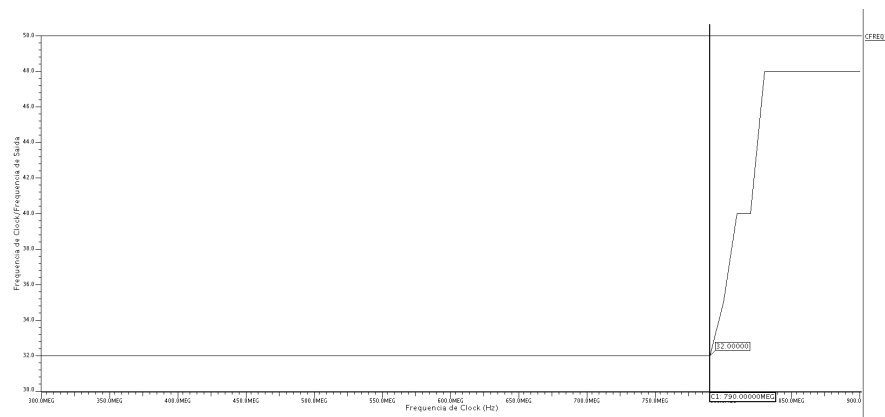


Figura 11: Relação entre frequência de *clock* e de saída. *Worst speed*, SM = "0", esquemático.

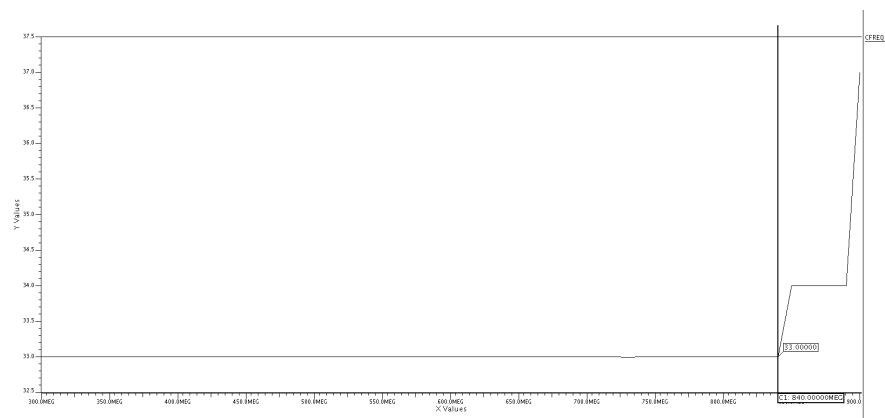


Figura 12: Relação entre frequência de *clock* e de saída. Típico, SM = "1", C + CC.

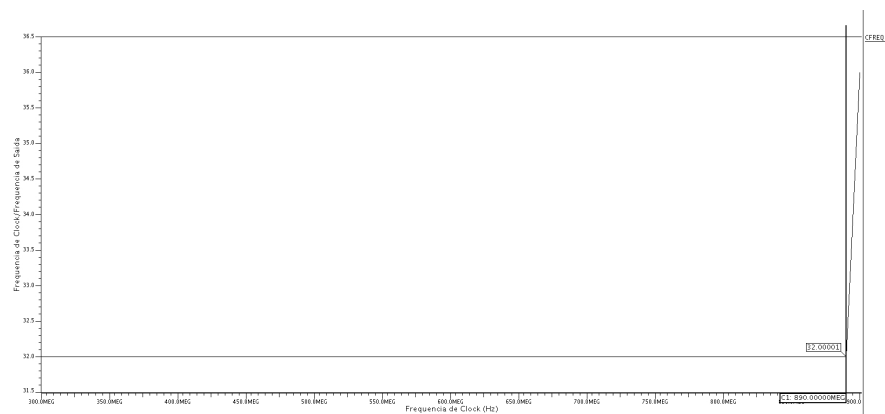


Figura 13: Relação entre frequência de *clock* e de saída. Típico, SM = "0", C + CC.

$$\frac{1,67 - 0,04}{960 - 3} = \frac{t_{NAND} - 0,04}{5 - 3} \quad (5)$$

$$t_{min} = \max(t_{min_1}, t_{min_2}) \quad (6)$$

Assim sendo, $t_{min} = 0,779ns$ o que implica uma frequência máxima de *clock* de $1,28GHz$.

15. Monte uma tabela com os resultados obtidos nos exercícios 11, 12, 13 e 14. Compare e

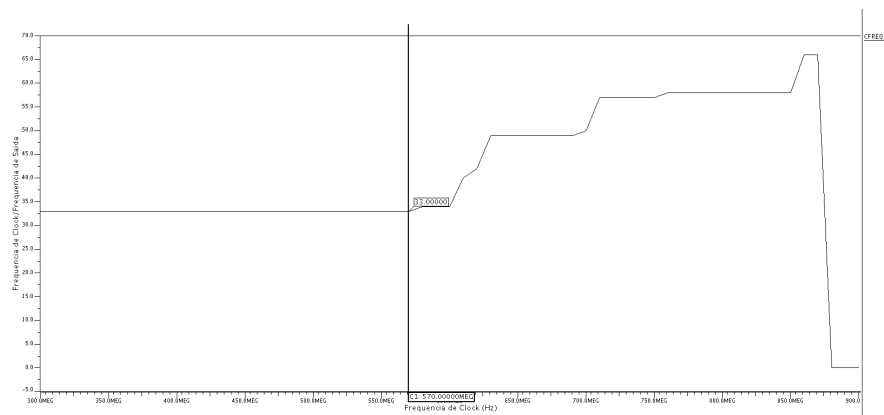


Figura 14: Relação entre frequência de *clock* e de saída. *WorstSpeed*, SM = "1", C + CC.

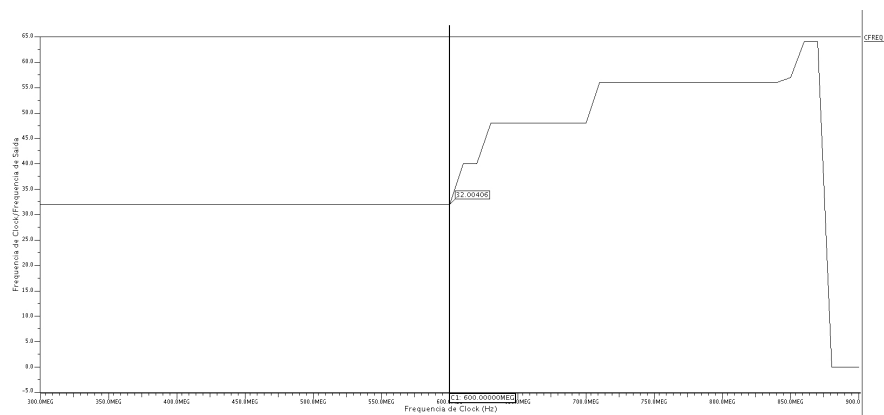


Figura 15: Relação entre frequência de *clock* e de saída. *WorstSpeed*, SM = "0", C + CC.

comente os resultados.

Os resultados dos exercícios 11, 12, 13 e 14 estão representados na **Tabela 1**. Após uma análise dos dados, percebe-se que há uma grande diferença entre os valores calculados no modelo típico e os calculados no modelo *worstSpeed*, o que é bastante esperado. Nos modelos mais complexos a frequência de operação diminui. Isto ocorre devido a serem consideradas as cargas parasitas do circuito (C+CC e R+C+CC).

Obs. Endereço com informações sobre células
 /local/tools/dkit/ams_3.70_mgc/www/index.html
 (Standar Cell DataSheet - C35 - Core Cells).

Tabela 1: Máximas frequência de operação.

Modelo	Frequência (MHz) - Típico	Frequência (MHz) - <i>worstspeed</i>
<i>datasheet</i>	1.280	1.280
Esquemático (SM = "1")	1.100	740
Esquemático (SM = "0")	1.200	790
C + CC (SM = "1")	840	570
C + CC (SM = "0")	890	600
R + C + CC (SM = "1")	810	560
R + C + CC (SM = "0")	855	580