

UNIVERSIDADE DE SÃO PAULO

ESCOLA DE ENGENHARIA DE SÃO CARLOS

PROJETO DE CIRCUITOS INTEGRADOS ANALÓGICOS -
SEL0618

Projeto 9

Aluno: Lucas A. M. Magalhães

Número USP: 7173347

Aluno: Luiz H. G. Patire

Número USP: 7126667

11 de agosto de 2014

Sumário

Relatório	2
Questão 1	2
Questão 2	3
Questão 3	4
Questão 4	5
Questão 5	5
Questão 6	6
Questão 7	7
Questão 8	9

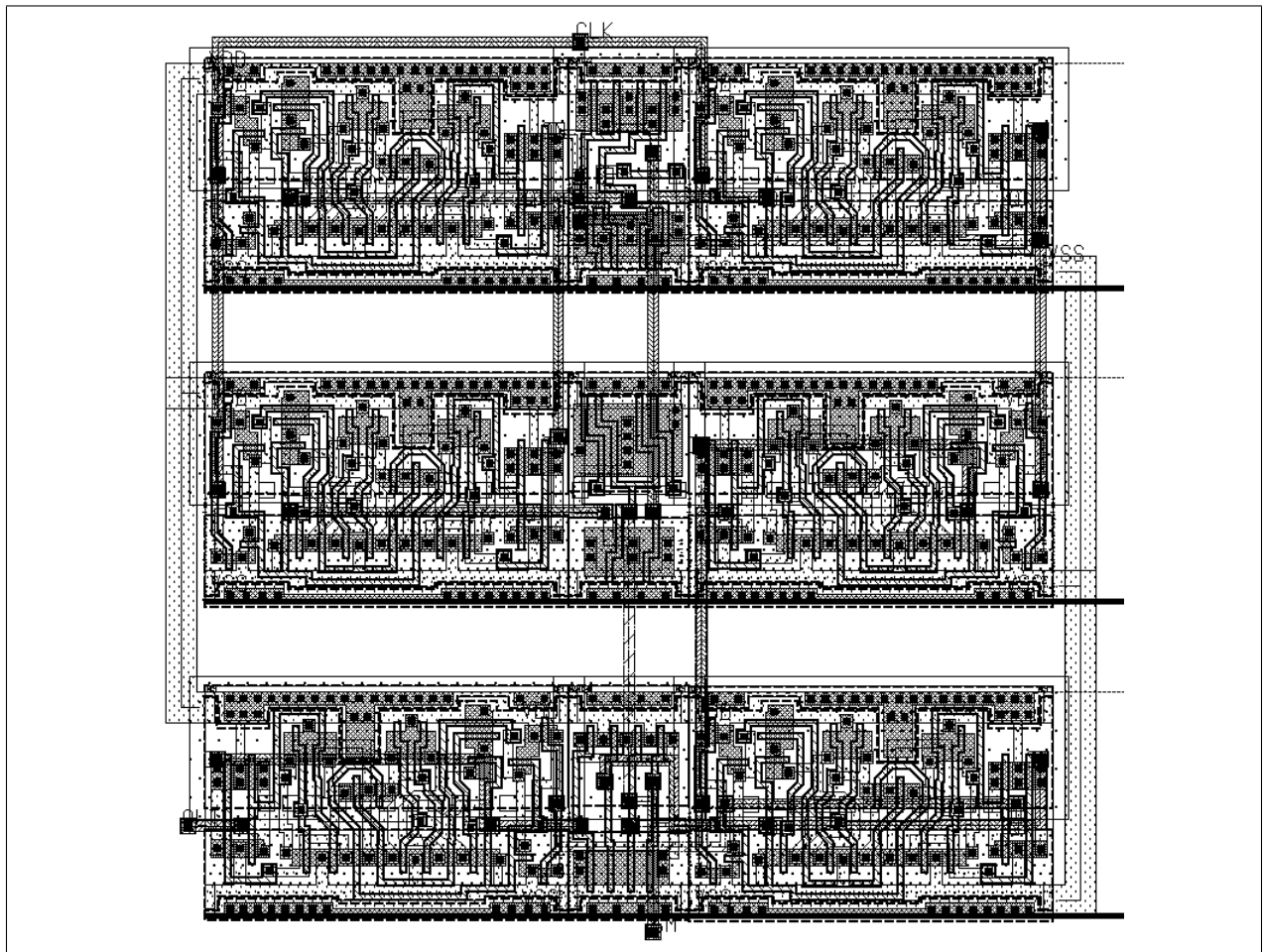


Figura 3: *Layout* do circuito *Prescaler 32/33*.

Questão 3

Considere o circuito da **Figura 4** (não tem função alguma, servindo apenas para ilustração). Desenhe o esquemático desse circuito utilizando a célula **NAND23** e o prescaler anterior (faça as devidas checagens).

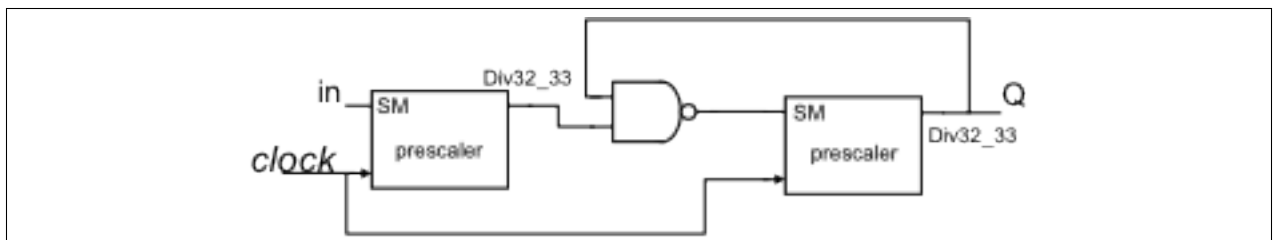


Figura 4: Circuito utilizando o *Prescaler*.

O esquemático do circuito é apresentado na Figura 5 .

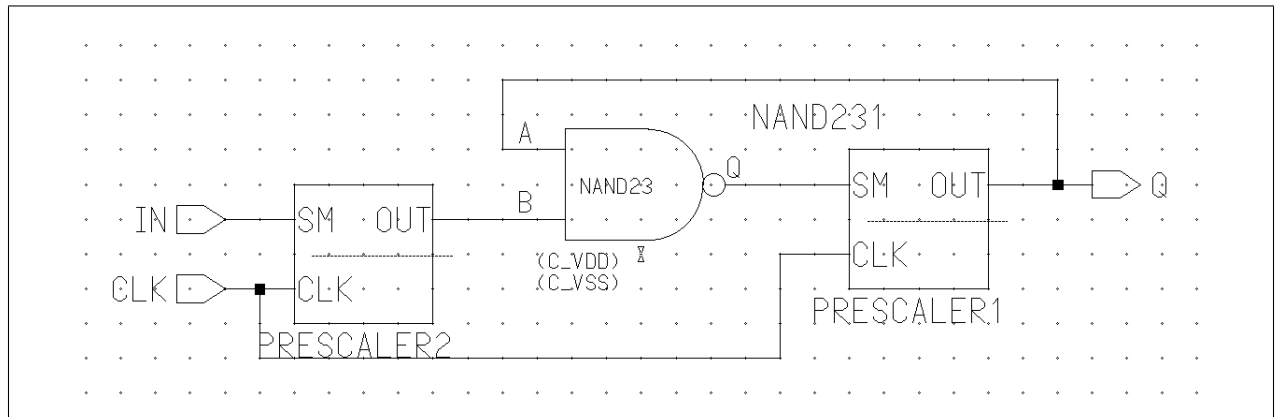


Figura 5: Esquemático do circuito utilizado *Prescaler*, feito no ICStúdio

Questão 4

Termine as conexões, adicione *ports*, faça o **DRC** e o **LVS**. Inclua no relatório o *layout* feito.

O *layout* do circuito da Figura 4 é apresentado na Figura 6.

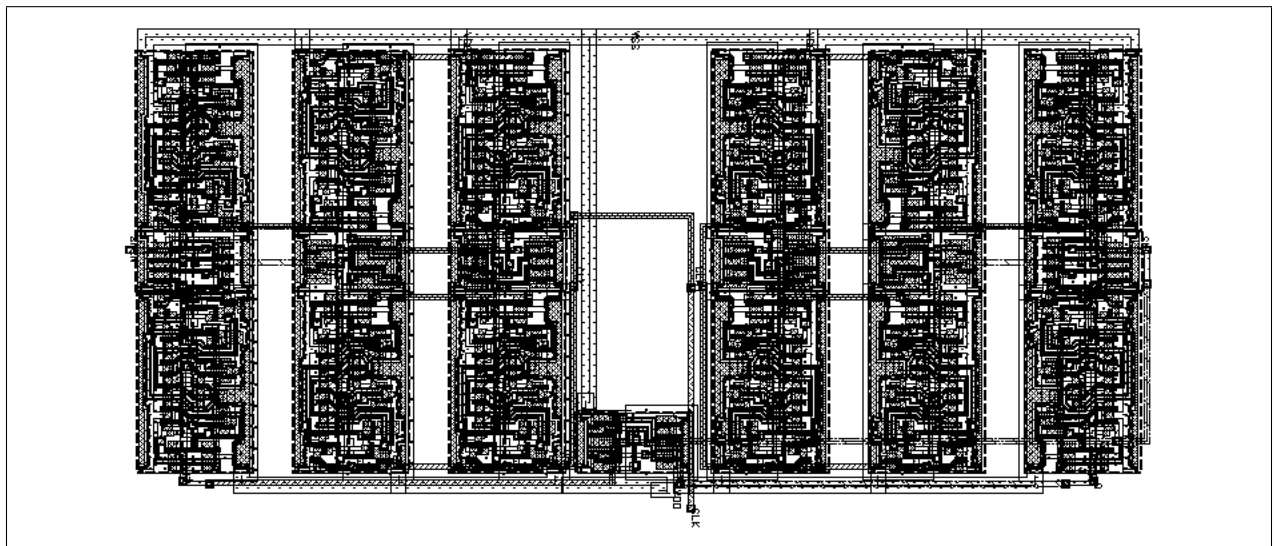


Figura 6: *Layout* do circuito utilizado *Prescaler*, feito no ICStúdio

Questão 5

Modifique o circuito adicionando um transistor na saída como indicado na **Figura 7**. Novamente gere o *layout*, adicione *ports*, faça o **DRC** e o **LVS**. Quais são os valores da saída quando o *gate* do transistor está “Alto” e quando está “Baixo”. Inclua no relatório o *layout* feito.

O *layout* do circuito da Figura 7 é apresentado na Figura 8.

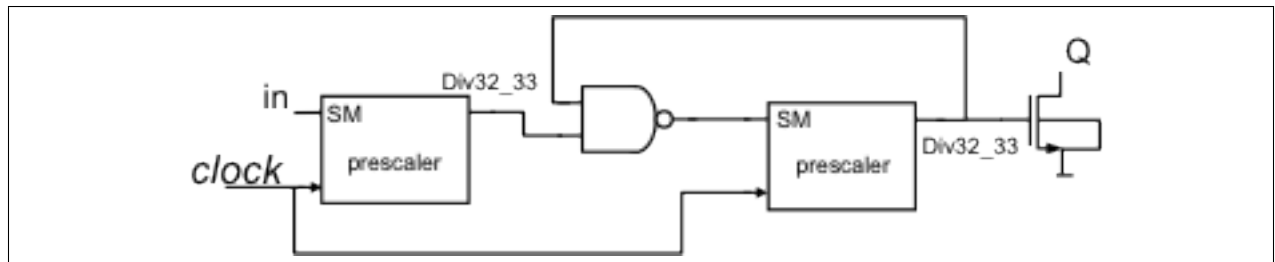


Figura 7: Circuito utilizando *Prescalers* e transistor.

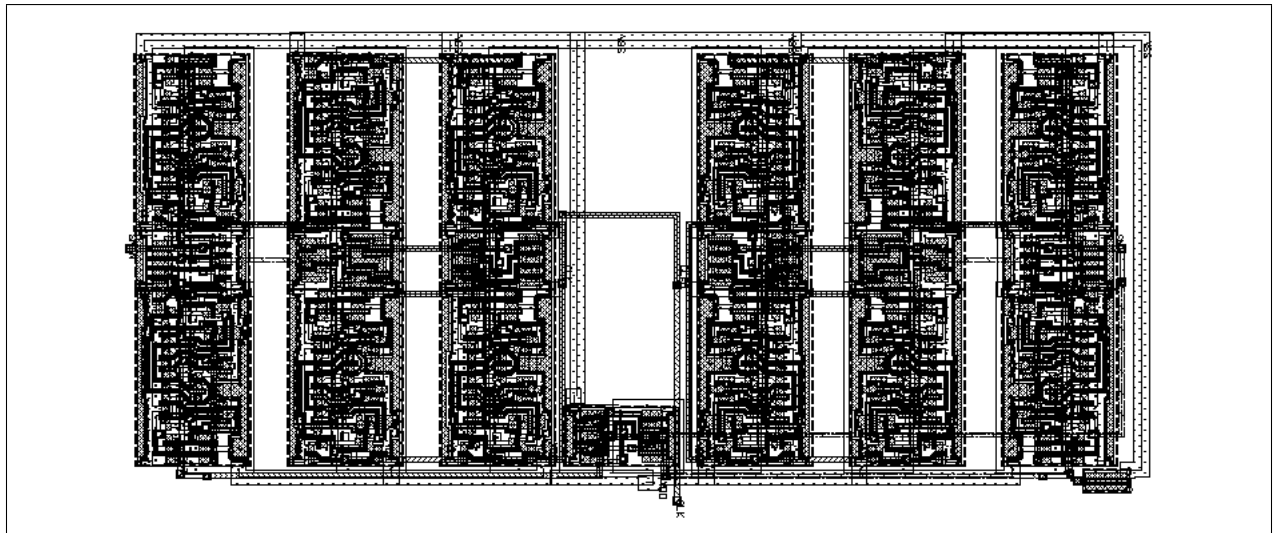


Figura 8: *Layout* do Circuito com Transistor na Saída.

A adição de um transistor na saída do circuito modifica os estados de saída que o circuito gera. Quando o sinal de gate do transistor está em "Alto", o circuito joga 0V na saída; quando o gate está em "Baixo", o circuito gera um estado de alta impedância na saída (Z).

Questão 6

Voltando ao circuito da **Figura 1**, extrair a partir do esquemático o *netlist* e determinar a máxima velocidade para os modelos **típico** e **worstspeed** (o circuito deve dividir o *clock* por 32, para SM = "0", ou por 33, para SM = "1"). Use o comando *measure*, compare as frequências obtidas nos dois modelos e comente os resultados.

Para encontrar a máxima frequência do circuito foram utilizados os comandos de simulação mostrados no *Listing 1*.

Listing 1: "Simulação para a máxima frequência"

```
1 .param f = 500MEG , T='1/f' , ts='0.01*T' , td = ts
VSM SM 0 0V
```

```

VD VDD 0 3V
VS VSS 0 0V
6 VCLK CLK 0 PULSE( 0 3V 0 ts td '0.5*T-0.5*ts-0.5*td' T )

.tran 0 300n 0 100p SWEEP f 1G 1.4G 10MEG
.meas tran periodo TRIG V(OUT) val=1.5 fall=3 targ V(OUT) val=1.5 fall=4
.meas tran outFreq PARAM='1/periodo'
11 .meas tran rel PARAM='f/outFreq'

.probe tran V(CLK) V(OUT)

```

Assim, ao avaliarmos o gráfico apresentado na Figura 9, que mostra a relação entre a frequência da onda de entrada (f) pela frequência da onda de saída ($outFreq$), vemos que para frequências acima de $1.14GHz$ o circuito para de funcionar dividindo a frequência de entrada por valores maiores.

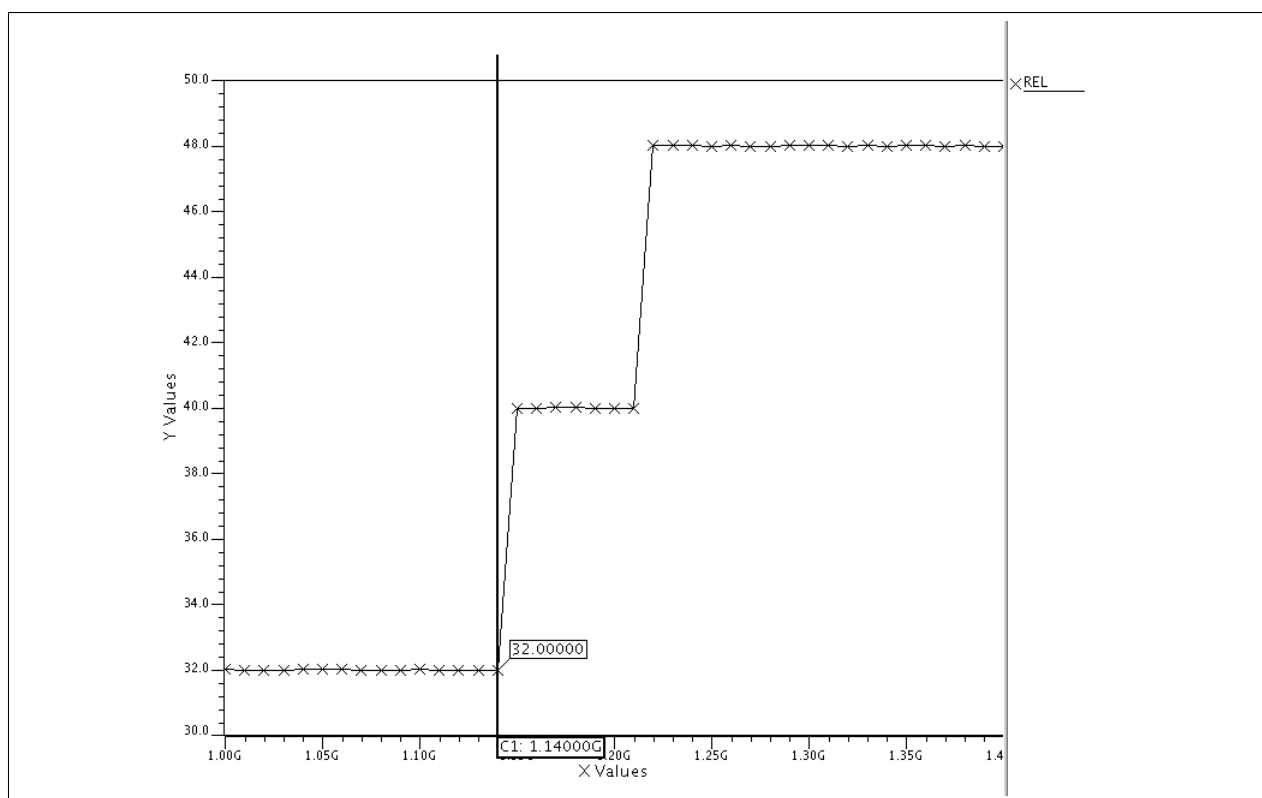


Figura 9: *Layout* do Circuito com Transistor na Saída.

Para encontrar os valores de máxima frequência dos exercícios 12 e 13 da prática, a mesma técnica foi utilizada. No entanto, foram usadas as respectivas entradas de SM , para fazer o divisor por 33 ou 32. Além disso, foram respeitadas as extrações necessárias de cada questão. A tabela 3 mostra os resultados de máxima frequência para todos os casos.

Questão 7

A partir do *datasheet* dos blocos que compõe o prescaler estime o máximo *clock* que o circuito poderia suportar.

O circuito *Prescaler* é composto por basicamente uma parte síncrona e uma assíncrona. A parte assíncrona do circuito não irá influenciar significativamente no clock do circuito isso porque o valor de MC é usado no próximo clock o que dá tempo suficiente do sinal da parte síncrona ser propagado na porta *NOR*. A parte síncrona do circuito é basicamente um circuito divisor 4/5, nele existem quatro caminhos críticos para o cálculo do *Clock*. Eles estão indicados pelos números de 1 a 4 na Figura 10:

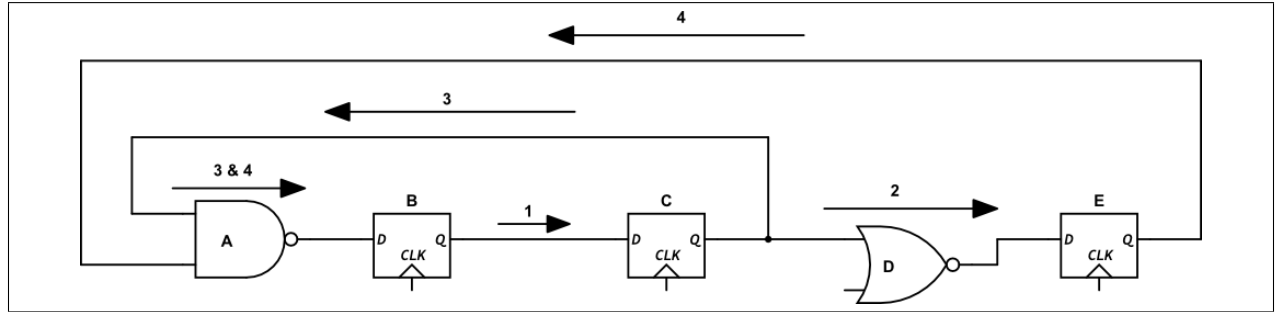


Figura 10: Divisor 4/5 - Sinais Críticos e Componentes

Os tempos totais de cada caminho estão representados nas equações de 1 a 4, nas quais t_{DX} é o tempo de *delay* do componente X do circuito:

$$T_1 = t_{DB} \quad (1)$$

$$T_2 = t_{DC} + t_{DD} \quad (2)$$

$$T_3 = t_{DC} + t_{DA} \quad (3)$$

$$T_4 = t_{DE} + t_{DA} \quad (4)$$

Os tempos de *delay* de cada componente é calculado utilizando os dados presentes na ficha técnica de cada bloco do circuito (que permitem encontrar a relação linear entre a carga de saída e o atraso do bloco) e a carga de saída resultante de cada bloco. Os valores encontrados para cada bloco se encontra na Tabela 1.

Tabela 1: Tempo de Atraso de Cada Bloco do Circuito

Bloco	Carga	Atraso
A	0,005 pF	0,083 ns
B	0,005 pF	0,680 ns
C	0,041 pF	0,864 ns
D	0,005 pF	0,073 ns
D	0,020 pF	0,757 ns

Os tempos resultantes de cada caminho se encontra na Tabela 2:

Tabela 2: Tempo de Atraso de Cada Caminho

Caminho	Atraso Total
1	0,680 ns
2	0,937 ns
3	0,947 ns
4	0,840 ns

Como o caminho com o maior atraso total é o caminho 3, com um atraso de 0,947 ns, ele assume posição como limitante do *clock* do sistema inteiro. Assim, o valor máximo do *clock* é de 1,05 GHz.

Questão 8

Monte uma tabela com os resultados obtidos nos exercícios 11, 12, 13 e 14. **Compare e comente** os resultados.

Tabela 3: Máxima frequência do circuito para várias simulações diferentes

Fonte	Modelo	Divisor	Máxima Frequência
Netlist	Típico	32	1,14 GHz
		33	1,05 GHz
	Worst Speed	32	760 MHz
		33	700 MHz
C+CC	Típico	32	890 MHz
		33	840 MHz
	Worst Speed	32	600 MHz
		33	580 MHz
R+C+CC	Típico	32	820 MHz
		33	790 MHz
	Worst Speed	32	560 MHz
		33	540 MHz
Teórico	-	32	1,05 GHz
		33	1,05 GHz

Pelos resultados presentes na Tabela 3, pode-se observar que as frequências calculas pelo *Netlist* se aproximam do cálculo teórico, e apresentam valores maiores do que as outras simulações.

As outras simulações (C+CC e R+C+CC) apresentam valores significativamente menores do que o cálculo pelo *Netlist*. Isso acontece devido ao fato dessas simulações levarem em consideração componentes parasitas presentes no circuito, o que diminui as velocidades de operação. Quanto mais elementos forem considerados, pior os resultados da simulação.

Em todas as simulações realizadas, a utilização do modelo *Worst Speed* reduz as frequências em cerca de 300 *MHz*, fato condizente com a propsta do modelo.