

UNIVERSIDADE DE SÃO PAULO

Escola de Engenharia de São Carlos
SEL0621 - Projetos de Circuitos Integrados Digitais I
Prof. Dr. João Pereira do Carmo

Projeto 12

Davi Diório Mendes	7546989
Nivaldo Henrique Bondança	7143909



21 de novembro de 2014

Lista de Figuras

1	Esquemático do circuito <i>Latch</i>	p. 6
2	<i>Layout</i> do oscilador em anel	p. 7
3	Frequência de oscilação versus CRT, modelo típico	p. 8
4	Frequência de oscilação versus CRT, modelo <i>worstspeed</i>	p. 8
5	Frequência de oscilação versus CRT, modelo <i>worstpower</i>	p. 8

Lista de Tabelas

Códigos Fontes

1	Arquivo de simulação	p. 7
---	--	------

Introdução

O formato mais utilizados para arquivos com descrição de *layouts*, principalmente para o envio de circuitos para *foundries*, é o GDSII (**Graphic Data System II stream format**). Este formato pode ser lido ou gerado pelo software da Mentor Graphics. Considere o arquivo GDSII disponibilizado pelo professor, **soc.gds**.

1. Leia o circuito em GDSII (**File – import**). A estrutura faz parte de um *Gate Array* do tipo *Sea of Gates* (mar de portas). *Gate Arrays*, os avós dos FPGAs (*Field Programmable Gate Arrays*), são dispositivos onde há a pré-difusão de partes dos dispositivos. A configuração final de um circuito é realizada sobre a estrutura pré-difundida por meio de conexões de metal. No *Gate Array* apresentado temos as seguintes características:

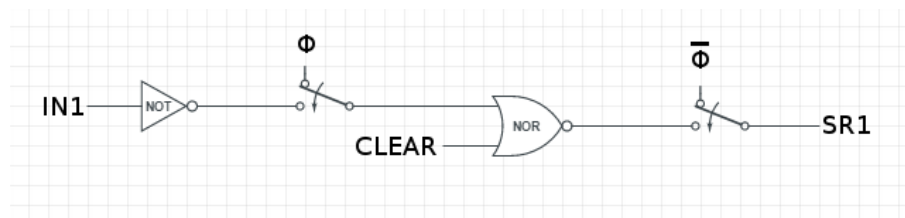
- todos os transistores já estão construídos e com dimensões fixas;
- a configuração do circuito é feita através dos contatos, vias e metais que conectam um transistor ao outro;
- o isolamento entre blocos de circuitos é feito com transistores: para isolar um conjunto de transistores P, conecta-se os transistores P das extremidades do conjunto à V_{DD} ; para isolar um conjunto de transistores N, conecta-se os transistores N das extremidades do conjunto à V_{SS} ;
- a estrutura de transistores é repetida ao longo de todo C.I. Apenas nas bordas do circuito são colocados os *PADs* para alimentação, entradas e saídas (no circuito lido aparece apenas uma pequena porção do que seria o *Gate Array* completo).

2. *Análise a implementação carregada, determine qual é o circuito que está implementado e apresente seu esquemático (nível de transistores).

O esquemático está representado na **Figura 1**. Este esquemático representa um circuito de um *Latch*, que funciona para baixas frequências, isso porque o valor da saída do circuito fica armazenado nas capacitâncias parasitas da chave. É um circuito útil por ser mais rápido e consumir menos energia que o *latch* convencional, pois utiliza menos elementos.

3. Passe o DRC para verificar quais erros há. Corrigir os possíveis problemas.

4. Observe que no circuito a posição dos possíveis contatos e vias é bem definida e homogeneamente espaçada. Agora apague todas estruturas que não fazem parte de *gate array* original

Figura 1: Esquemático do circuito *Latch*

(contatos, vias e metais) e determine onde podem estar potenciais contatos/vias; desenhe um quadrado de $0,1\mu m \times 0,1\mu m$, com o *layer text*, em torno do ponto central das posições onde podem ser colocados os contatos/vias (para isso utilize o comando *edit-copy-relative*). Estes quadrados servirão de referência para o desenho de novos circuitos.

5. Com o comando *context-setcel origin* altere a origem do desenho para um ponto que seja o ponto central de algum contato/via possível. Feito isso, se o *snap* for ajustado para, por exemplo, $0,5\mu m$, pode-se facilmente achar os pontos onde são permitidos contatos/vias.

6. *Qual é a largura máxima das linhas que podem ser usadas nas conexões e que não atrapalhará conexões vizinhas?

A largura máxima das linhas que podem ser usadas nas conexões é de $0,9\mu m$ com espaçamento de $0,6\mu m$.

7. *Salve a estrutura com um nome diferente. Nela desenhe um oscilador em anel com 5 NANDs de duas entradas (aumente o *gate array*, tanto na vertical como na horizontal para conseguir isso). Utilize apenas uma das entradas do NAND para o oscilador. A outra, **aquela ligada ao transistor mais próximo ao terra**, conecte a um porte de entrada chamado **CRT**. Verifique erros e apresente o *layout* obtido.

O *layout* obtido está representado na **Figura 2**.

8. *Extraia o *netlist* do circuito e por simulação determine o período de oscilação e os atrasos médios na propagação para subida (*low-to-high*) e para descida (*high-to-low*) de uma porta NAND (mantenha o sinal $CRT = 3,3V$). Qual a relação entre essas grandezas? Apresente o arquivo de simulação e os sinais vistos no ezwave.

O arquivo de simulação está representado no **Código fonte 1**.

O tempo de subida é $0,12ns$.

O tempo de descida é $0,08ns$.

O período medido foi de $1,04ns$. Utilizando a relação $Perdo = 5 \cdot T_{subida} + 5 \cdot T_{descida}$.

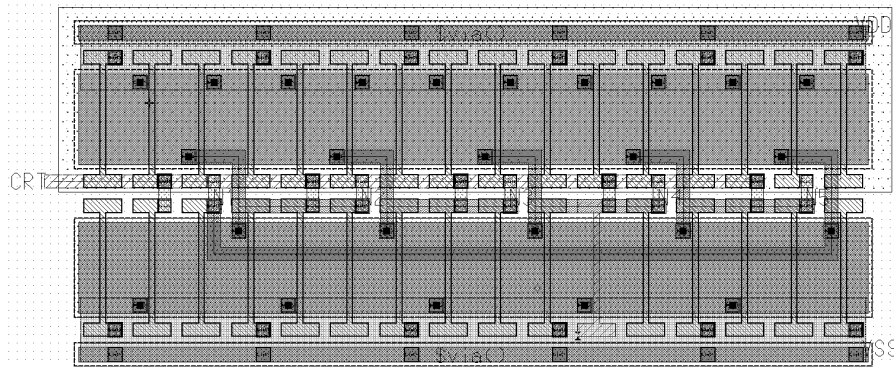


Figura 2: Layout do oscilador em anel

Código Fonte 1: Arquivo de simulação

```

1 .PARAM period=10ns
2 .PARAM input=3.3V
3 .PARAM min=0.9V
4 .PARAM max=3.3V
5 .PARAM step=0.1V
6
7 Vdd VDD 0 input
8 Vss VSS 0 0V
9 Vcrt CRT 0 input
10
11 .TRAN 0ns 200ns 0 100ps
12 .MEAS TRAN periodo TRIG V(N1) val='max/2' fall=2 TARG V(N1) val='max/2' fall=3
13 .MEAS TRAN subida TRIG V(N1) val='max/2' fall=1 TARG V(N2) val='max/2' rise=1
14 .MEAS TRAN descida TRIG V(N1) val='max/2' rise=2 TARG V(N2) val='max/2' fall=1
15
16 .PROBE TRAN V(N1) V(N2) V(N3) V(N4) V(N5)

```

9. *Varie CRT de 0,9V a 3,3V (passos de 0,1V) e determine a frequência de oscilação para cada valor de CRT (modelo típico). Trace o gráfico Freq. de Oscilação versus CRT. Caso se deseje utilizar o circuito como um VCO (*Voltage-Controlled Oscillator*), qual a faixa de frequências que ele com certeza pode cobrir (considere os três modelos aqui, típico, *worst speed* e *worst power*)?

Os gráficos de frequência de oscilação por CRT estão representados nas **Figura 3**, **Figura 4** e **Figura 5**. Ao observar-se os resultados, pode-se concluir que a faixa de frequências que ele pode cobrir é de valores de frequências de até 1,4GHz.

10. *Gere um arquivo GDSII (*File – export*) com o oscilador em anel feito. Tente lê-lo para verificar se foi gerado corretamente. Qual o tamanho deste arquivo?

O arquivo exportado tem um total de 50,5KB.

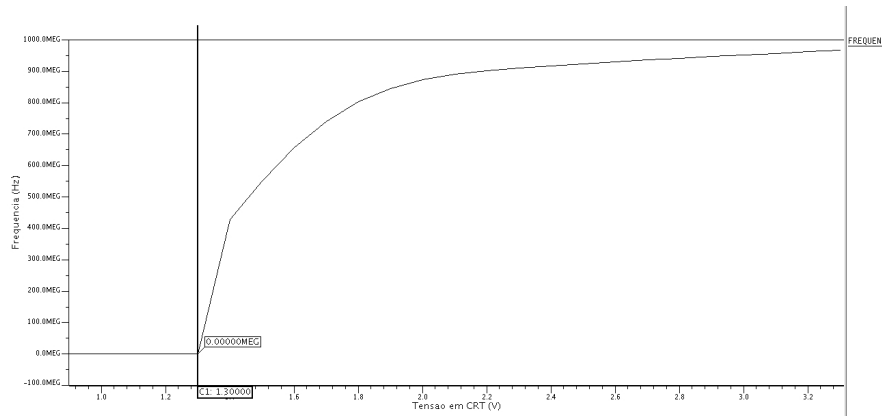
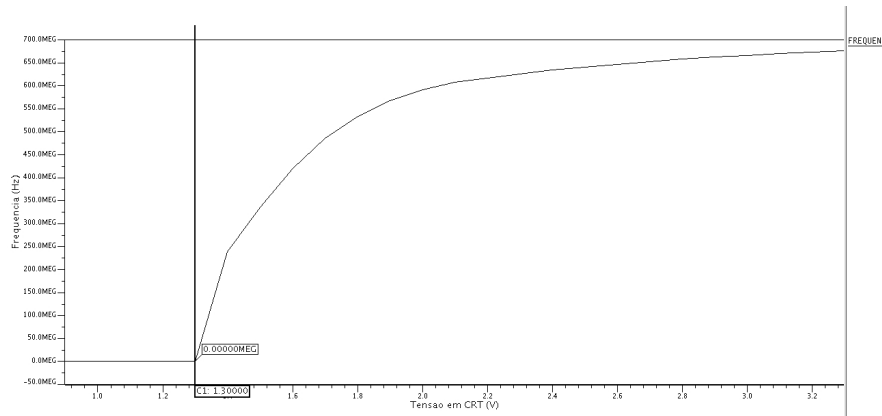
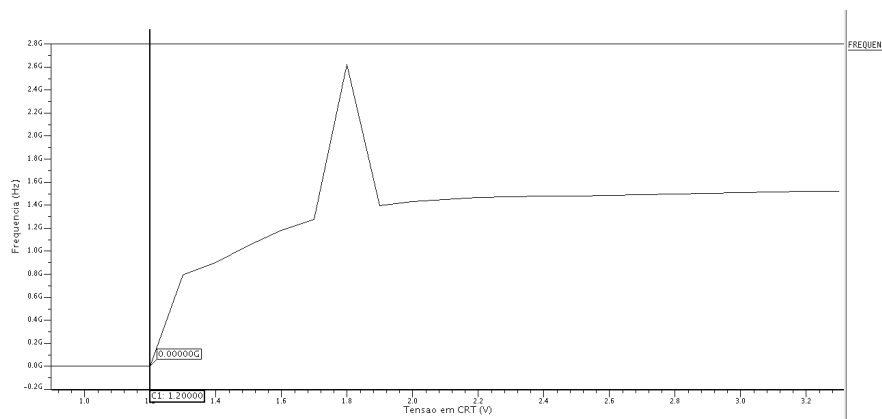


Figura 3: Frequência de oscilação versus CRT, modelo típico

Figura 4: Frequência de oscilação versus CRT, modelo *worstspeed*Figura 5: Frequência de oscilação versus CRT, modelo *worstpower*