

UNIVERSIDADE DE SÃO PAULO

Escola de Engenharia de São Carlos
SEL0621 - Projetos de Circuitos Integrados Digitais I
Prof. Dr. João Pereira do Carmo

Projeto 13

Davi Diório Mendes	7546989
Nivaldo Henrique Bondança	7143909



8 de dezembro de 2014

Lista de Figuras

1	Esquático do relógio completo	p. 4
2	Esquático do divisor de 32.768	p. 5
3	Esquático do divisor de 60	p. 5
4	Esquático do divisor de 12	p. 5
5	<i>Layout</i> do divisor de 32.768	p. 6
6	<i>Layout</i> do divisor de 60	p. 7
7	<i>Layout</i> do divisor de 12	p. 7
8	<i>Layout</i> do relógio completo	p. 8
9	Resultados do divisor de 12	p. 8
10	Resultados do divisor de 60	p. 8
11	Resultados do divisor de 32.768	p. 9
12	Inversor influenciando nos tempos de subida e descida	p. 10

Resumo

Introdução

Neste trabalho será projetado um relógio especificado. No projeto serão aplicados os recursos aprendidos ao longo do ano, entre estes o uso de VHDL, simulação lógica com MODEL-SIM, síntese, geração automática de *layout*, verificações com DRC e LVS, extração, simulação com ELDO e avaliação de consumo. Por fim, será analisado tempo de vida de uma bateria alimentando o circuito implementado.

1. Considere que é fornecido um sinal de *clock* na frequência de $32,768kHz$ (onda quadrada). Com este sinal projete um circuito que tenha as seguintes características:

sinais de entrada: ***clk***, ***modo***, ***ajuste***;

sinais de saída: $m_0 \cdots m_5$, $H_0 \cdots H_3$;

O circuito funciona como um relógio onde os minutos são codificados, binariamente, em $m_0 \cdots m_5$ e as horas, codificadas, binariamente, em $H_0 \cdots H_3$ (horas vai de 0 até 11). Os sinais *ajuste* e *modo* servem para indicar a operação do relógio conforme descrito abaixo;

- quando *ajuste* = "1" e *modo* = "0", os minutos são incrementados a cada 0,5 segundo;
- quando *ajuste* = "1" e *modo* = "1", as horas são incrementadas a cada 1 segundo;
- quando *ajuste* = "0", o circuito opera como relógio.

O projeto envolve

- fazer o esquemático: o esquemático deve ser gerado da forma que achar mais conveniente;
- fazer o símbolo com indicação de onde esta o *layout*;
- fazer simulações: as simulações devem verificar se as operações de relógio e de ajuste estão corretas. Deve ser tomado cuidado com o procedimento de testes pois, dado o tamanho do circuito, ele pode demorar muito. Assim, testes de blocos separados serão necessários;
- fazer o *layout* com verificações de DRC e LVS.

Como características gerais, espera-se que:

- seja um circuito pequeno;
- tenha consumo reduzido;
- os *ports* de entrada e saída estejam convenientemente colocados.

2. Apresente os esquemáticos do relógio completo e de seus blocos. Descreva sucintamente a função de cada bloco.

O esquemático do relógio completo está representado na **Figura 1**. O relógio é composto de 3 blocos principais, divisor 32.768, divisor 60 e divisor 12. Além destes blocos principais existem também alguns componentes lógicos simples, inseridos no circuito para realizar a seleção de modo de operação e também para solucionar problemas de pulsos extras de *clock*.

Logo na entrada o *clock* de 32.768Hz é dividido pelo bloco referenciado na **Figura 2**. A saída deste bloco é um sinal de 1Hz, 2Hz, 4Hz e 8Hz. A saída de 1Hz é usada para contar os segundos normalmente. A saída de 2Hz é usada em um dos modos de ajuste. As outras duas saídas, 4Hz e 8Hz, são usadas em sincronia com as outras apenas para solucionar o problema gerar um pulso extra na transição entre modo de operação normal e de ajuste.

O bloco divisor de 32.768 concentra, em seus primeiros *flip-flops*, a maior parte da potência dissipada pelo circuito, pois eles operam em uma faixa de frequência consideravelmente superior à dos outros blocos.

Os blocos divisor de 60 e divisor de 12, representados nas **Figura 3** e **Figura 4**, respectivamente, foram feitos em VHDL e sintetizados no *Leonardo Spectrum*. Como a frequência de operação destes blocos é baixa, seu consumo de potência é bastante baixo comparado ao resto do circuito.

A lógica de seleção de modo é bastante simples, apenas composta de portas lógicas NAND que controlam os *multiplexers*. Para evitar o pulso extra na mudança de modos, o que foi feito é um circuito lógico para que a tensão lógica baixa ocorra apenas em uma pequena parcela de tempo.

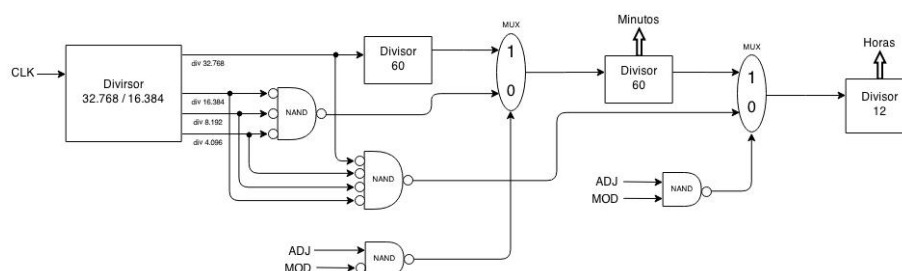


Figura 1: Esquemático do relógio completo

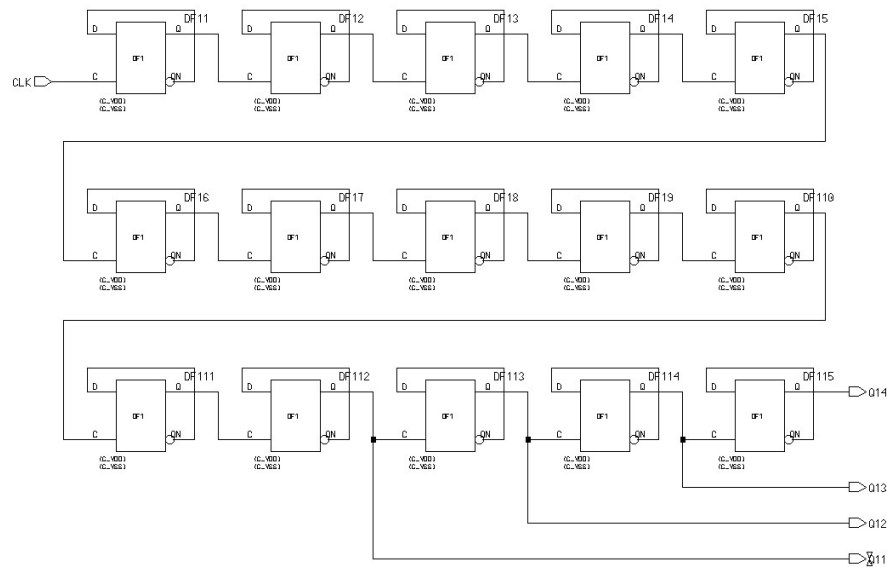


Figura 2: Esquático do divisor de 32.768

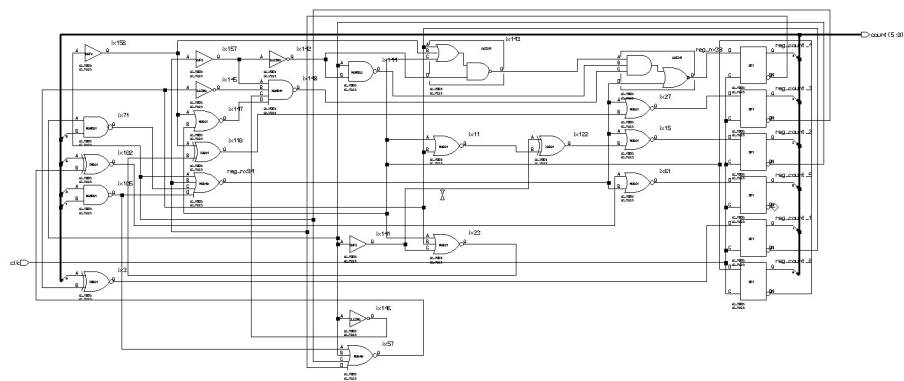


Figura 3: Esquático do divisor de 60

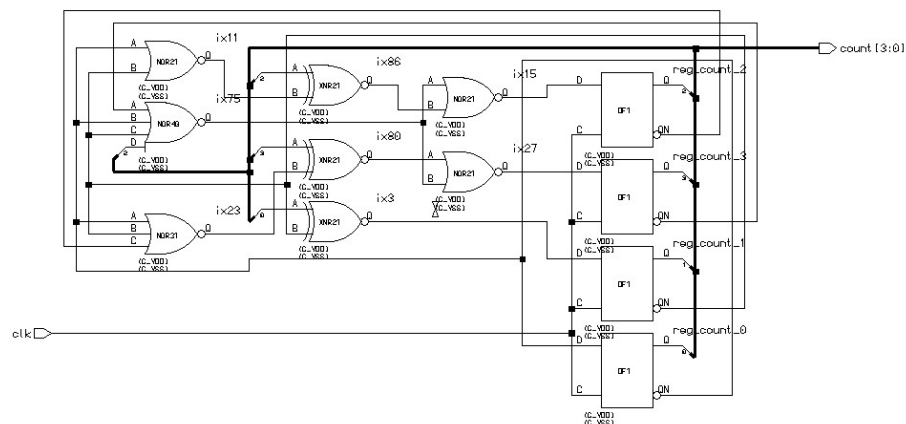


Figura 4: Esquático do divisor de 12

3. Quando uma célula de biblioteca tem mais de uma versão, por exemplo DF1 e DF3, escolha a versão mais apropriada para a aplicação. Justifique o critério aplicado na escolha.

O critério para escolha das células, para quando existe mais de uma versão para a mesma, é o valor de potência consumida pela célula.

Das células com mais de uma opção, foram escolhidas as células DF1, NAND20, NAND30, NAND40, MUX21 e CLKINV0. No caso do inversor, foi escolhido o de menor potência dentro dos inversores simétricos, pois os inversores simétricos possuem um sinal com melhor qualidade.

4. Apresente os *layouts* dos blocos e do circuito final.

O *layout* do divisor 32.768 está representado na **Figura 5**.

O *layout* do divisor 60 está representado na **Figura 6**.

O *layout* do divisor 12 está representado na **Figura 7**.

O *layout* do relógio completo está representado na **Figura 8**.

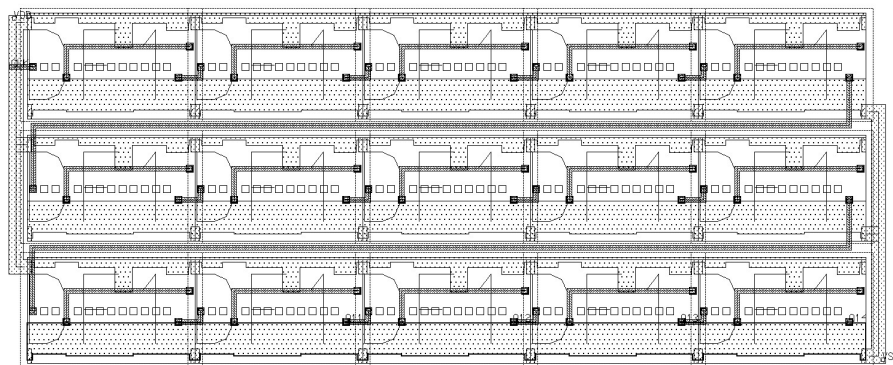


Figura 5: *Layout* do divisor de 32.768

5. Descreva as simulações realizadas dizendo a função (serve para verificar o quê?), quais são os sinais de comando e de entrada, tempo total que levou a simulação (tempo real) e o que foi observado como resultado (se for gráfico, acrescente o gráfico ao relatório).

Resultados da simulação do divisor de 12 para verificar a frequência de operação estão representados na **Figura 9**. Como pode-se notar, a divisão ocorre da maneira esperada. O tempo de simulação para esse teste foi de aproximadamente 5,5 segundos. Resultados da simulação do divisor de 60 para verificar a frequência de operação estão representados na **Figura 10**. Como pode-se notar, a divisão ocorre da maneira esperada. O tempo de simulação para esse teste foi de aproximadamente 10 segundos. Resultados da simulação do divisor de 32.768 para verificar a frequência de operação estão representados na **Figura 11**. Como pode-se notar, a divisão ocorre da maneira esperada. O tempo de simulação para esse teste foi de aproximadamente 1 hora e 25 minutos.

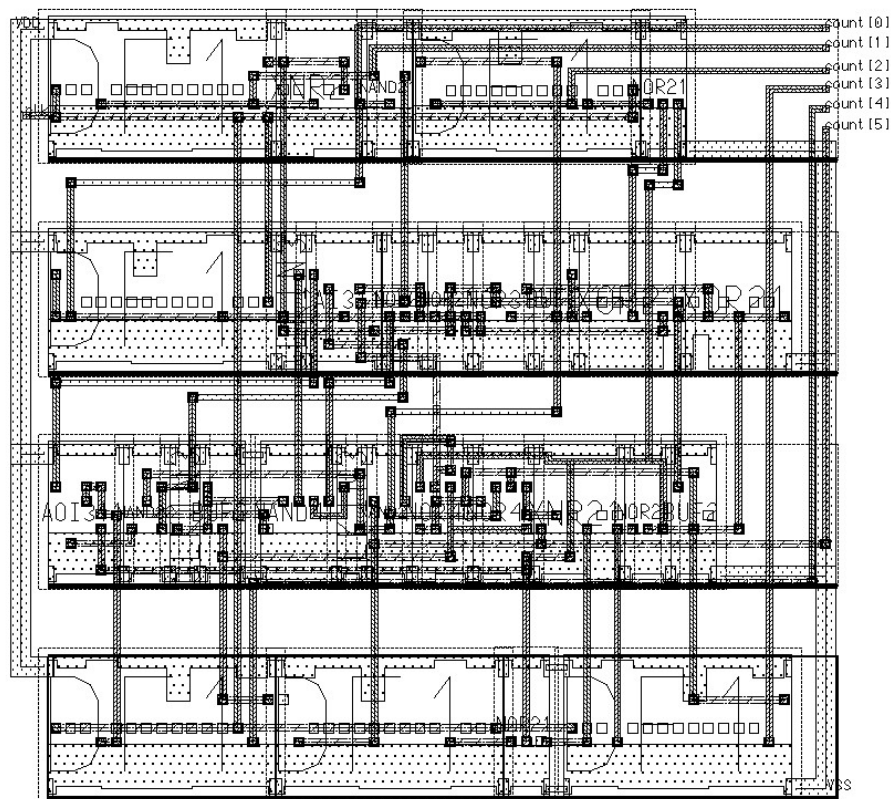


Figura 6: Layout do divisor de 60

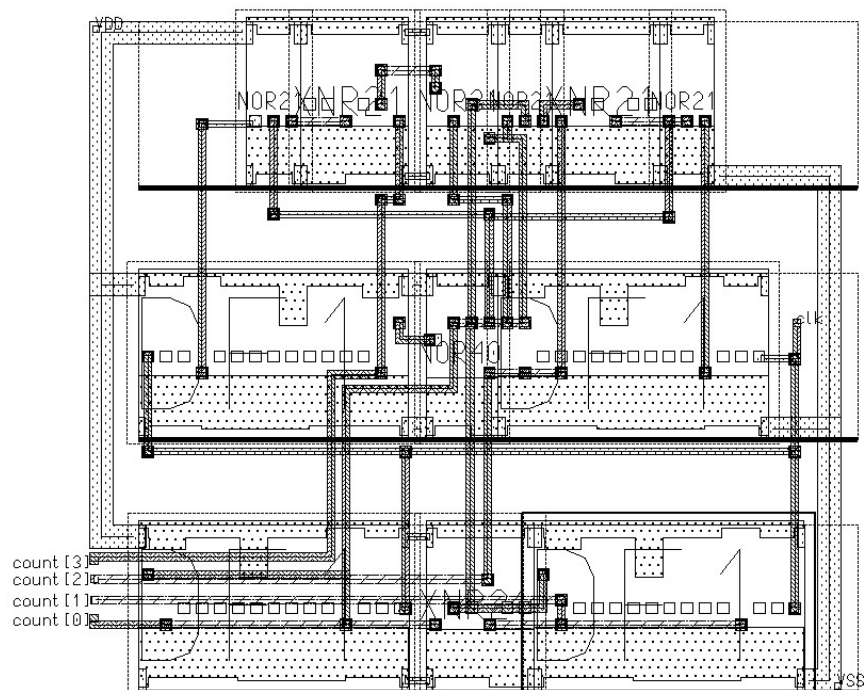


Figura 7: Layout do divisor de 12

6. Determine a área e estime a potência consumida pelo circuito completo.

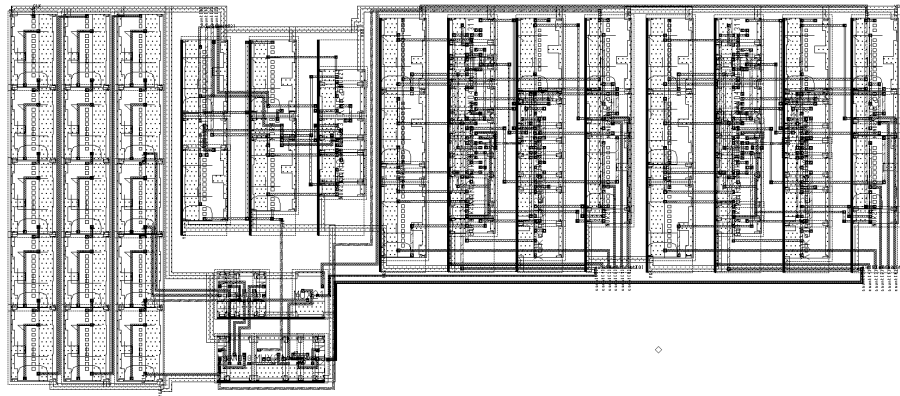


Figura 8: Layout do relógio completo

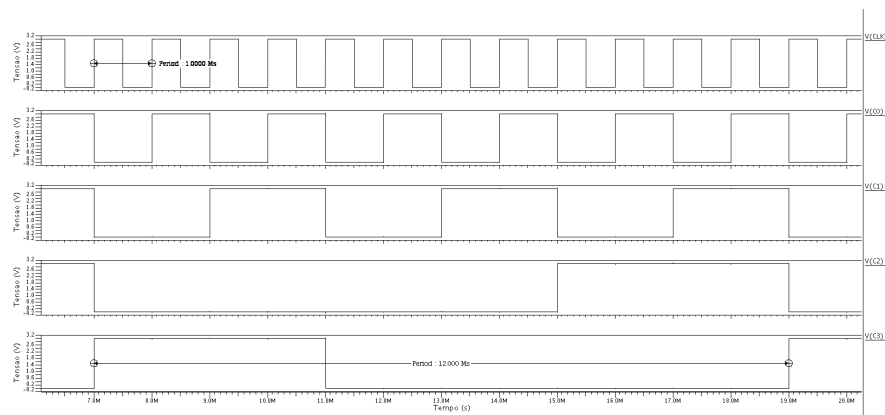


Figura 9: Resultados do divisor de 12

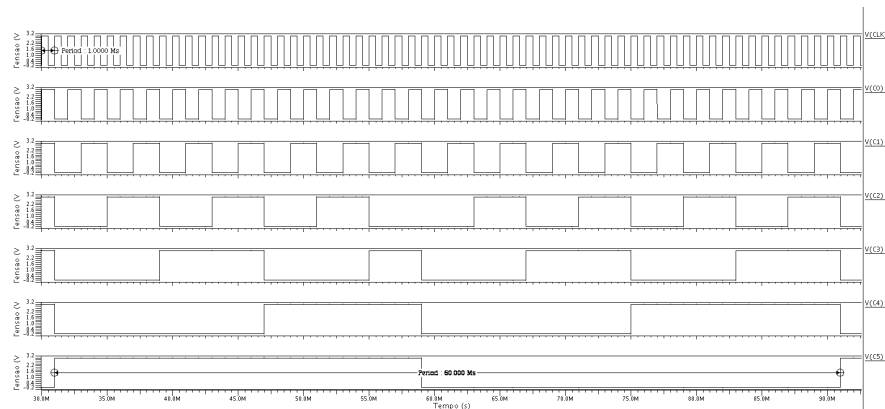


Figura 10: Resultados do divisor de 60

As dimensões do circuito são $258,69\mu m$ e $112,39\mu m$, logo a área total do circuito é de $29.075\mu m^2$.

A potência estimada do circuito está, basicamente, toda contida na primeira parte do circuito, que possui 15 *Flip-flops*. Os *Flip-flops* iniciais terão uma frequência de operação alta, logo eles concentrarão o consumo do circuito.

Foi constatado, através de algumas simulações que a potência média do circuito é de $61,0nW$.

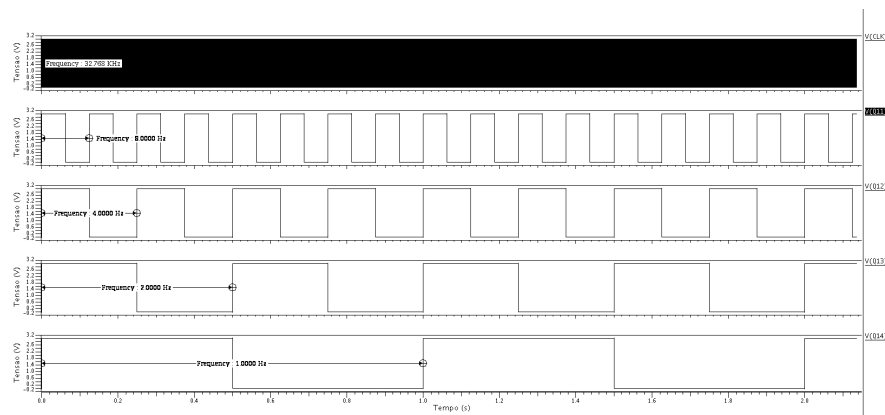


Figura 11: Resultados do divisor de 32.768

7. Considere que o oscilador que gera o sinal de clock de $32,768kHz$ consome uma corrente média de $10\mu A$. Para uma bateria de $1,0Ah$, por quanto tempo o relógio, circuito projetado mais oscilador, deverá operar (coloque em anos e dias, por exemplo, 4 anos e 36 dias)?

Sabendo que a potência média consumida pelo relógio é de $61,0nW$ e sua alimentação de $3,0V$, tem-se uma corrente total de $10\mu + \frac{61,0}{3,0} = 10,02\mu A$, com uma bateria de $1,0Ah$, espera-se que o relógio opere por 11 anos e 143 dias.

Valores calculados segundo a equação simples

$$tempo = \frac{bateria}{corrente} \quad (1)$$

8. Considere que o sinal de *clock* da entrada apresente tempos de subida/descida de cerca de 30% do seu período. Nessa situação o circuito continua funcionando? Caso não, qual é a razão?

Utilizando a configuração com tempos de subida e descida de 30% do período do *clock*, o circuito para de funcionar corretamente, pois os primeiros *flip-flops* não funcionam corretamente, logo a saída do primeiro componente (divisor 32.768) já não é a esperada. A razão disto é que os transistores N e P das chaves acabam conduzindo ao mesmo tempo, o que faz com que o *flip-flop* não funcione direito.

9. Se necessário arrume o problema encontrado no **item 8**. Com o sinal de relógio como acima, tempos de subida/descida de cerca de 30% do período, determine a nova potência consumida.

Uma solução possível para o problema é colocar inversores na entrada do circuito, pois eles diminuem os tempo de subida e descida relativos ao período. Esse resultado pode ser observado

na **Figura 12**.

Figura 12: Inversor influenciando nos tempos de subida e descida