

UNIVERSIDADE DE SÃO PAULO

ESCOLA DE ENGENHARIA DE SÃO CARLOS

PROJETO DE CIRCUITOS INTEGRADOS ANALÓGICOS -
SEL0618

Projeto 6

Aluno: Lucas A. M. Magalhães

Número USP: 7173347

Aluno: Luiz H. G. Patire

Número USP: 7126667

11 de agosto de 2014

Sumário

Relatório	2
Questão 1	2
Questão 2	3
Questão 3	3
Questão 4	4
Questão 5	7
Questão 6	7
Questão 7	12
Questão 8	12
Questão 9	13
Questão 10	13
Questão 11	17
Questão 12	17
Questão 13	21
Questão 14	21
Questão 15	22
Questão 16	24
Anexo	25

Relatório

Questão 1

Considere a porta lógica CMOS estática que implementa a função lógica $\neg(\mathbf{ab}+\mathbf{c})$ (o símbolo “ \neg ” indica negação). Tendo o **transistor NMOS de menor dimensão** um $\mathbf{W} = 2 \mu\mathbf{m}$ e $\mathbf{L} = 0,35 \mu\mathbf{m}$, **determine as dimensões** de todos transistores de forma que:

1. (atraso de propagação na descida com $\mathbf{ABC} = “110”$) = (atraso de propagação na descida com $\mathbf{ABC} = “001”$) = (pior atraso de propagação na subida);
2. Todos transistores PMOS tenham as mesmas dimensões.

(deixe indicado os valores usados).

Para o cálculo das dimensões dos transistores NMOS, leva-se em consideração o item “a” acima e a Figura 1, que mostra o esquemático do circuito. No caso dos transistores NMOS, os tempos de descida para “001” devem ser iguais aos tempos de descida para “110”, assim, as dimensões dos transistores em série “m_4” e “m_5” devem ser equivalentes a do transistor “m_6”.

A equação 1 resulta no tempo de descida segundo o transistor “m_6”, a direita, enquanto a equação 2 resulta no tempo de descida segundo os transistores em paralelo, a esquerda. Para encontrar a relação entre as dimensões dos transistores, basta igualar os tempos de descida, como mostra a equação 3. Como a menor dimensão para os transistores NMOS deve ser $W_n = 2 \mu m$, logo $W_{n2} = 2 \mu m$ e $W_{n1} = 4 \mu m$.

$$T_{HLD} = \frac{1,6 \cdot C_l}{\mu_n \cdot V_{DD} \cdot \frac{W_{n1}}{L}} \quad (1)$$

$$T_{HLE} = \frac{1,6 \cdot C_l}{\mu_n \cdot V_{DD} \cdot \frac{2 \cdot W_{n2}}{L}} \quad (2)$$

$$\frac{1,6 \cdot C_l}{\mu_n \cdot V_{DD} \cdot \frac{W_{n1}}{L}} = \frac{1,6 \cdot C_l}{\mu_n \cdot V_{DD} \cdot \frac{2 \cdot W_{n2}}{L}} \quad (3)$$

$$W_{n1} = 2 \cdot W_{n2} \quad (4)$$

Para o cálculo das dimensões dos transistores PMOS, temos que igualar os tempos de descida e de subida. Para isso, usa-se as equações 1 e 5. Igualando estas equações, chegamos na relação 6, onde $\mu_n = 370 \text{ m}^2/\text{V} \cdot \text{s}$ e $\mu_p = 126 \text{ m}^2/\text{V} \cdot \text{s}$, assim, $W_p = 11,8 \mu m$.

$$T_{LH} = \frac{1,6 \cdot C_l}{\mu_p \cdot V_{DD} \cdot \frac{2W_p}{L}} \quad (5)$$

$$\mu_p \cdot 2W_p = \mu_n \cdot W_{n1} \quad (6)$$

O *layout* é apresentado na Figura 10, na Questão 6.

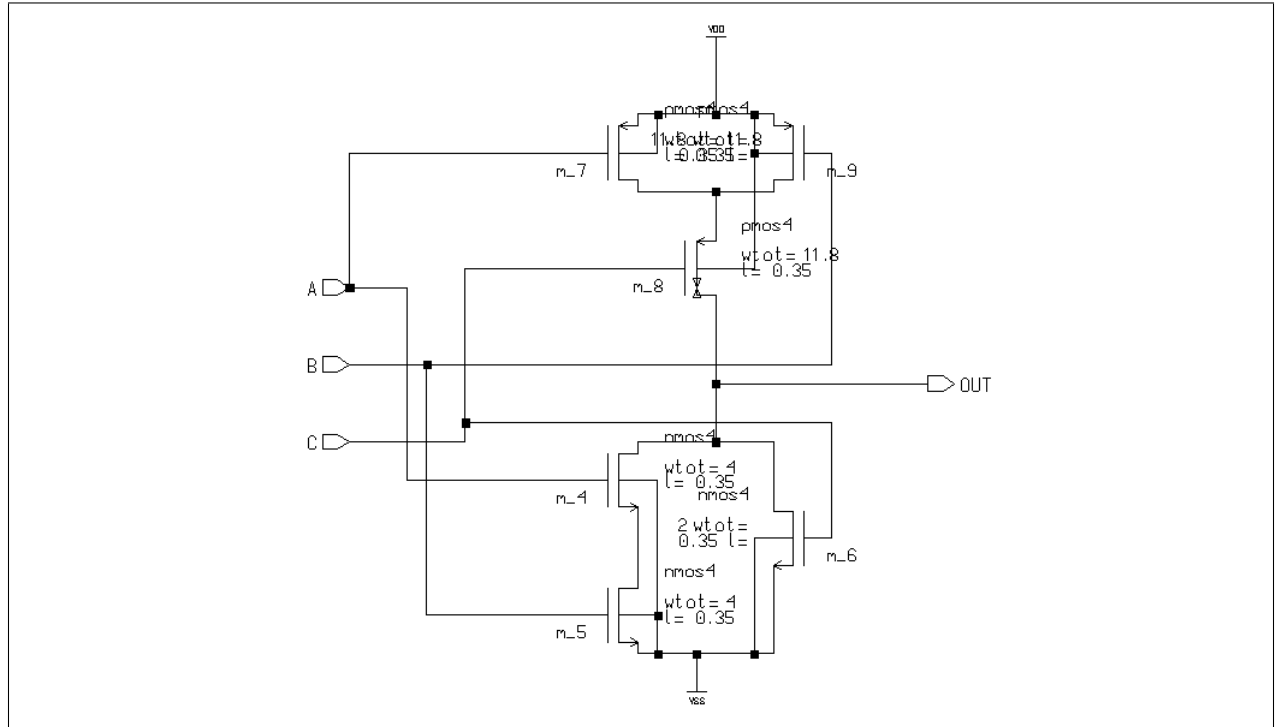


Figura 1: Esquemático da Implementação da Lógica $\neg(ab+c)$

Questão 2

Gere o netlist executando o comando apropriado na coluna a esquerda. Com outro comando nessa coluna, o **ASCII Results**, verifique os resultados na opção **view netlist**. Acrescente o **netlist** ao relatório.

O código do netlist gerado está no *Listing 1*, no Anexo.

Questão 3

Como são calculadas as áreas e perímetros de dreno e *source* no circuito extraído pelo esquemático (relação usada)?

As áreas e perímetros de dreno e source são calculadas utilizando o W e a largura do lado do transistor. A largura de lado é de $0,85 \mu m$ para o dreno e $0,95 \mu m$ para o *source*, na tecnologia utilizada. As equações de 7 à 10 mostram como são calculados os valores.

$$A_{Dreno} = W \cdot 0,85 \quad (7)$$

$$A_{Source} = W \cdot 0,95 \quad (8)$$

$$P_{Dreno} = W + 2 \cdot 0,85 \quad (9)$$

$$P_{Source} = W + 2 \cdot 0,95 \quad (10)$$

Questão 4

Desenhe os **gráficos da questão anterior** e copie os **comandos de medida e sinais de entrada** que usou no ELDO.

As Figuras 2 e 3 mostram, respectivamente, os atrasos de subida e descida por carga capacitiva na saída. Para gerar os gráficos, foram medidos os atrasos para diferentes cargas segundo os *Listings 2 e 3*. Nessa simulação, foi usado um sinal de onda quadrada na entrada com frequência $f = 100 \text{ MHz}$. Os sinais de entrada são ilustrados nas Figuras 4 e 5.

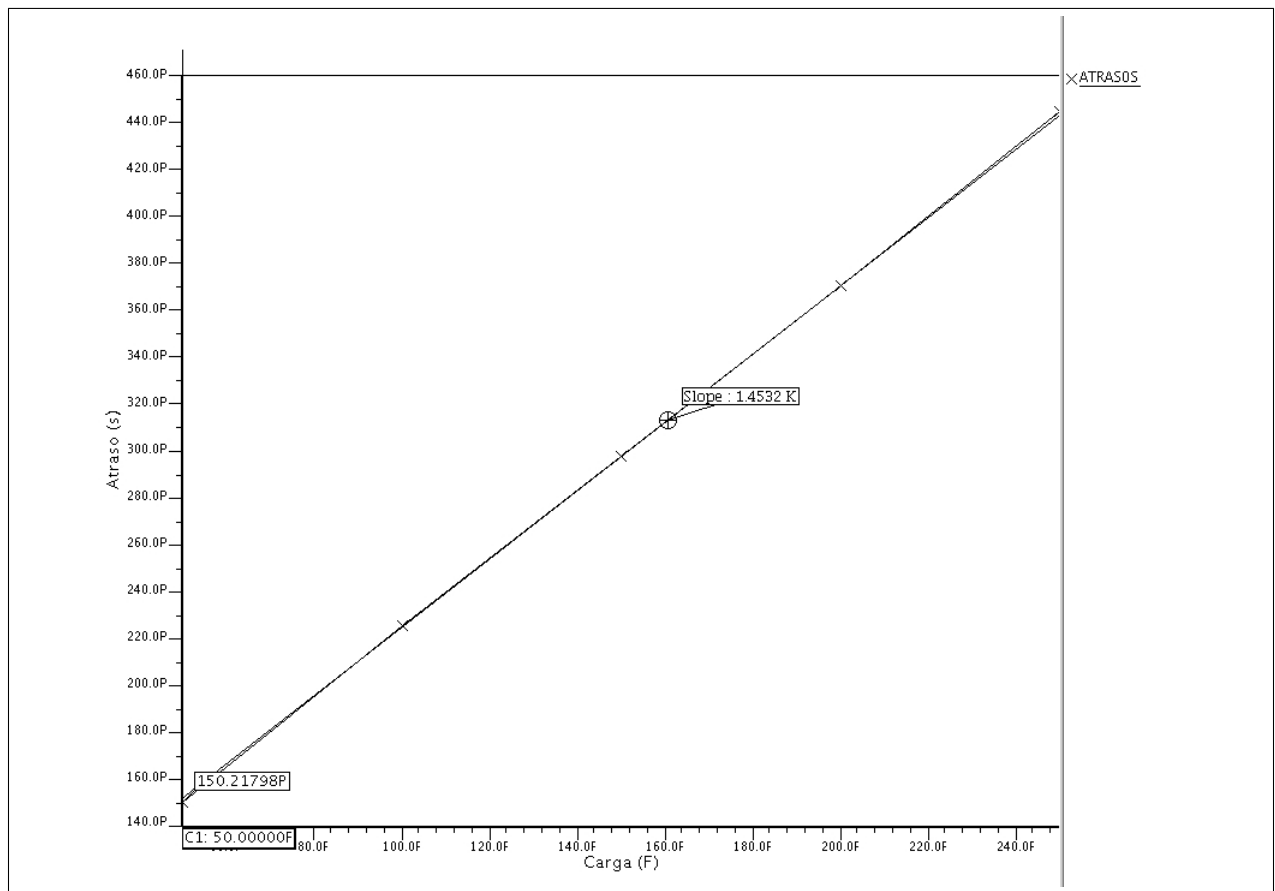


Figura 2: Relação de Atraso de Subida por Carga de Saída

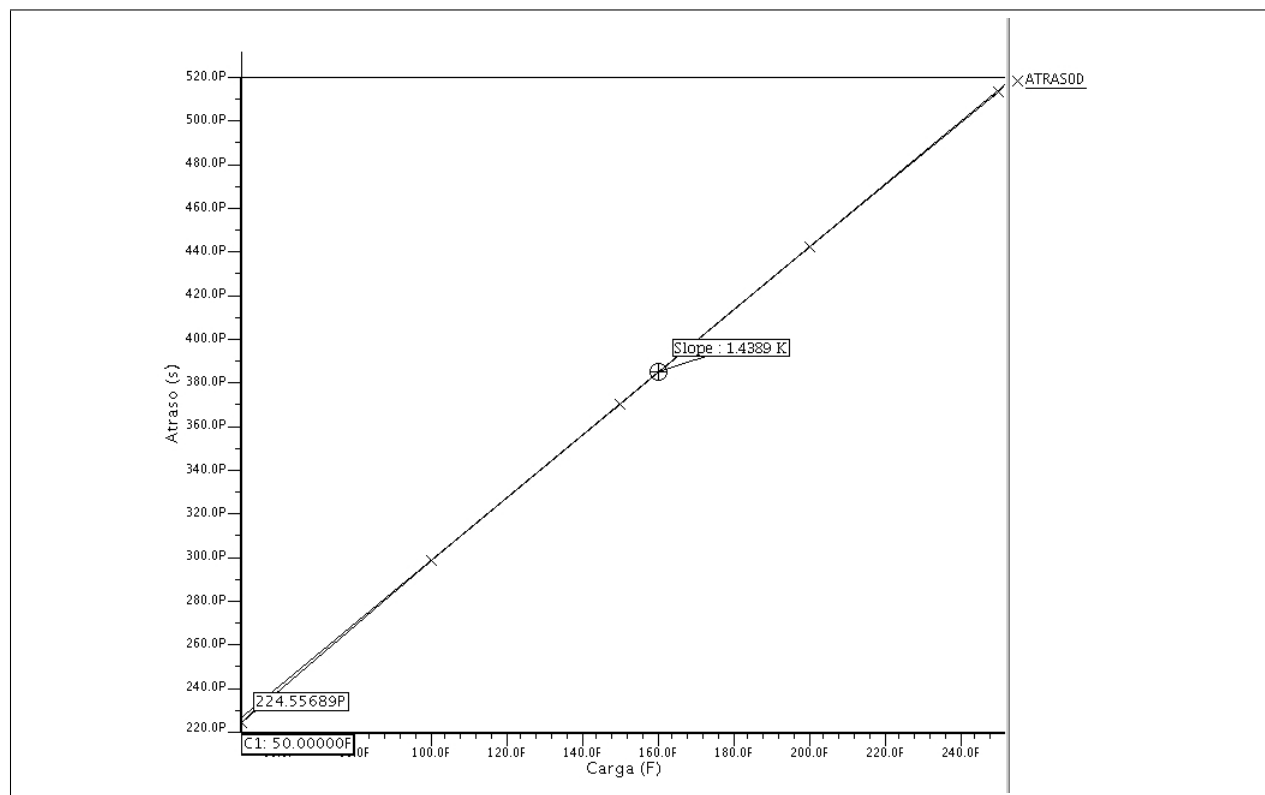


Figura 3: Relação de Atraso de Descida por Carga de Saída

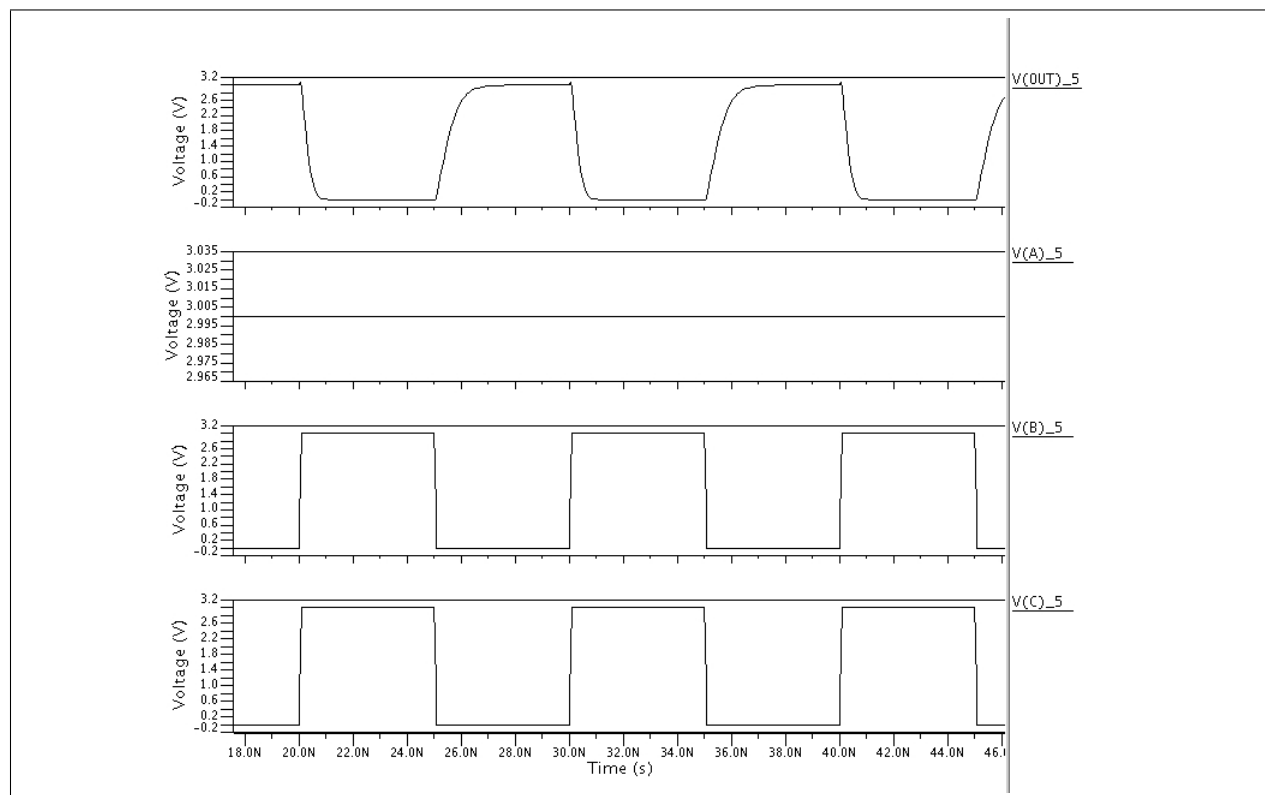


Figura 4: Sinais de Entrada para Cálculo de Atraso de Subida

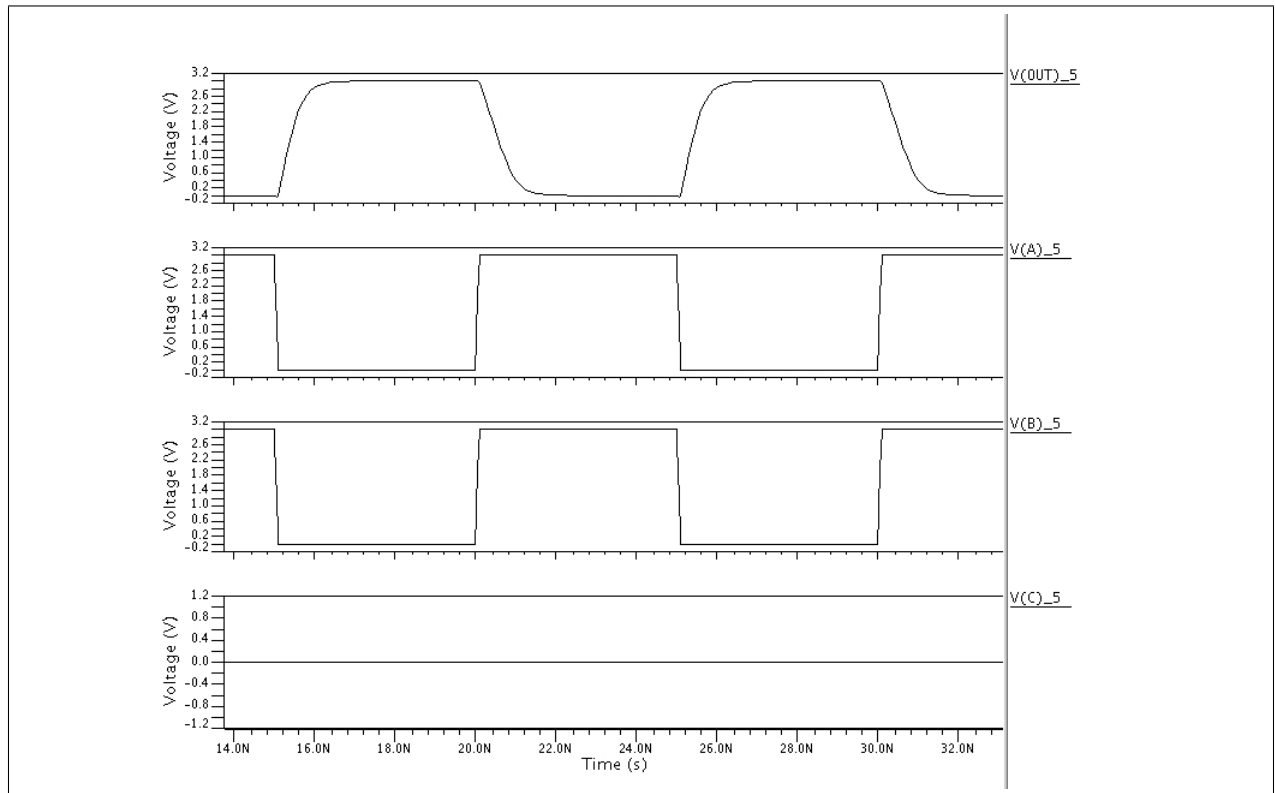


Figura 5: Sinais de Entrada para Cálculo de Atraso de Descida

Questão 5

Como se pode acrescentar aos *ports* V_{DD} e V_{SS} as regiões de *source* dos transistores sem transformarmos os transistores em *flatten*?

Para se acrescentar aos *ports* as regiões de *source*, basta criar um novo *layer* de metal sobre o metal da porta, usando o comando *peek* para visualizar os metais da célula. Esse novo *layer* pode ser adicionado como parte do *port*, V_{DD} ou V_{SS} .

Questão 6

Uma vez feitas as verificações com **DRC** e **LVS**, caso não tenha sido encontrado nenhum erro, o *layout* estará pronto para uso. Agora, **extraia** o circuito de simulação **a partir do layout (opção C+CC)** e repita as simulações feitas no *item* 7. Apresente os gráficos com resultados (gere uma figura do *layout* e inclua no trabalho).

As Figuras 6 e 7 mostram, respectivamente, os atrasos de subida e descida por carga capacitiva na saída. Para gerar os gráficos foram medidos atrasos para diferentes cargas segundo os *Listings* 4 e 5. Nessa simulação, foi usado um sinal de onda quadrada na entrada com frequência $f = 100 \text{ MHz}$. Os sinais de entrada são ilustrados nas Figuras 8 e 9. O *layout* do circuito é mostrado na Figura 10.

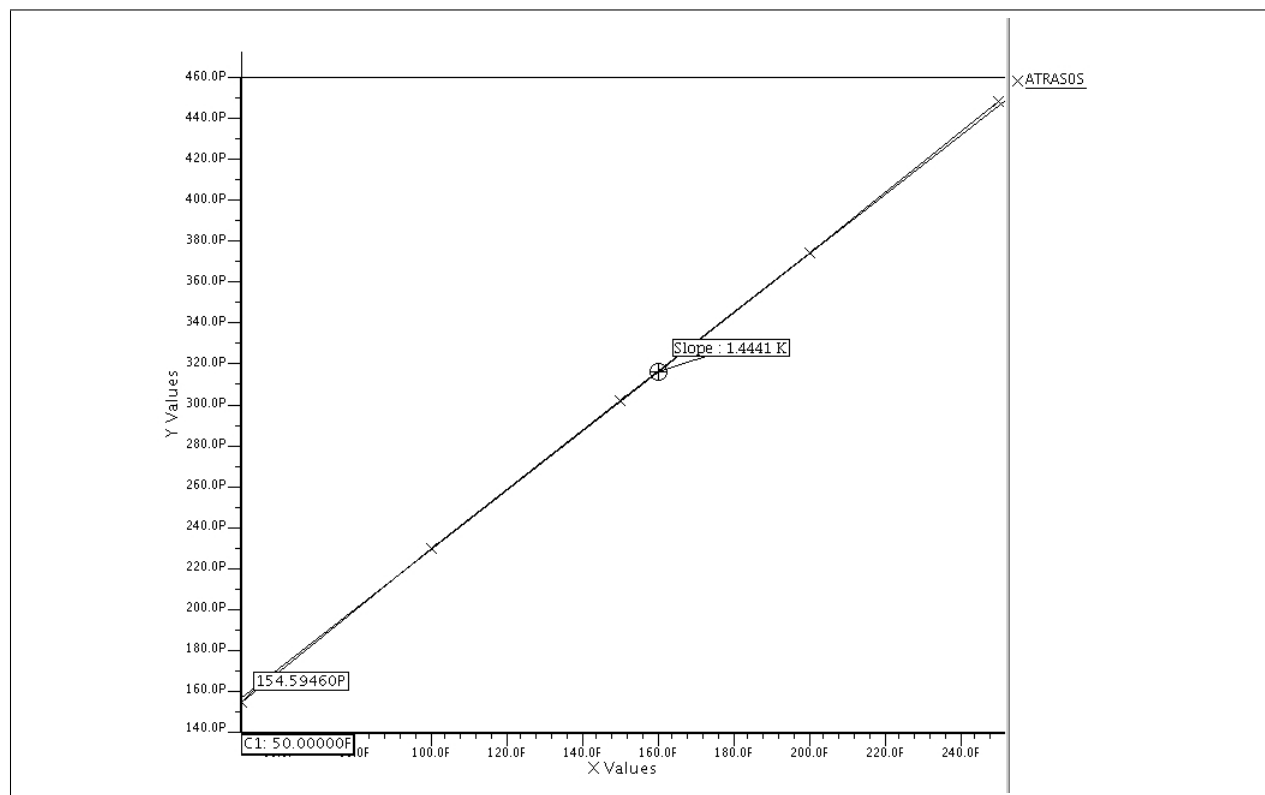


Figura 6: Relação de Atraso de Subida por Carga de Saída

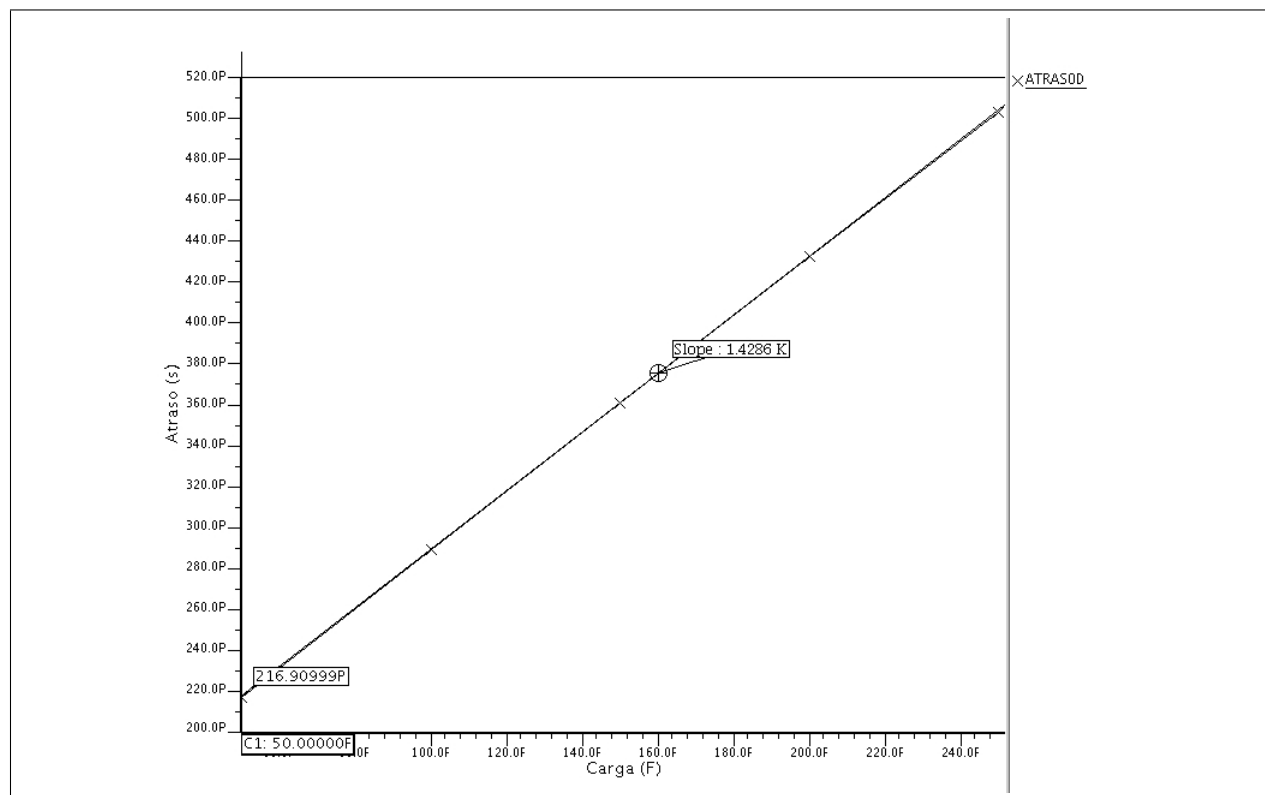


Figura 7: Relação de Atraso de Descida por Carga de Saída

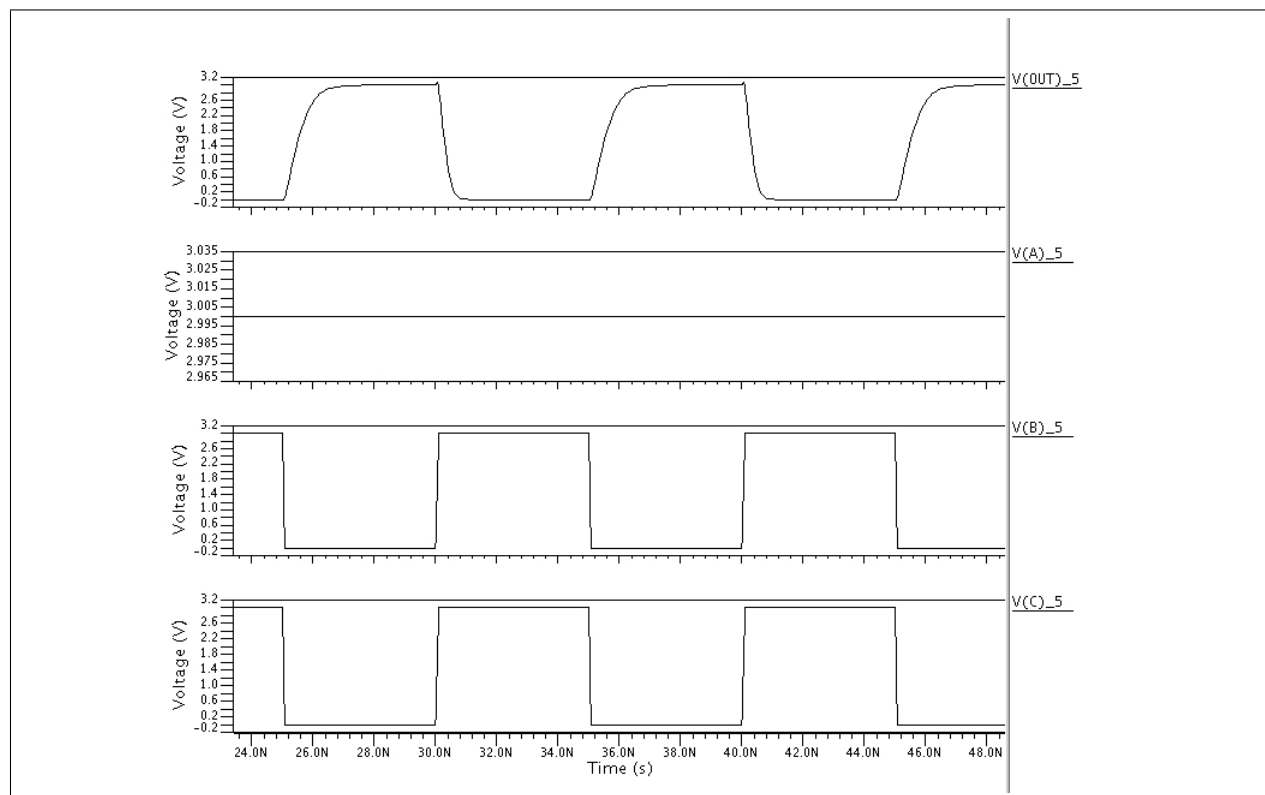


Figura 8: Sinais de Entrada para Cálculo de Atraso de Subida

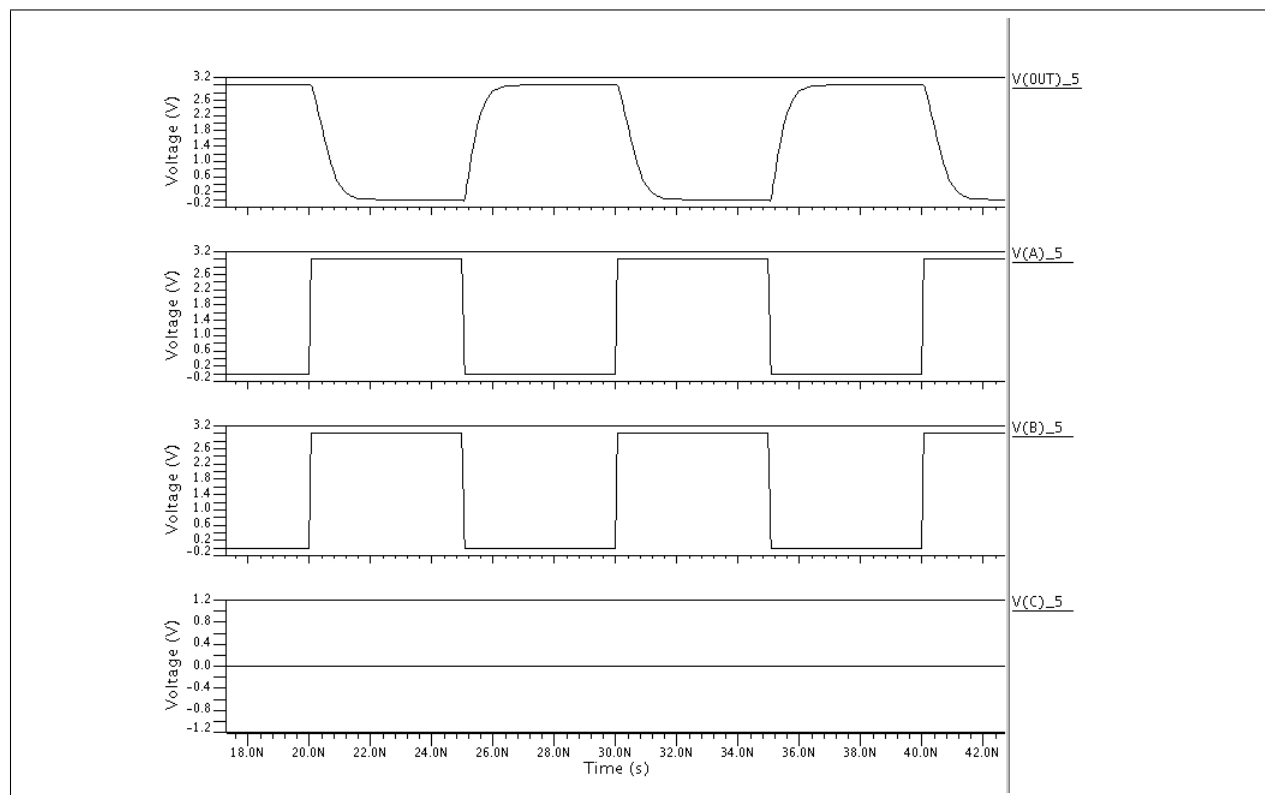


Figura 9: Sinais de Entrada para Cálculo de Atraso de Descida

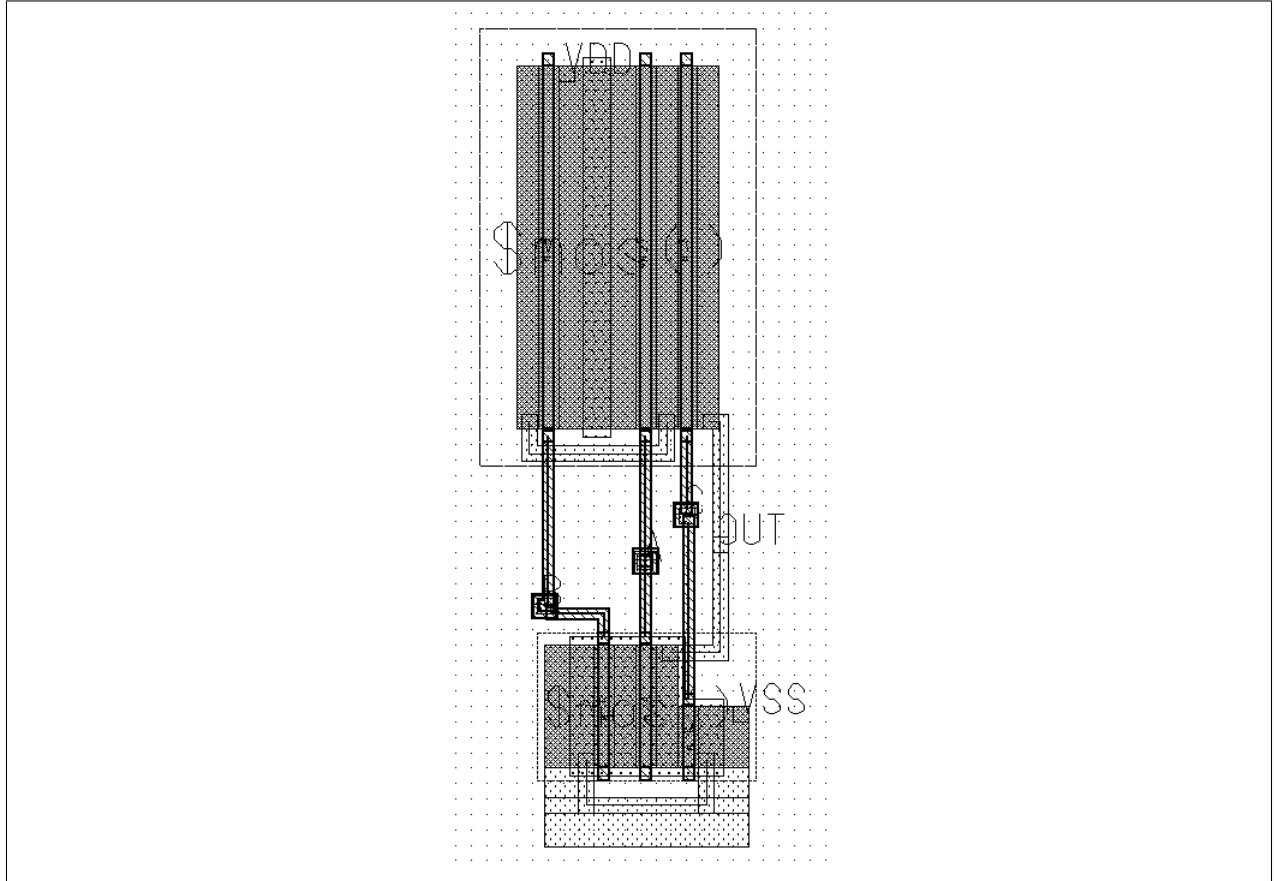


Figura 10: Layout da Implementação da Lógica $\neg(ab+c)$

Questão 7

Para as curvas **atraso de propagação na subida e descida versus carga**, geradas a partir do *layout*, calcule as **inclinações** e o **pontos de cruzamento com o eixo Y** (eixo de tempo).

Os pontos de cruzamento com o eixo Y podem ser calculados utilizando as informações presentes nos gráficos apresentados (valor de atraso para capacitância de 50f e inclinação) e a equação da reta.

$$Y0_{Subida} = 154,59p - 50f \cdot 1,4441K = 82,39ps \quad (11)$$

$$Y0_{Descida} = 216,91p - 50f \cdot 1,4286K = 145,48ps \quad (12)$$

Questão 8

Comente as diferenças entre os resultados encontrados nas questões 8 e agora? **Dê as razões** para elas.

Ao avaliar os gráficos dos atrasos, percebe-se uma ligeira melhora na resposta do circuito

na extração a partir do *layout*. Isso ocorre principalmente porque na extração feita pelo esquemático não é considerado o fato de que os transistores podem ser juntados, o que diminui as áreas de metal e melhora a resposta do circuito. A concatenação dos transistores pode ser bem observada na imagem 10.

Questão 9

Faça um inversor com $WN = 2 \mu\text{m}$ e $LN = 0,35 \mu\text{m}$. Faça o esquemático, símbolo e *layout*. Passe as **verificações no esquemático e símbolo**. O *layout* deve ser feito com cuidado para ter **área pequena, utilização correta de metais/poli e ports de tamanho conveniente**. Passe o **DRC no layout** e faça o **LVS** deixando a célula pronta para uso. Acrescente ao relatório o *layout* feito.

A Figura 11 mostra o *layout* do inversor construído.

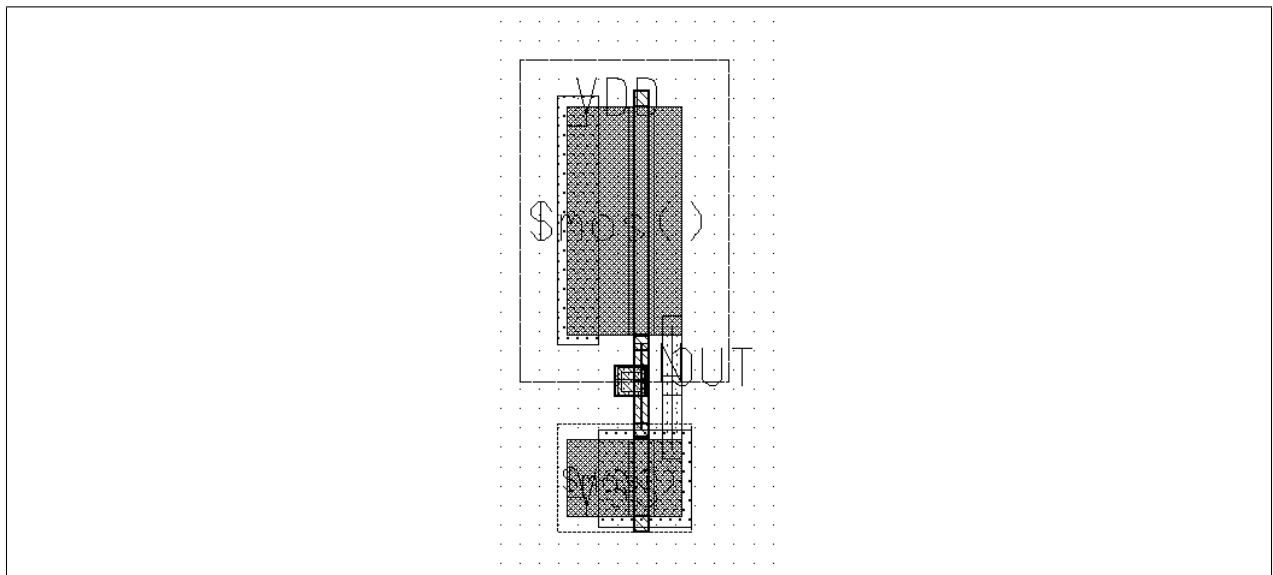


Figura 11: Layout do Inversor

Questão 10

Desenhe os **gráficos da questão anterior** e copie os **comandos de medida e sinais de entrada** que usou no ELDO.

As Figuras 12 e 13 mostram, respectivamente, os atrasos de subida e descida por carga capacitiva na saída. Para gerar os gráficos, foram medidos atrasos para diferentes cargas segundo os *Listings* 6 e 7. Nessa simulação, foi usado um sinal de onda quadrada na entrada com frequência $f = 66,7 \text{ MHz}$. Os sinais de entrada são ilustrados nas Figuras 14 e 15.

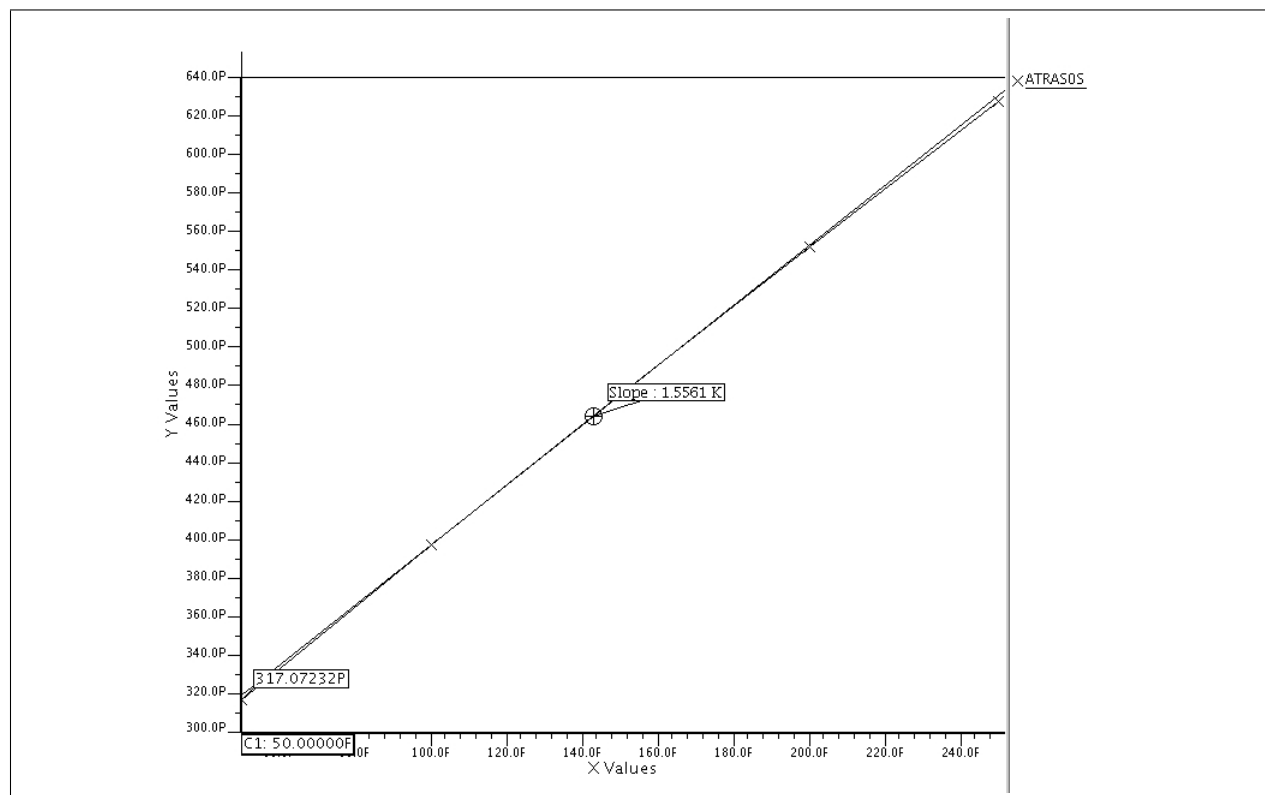


Figura 12: Relação de Atraso de Subida por Carga de Saída

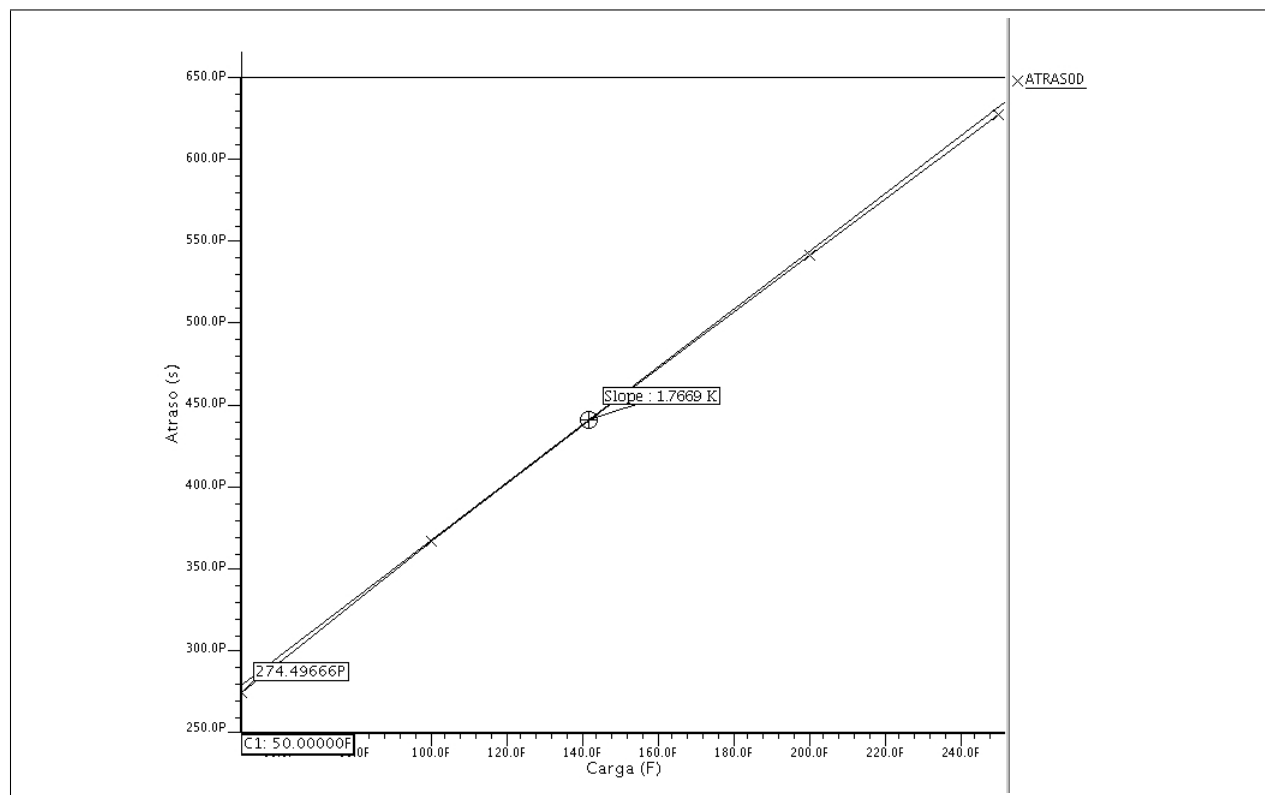


Figura 13: Relação de Atraso de Descida por Carga de Saída

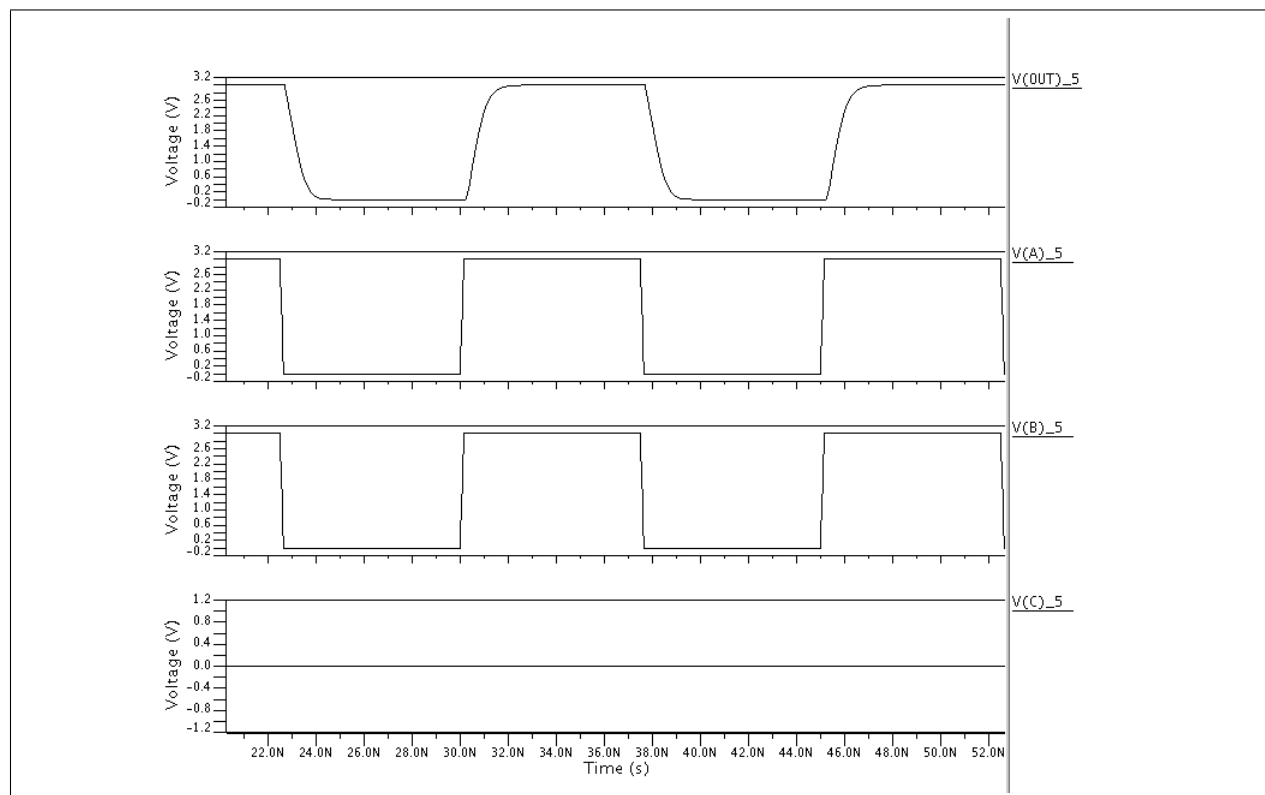


Figura 14: Sinais de Entrada para Cálculo de Atraso de Subida

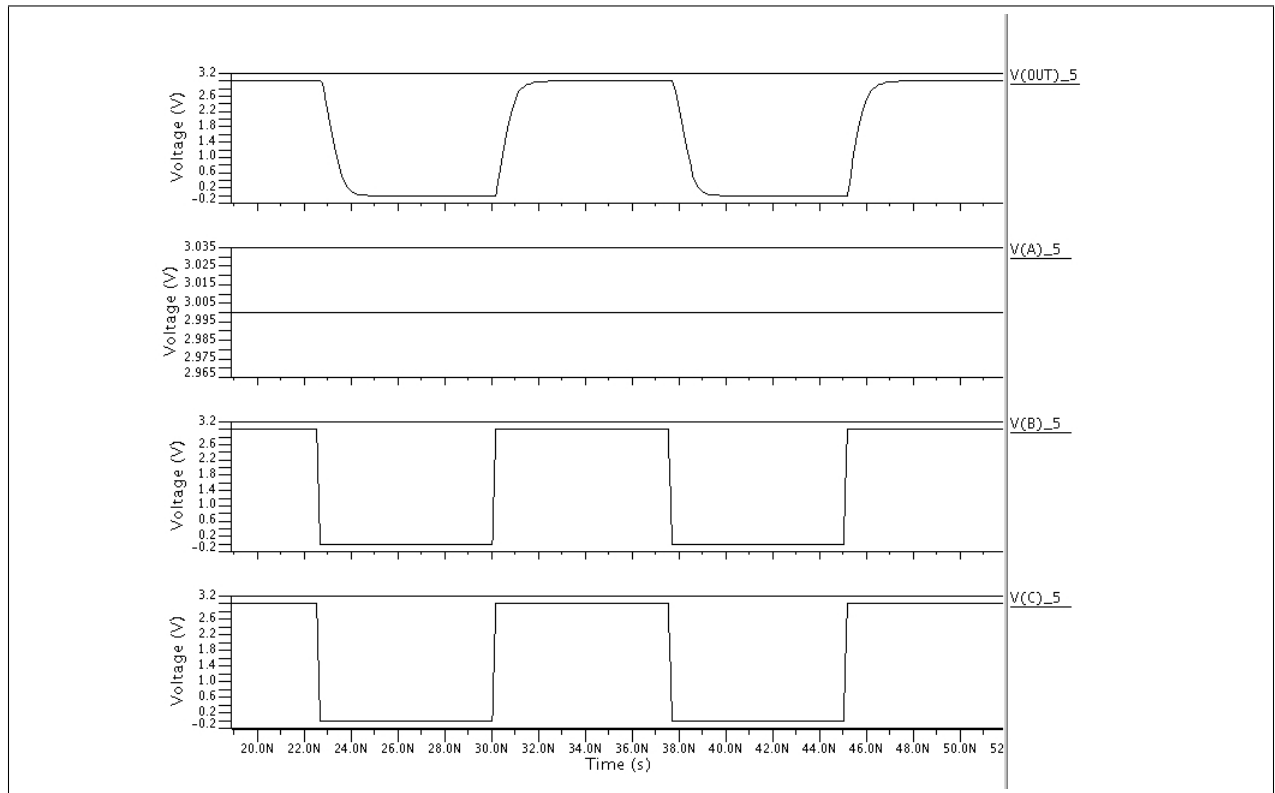


Figura 15: Sinais de Entrada para Cálculo de Atraso de Descida

Questão 11

Termine layout da célula, passe o **DRC** e faça o **LVS**. Gere uma figura do *layout* mostrando todos os níveis e inclua no trabalho.

A Figura 11 mostra o *layout* do circuito da lógica ($ab+c$) construída.

Questão 12

Agora **extraia** o circuito de simulação **a partir do *layout* (opção C+CC)** e repita as simulações feitas **no item 22**. Apresente gráficos e tabelas com os resultados.

As Figuras 16 e 17 mostram, respectivamente, os atrasos de subida e descida por carga capacitiva na saída. Para gerar os gráficos, foram medidos os atrasos para diferentes cargas segundo os *Listings* 8 e 9. Nessa simulação, foi usado um sinal de onda quadrada na entrada com frequência $f = 66,7\text{ MHz}$. Os sinais de entrada são ilustrados nas Figuras 18 e 19.

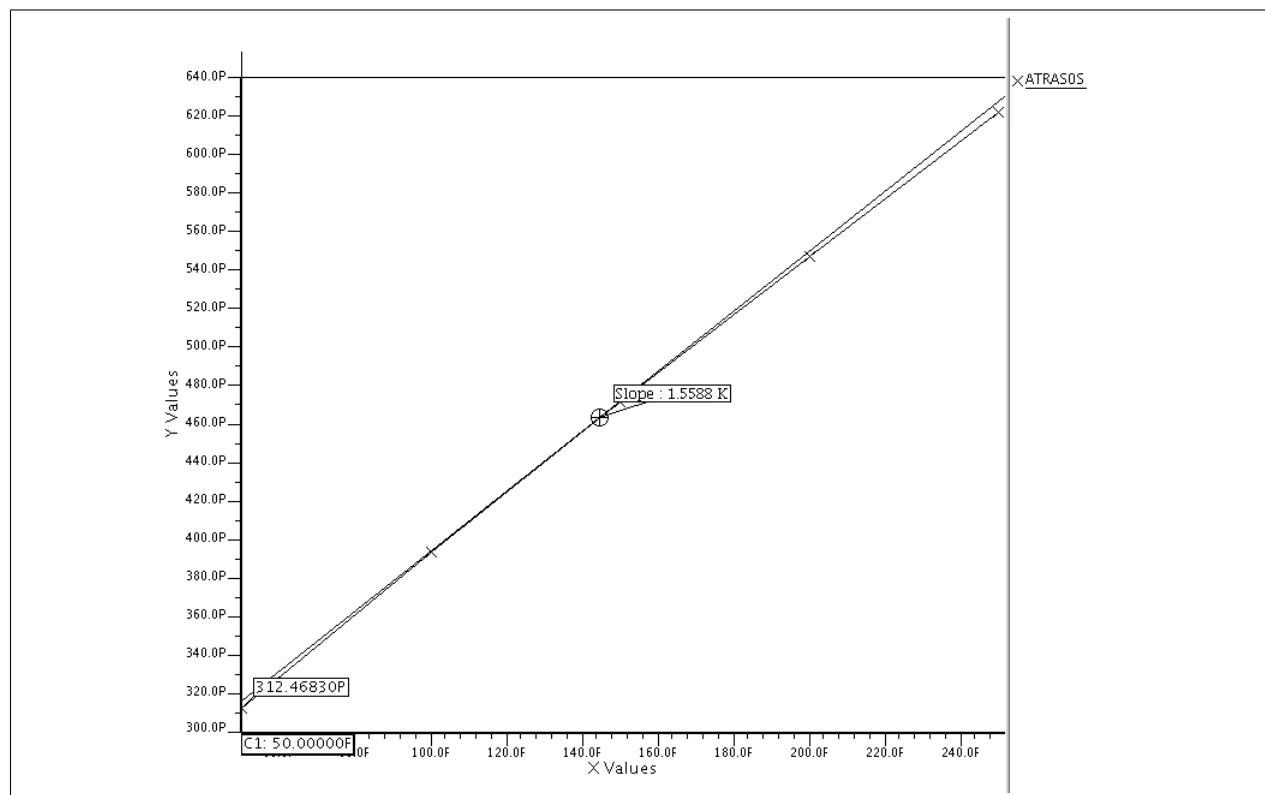


Figura 16: Relação de Atraso de Subida por Carga de Saída

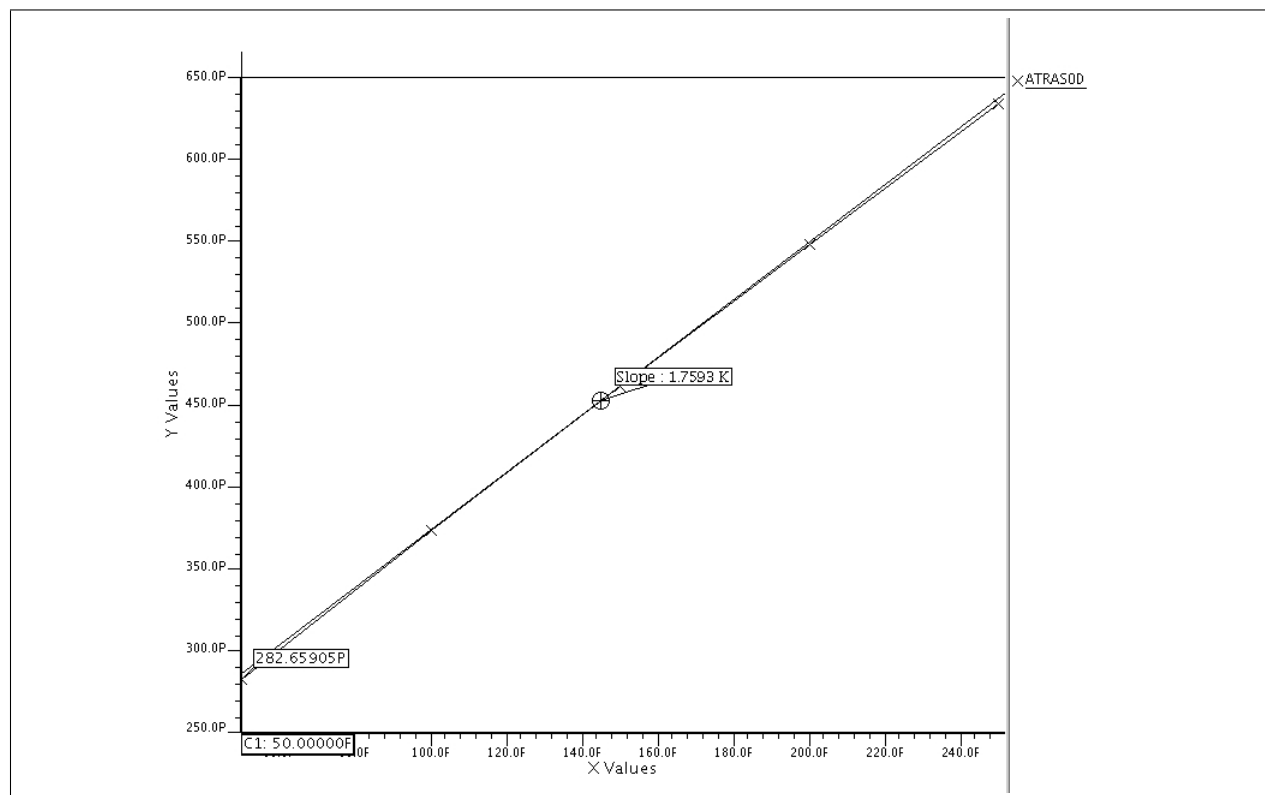


Figura 17: Relação de Atraso de Descida por Carga de Saída

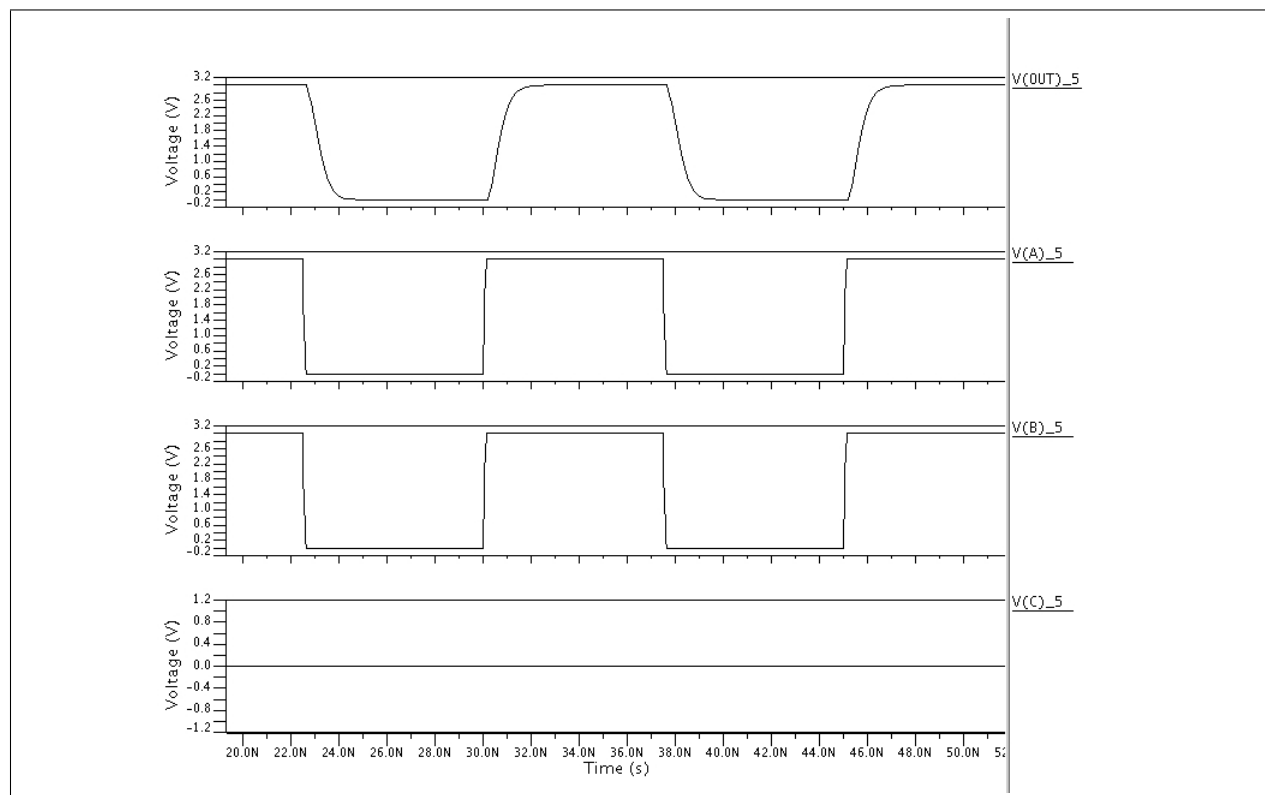


Figura 18: Sinais de Entrada para Cálculo de Atraso de Subida

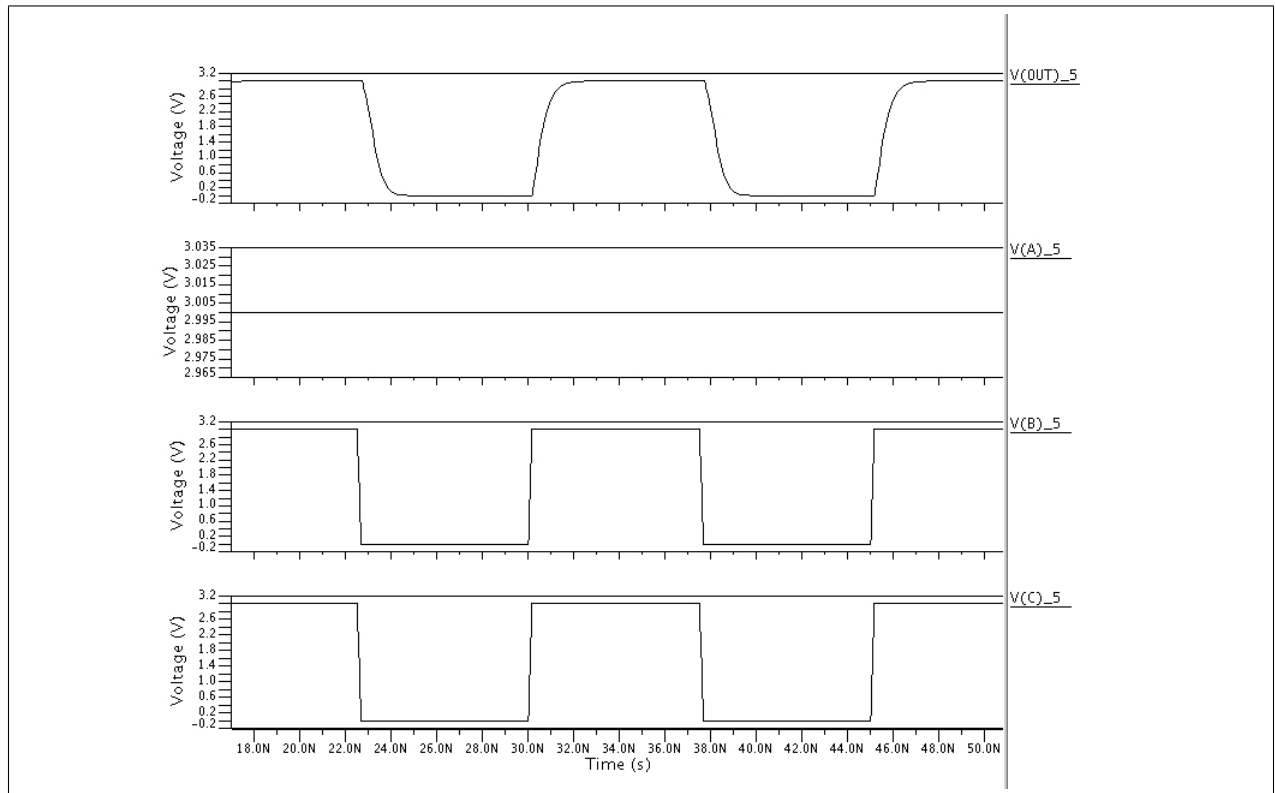


Figura 19: Sinais de Entrada para Cálculo de Atraso de Descida

Questão 13

Para as curvas tempo de propagação na subida e descida geradas a partir do *layout*, calcule as **inclinações** e os **pontos de cruzamento** com o **eixo Y** (eixo de tempo).

Os pontos de cruzamento com o eixo Y podem ser calculados utilizando as informações presentes nos gráficos apresentados (valor de atraso pra capacitância de 50f e inclinação) e a equação da reta.

$$Y0_{Subida} = 312,47p - 50f \cdot 1,5588K = 234,53ps \quad (13)$$

$$Y0_{Descida} = 282,66p - 50f \cdot 1,7593K = 194,70ps \quad (14)$$

Questão 14

Gere novamente os tempos de propagação na subida e descida utilizando agora os comandos (faça os ajustes necessários para seu circuito).

Os novos tempos de propagação encontrados com os comandos presentes no *Listing 10* são encontrados na Tabela 1

Tabela 1: Tempos de Propagação

Propagação	Tempo	Unidade
Subida	0,202	ns
Descida	0,204	ns

Questão 15

Vamos realizar agora uma simulação de Monte Carlo. Nesta simulação são realizadas, na verdade, várias simulações com parâmetros diferentes e podemos conhecer o comportamento do circuito para diversas condições. Utilizando os comandos abaixo realize Monte Carlo (faça os ajustes necessários para seu circuito, não coloque no arquivo o modelo do transistor). Forneça os gráficos da tensão em **c** e na **saída** (valor típico e piores casos) e os gráficos do número de saídas versus delayF e delayR.

O arquivo de simulação gerado para a simulação Monte Carlo pode ser encontrado no *Listing* 11.

O gráfico da tensão em **C** e na **saída** pode ser encontrado na Figura 20 e os gráficos do número de saídas versus delayF e delayR podem ser encontrados nas Figuras 21 e 22.

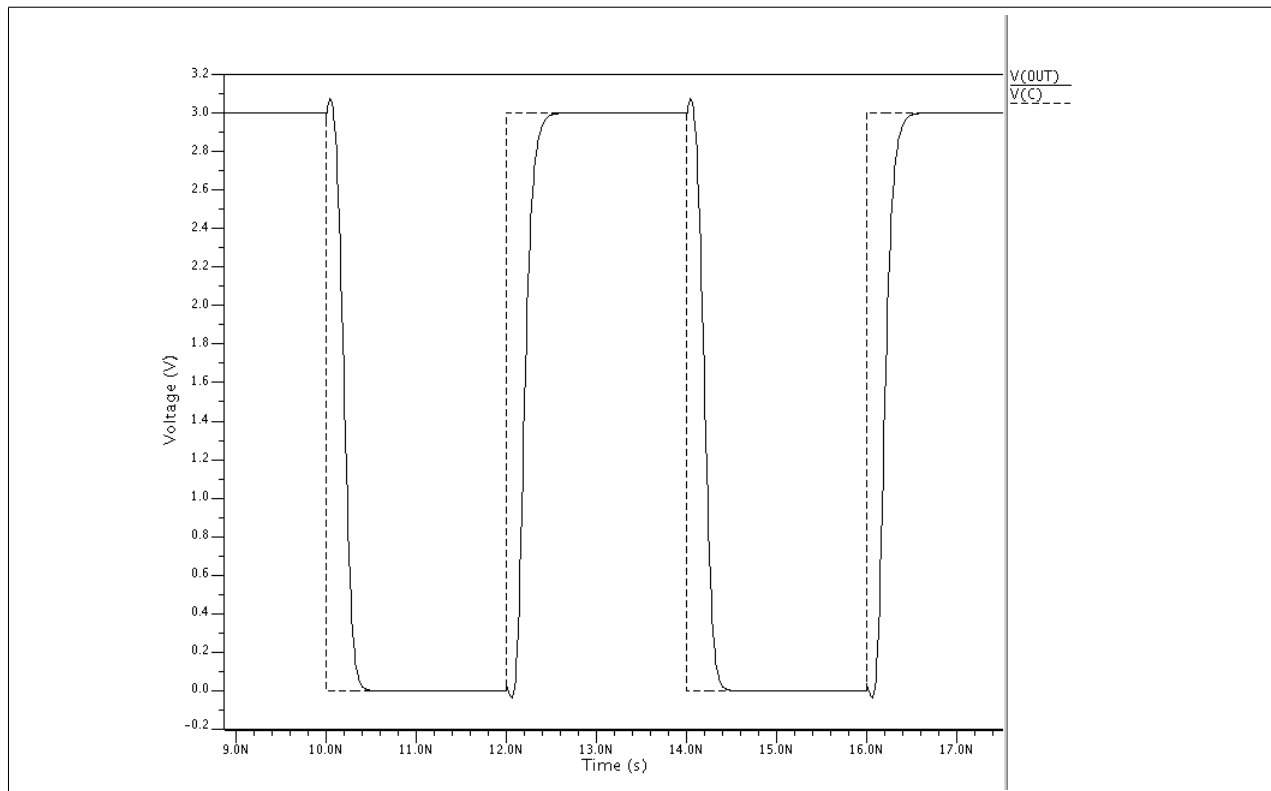


Figura 20: Sinais em C e na Saída

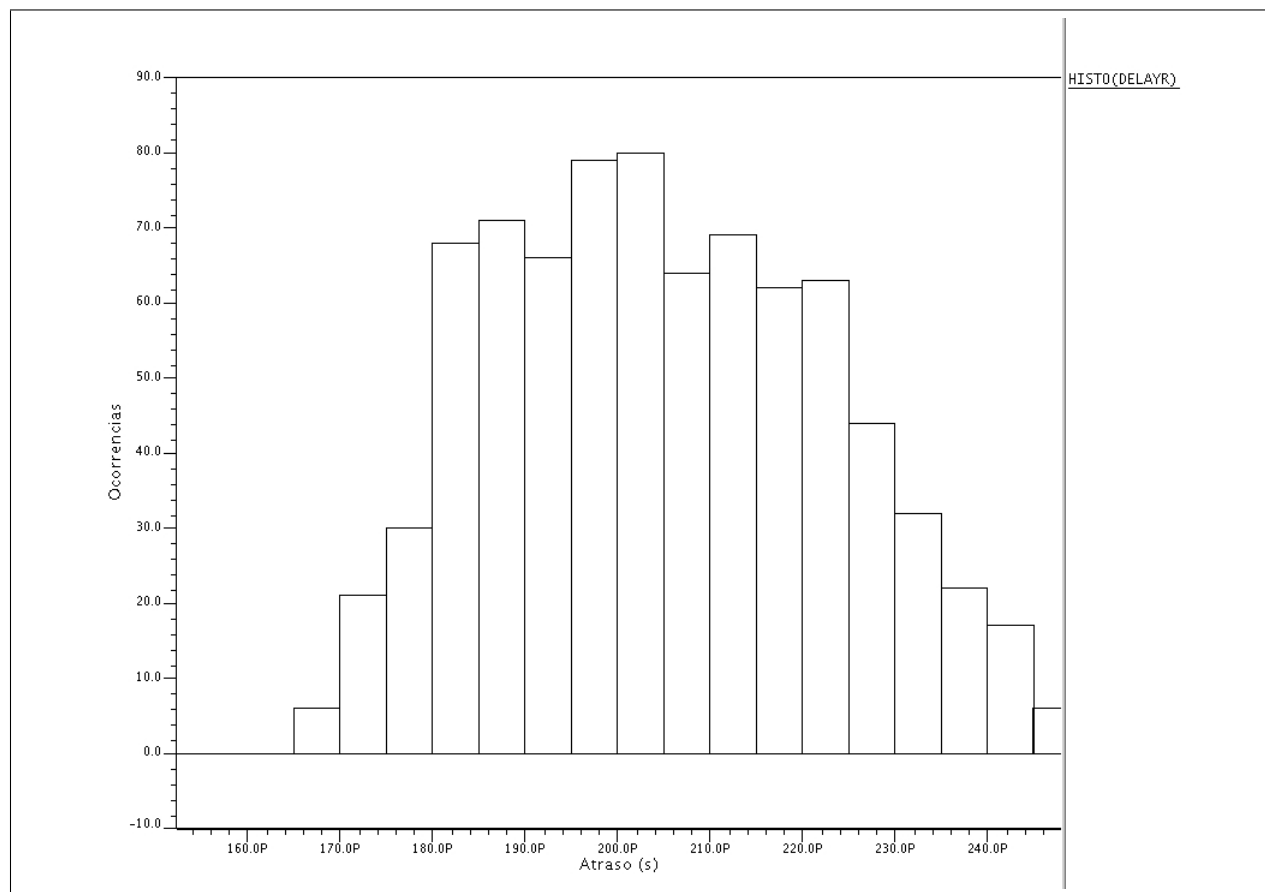


Figura 21: Número de Simulações por Valor de Atraso de Subida

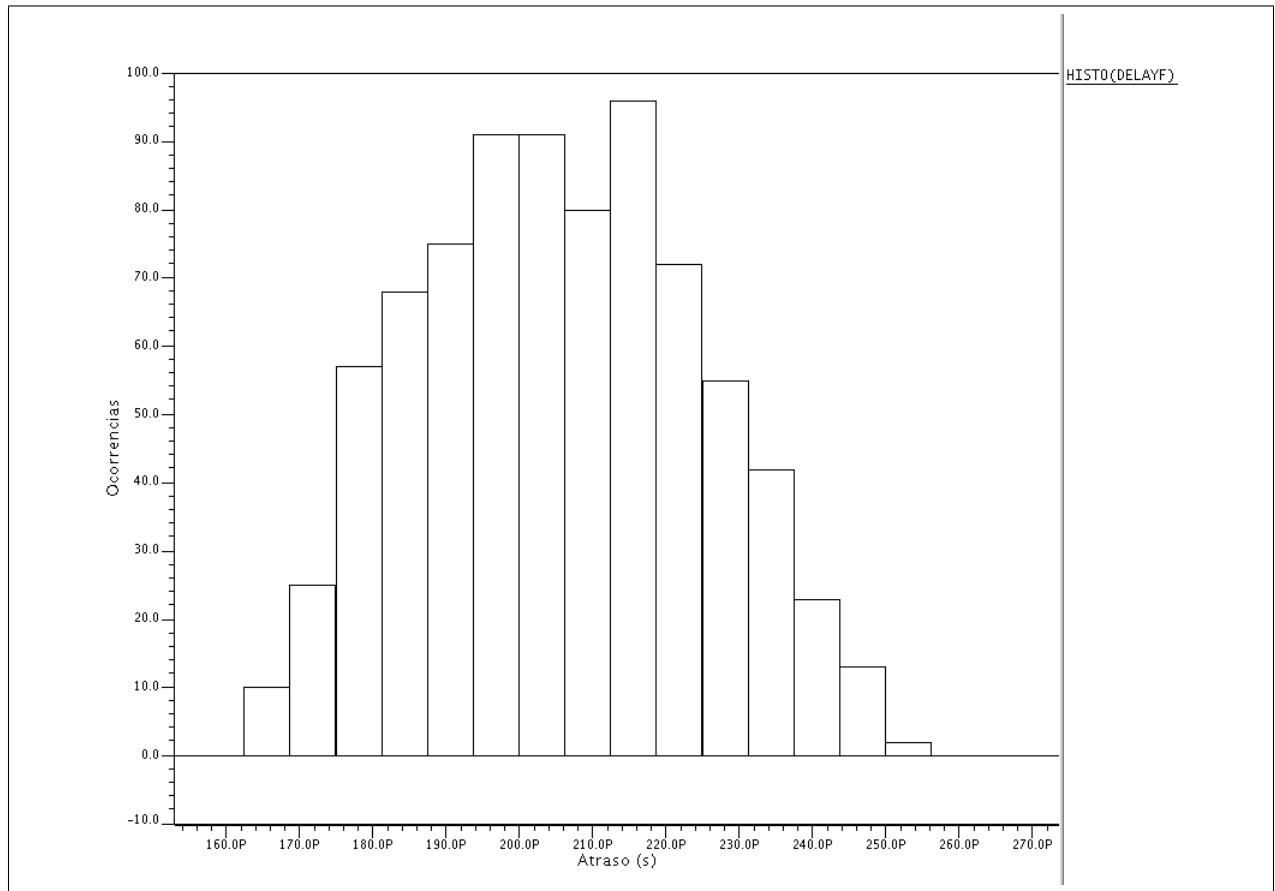


Figura 22: Número de Simulações por Valor de Atraso de Descida

Questão 16

Utilize o comando Report – Windows do ICStation para determinar o tamanho da célula (coloque o tamanho de sua célula no relatório).

O arquivo gerado pelo comando *Report* pode ser encontrado no *Listing 12*.

Pelo *Report*, pode-se inferir que as extremidades do retângulo que delimita a célula estão nos pontos $P_1 = (-1,700; 2,769)$ e $P_2 = (14,543; 32,200)$. Com isso, podemos calcular o tamanho da célula:

$$Altura = 14,543 - (-1,700) = 16,243\mu m \quad (15)$$

$$Largura = 32,200 - 2,769 = 29,431\mu m \quad (16)$$

Anexo

Listing 1: "Netlist Gerado da Porta Lógica $\neg(ab+c)$ "

```
1 *
2 * .CONNECT statements
3 *
4 .CONNECT GROUND 0
5
6
7 * ELDO netlist generated with ICnet by 'cad' on Fri Aug 2 2013 at
  09:19:03
8
9 *
10 * Globals.
11 *
12 .global VDD VSS
13
14 *
15 * MAIN CELL: Component pathname : $proj1/default.group/logic.views/logic1
16 *
17         M_9 N$6 B VDD VDD MODP w=1.180000e-05 l=3.500000e-07 as=1.003000e
          -11
18 + ad=1.003000e-11 ps=1.350000e-05 pd=1.350000e-05 nrs=3.601695e-02 nrd
          =3.601695e-02
19         M_8 OUT C N$6 VDD MODP w=1.180000e-05 l=3.500000e-07 as=1.003000e
          -11
20 + ad=1.003000e-11 ps=1.350000e-05 pd=1.350000e-05 nrs=3.601695e-02 nrd
          =3.601695e-02
21         M_7 N$6 A VDD VDD MODP w=1.180000e-05 l=3.500000e-07 as=1.003000e
          -11
22 + ad=1.003000e-11 ps=1.350000e-05 pd=1.350000e-05 nrs=3.601695e-02 nrd
          =3.601695e-02
23         M_6 OUT C VSS VSS MODN w=2.000000e-06 l=3.500000e-07 as=1.700000e
          -12
24 + ad=1.700000e-12 ps=3.700000e-06 pd=3.700000e-06 nrs=2.125000e-01 nrd
          =2.125000e-01
25         M_5 N$7 B VSS VSS MODN w=4.000000e-06 l=3.500000e-07 as=3.400000e
          -12
26 + ad=3.400000e-12 ps=5.700000e-06 pd=5.700000e-06 nrs=1.062500e-01 nrd
          =1.062500e-01
27         M_4 OUT A N$7 VSS MODN w=4.000000e-06 l=3.500000e-07 as=3.400000e
          -12
28 + ad=3.400000e-12 ps=5.700000e-06 pd=5.700000e-06 nrs=1.062500e-01 nrd
          =1.062500e-01
29 *
30 .end
```

Listing 2: "Comandos do Eldo para Cálculo de Atraso de Subida"

```

1 * TEMPO DE SUBIDA
2 *
3 * .CONNECT statements
4 *
5 *.CONNECT GROUND 0
6
7
8 * ELDO netlist generated with ICnet by 'cad' on Fri Aug 2 2013 at
   09:19:03
9
10 *
11 * Globals.
12 *
13 .global VDD VSS
14
15 *Parameters
16 .param periodo=10n, ts='0.01*periodo', td='0.01*periodo', carga=50fF
17
18 *
19 * MAIN CELL: Component pathname : $proj1/default.group/logic.views/logic1
20 *
21      M_9 N$6 B VDD VDD MODP w=1.180000e-05 l=3.500000e-07 as=1.003000e
      -11
22 +   ad=1.003000e-11 ps=1.350000e-05 pd=1.350000e-05 nrs=3.601695e-02 nrd
      =3.601695e-02
23      M_8 OUT C N$6 VDD MODP w=1.180000e-05 l=3.500000e-07 as=1.003000e
      -11
24 +   ad=1.003000e-11 ps=1.350000e-05 pd=1.350000e-05 nrs=3.601695e-02 nrd
      =3.601695e-02
25      M_7 N$6 A VDD VDD MODP w=1.180000e-05 l=3.500000e-07 as=1.003000e
      -11
26 +   ad=1.003000e-11 ps=1.350000e-05 pd=1.350000e-05 nrs=3.601695e-02 nrd
      =3.601695e-02
27      M_6 OUT C VSS VSS MODN w=2.000000e-06 l=3.500000e-07 as=1.700000e
      -12
28 +   ad=1.700000e-12 ps=3.700000e-06 pd=3.700000e-06 nrs=2.125000e-01 nrd
      =2.125000e-01
29      M_5 N$7 B VSS VSS MODN w=4.000000e-06 l=3.500000e-07 as=3.400000e
      -12
30 +   ad=3.400000e-12 ps=5.700000e-06 pd=5.700000e-06 nrs=1.062500e-01 nrd
      =1.062500e-01
31      M_4 OUT A N$7 VSS MODN w=4.000000e-06 l=3.500000e-07 as=3.400000e
      -12
32 +   ad=3.400000e-12 ps=5.700000e-06 pd=5.700000e-06 nrs=1.062500e-01 nrd
      =1.062500e-01
33 *
34
35 Vd VDD 0 3V

```

```

36 Vs VSS 0 0V
37 Vin C 0 PULSE(0 3V 0 ts td '0.5*periodo-0.5*ts-0.5*td' periodo)
38 Vii B 0 PULSE(0 3V 0 ts td '0.5*periodo-0.5*ts-0.5*td' periodo)
39 V1 A VDD 0
40
41 C1 OUT 0 carga
42
43 .tran 0 100n 0 100p SWEEP carga INCR 50f 50f 250f
44 .meas atrasos trig V(C) val=1.5 fall=5 targ V(OUT) val=1.5 rise=5
45 *.meas atrasod trig V(C) val=1.5 rise=5 targ V(OUT) val=1.5 fall=5
46
47 .probe TRAN V(OUT) V(A) V(B) V(C)
48
49 .include "transistors.mod"
50
51 .end

```

Listing 3: "Comandos do Eldo para Cálculo de Atraso de Descida"

```

1 * TEMPO DE DESCIDA
2 *
3 * .CONNECT statements
4 *
5 *.CONNECT GROUND 0
6
7
8 * ELDO netlist generated with ICnet by 'cad' on Fri Aug 2 2013 at
   09:19:03
9 *
10 * Globals.
11 *
12 .global VDD VSS
13
14 *Parameters
15 .param periodo=10n, ts='0.01*periodo', td='0.01*periodo', carga=50fF
16
17 *
18 * MAIN CELL: Component pathname : $proj1/default.group/logic.views/logic1
19 *
20     M_9 N$6 B VDD VDD MODP w=1.180000e-05 l=3.500000e-07 as=1.003000e
      -11
21 +   ad=1.003000e-11 ps=1.350000e-05 pd=1.350000e-05 nrs=3.601695e-02 nrd
      =3.601695e-02
22     M_8 OUT C N$6 VDD MODP w=1.180000e-05 l=3.500000e-07 as=1.003000e
      -11
23 +   ad=1.003000e-11 ps=1.350000e-05 pd=1.350000e-05 nrs=3.601695e-02 nrd
      =3.601695e-02
24     M_7 N$6 A VDD VDD MODP w=1.180000e-05 l=3.500000e-07 as=1.003000e
      -11

```

```

25 + ad=1.003000e-11 ps=1.350000e-05 pd=1.350000e-05 nrs=3.601695e-02 nrd
    =3.601695e-02
26 M_6 OUT C VSS VSS MODN w=2.000000e-06 l=3.500000e-07 as=1.700000e
    -12
27 + ad=1.700000e-12 ps=3.700000e-06 pd=3.700000e-06 nrs=2.125000e-01 nrd
    =2.125000e-01
28 M_5 N$7 B VSS VSS MODN w=4.000000e-06 l=3.500000e-07 as=3.400000e
    -12
29 + ad=3.400000e-12 ps=5.700000e-06 pd=5.700000e-06 nrs=1.062500e-01 nrd
    =1.062500e-01
30 M_4 OUT A N$7 VSS MODN w=4.000000e-06 l=3.500000e-07 as=3.400000e
    -12
31 + ad=3.400000e-12 ps=5.700000e-06 pd=5.700000e-06 nrs=1.062500e-01 nrd
    =1.062500e-01
32 *
33
34 Vd VDD 0 3V
35 Vs VSS 0 0V
36 Vin A 0 PULSE(0 3V 0 ts td '0.5*periodo-0.5*ts-0.5*td' periodo)
37 Vii B 0 PULSE(0 3V 0 ts td '0.5*periodo-0.5*ts-0.5*td' periodo)
38 V1 C VSS 0
39
40 C1 OUT 0 carga
41
42 .tran 0 100n 0 100p SWEEP carga INCR 50f 50f 250f
43 *.meas atrasos trig V(A) val=1.5 fall=5 targ V(OUT) val=1.5 rise=5
44 .meas atrasod trig V(A) val=1.5 rise=5 targ V(OUT) val=1.5 fall=5
45
46 .probe TRAN V(OUT) V(A) V(B) V(C)
47
48 .include "transistors.mod"
49
50 .end

```

Listing 4: "Comandos do Eldo para Cálculo de Atraso de Subida"

```

1 * TEMPO DE SUBIDA
2
3 * File: logic1.pex.netlist
4 * Created: Mon Aug 5 09:26:52 2013
5 * Program "Calibre xRC"
6 * Version "v2006.2_16.16"
7 *
8
9 *Parameters
10 .param periodo=10n, ts='0.01*periodo', td='0.01*periodo', carga=50fF
11
12
13 .subckt LOGIC1 A B C OUT VDD VSS

```

```

14 *
15 mM0 3 B VSS VSS MODN L=3.5e-07 W=4e-06 AD=2e-12 AS=3.8e-12 PD=1e-06 PS=5.9
    e-06
16 + NRD=0.10625 NRS=0.10625
17 mM1 OUT A 3 VSS MODN L=3.5e-07 W=4e-06 AD=2.53333e-12 AS=2e-12 PD=2.73333e
    -06
18 + PS=1e-06 NRD=0.10625 NRS=0.10625
19 mM2 VSS C OUT VSS MODN L=3.5e-07 W=2e-06 AD=1.9e-12 AS=1.26667e-12 PD=3.9e
    -06
20 + PS=1.36667e-06 NRD=0.2125 NRS=0.2125
21 mM3 VDD B 5 VDD MODP L=3.5e-07 W=1.18e-05 AD=1.121e-11 AS=1.003e-11
22 + PD=1.37e-05 PS=1.35e-05 NRD=0.0360169 NRS=0.0360169
23 mM4 5 A VDD VDD MODP L=3.5e-07 W=1.18e-05 AD=5.9e-12 AS=1.121e-11 PD=1e-06
24 + PS=1.37e-05 NRD=0.0360169 NRS=0.0360169
25 mM5 OUT C 5 VDD MODP L=3.5e-07 W=1.18e-05 AD=1.003e-11 AS=5.9e-12 PD=1.35e
    -05
26 + PS=1e-06 NRD=0.0360169 NRS=0.0360169
27 c_6 B 0 1.3331f
28 c_12 VDD 0 38.52f
29 c_18 3 0 0.049283f
30 c_26 A 0 0.966422f
31 c_38 C 0 1.28427f
32 c_44 VSS 0 1.75593f
33 c_51 OUT 0 0.908555f
34 *
35 .include "logic1.pex.netlist.LOGIC1.pxi"
36 .include "transistors.mod"
37 *
38 .ends
39
40 Xd A B C OUT VDD VSS LOGIC1
41
42 Vd VDD 0 3V
43 Vs VSS 0 0V
44 Vin C 0 PULSE(0 3V 0 ts td '0.5*periodo-0.5*ts-0.5*td' periodo)
45 Vii B 0 PULSE(0 3V 0 ts td '0.5*periodo-0.5*ts-0.5*td' periodo)
46 V1 A VDD 0
47
48 Cl OUT 0 carga
49
50 .tran 0 100n 0 100p SWEEP carga INCR 50f 50f 250f
51 .meas atrasos trig V(C) val=1.5 fall=5 targ V(OUT) val=1.5 rise=5

```

Listing 5: "Comandos do Eldo para Cálculo de Atraso de Descida"

```

1 * TEMPO DE DESCIDA
2
3 * File: logic1.pex.netlist
4 * Created: Mon Aug 5 09:26:52 2013

```

```

5 * Program "Calibre xRC"
6 * Version "v2006.2_16.16"
7 *
8
9 *Parameters
10 .param periodo=10n, ts='0.01*periodo', td='0.01*periodo', carga=50fF
11
12
13 .subckt LOGIC1 A B C OUT VDD VSS
14 *
15 mM0 3 B VSS VSS MODN L=3.5e-07 W=4e-06 AD=2e-12 AS=3.8e-12 PD=1e-06 PS=5.9
    e-06
16 + NRD=0.10625 NRS=0.10625
17 mM1 OUT A 3 VSS MODN L=3.5e-07 W=4e-06 AD=2.53333e-12 AS=2e-12 PD=2.73333e
    -06
18 + PS=1e-06 NRD=0.10625 NRS=0.10625
19 mM2 VSS C OUT VSS MODN L=3.5e-07 W=2e-06 AD=1.9e-12 AS=1.26667e-12 PD=3.9e
    -06
20 + PS=1.36667e-06 NRD=0.2125 NRS=0.2125
21 mM3 VDD B 5 VDD MODP L=3.5e-07 W=1.18e-05 AD=1.121e-11 AS=1.003e-11
22 + PD=1.37e-05 PS=1.35e-05 NRD=0.0360169 NRS=0.0360169
23 mM4 5 A VDD VDD MODP L=3.5e-07 W=1.18e-05 AD=5.9e-12 AS=1.121e-11 PD=1e-06
24 + PS=1.37e-05 NRD=0.0360169 NRS=0.0360169
25 mM5 OUT C 5 VDD MODP L=3.5e-07 W=1.18e-05 AD=1.003e-11 AS=5.9e-12 PD=1.35e
    -05
26 + PS=1e-06 NRD=0.0360169 NRS=0.0360169
27 c_6 B 0 1.3331f
28 c_12 VDD 0 38.52f
29 c_18 3 0 0.049283f
30 c_26 A 0 0.966422f
31 c_38 C 0 1.28427f
32 c_44 VSS 0 1.75593f
33 c_51 OUT 0 0.908555f
34 *
35 .include "logic1.pex.netlist.LOGIC1.pxi"
36 .include "transistors.mod"
37 *
38 .ends
39
40 Xd A B C OUT VDD VSS LOGIC1
41
42 Vd VDD 0 3V
43 Vs VSS 0 0V
44 Vin A 0 PULSE(0 3V 0 ts td '0.5*periodo-0.5*ts-0.5*td' periodo)
45 Vii B 0 PULSE(0 3V 0 ts td '0.5*periodo-0.5*ts-0.5*td' periodo)
46 V1 C VSS 0
47
48 C1 OUT 0 carga
49

```

```

50 .tran 0 100n 0 100p SWEEP carga INCR 50f 50f 250f
51 *.meas atrasos trig V(A) val=1.5 fall=5 targ V(OUT) val=1.5 rise=5

```

Listing 6: "Comandos do Eldo para Cálculo de Atraso de Subida"

```

1  *
2  * .CONNECT statements
3  *
4  *.CONNECT GROUND 0
5
6
7  * ELDO netlist generated with ICnet by 'cad' on Thu Aug 8 2013 at
   10:34:01
8
9  *
10 * Globals.
11 *
12 .global VDD VSS
13
14 *Parameters
15 .param periodo=15n, ts='0.01*periodo', td='0.01*periodo', carga=50fF
16
17 *
18 * Component pathname : $proj1/default.group/logic.views/inv1
19 *
20 .subckt INV1 OUT IN
21
22      M_2 OUT IN VDD VDD MODP w=5.900000e-06 l=3.500000e-07 as=5.015000e
-12
23 +   ad=5.015000e-12 ps=7.600000e-06 pd=7.600000e-06 nrs=7.203390e-02 nrd
=7.203390e-02
24      M_1 OUT IN VSS VSS MODN w=2.000000e-06 l=3.500000e-07 as=1.700000e
-12
25 +   ad=1.700000e-12 ps=3.700000e-06 pd=3.700000e-06 nrs=2.125000e-01 nrd
=2.125000e-01
26 .ends INV1
27
28 *
29 * Component pathname : $proj1/default.group/logic.views/logic1
30 *
31 .subckt LOGIC1 OUT A B C
32
33      M_9 N$6 B VDD VDD MODP w=1.180000e-05 l=3.500000e-07 as=1.003000e
-11
34 +   ad=1.003000e-11 ps=1.350000e-05 pd=1.350000e-05 nrs=3.601695e-02 nrd
=3.601695e-02
35      M_8 OUT C N$6 VDD MODP w=1.180000e-05 l=3.500000e-07 as=1.003000e
-11
36 +   ad=1.003000e-11 ps=1.350000e-05 pd=1.350000e-05 nrs=3.601695e-02 nrd

```



```

37      =3.601695e-02
      M_7 N$6 A VDD VDD MODP w=1.180000e-05 l=3.500000e-07 as=1.003000e
-11
38 + ad=1.003000e-11 ps=1.350000e-05 pd=1.350000e-05 nrs=3.601695e-02 nrd
=3.601695e-02
39      M_6 OUT C VSS VSS MODN w=2.000000e-06 l=3.500000e-07 as=1.700000e
-12
40 + ad=1.700000e-12 ps=3.700000e-06 pd=3.700000e-06 nrs=2.125000e-01 nrd
=2.125000e-01
41      M_5 N$7 B VSS VSS MODN w=4.000000e-06 l=3.500000e-07 as=3.400000e
-12
42 + ad=3.400000e-12 ps=5.700000e-06 pd=5.700000e-06 nrs=1.062500e-01 nrd
=1.062500e-01
43      M_4 OUT A N$7 VSS MODN w=4.000000e-06 l=3.500000e-07 as=3.400000e
-12
44 + ad=3.400000e-12 ps=5.700000e-06 pd=5.700000e-06 nrs=1.062500e-01 nrd
=1.062500e-01
45 .ends LOGIC1
46
47 *
48 * MAIN CELL: Component pathname : $proj1/default.group/logic.views/logic2
49 *
50      X_INV12 OUT N$206 INV1
51      X_LOGIC12 N$206 A B C LOGIC1

```

Listing 7: "Comandos do Eldo para Cálculo de Atraso de Descida"

```

1 *
2 * .CONNECT statements
3 *
4 *.CONNECT GROUND 0
5
6
7 * ELDO netlist generated with ICnet by 'cad' on Thu Aug 8 2013 at
10:34:01
8
9 *
10 * Globals.
11 *
12 .global VDD VSS
13
14 *Parameters
15 .param periodo=15n, ts='0.01*periodo', td='0.01*periodo', carga=50fF
16
17 *
18 * Component pathname : $proj1/default.group/logic.views/inv1
19 *
20 .subckt INV1 OUT IN
21

```

```

22      M_2 OUT IN VDD VDD MODP w=5.900000e-06 l=3.500000e-07 as=5.015000e
    -12
23 + ad=5.015000e-12 ps=7.600000e-06 pd=7.600000e-06 nrs=7.203390e-02 nrd
    =7.203390e-02
24      M_1 OUT IN VSS VSS MODN w=2.000000e-06 l=3.500000e-07 as=1.700000e
    -12
25 + ad=1.700000e-12 ps=3.700000e-06 pd=3.700000e-06 nrs=2.125000e-01 nrd
    =2.125000e-01
26 .ends INV1
27
28 *
29 * Component pathname : $proj1/default.group/logic.views/logic1
30 *
31 .subckt LOGIC1 OUT A B C
32
33      M_9 N$6 B VDD VDD MODP w=1.180000e-05 l=3.500000e-07 as=1.003000e
    -11
34 + ad=1.003000e-11 ps=1.350000e-05 pd=1.350000e-05 nrs=3.601695e-02 nrd
    =3.601695e-02
35      M_8 OUT C N$6 VDD MODP w=1.180000e-05 l=3.500000e-07 as=1.003000e
    -11
36 + ad=1.003000e-11 ps=1.350000e-05 pd=1.350000e-05 nrs=3.601695e-02 nrd
    =3.601695e-02
37      M_7 N$6 A VDD VDD MODP w=1.180000e-05 l=3.500000e-07 as=1.003000e
    -11
38 + ad=1.003000e-11 ps=1.350000e-05 pd=1.350000e-05 nrs=3.601695e-02 nrd
    =3.601695e-02
39      M_6 OUT C VSS VSS MODN w=2.000000e-06 l=3.500000e-07 as=1.700000e
    -12
40 + ad=1.700000e-12 ps=3.700000e-06 pd=3.700000e-06 nrs=2.125000e-01 nrd
    =2.125000e-01
41      M_5 N$7 B VSS VSS MODN w=4.000000e-06 l=3.500000e-07 as=3.400000e
    -12
42 + ad=3.400000e-12 ps=5.700000e-06 pd=5.700000e-06 nrs=1.062500e-01 nrd
    =1.062500e-01
43      M_4 OUT A N$7 VSS MODN w=4.000000e-06 l=3.500000e-07 as=3.400000e
    -12
44 + ad=3.400000e-12 ps=5.700000e-06 pd=5.700000e-06 nrs=1.062500e-01 nrd
    =1.062500e-01
45 .ends LOGIC1
46
47 *
48 * MAIN CELL: Component pathname : $proj1/default.group/logic.views/logic2
49 *
50      X_INV12 OUT N$206 INV1
51      X_LOGIC12 N$206 A B C LOGIC1

```

Listing 8: "Comandos do Eldo para Cálculo de Atraso de Subida"

```

1 * File: logic2.pex.netlist
2 * Created: Fri Aug 9 08:04:45 2013
3 * Program "Calibre xRC"
4 * Version "v2006.2_16.16"
5 *
6 *Parameters
7 .param periodo=15n, ts='0.01*periodo', td='0.01*periodo', carga=50fF
8
9 .subckt LOGIC2 A B C OUT VDD VSS
10 *
11 mM0 2 B VSS VSS MODN L=3.5e-07 W=4e-06 AD=2e-12 AS=3.8e-12 PD=1e-06 PS=5.9
    e-06
12 + NRD=0.10625 NRS=0.10625
13 mM1 8 A 2 VSS MODN L=3.5e-07 W=4e-06 AD=2.53333e-12 AS=2e-12 PD=2.73333e
    -06
14 + PS=1e-06 NRD=0.10625 NRS=0.10625
15 mM2 VSS C 8 VSS MODN L=3.5e-07 W=2e-06 AD=1.9e-12 AS=1.26667e-12 PD=3.9e
    -06
16 + PS=1.36667e-06 NRD=0.2125 NRS=0.2125
17 mM3 OUT 8 VSS VSS MODN L=3.5e-07 W=2e-06 AD=1.7e-12 AS=1.9e-12 PD=3.7e-06
18 + PS=3.9e-06 NRD=0.2125 NRS=0.2125
19 mM4 VDD B 4 VDD MODP L=3.5e-07 W=1.18e-05 AD=1.121e-11 AS=1.003e-11
20 + PD=1.37e-05 PS=1.35e-05 NRD=0.0360169 NRS=0.0360169
21 mM5 4 A VDD VDD MODP L=3.5e-07 W=1.18e-05 AD=5.9e-12 AS=1.121e-11 PD=1e-06
22 + PS=1.37e-05 NRD=0.0360169 NRS=0.0360169
23 mM6 8 C 4 VDD MODP L=3.5e-07 W=1.18e-05 AD=1.003e-11 AS=5.9e-12 PD=1.35e
    -05
24 + PS=1e-06 NRD=0.0360169 NRS=0.0360169
25 mM7 OUT 8 VDD VDD MODP L=3.5e-07 W=5.9e-06 AD=5.015e-12 AS=5.605e-12
26 + PD=7.6e-06 PS=7.8e-06 NRD=0.0720339 NRS=0.0720339
27 c_6 B 0 1.3331f
28 c_12 2 0 0.0492122f
29 c_20 A 0 0.966422f
30 c_32 C 0 1.28427f
31 c_39 VSS 0 3.13586f
32 c_46 VDD 0 60.8715f
33 c_54 8 0 1.5931f
34 c_58 OUT 0 0.310806f
35 *
36 .include "logic2.pex.netlist.LOGIC2.pxi"
37 .include "transistors.mod"
38 *
39 .ends
40
41 X1 A B C OUT VDD VSS LOGIC2
42
43 Vd VDD 0 3V
44 Vs VSS 0 0V
45 Vin A 0 PULSE(0 3V 0 ts td '0.5*periodo-0.5*ts-0.5*td' periodo)

```

```

46 Vii B 0 PULSE(0 3V 0 ts td '0.5*periodo-0.5*ts-0.5*td' periodo)
47 V1 C VSS 0
48
49 C1 OUT 0 carga
50
51 .tran 0 100n 0 100p SWEEP carga INCR 50f 50f 250f

```

Listing 9: "Comandos do Eldo para Cálculo de Atraso de Descida"

```

1  * File: logic2.pex.netlist
2  * Created: Fri Aug 9 08:04:45 2013
3  * Program "Calibre xRC"
4  * Version "v2006.2_16.16"
5  *
6
7  *Parameters
8  .param periodo=15n, ts='0.01*periodo', td='0.01*periodo', carga=50fF
9
10 .subckt LOGIC2 A B C OUT VDD VSS
11 *
12 mM0 2 B VSS VSS MODN L=3.5e-07 W=4e-06 AD=2e-12 AS=3.8e-12 PD=1e-06 PS=5.9
    e-06
13 + NRD=0.10625 NRS=0.10625
14 mM1 8 A 2 VSS MODN L=3.5e-07 W=4e-06 AD=2.53333e-12 AS=2e-12 PD=2.73333e
    -06
15 + PS=1e-06 NRD=0.10625 NRS=0.10625
16 mM2 VSS C 8 VSS MODN L=3.5e-07 W=2e-06 AD=1.9e-12 AS=1.26667e-12 PD=3.9e
    -06
17 + PS=1.36667e-06 NRD=0.2125 NRS=0.2125
18 mM3 OUT 8 VSS VSS MODN L=3.5e-07 W=2e-06 AD=1.7e-12 AS=1.9e-12 PD=3.7e-06
19 + PS=3.9e-06 NRD=0.2125 NRS=0.2125
20 mM4 VDD B 4 VDD MODP L=3.5e-07 W=1.18e-05 AD=1.121e-11 AS=1.003e-11
21 + PD=1.37e-05 PS=1.35e-05 NRD=0.0360169 NRS=0.0360169
22 mM5 4 A VDD VDD MODP L=3.5e-07 W=1.18e-05 AD=5.9e-12 AS=1.121e-11 PD=1e-06
23 + PS=1.37e-05 NRD=0.0360169 NRS=0.0360169
24 mM6 8 C 4 VDD MODP L=3.5e-07 W=1.18e-05 AD=1.003e-11 AS=5.9e-12 PD=1.35e
    -05
25 + PS=1e-06 NRD=0.0360169 NRS=0.0360169
26 mM7 OUT 8 VDD VDD MODP L=3.5e-07 W=5.9e-06 AD=5.015e-12 AS=5.605e-12
27 + PD=7.6e-06 PS=7.8e-06 NRD=0.0720339 NRS=0.0720339
28 c_6 B 0 1.3331f
29 c_12 2 0 0.0492122f
30 c_20 A 0 0.966422f
31 c_32 C 0 1.28427f
32 c_39 VSS 0 3.13586f
33 c_46 VDD 0 60.8715f
34 c_54 8 0 1.5931f
35 c_58 OUT 0 0.310806f
36 *

```

```

37 .include "logic2.pex.netlist.LOGIC2.pxi"
38 .include "transistors.mod"
39 *
40 .ends
41
42 X1 A B C OUT VDD VSS LOGIC2
43
44 Vd VDD 0 3V
45 Vs VSS 0 0V
46 Vin C 0 PULSE(0 3V 0 ts td '0.5*periodo-0.5*ts-0.5*td' periodo)
47 Vii B 0 PULSE(0 3V 0 ts td '0.5*periodo-0.5*ts-0.5*td' periodo)
48 V1 A VDD 0
49
50 C1 OUT 0 carga

```

Listing 10: "Simulação da Lógica não inversora"

```

1 .subckt LOGIC2 A B C OUT VDD VSS
2 *
3 mM0 2 B VSS VSS MODN L=3.5e-07 W=4e-06 AD=2e-12 AS=3.8e-12 PD=1e-06 PS=5.9
  e-06
4 + NRD=0.10625 NRS=0.10625
5 mM1 8 A 2 VSS MODN L=3.5e-07 W=4e-06 AD=2.53333e-12 AS=2e-12 PD=2.73333e
  -06
6 + PS=1e-06 NRD=0.10625 NRS=0.10625
7 mM2 VSS C 8 VSS MODN L=3.5e-07 W=2e-06 AD=1.9e-12 AS=1.26667e-12 PD=3.9e
  -06
8 + PS=1.36667e-06 NRD=0.2125 NRS=0.2125
9 mM3 OUT 8 VSS VSS MODN L=3.5e-07 W=2e-06 AD=1.7e-12 AS=1.9e-12 PD=3.7e-06
10 + PS=3.9e-06 NRD=0.2125 NRS=0.2125
11 mM4 VDD B 4 VDD MODP L=3.5e-07 W=1.18e-05 AD=1.121e-11 AS=1.003e-11
12 + PD=1.37e-05 PS=1.35e-05 NRD=0.0360169 NRS=0.0360169
13 mM5 4 A VDD VDD MODP L=3.5e-07 W=1.18e-05 AD=5.9e-12 AS=1.121e-11 PD=1e-06
14 + PS=1.37e-05 NRD=0.0360169 NRS=0.0360169
15 mM6 8 C 4 VDD MODP L=3.5e-07 W=1.18e-05 AD=1.003e-11 AS=5.9e-12 PD=1.35e
  -05
16 + PS=1e-06 NRD=0.0360169 NRS=0.0360169
17 mM7 OUT 8 VDD VDD MODP L=3.5e-07 W=5.9e-06 AD=5.015e-12 AS=5.605e-12
18 + PD=7.6e-06 PS=7.8e-06 NRD=0.0720339 NRS=0.0720339
19 c_6 B 0 1.3331f
20 c_12 2 0 0.0492122f
21 c_20 A 0 0.966422f
22 c_32 C 0 1.28427f
23 c_39 VSS 0 3.13586f
24 c_46 VDD 0 60.8715f
25 c_54 8 0 1.5931f
26 c_58 OUT 0 0.310806f
27 *
28 .include "logic2.pex.netlist.LOGIC2.pxi"

```

```

29 .include "transistors.mod"
30 *
31 .ends
32
33 X1 a b c out VDD VSS LOGIC2
34
35 Vd VDD 0 3V
36 Vs VSS 0 0V
37
38 Va a 0 3V
39 Vb b 0 0
40 Vc c 0 pulse (0 3 0 1p 1p 2n 4n)
41 .tran 1n 40n 0n 1p
42 .meas tran delayF trig v(c) val=1.5 fall=6 targ v(out) val=1.5 fall=6
43 .meas tran delayR trig v(c) val=1.5 rise=6 targ v(out) val=1.5 rise=6
44 Cl out 0 30fF
45
46 .probe TRAN V(*)
47
48 .end

```

Listing 11: "Simulação Monte Carlo"

```

1 .subckt LOGIC2 A B C OUT VDD VSS
2 *
3 mM0 2 B VSS VSS MODN L=3.5e-07 W=4e-06 AD=2e-12 AS=3.8e-12 PD=1e-06 PS=5.9
  e-06
4 + NRD=0.10625 NRS=0.10625
5 mM1 8 A 2 VSS MODN L=3.5e-07 W=4e-06 AD=2.53333e-12 AS=2e-12 PD=2.73333e
  -06
6 + PS=1e-06 NRD=0.10625 NRS=0.10625
7 mM2 VSS C 8 VSS MODN L=3.5e-07 W=2e-06 AD=1.9e-12 AS=1.26667e-12 PD=3.9e
  -06
8 + PS=1.36667e-06 NRD=0.2125 NRS=0.2125
9 mM3 OUT 8 VSS VSS MODN L=3.5e-07 W=2e-06 AD=1.7e-12 AS=1.9e-12 PD=3.7e-06
10 + PS=3.9e-06 NRD=0.2125 NRS=0.2125
11 mM4 VDD B 4 VDD MODP L=3.5e-07 W=1.18e-05 AD=1.121e-11 AS=1.003e-11
12 + PD=1.37e-05 PS=1.35e-05 NRD=0.0360169 NRS=0.0360169
13 mM5 4 A VDD VDD MODP L=3.5e-07 W=1.18e-05 AD=5.9e-12 AS=1.121e-11 PD=1e-06
14 + PS=1.37e-05 NRD=0.0360169 NRS=0.0360169
15 mM6 8 C 4 VDD MODP L=3.5e-07 W=1.18e-05 AD=1.003e-11 AS=5.9e-12 PD=1.35e
  -05
16 + PS=1e-06 NRD=0.0360169 NRS=0.0360169
17 mM7 OUT 8 VDD VDD MODP L=3.5e-07 W=5.9e-06 AD=5.015e-12 AS=5.605e-12
18 + PD=7.6e-06 PS=7.8e-06 NRD=0.0720339 NRS=0.0720339
19 c_6 B 0 1.3331f
20 c_12 2 0 0.0492122f
21 c_20 A 0 0.966422f
22 c_32 C 0 1.28427f

```

```

23 c_39 VSS 0 3.13586f
24 c_46 VDD 0 60.8715f
25 c_54 8 0 1.5931f
26 c_58 OUT 0 0.310806f
27 *
28 .include "logic2.pex.netlist.LOGIC2.pxi"
29 *.include "transistors.mod"
30 *
31 .ends
32
33 X1 a b c out VDD VSS LOGIC2
34
35 Vd VDD 0 3V
36 Vs VSS 0 0V
37
38 Va a 0 3V
39 Vb b 0 0
40 Vc c 0 pulse (0 3 0 1p 1p 2n 4n)
41 .tran 1n 30n 0n 10p
42 .meas tran delayF trig v(c) val=1.5 fall=5 targ v(out) val=1.5 fall=5
43 .meas tran delayR trig v(c) val=1.5 rise=5 targ v(out) val=1.5 rise=5
44 Cl out 0 30fF
45
46 .option SST_MTHREAD=1
47 .MC 800 NBBINS=20
48 .INCLUDE /local/tools/dkit/ams_3.70_mgc/eldo/c35/profile.opt

```

Listing 12: "Report da Célula"

```

1 Report Windows
2
3 Selectable Layers: 0-4097, 4101, 4104-4106, 4109-4112, 4117-4167,
  4190-4224
4
5 IC Windows
6
7
8 Name      Snap  Minor  Major  Grid          Offset      Cull  Active
   Iconified
9
10                      Snap (X,Y)      (X,Y)
11 *****
12 IC 0      On      1       10      0.050, 0.050  0.000, 0.000
13                                     5      Yes
14                                     Window
15 --- View Extent:      [[-28.593, -8.486],[44.337,43.456]]
16 --- Cell Extent:      [[-1.700, 2.769],[14.543,32.200]]
17 --- Top Cell:          $proj1/default.group/layout.views/logic2/logic2
18 --- Displayed Cell:    $proj1/default.group/layout.views/logic2/logic2
19 --- Visible Layers: 0-4098, 4100-4102, 4104-4106, 4109-4132,

```

4158-4189, 4193-4224