

# UNIVERSIDADE DE SÃO PAULO

Escola de Engenharia de São Carlos  
SEL0621 - Projetos de Circuitos Integrados Digitais I  
Prof. Dr. João Pereira do Carmo

---

## Projeto 8

Davi Diório Mendes	7546989
Nivaldo Henrique Bondança	7143909

---



1 de outubro de 2014

# *Lista de Figuras*

1	Exemplo de esquemático. . . . .	p. 6
2	<i>Prescaler 32/33</i> . . . . .	p. 8
3	<i>Layout</i> do circuito <i>Prescaler 32/33</i> na tecnologia AMS 0.35 (dimensões de $82\mu m$ x $35\mu m$ ). O divisor 4/5 está indicado com um quadrado tracejado. . . .	p. 10

## *Lista de Tabelas*

# ***Códigos Fontes***

1	Comandos e sinais utilizados na simulação . . . . .	p. 7
---	---	------

## Introdução

...

## Resumo

Nesta experiência iniciaremos o uso de células da biblioteca de células da AMS. Para isso será desenvolvido um circuito *Prescaler 32/33* e feitas simulações sobre ele.

## Questões

1. Verifique no arquivo:

`/tools/dkit/ams_3.70_mgc/www/index.html`

as informações sobre as células digitais disponíveis no processo AMS 0.35 $\mu m$ . Entenda os dados fornecidos (*Standar Cell DataSheet – C35 – Core Cells*).

2. \*Procure o *layout* da célula **DL1** e o abra no IcStation. Levante e **desenhe o circuito esquemático** desta célula (não precisa determinar as dimensões dos transistores). Observe com cuidado o *layout* feito.

O esquemático está representado na **Figura ??**

3. \*Observe que na célula **DL1** as linhas dos sinais de  $V_{DD}$  e  $V_{SS}$  correm nas extremidades superior e inferior. Qual é a dimensão vertical destas linhas e qual a distância entre elas. Abra outra célula da biblioteca e verifique as dimensões das linhas de  $V_{DD}$  e  $V_{SS}$  e a distância entre elas. São iguais em todas as células? Seria/é interessante que fossem/sejam iguais, por quê?

Dimensão vertical: 0.75

Distância: 11.50

Analisando outras células, nota-se que as distâncias e dimensões são sempre as mesmas. Isso é feito para que as células possam ser facilmente alinhadas e utilizadas em blocos.

4. \*Considere o circuito da **Figura 1**. Desenhe seu **esquemático** utilizando as células **DF3**, **NAND22**. Como sinal de entrada deve colocar o **clock** e **D**; como sinal de saída, **Q**. Gere o símbolo para a célula e faça todas as verificações necessárias. Certifique-se que não haja erros ou *warnings*.

Figura 1: Exemplo de esquemático.

O esquemático está representado na **Figura ??**, e o símbolo na **Figura ??**.

5. \*A partir das informações dos blocos que compõe este circuito estime o valor máximo da frequência do *clock* que o circuito pode suportar (considere a entrada  $D = "1"$ , utilize o pior caso entre subida e descida das portas e considere que os sinais são rápidos). Apresente os cálculos.

Analisando o circuito, pode-se notar que a equação que representa o caminho crítico é a seguinte,

$$t_{min} = t_{setup} + t_{nand} + t_{hold} \quad (1)$$

Por analisar as configurações dos componentes, sabe-se que  $t_{setup} = 0ns$ ,  $t_{hold} = 0,129ns$  e  $t_{nand} = ns$ . Assim sendo,  $t_{min} = Xns$  o que implica uma frequência máxima de *clock* de  $XXXGHz$ .

6. \*O que significam tempos de *holding* e de *set-up* em *flip-flops*. Qual seria o valor máximo do *clock*, do exercício acima, caso o tempo de *set-up* fosse de  $0,1ns$ .

**holding** → Tempo mínimo para segurar o sinal em uma determinada tensão para que o *flip-flop* possa armazená-lo.

**set-up** → Tempo para que o *flip-flop* esteja pronto para propagar o sinal, partindo do princípio que o sinal já está armazenado.

Recalculando o tempo máximo de *clock*, considerando tempo de *set-up* de  $0,1ns$ , tem-se  $t_{min} = X$ , e logo o valor máximo do *clock* seria de  $xHz$ .

7. \*Gere, a partir do esquemático, um arquivo *netlist* para o ELDO. Simule o circuito com os parâmetros típicos e determine a **máxima velocidade (clock)** do circuito. Considere

- a entrada  $D = "1"$ ;
- $V_{DD} = 3V$ ;
- o sinal de *clock* com (tempo de subida) = (tempo de descida) =  $0,1 \cdot \text{Perodo}$ .

Apresente as linhas de comando e sinais utilizados.

As linhas de comando e os sinais utilizados estão representados no **Código fonte ??**

#### Código Fonte 1: Comandos e sinais utilizados na simulação

```
1 * TODO
```

8. \*Gere agora o **layout para o circuito** (use para isso o *designviewpoint* não o *schematic*). Neste *layout* deve-se tomar cuidado com:

- a área total do circuito;
- o uso correto dos metais e poli como camadas de conexão;
- a posição e o tamanho dos *ports* de entrada e saída;
- a largura das linhas de  $V_{DD}$  e  $V_{SS}$ , não inferiores a  $1\mu m$  (use **Route – ARoute N Et Classe**).

Faça a verificação com o **DRC (CALIBRE)**, passe o **LVS** e elimine todos os erros. **Apresente a figura do layout no relatório.**

9. \*Faça a extração do circuito via o Calibre com a opção **C+CC** (deve ser usada uma configuração que garanta que o nome dos nós venha do *schematic*). Simule o circuito com parâmetros típicos e determine sua máxima velocidade. Utilize as mesmas condições do exercício 7.

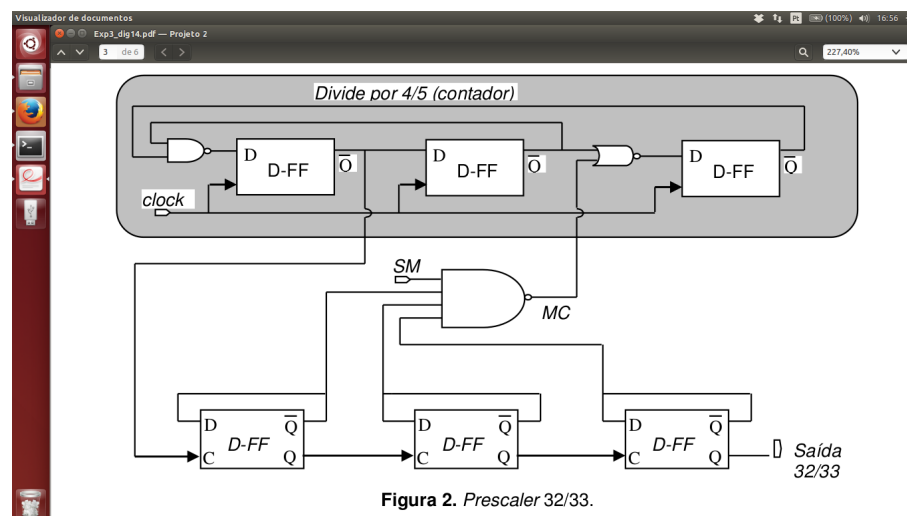
**10.** \*Extraia agora com a opção **R+C+CC**. Simule o circuito com parâmetros típicos e determine sua máxima velocidade. Utilize as mesmas condições do exercício 7.

**11. \*Monte uma tabela com os resultados obtidos nos exercícios 5, 7, 9 e 10. Compare e comente os resultados.**

**12. \***Determine a área total do circuito que desenhou.

**13.** Considere agora o circuito da **Figura 2**.

O circuito é um *Prescaler 32/33*, bloco comum na implementação de sintetizadores de frequência para RF (detalhes sobre o funcionamento de sintetizadores no fim da apostila). A parte de cima do circuito, hachurada, é um divisor 4/5 síncrono, cujo o valor de divisão depende do sinal **MC** (*modulus counter*); a parte de baixo é um contador assíncrono modulo 8. O circuito completo divide o sinal de **clock** por 32 quando **SM** = "0" ou por 33 quando **SM** = "1".

Figura 2: *Prescaler* 32/33

**14.** \*A partir dos dados dos blocos que compõe o divisor 4/5 estime o máximo *clock* que o circuito pode suportar (considere que são usados na implementação os blocos **DF1**, **NAND23** e **NOR23** e utilize o pior caso entre subida e descida das portas). Apresente os cálculos.

**15.** Desenhe o **esquemático** do divisor 4/5 utilizando as células **DF1**, **NAND23** e **NOR23**. Como sinal de entrada deve ter o **clock** e **MC**; como sinal de saída o sinal  $\overline{Q}$  do **D-FF** **mais a esquerda**. Gere o símbolo para a célula e faça a verificação do esquemático e do símbolo.



Certifique-se que não haja erros ou mesmo *warnings*.

**16.** \*Gere, a partir do esquemático, um arquivo *netlist* para o ELDO. Simule o circuito com parâmetros típicos e determine a máxima velocidade e consumo do circuito (consumo em **mW/GHz**). Considere

- $MC = "0"$ , para o circuito fazer a divisão por 5;
- $V_{DD} = 3V$ ;
- o sinal de *clock* com (tempo de subida) = (tempo de descida) =  $0,1 * \text{Período}$ .

**Apresente as linhas de comando e sinais utilizados.**

**17.** \*Gere agora o *layout do circuito*. Neste *layout* deve tomar cuidado com:

- a área total do circuito;
- o uso correto dos metais e poli como camadas de conexão;
- a posição e o tamanho dos *ports* de entrada e saída;
- a largura das linhas de  $V_{DD}$  e  $V_{SS}$ , não inferiores a  $1\mu m$ .

Faça a verificação com o **DRC (CALIBRE)**, passe o **LVS** e elimine todos os erros. Apresente a figura do layout no relatório.

**18.** \*Faça a extração do circuito via o Calibre com a opção **C+CC**. Simule o circuito com parâmetros típicos e determine a máxima velocidade e consumo do circuito. Considere as mesmas condições do exercício 16.

**19.** \*Extraia agora com a opção **R+C+CC**. Simule o circuito com parâmetros típicos e determine a máxima velocidade e consumo do circuito. Considere as mesmas condições do exercício 16.

20. \*Monte uma tabela com os resultados obtidos nos exercícios 14, 16, 18 e 19. Compare e comente os resultados.

21. \*Determine a área total do circuito que desenhou.

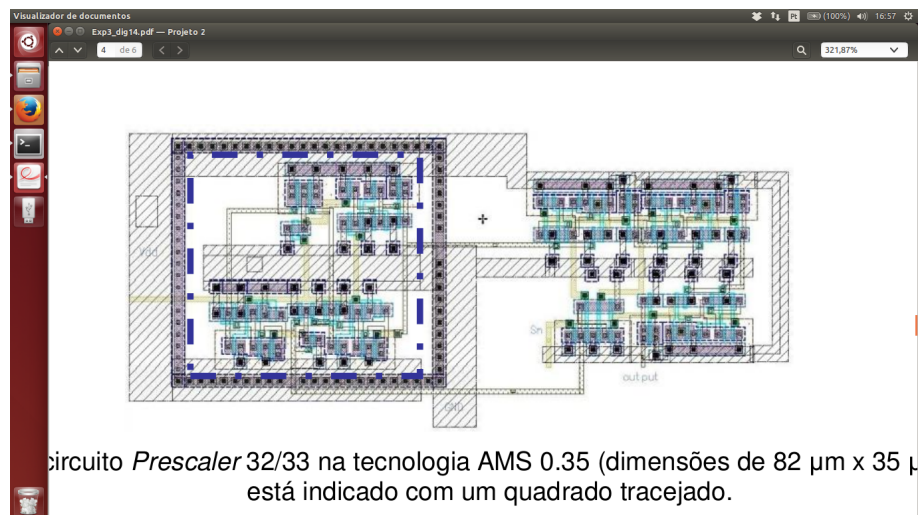


Figura 3: *Layout* do circuito *Prescaler* 32/33 na tecnologia AMS 0.35 (dimensões de  $82\mu m \times 35\mu m$ ). O divisor 4/5 está indicado com um quadrado tracejado.

Observação: A **Figura 3** apresenta o *layout* de um *Prescaler* 32/33 completo. Por resultados de simulação, este circuito funciona a 2,4 GHz com consumo de 2,43mW (parâmetros típicos,  $V_{DD} = 3V$ ). O circuito implementado, por sua vez, funcionou a 1,7GHz com consumo de 2,31mW. Tanto a velocidade máxima como grande parte do consumo se deve ao divisor 4/5. Assim podemos, a grosso modo, dizer que o consumo e a velocidade deste divisor é igual a do *Prescaler*.