

UNIVERSIDADE DE SÃO PAULO

ESCOLA DE ENGENHARIA DE SÃO CARLOS

PROJETO DE CIRCUITOS INTEGRADOS DIGITAIS II - SEL0622

Projeto 13 : Relógio Digital

Aluno: Lucas A. M. Magalhães

Número USP: 7173347

Aluno: Luiz H. G. Patire

Número USP: 7126667

11 de agosto de 2014

Sumário

Relatório	2
Questão 1	2
Questão 2	2
Questão 3	5
Questão 4	6
Questão 5	9
Questão 6	13
Questão 7	13
Questão 8	14
Questão 9	14

Relatório

Questão 1

Considere que é fornecido um sinal de clock na frequência de 32,768 kHz (onda quadrada). Com este sinal projete um circuito que tenha as seguintes características: sinais de entrada: clk, modo e ajuste; sinais de saída: m0 ... m5 e H0 ... H3. O circuito funciona como um relógio onde os minutos são codificados, binariamente, em m0 ... m5 e as horas, codificadas, binariamente, em H0 ... H3 (horas vai de 0 até 11). Os sinais ajuste e modo servem para indicar a operação do relógio conforme descrito abaixo;

- quando ajuste = “1” e modo = “0”, os minutos são incrementados a cada 0,5 segundo;
- quando ajuste = “1” e modo = “1”, as horas são incrementadas a cada 1 segundo;
- quando ajuste = “0”, o circuito opera como relógio.

O projeto envolve fazer o esquemático: o esquemático deve ser gerado da forma que achar mais conveniente; fazer o símbolo com indicação de onde está o layout; fazer simulações: as simulações devem verificar se as operações de relógio e de ajuste estão corretas. Deve ser tomado cuidado com o procedimento de testes pois, dado o tamanho do circuito, ele pode demorar muito. Assim, testes de blocos separados serão necessários; fazer o layout com verificações de DRC e LVS. Como características gerais, espera-se que: seja um circuito pequeno; tenha consumo reduzido; os ports de entrada e saída estejam convenientemente colocados.

Questão 2

Apresente os esquemáticos do relógio completo e de seus blocos. Descreva sucintamente a função de cada bloco.

O relógio tem basicamente 3 blocos principais: contador de 15 bits, contador de 60 e um contador de 12. O contador de 15 bits foi feito para conseguir um *clock* de 1 Hz a partir do *clock* de 32,768 kHz. O mesmo funciona de forma assíncrona. Ele foi projetado assim para que a potência do circuito esteja concentrada basicamente nos primeiros *Flip-flops*. O esquemático do circuito do bloco é mostrado na Figura 1.

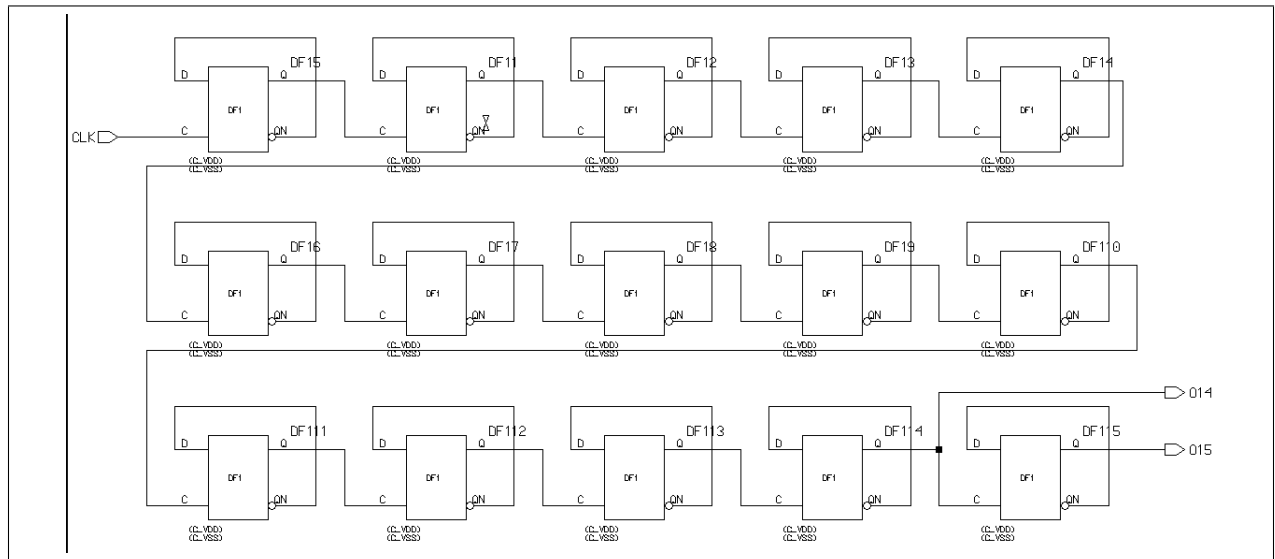


Figura 1: Esquemático do Contador de 15 bits

Os contadores de 12 e 60 são contadores síncronos projetados usando VHDL e sintetizados usando o software *Leonardo Spectrum*. Como o *clock* que entra nesses blocos é de baixa frequência, a potência dissipada nesses blocos é muito baixa. Os blocos contadores de 12 e 60 são apresentados respectivamente pelas Figuras 2 e 3.

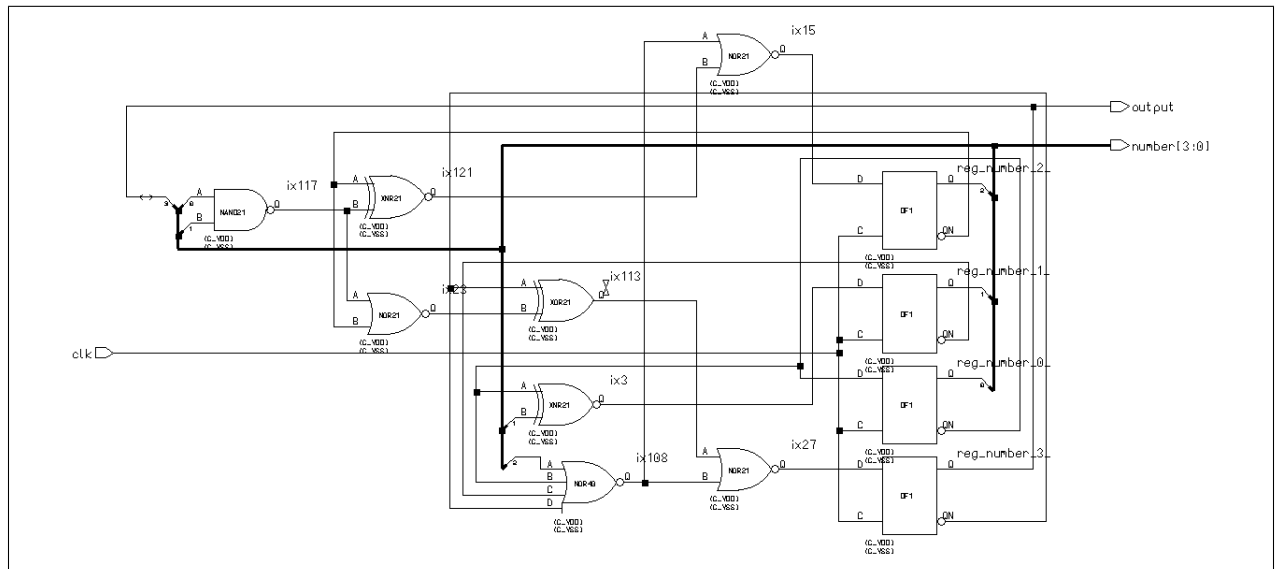
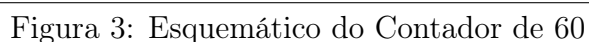


Figura 2: Esquemático do Contador de 12



Página 4 de 14

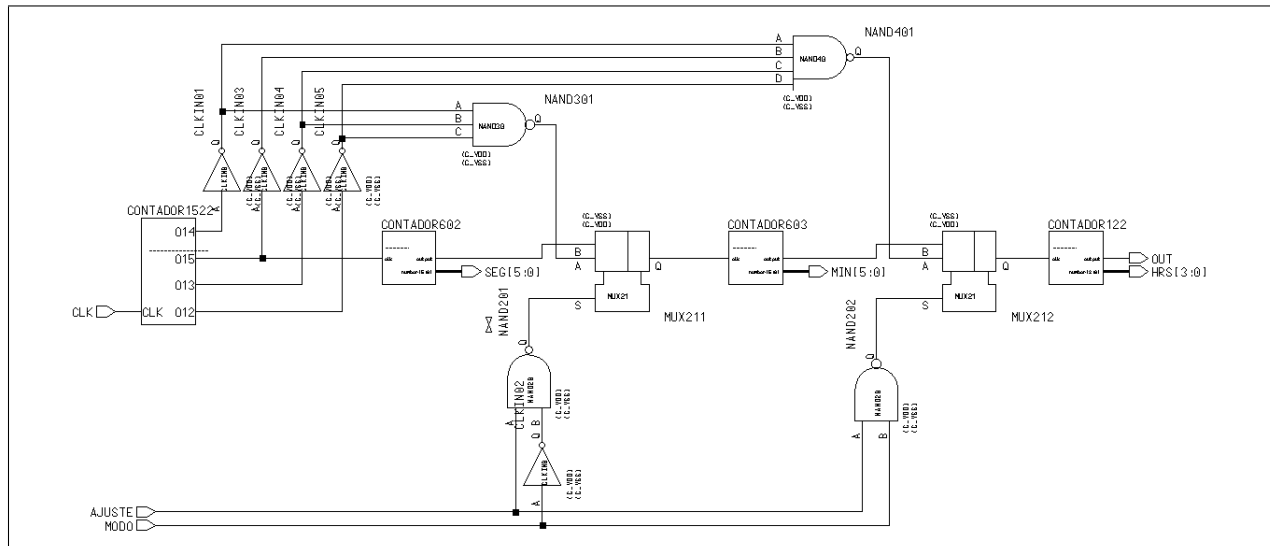


Figura 4: Esquemático do Relógio

Questão 3

Quando uma célula de biblioteca tem mais de uma versão, por exemplo DF1 e DF3, escolha a versão mais apropriada para a aplicação. Justifique o critério aplicado na escolha.

Para o projeto, foi preciso escolher entre várias células padrões da biblioteca fornecida. Precisou-se de Flip-Flops tipo D, multiplexadores 2:1, NANDs 4:1, NANDs 3:1, NANDS 2:1 e inversores.

Para os Flip-Flops, existem duas células que se encaixam nas necessidades: DF1 e DF3. Os Flip-Flops são utilizados na construção do contador de 15 bits, assim, como esse contador é o bloco que consome mais potência no circuito inteiro, é necessário utilizar o componente de menor consumo, no caso, DF1 ($1,14 \mu W/MHz$).

No caso dos multiplexadores 2:1, existem quatro células que se encaixam nas necessidades: MUX21, MUX22, MUX24 e MUX26. Dentre eles foi escolhido o MUX21, pois, dentre todos, é o que consome menos potência ($0,49 \mu W/MHz$).

No caso das NANDs 2:1, sete blocos se encaixam nas necessidades. Dentre eles, foi escolhido o bloco de menor consumo, o NAND20 ($0,18 \mu W/MHz$).

No caso das NANDs 3:1, cinco blocos se encaixam nas necessidades. Dentre eles, foi escolhido o bloco de menor consumo, o NAND30 ($0,21 \mu W/MHz$).

No caso das NANDs 4:1, cinco blocos se encaixam nas necessidades. Dentre eles, foi escolhido o bloco de menor consumo, o NAND40 ($0,24 \mu W/MHz$).

No caso dos inversores, existem duas classes presentes na biblioteca padrão. Uma classe implementa inversores comuns (INV) e outra implementa inversores simétricos (CLKINV).

Dentre essas foi escolhido os inversores simétricos, pela qualidade de sinal que eles geram e, dentre eles, foi escolhido o bloco CLKINV0, pois possui menor consumo de potência entre todos os inversores ($0,17 \mu W/MHz$).

Questão 4

Apresente os layouts dos blocos e do circuito final.

As figuras 5, 6 e 7 apresentam respectivamente os *layouts* finais dos blocos contadores de 15, 12 e 60.

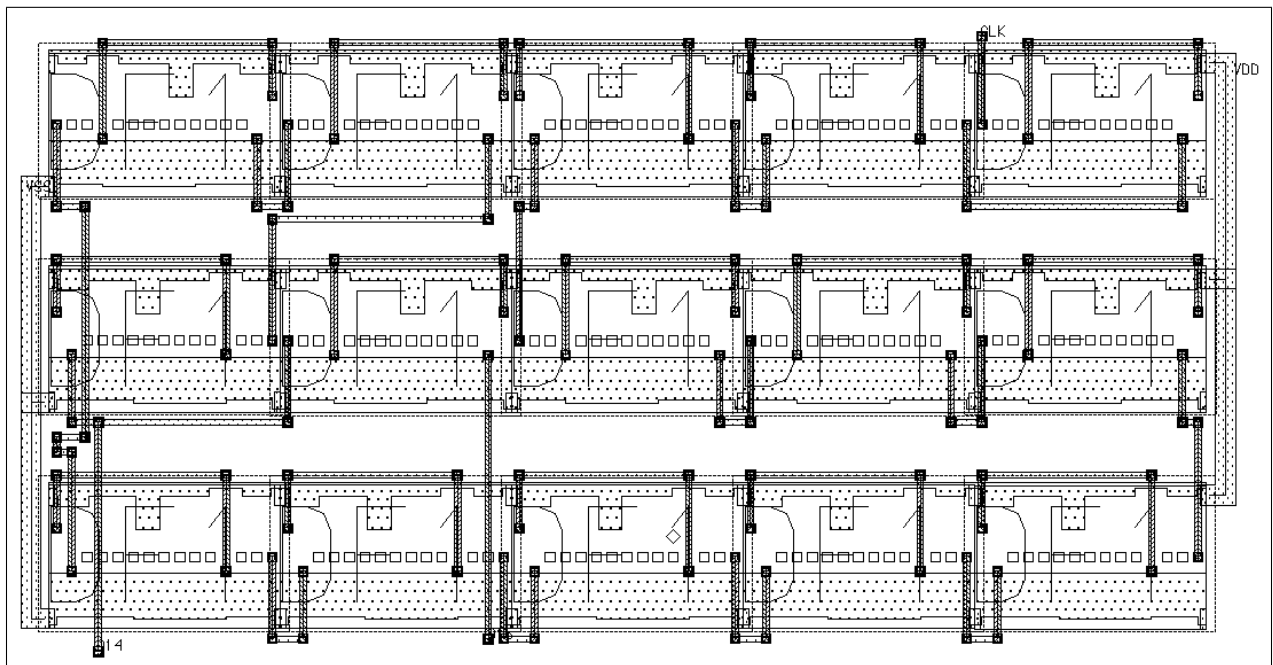


Figura 5: *Layout* do Bloco Contados de 15 bits

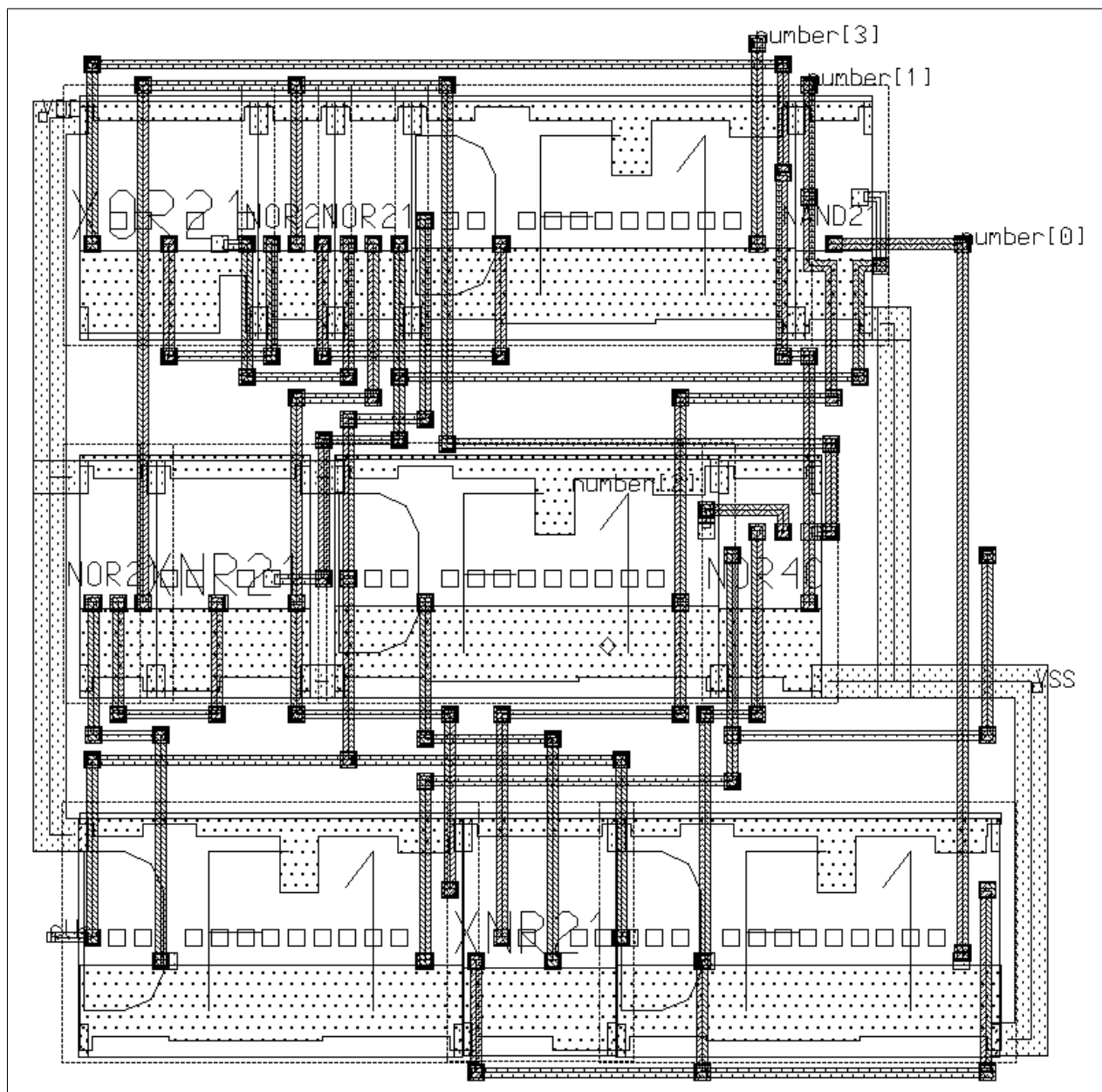


Figura 6: *Layout* do Bloco Contador de 12

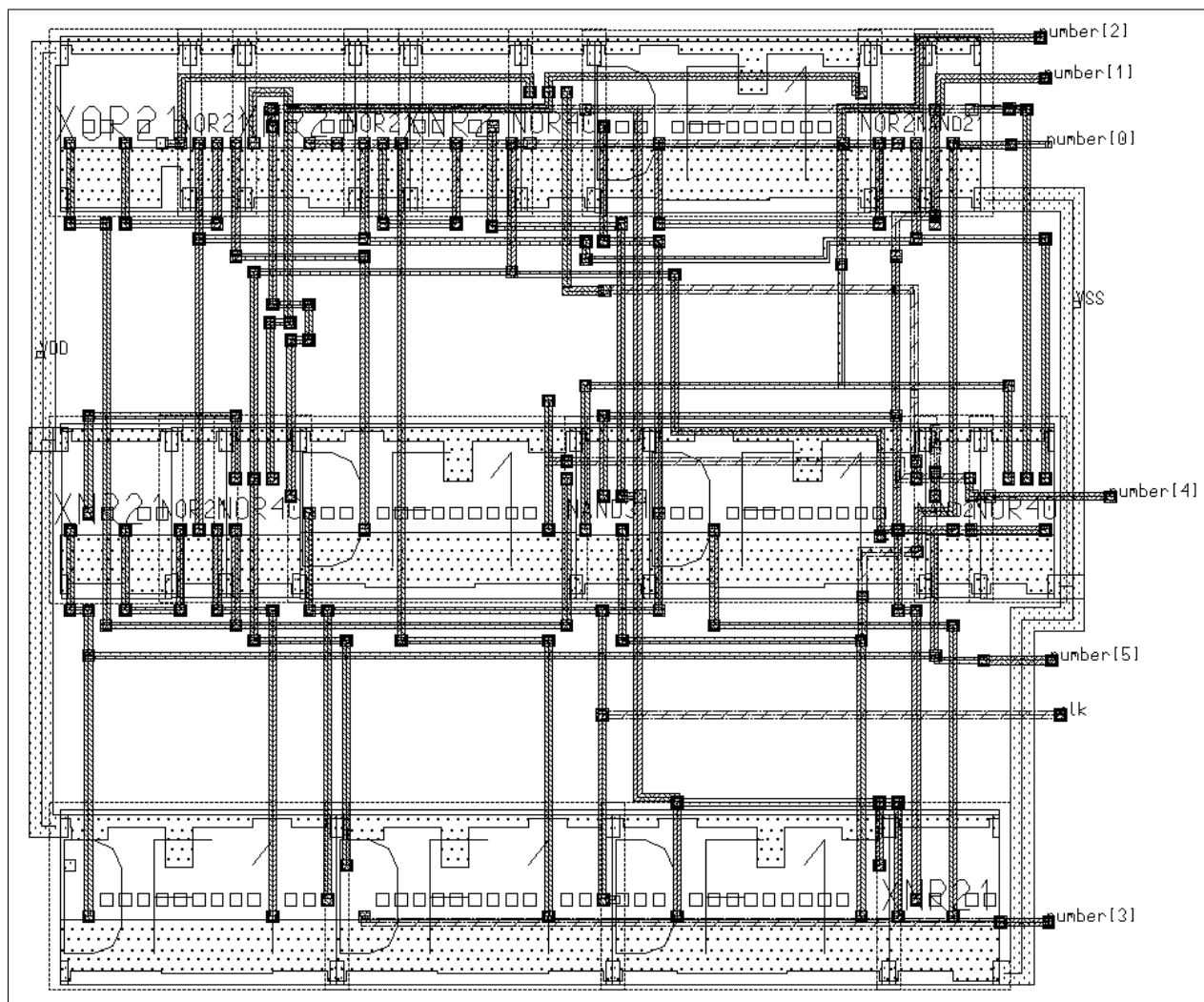


Figura 7: *Layout* do Bloco Contador de 60

A Figura 8 apresenta o *layout* do circuito final.

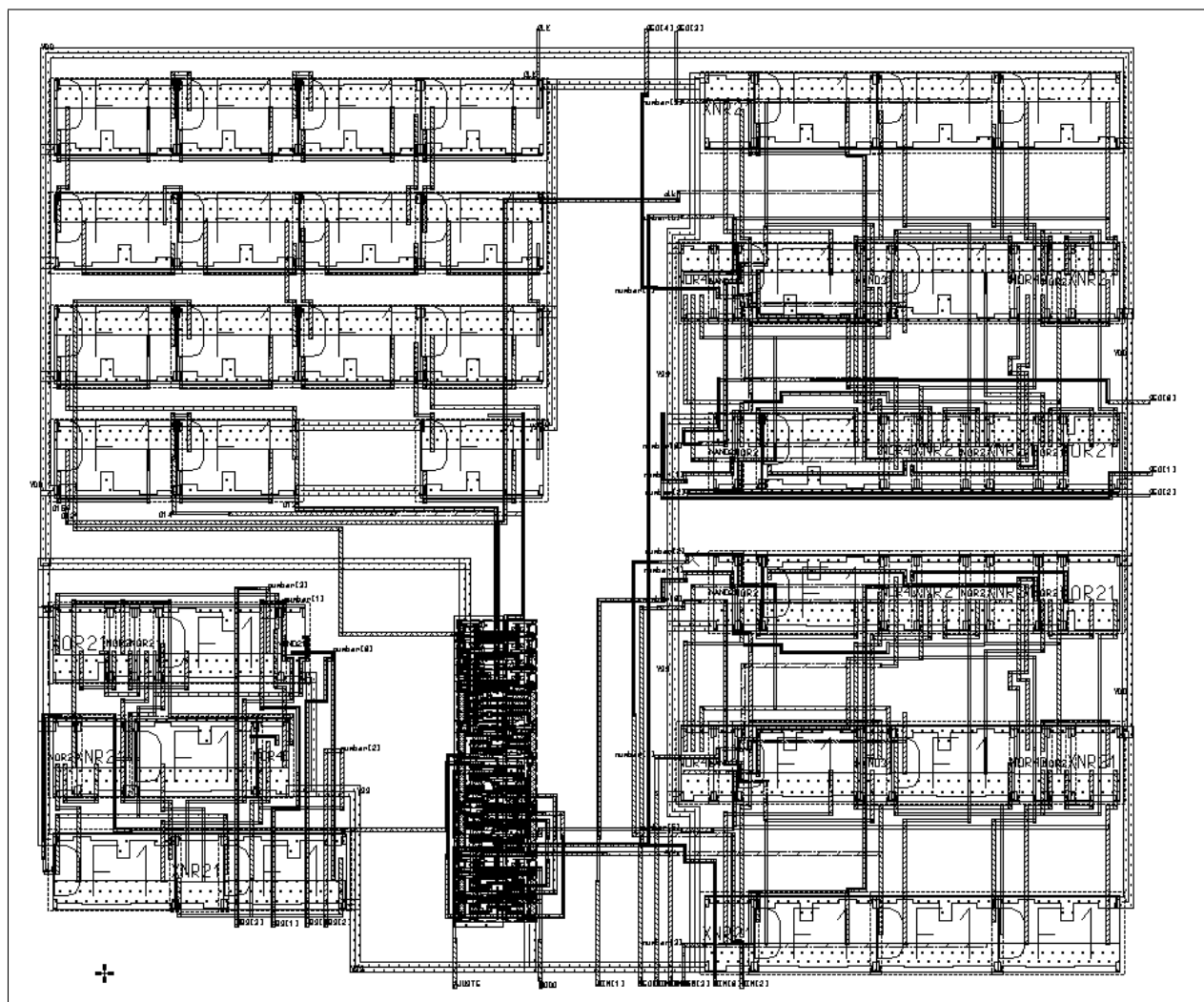


Figura 8: *Layout* do Relógio Completo

Questão 5

Descreva as simulações realizadas dizendo a função (serve para verificar o que?), quais são os sinais de comando e de entrada, tempo total que levou a simulação (tempo real) e o que foi observado como resultado (se for gráfico, acrescente o gráfico ao relatório).

A primeira simulação, mostrada na Figura 9, é feita para verificar o funcionamento do contador de 15 bits. Na simulação, apenas os primeiros *Flip-flops* do contador são simulados. Por indução, os próximos funcionam, uma vez que o circuito segue um mesmo padrão.

A simulação foi feita através da extração *C+CC* do *layout*. Para a simulação foi usado um *clock* de 32,768 kHz. Essa simulação demorou 12 s.

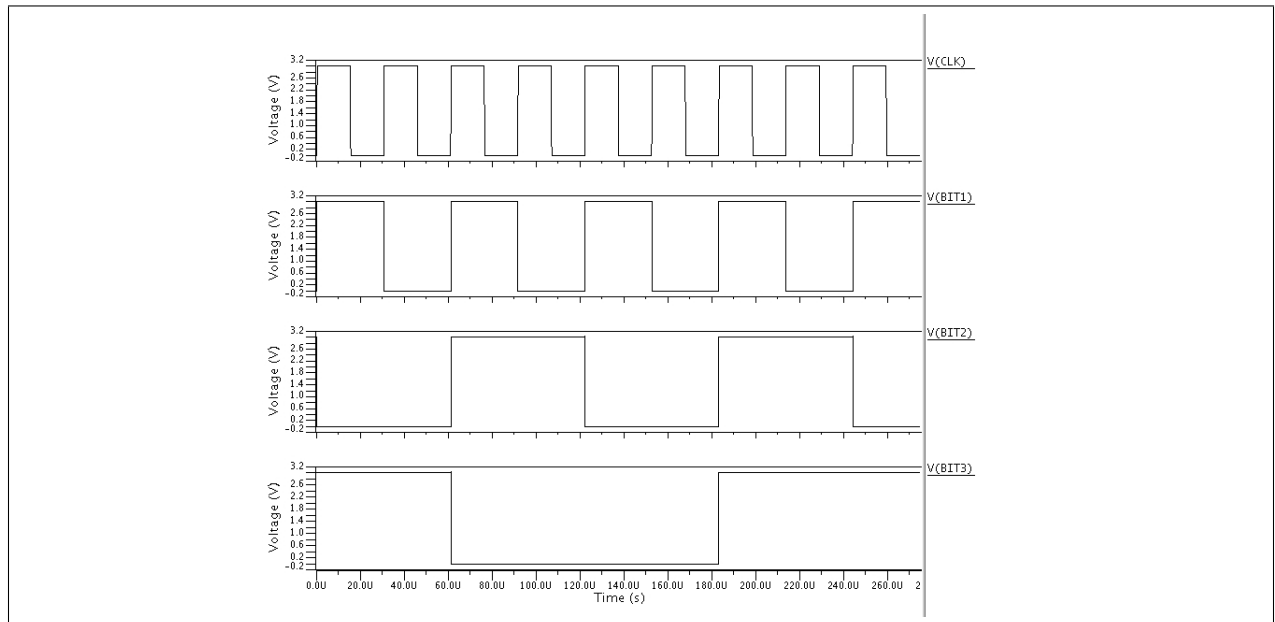


Figura 9: Simulação do Contador de 15 bits

Os blocos contadores de 12 e 60 foram simulados completamente, figuras 10 e 11 respectivamente, a partir da extração $C+CC$ a partir do *layout*. Para a simulação do contador de 12 foi usado *clock* de $1/3600\text{ Hz}$ enquanto para as simulações do contador de 60 foram usados *clocks* de $1/60\text{ Hz}$ e 1 Hz . As simulações demoraram 17 s e 28 s , respectivamente.

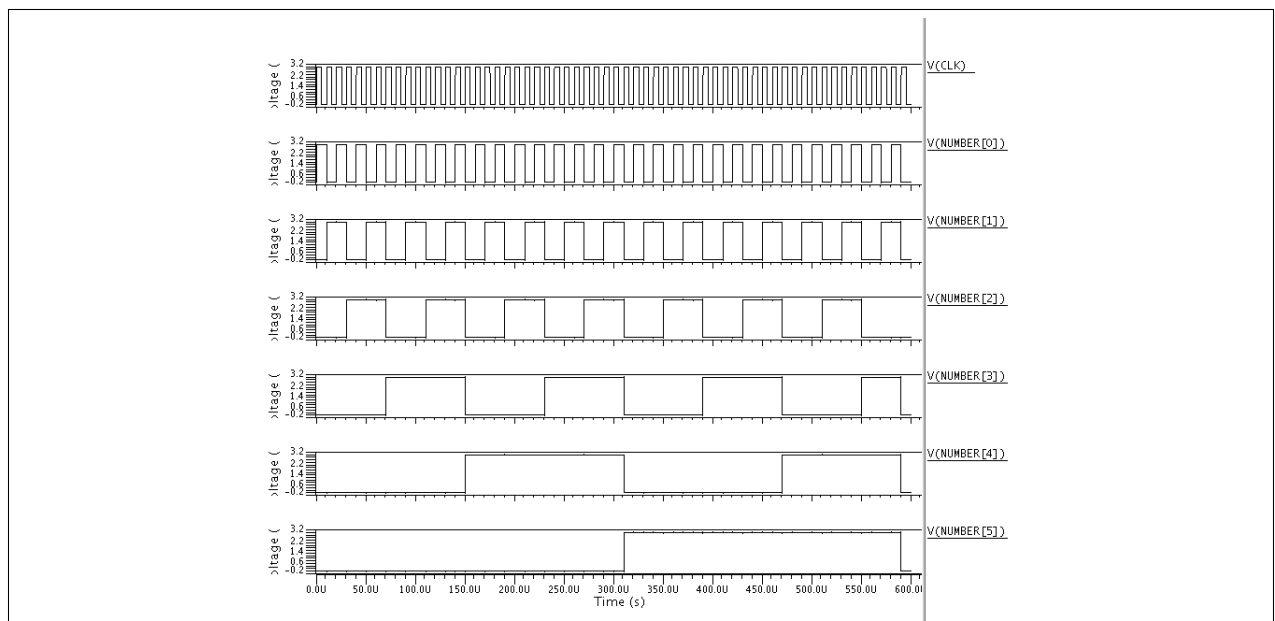


Figura 10: Simulação do Contador de 12

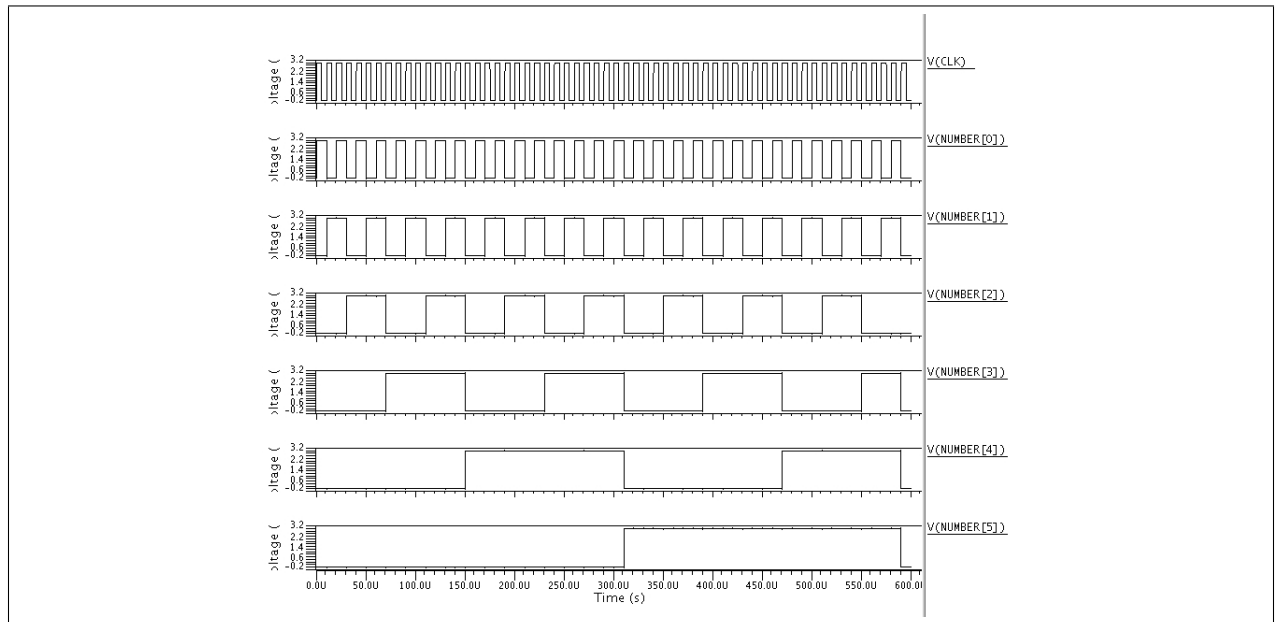


Figura 11: Simulação do Contador de 60

Foram feitas também simulações para verificar o funcionamento dos blocos seletores. A Figura 12 mostra a simulação para o primeiro bloco seletor feita a partir da extração *netlist*. A Figura 13 mostra o esquemático que foi simulado.

É possível ver a partir dessa simulação que a onda gerada pela NAND fica muito mais tempo em lógica alta que em lógica baixa, assim como definido na Questão 3. Nessa simulação, vê-se também que o erro foi intencionalmente mostrado, porém, como o tempo em lógica baixa é muito pequeno, aproximadamente 62 ns , a probabilidade de ocorrer o erro diminui muito. O segundo bloco seletor funciona da mesma forma que o primeiro e portanto a mesma simulação foi feita. Ela é apresentada na Figura 14.

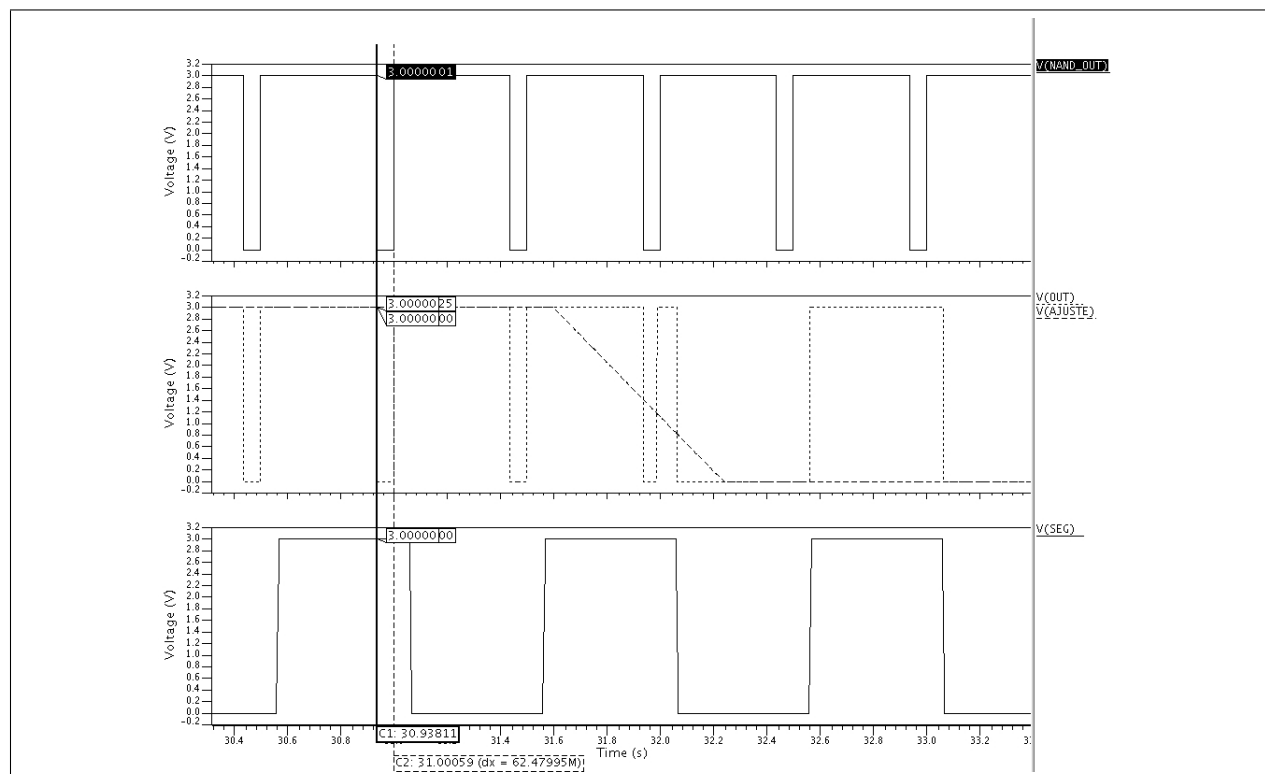


Figura 12: Simulação do primeiro circuito seletor com erro

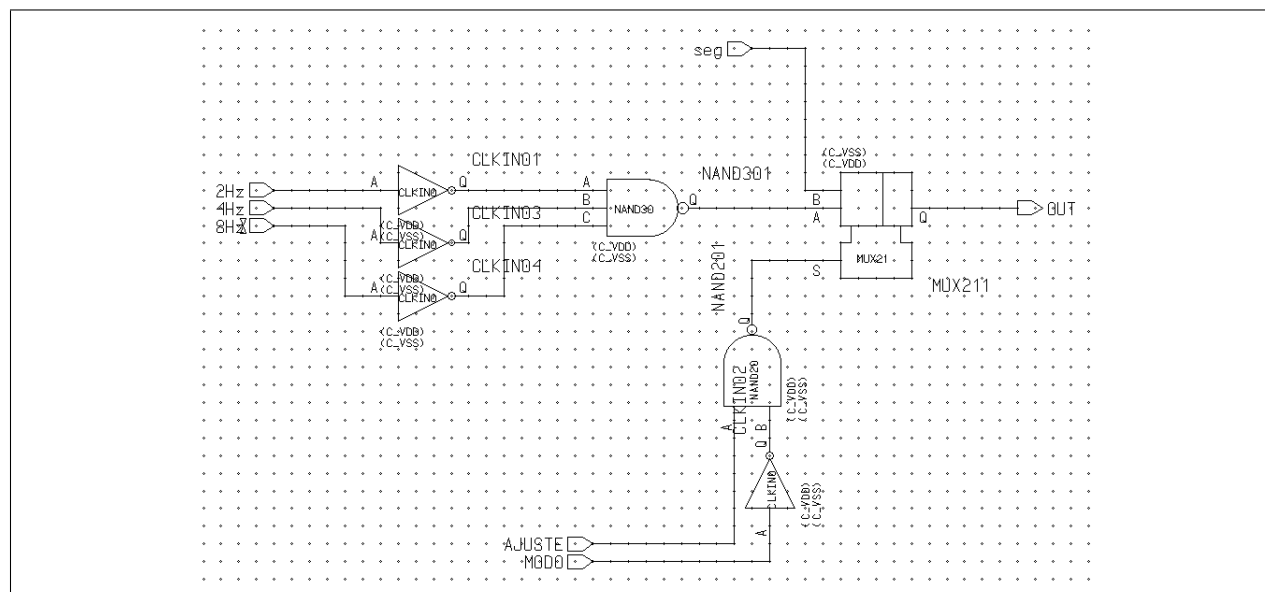


Figura 13: Esquemático do primeiro bloco seletor.

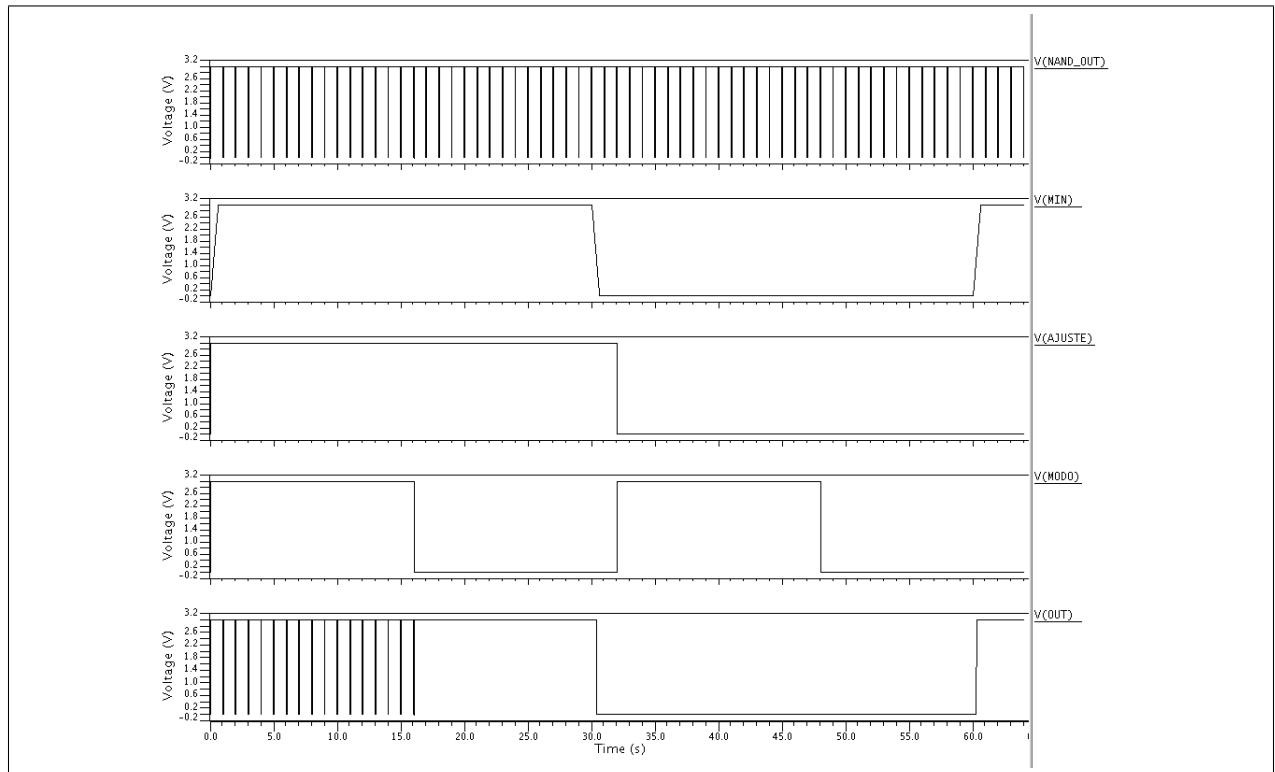


Figura 14: Simulação do segundo circuito seletor com erro

Essas simulações demoraram 49 s e 25 s, respectivamente.

Questão 6

Determine a área e estime a potência consumida pelo circuito completo.

A área total do circuito é de $0,033 \text{ mm}^2$.

A potência estimada do circuito é obtida analisando a potência dispendida nos primeiros *Flip-flops* do contador de 15 bits. Como esses *Flip-flops* estão ligados nos *clocks* com as maiores frequências, eles serão os maiores responsáveis pelo consumo do circuito inteiro.

Após algumas simulações variando o número de *Flip-flops* ativos, constatou-se que a potência média se estabiliza em 5 *Flip-flops* ativos. Assim, a potência consumida esperada para o circuito é de $0,79 \mu\text{W}$.

Questão 7

Considere que o oscilador que gera o sinal de clock de 32,768 kHz consome uma corrente média de $10 \mu\text{A}$. Para uma bateria de 1,0 Ah, por quanto tempo o relógio, circuito projetado mais oscilador, deverá operar (coloque em anos e dias, por exemplo, 4 anos e 36 dias)?

O tempo, em horas, de operação do circuito é dado pela relação abaixo:

$$Tempo = \frac{1}{10\mu + \frac{7,9\mu}{3}} = 79100h \quad (1)$$

O que fornece um tempo total de operação de 9 anos e 96 dias.

Questão 8

Considere que o sinal de clock da entrada apresente tempos de subida/descida de cerca de 30% do seu período. Nessa situação o circuito continua funcionando? Caso não, qual é a razão?

O circuito não funciona com os tempos de subida e descida a 30% do período do *clock*. O problema acontece pois, por um tempo relativamente grande de tempo, tanto os transistores PMOS quanto os transistores NMOS presentes nos *Flip-flops* do contador de 15 bits conduzem ao mesmo tempo, o que tira o circuito de seu estado de funcionamento normal.

Questão 9

Se necessário arrume o problema encontrado no item 8. Com o sinal de relógio como acima, tempos de subida/descida de cerca de 30% do período, determine a nova potência consumida.

Para solucionar o problema foi necessário usar 2 inversores na entrada do circuito.

A nova potência consumida do circuito foi de $16,8 \mu W$. a potência foi determinada da mesma forma que na Questão 5, porém adicionando os dois inversores na entrada no contador de 15 bits.