

UNIVERSIDADE DE SÃO PAULO

Escola de Engenharia de São Carlos

SEL0621 - Projetos de Circuitos Integrados Digitais I

Prof. Dr. João Pereira do Carmo

Projeto 8

Davi Diório Mendes 7546989

Nivaldo Henrique Bondança 7143909



5 de outubro de 2014

Lista de Figuras

1	Esquemático representativo da cécula DL1	p. 6
2	Exemplo de esquemático	p. 6
3	Esquemático utilizando DF3 e NAND22	p. 7
4	Símbolo utilizando DF3 e NAND22	p. 7
5	<i>Layout</i> do circuito	p. 9
6	Coeficiente de frequência. Frequência do sinal / Frequência de <i>clock</i>	p. 10
7	Saída do circuito operando em sua máxima frequência	p. 10
8	Coeficiente de frequência. Frequência do sinal / Frequência de <i>clock</i>	p. 11
9	Saída do circuito operando em sua máxima frequência	p. 11
10	<i>Prescaler</i> 32/33	p. 12
11	Esquemático do divisor 4/5	p. 13
12	Coeficiente de frequência e potência do circuito.	p. 13
13	<i>Layout</i> do circuito	p. 14
14	Coeficiente de frequência. Frequência do sinal / Frequência de <i>clock</i>	p. 15
15	Saída do circuito operando em sua máxima frequência	p. 15
16	Coeficiente de frequência. Frequência do sinal / Frequência de <i>clock</i>	p. 15
17	Saída do circuito operando em sua máxima frequência	p. 15
18	<i>Layout</i> do circuito <i>Prescaler</i> 32/33 na tecnologia AMS 0.35 (dimensões de 82 μ m x 35 μ m). O divisor 4/5 está indicado com um quadrado tracejado.	p. 16

Lista de Tabelas

- 1 Máximas frequências de operação para o divisor de frequência da **Figura 3** . p. 11
- 2 Máximas frequências de operação para o divisor de frequência da **Figura 11** . p. 16

Códigos Fontes

1	Comandos e sinais utilizados na simulação	p. 8
2	Comandos e sinais utilizados na simulação	p. 13

Introdução

Durante essa experiência, foram realizadas diversas composições de células de circuitos e verificadas suas frequências máximas de operação, tanto através de cálculos teóricos como através de simulações.

Resumo

Nesta experiência iniciaremos o uso de células da biblioteca de células da AMS. Para isso será desenvolvido um circuito *Prescaler 32/33* e feitas simulações sobre ele.

Questões

1. Verifique no arquivo:

`/tools/dkit/ams_3.70_mgc/www/index.html`

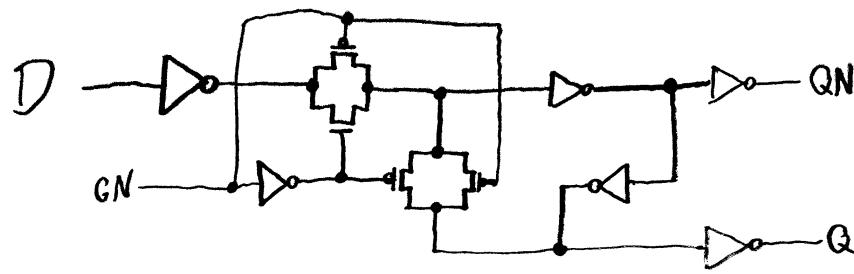
as informações sobre as células digitais disponíveis no processo AMS $0.35\mu m$. Entenda os dados fornecidos (*Standar Cell DataSheet – C35 – Core Cells*).

2. *Procure o *layout* da célula **DL1** e o abra no IcStation. Levante e **desenhe o circuito esquemático** desta célula (não precisa determinar as dimensões dos transistores). Observe com cuidado o *layout* feito.

O esquemático está representado na **Figura 1**

3. *Observe que na célula **DL1** as linhas dos sinais de V_{DD} e V_{SS} correm nas extremidades superior e inferior. Qual é a dimensão vertical destas linhas e qual a distância entre elas. Abra outra célula da biblioteca e verifique as dimensões das linhas de V_{DD} e V_{SS} e a distância entre elas. São iguais em todas as células? Seria/é interessante que fossem/sejam iguais, por quê?

Dimensão vertical: 0.75

Figura 1: Esquemático representativo da célula **DL1**

Distância: 11.50

Analizando outras células, nota-se que as distâncias e dimensões são sempre as mesmas. Isso é feito para que as células possam ser facilmente alinhadas e utilizadas em blocos.

4. *Considere o circuito da [Figura 2](#). Desenhe seu **esquemático** utilizando as células **DF3**, **NAND22**. Como sinal de entrada deve colocar o *clock* e **D**; como sinal de saída, **Q**. Gere o símbolo para a célula e faça todas as verificações necessárias. Certifique-se que não haja erros ou *warnings*.

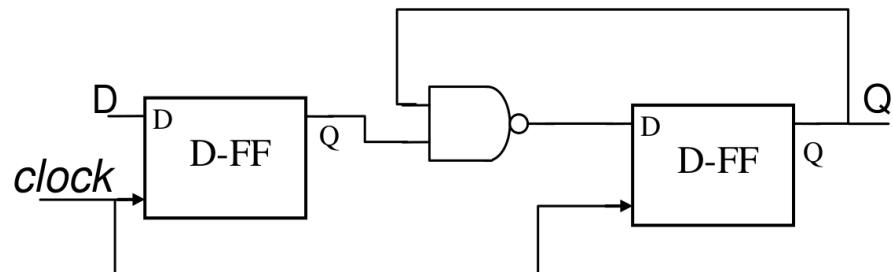
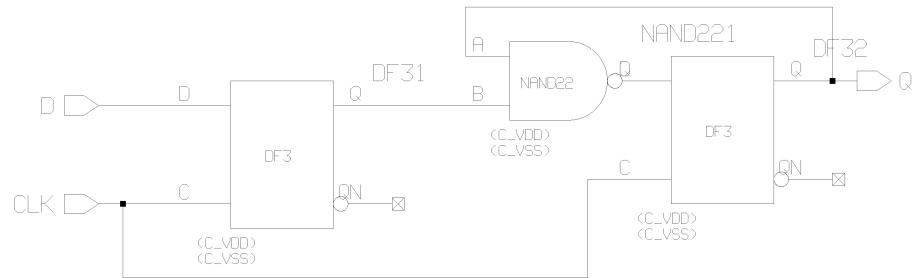
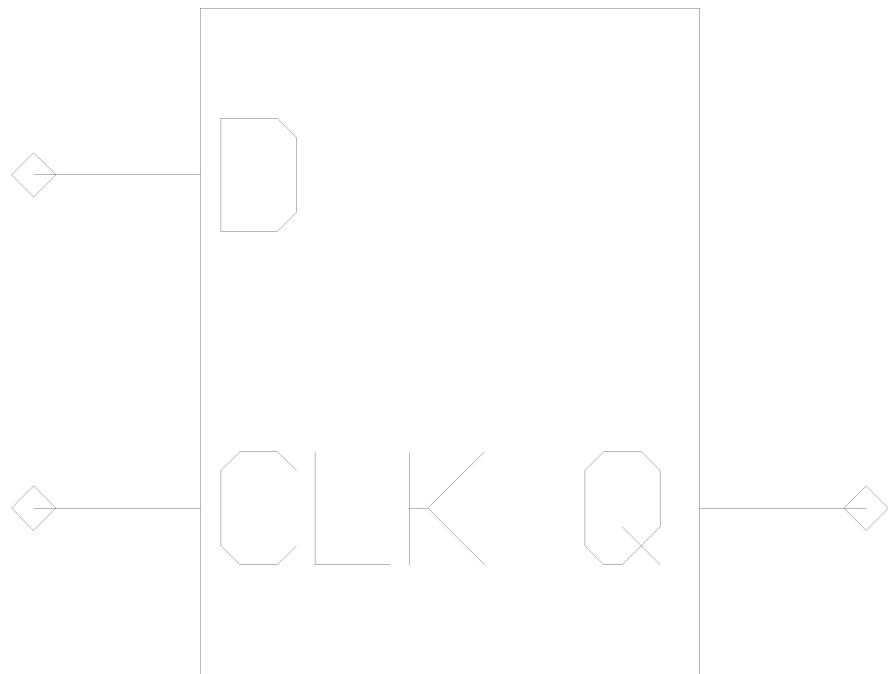


Figura 2: Exemplo de esquemático.

O esquemático está representado na [Figura 3](#), e o símbolo na [Figura 4](#).

5. *A partir das informações dos blocos que compõe este circuito estime o valor máximo da frequência do *clock* que o circuito pode suportar (considere a entrada **D** = "1", utilize o pior caso entre subida e descida das portas e considere que os sinais são rápidos). Apresente os cálculos.

Figura 3: Esquemático utilizando **DF3** e **NAND22**Figura 4: Símbolo utilizando **DF3** e **NAND22**

Analizando o circuito, pode-se notar que a equação que representa o caminho crítico é a seguinte,

$$t_{min} = t_{set-up} + t_{NAND} + t_{FF} \quad (1)$$

Por analisar as configurações dos componentes, sabe-se que a capacitância de carga dos elementos são $C_{NAND} = 5fF$ e $C_{FF} = 13fF$. Utilizar uma aproximação linear em conjunção as informações fornecidas pelo documento que contém informações sobre as células, pode-se definir $t_{set-up} = 0ns$, $t_{FF} = 0,621ns$ e $t_{NAND} = 0,077ns$.

$$\frac{1,66 - 0,61}{960 - 3} = \frac{t_{FF} - 0,61}{13 - 3} \quad (2)$$

$$\frac{1,64 - 0,07}{640 - 2} = \frac{t_{NAND} - 0,07}{5 - 2} \quad (3)$$

Assim sendo, $t_{min} = 0,698ns$ o que implica uma frequência máxima de *clock* de $1,43GHz$.

- 6.** *O que significam tempos de *holding* e de *set-up* em *flip-flops*. Qual seria o valor máximo do *clock*, do exercício acima, caso o tempo de *set-up* fosse de $0,1ns$.

holding → Tempo mínimo para segurar o sinal em uma determinada tensão para que o *flip-flop* possa armazená-lo.

set-up → Tempo para que o *flip-flop* esteja pronto para propagar o sinal, partindo do princípio que o sinal já está armazenado.

Recalculando o tempo máximo de *clock*, considerando tempo de *set-up* de $0,1ns$, tem-se $t_{min} = 0,798$, e logo o valor máximo do *clock* seria de $1,25Hz$.

- 7.** *Gere, a partir do esquemático, um arquivo ***netlist*** para o ELD. Simule o circuito com os parâmetros típicos e determine a **máxima velocidade (*clock*)** do circuito. Considere

- a entrada $D = "1"$;
- $V_{DD} = 3V$;
- o sinal de *clock* com (tempo de subida) = (tempo de descida) = $0,1 \cdot Perodo$.

Apresente as linhas de comando e sinais utilizados.

As linhas de comando e os sinais utilizados estão representados no **Código fonte ??** . A frequência obtida foi $1,47GHz$.

Código Fonte 1: Comandos e sinais utilizados na simulação

```

1 Vdd  VDD 0 3V
2 Vss  VSS 0 0V
3 Vclk CLK 0 PULSE (0 3 delay rise fall work period)
4
5 .CONNECT VDD D
6
7 .PARAM frequency=1.42GHz
8 .PARAM period=1/frequency
9 .PARAM rise='period*.1'
```

```

10 .PARAM fall='period*.1'
11 .PARAM work='period*.4'
12 .PARAM delay=0
13
14 .PARAM step=5MegHz
15 .PARAM start=1.4GHz
16 .PARAM stop=1.5GHz
17
18 .TRAN 10ns '20*period' '5*period' 1ns SWEEP frequency INCR step start stop
19 .PROBE V(Q)

```

8. *Gere agora o **layout para o circuito** (use para isso o *designviewpoint* não o *schematic*).

Neste *layout* deve-se tomar cuidado com:

- a área total do circuito;
- o uso correto dos metais e poli como camadas de conexão;
- a posição e o tamanho dos *ports* de entrada e saída;
- a largura das linhas de V_{DD} e V_{SS} , não inferiores a $1\mu m$ (use **Route – ARoute NEt Classe**).

Faça a verificação com o **DRC** (CALIBRE), passe o **LVS** e elimine todos os erros. **Apresente a figura do layout no relatório.**

O *layout* está representado na **Figura 5**.

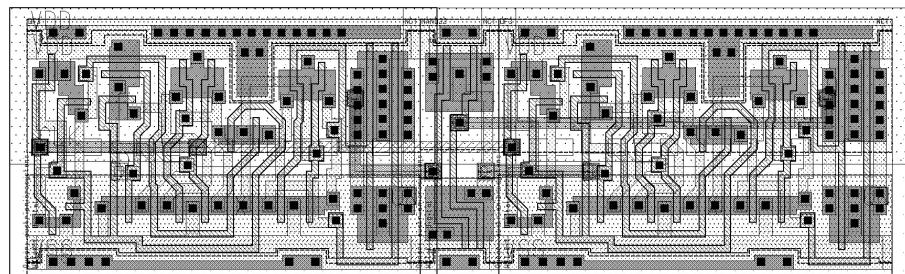


Figura 5: *Layout* do circuito

9. *Faça a extração do circuito via o Calibre com a opção **C+CC** (deve ser usada uma configuração que garanta que o nome dos nós venha do *schematic*). Simule o circuito com parâmetros típicos e determine sua máxima velocidade. Utilize as mesmas condições do exercício

7.

As linhas de comando utilizadas foram similares as do **Código fonte ??**. A frequência obtida foi $1,097\text{GHz}$, conforme o gráfico da **Figura 6** demonstra. O sinal da frequência escolhida está representado no gráfico da **Figura 7**.

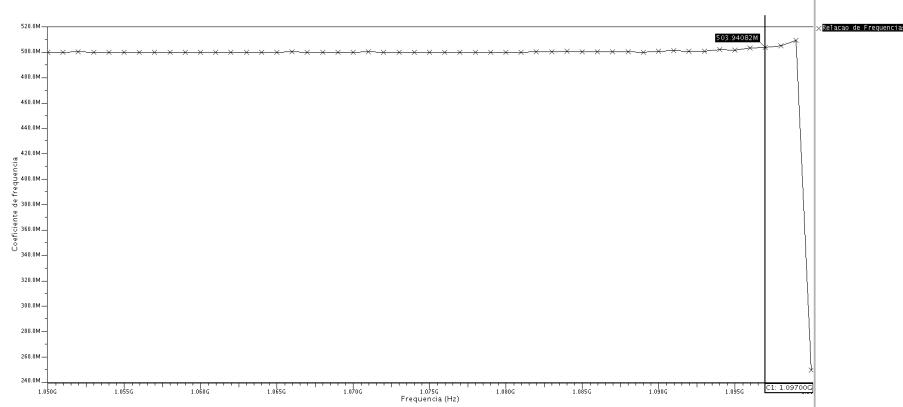


Figura 6: Coeficiente de frequência. Frequência do sinal / Frequência de *clock*

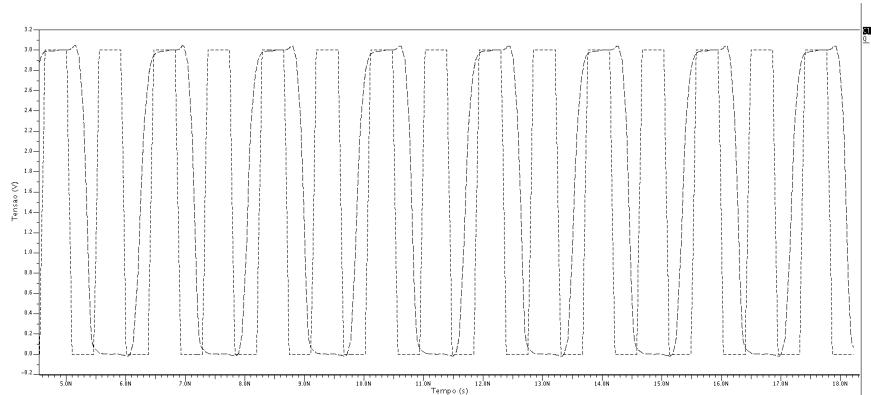


Figura 7: Saída do circuito operando em sua máxima frequência

10. *Extraia agora com a opção **R+C+CC**. Simule o circuito com parâmetros típicos e determine sua máxima velocidade. Utilize as mesmas condições do exercício 7.

As linhas de comando utilizadas foram similares as do **Código fonte ??**. A frequência obtida foi $1,02\text{GHz}$, conforme o gráfico da **Figura 8** demonstra. O sinal da frequência escolhida está representado no gráfico da **Figura 9**.

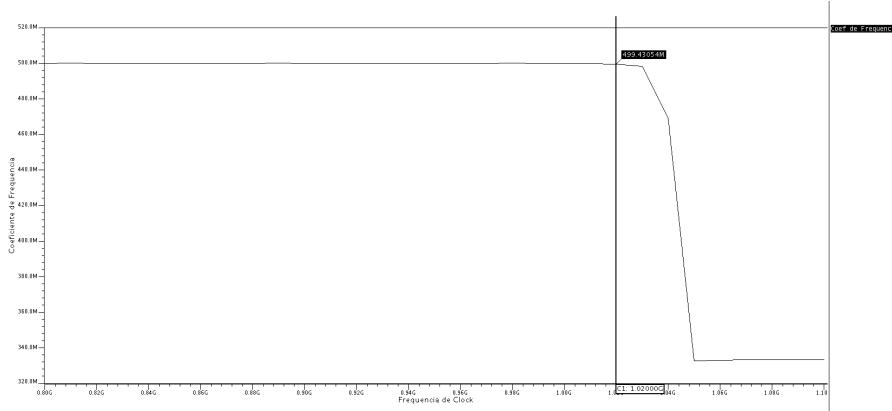
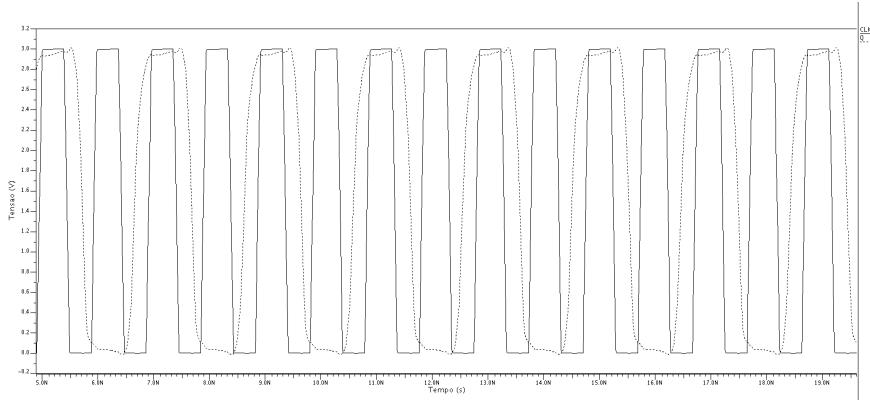
Figura 8: Coeficiente de frequência. Frequência do sinal / Frequência de *clock*

Figura 9: Saída do circuito operando em sua máxima frequência

11. *Monte uma tabela com os resultados obtidos nos exercícios **5, 7, 9 e 10**. Compare e comente os resultados.

Ao analisar a **Tabela 1**, que mostra os resultados obtidos nas questões anteriores, percebe-se que há uma grande diferença entre os valores calculados teoricamente e os calculados através da simulação. Isto ocorre devido a serem consideradas as cargas parasitas do circuito ($C+CC$ e $R+C+CC$) nos modelos de simulação que aumentam bastante o tempo de operação.

Tabela 1: Máximas frequências de operação para o divisor de frequência da **Figura 3**.

Referência	Freq. Máxima (GHz)
Teórica	1,43
Schematic	1,47
Extração C + CC	1,097
Extração R + C + CC	1,02

12. *Determine a área total do circuito que desenhou.

As dimensões do circuito são $48,0\mu m$ por $14,2\mu m$, o que resulta em uma área do circuito de $681,6\mu m^2$. Conforme o *report - Windows*, o circuito possui uma área de $681,6\mu m$.

13. Considere agora o circuito da **Figura 10**.

O circuito é um *Prescaler* 32/33, bloco comum na implementação de sintetizadores de freqüência para RF (detalhes sobre o funcionamento de sintetizadores no fim da apostila). A parte de cima do circuito, hachurada, é um divisor 4/5 síncrono, cujo o valor de divisão depende do sinal **MC** (*modulus counter*); a parte de baixo é um contador assíncrono modulo 8. O circuito completo divide o sinal de **clock** por 32 quando **SM** = "0" ou por 33 quando **SM** = "1".

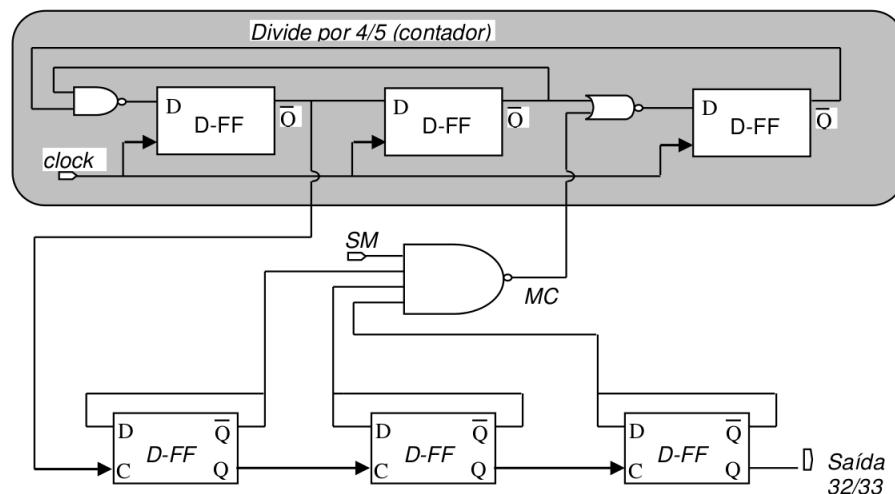


Figura 10: *Prescaler* 32/33

14. *A partir dos dados dos blocos que compõe o divisor 4/5 estime o máximo *clock* que o circuito pode suportar (considere que são usados na implementação os blocos **DF1**, **NAND23** e **NOR23** e utilize o pior caso entre subida e descida das portas). Apresente os cálculos.

Analizando o circuito, pode-se notar que existem 2 possíveis caminhos críticos, que são os representados pelas seguintes equações:

$$t_{min_1} = t_{set-up} + t_{NAND} + t_{FF} \quad (4)$$

$$t_{min_2} = t_{set-up} + t_{NOR} + t_{FF} \quad (5)$$

Por analisar as configurações dos componentes, sabe-se que a capacitância de carga dos elementos são $C_{NAND} = 20fF$, $C_{NOR} = 21fF$ e $C_{FF} = 5fF$. Utilizar uma aproximação linear em conjunção as informações fornecidas pelo documento que contém informações sobre as células, pode-se definir $t_{set-up} = 0ns$, $t_{FF} = 0,706ns$, $t_{NOR} = 0,073ns$ e $t_{NAND} = 0,043ns$.

$$\frac{2,14 - 0,50}{320 - 1} = \frac{t_{FF} - 0,50}{41 - 1} \quad (6)$$

$$\frac{1,60 - 0,07}{960 - 3} = \frac{t_{NOR} - 0,07}{5 - 3} \quad (7)$$

$$\frac{1,67 - 0,04}{960 - 3} = \frac{t_{NAND} - 0,04}{5 - 3} \quad (8)$$

$$t_{min} = \min(t_{min_1}, t_{min_2}) \quad (9)$$

Assim sendo, $t_{min} = 0,779ns$ o que implica uma frequência máxima de *clock* de $1,28GHz$.

15. Desenhe o **esquemático** do divisor 4/5 utilizando as células **DF1**, **NAND23** e **NOR23**. Como sinal de entrada deve ter o *clock* e *MC*; como sinal de saída o sinal \overline{Q} do **D-FF mais a esquerda**. Gere o símbolo para a célula e faça a verificação do esquemático e do símbolo. Certifique-se que não haja erros ou mesmo *warnings*.

O esquemático do circuito está representado na **Figura 11** .

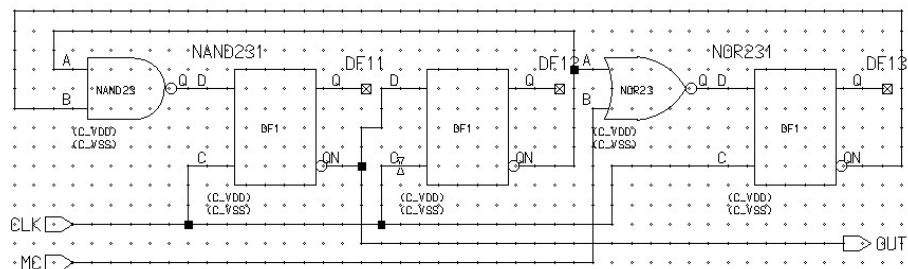


Figura 11: Esquemático do divisor 4/5

16. *Gere, a partir do esquemático, um arquivo ***netlist*** para o ELD. Simule o circuito com parâmetros típicos e determine a máxima velocidade e consumo do circuito (consumo em **mW/GHz**). Considere

- $MC = "0"$, para o circuito fazer a divisão por 5;

- $V_{DD} = 3V$;
- o sinal de *clock* com (tempo de subida) = (tempo de descida) = 0,1*Periodo.

Apresente as linhas de comando e sinais utilizados.

A máxima velocidade de *clock* para este circuito, segundo o esquemático, é de $1,11GHz$ e o consumo é $1,38mW$, assim como pode ser observado na **Figura 12**. A **Figura 12** também demonstra o gráfico do consumo em relação a potência. Os comandos utilizados para a obtenção destas informações estão representadas no **Código fonte ??**

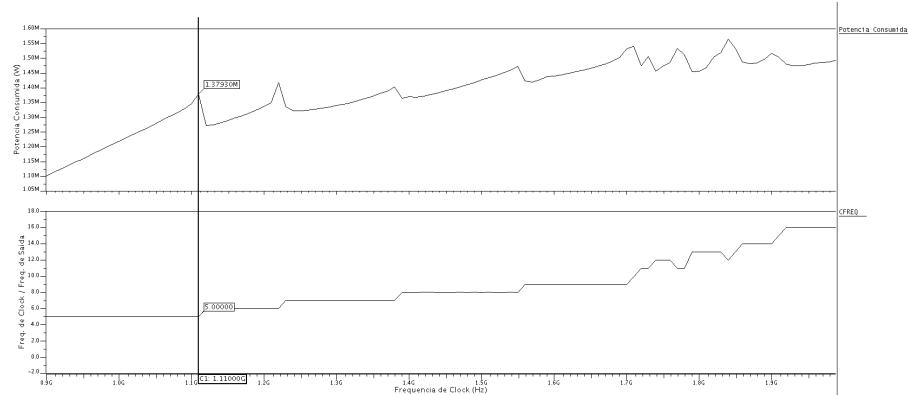


Figura 12: Coeficiente de frequência e potência do circuito.

Código Fonte 2: Comandos e sinais utilizados na simulação

```

1 *** Pulso de clock ***
2 .PARAM delay=0
3 .PARAM frequency=1.42GHz
4 .PARAM period=1/frequency
5 .PARAM rise='period*.1'
6 .PARAM fall='period*.1'
7 .PARAM work='period*.4'
8
9 *** Sweep sobre frequencia ***
10 .PARAM step=10MegHz
11 .PARAM start=0.9GHz
12 .PARAM stop=2.1Ghz
13
14 .INCLUDE divisor.cir
15
16 Xd CLK MC OUT DIVISOR
17
18 Vdd VDD 0 3V
19 Vss VSS 0 0V
20 Vclk CLK 0 PULSE (0V 3V delay rise fall work period)
21

```

```

22 .CONNECT MC VSS
23
24 .TRAN 10ns '100*period' '5*period' 1ns SWEEP frequency INCR step start stop
25
26 .MEAS TRAN TCLK TRIG V(CLK) VAL=1.5V RISE=5 TARG V(CLK) VAL=1.5V RISE=6
27 .MEAS TRAN TOUT TRIG V(OUT) VAL=1.5V RISE=5 TARG V(OUT) VAL=1.5V RISE=6
28 * coefFreq = fclk/fout = Tout/Tclk = 5
29 .MEAS TRAN CFREQ PARAM='TOUT/TCLK',
30
31 .MEAS TRAN AVG_CUR AVG I(VDD)
32 .MEAS TRAN CONS PARAM='V(VDD)*AVG_CUR',
33
34 .PROBE TRAN V(CLK) V(OUT) V(VDD) I(VDD)

```

17. *Gere agora o *layout do circuito*. Neste *layout* deve tomar cuidado com:

- a área total do circuito;
- o uso correto dos metais e poli como camadas de conexão;
- a posição e o tamanho dos *ports* de entrada e saída;
- a largura das linhas de V_{DD} e V_{SS} , não inferiores a $1\mu m$.

Faça a verificação com o **DRC** (CALIBRE), passe o **LVS** e elimine todos os erros. Apresente a figura do layout no relatório.

O *layout* está representado na **Figura 13** .

18. *Faça a extração do circuito via o Calibre com a opção **C+CC**. Simule o circuito com parâmetros típicos e determine a máxima velocidade e consumo do circuito. Considere as mesmas condições do exercício 16.

A frequência obtida foi $0,88GHz$ com um consumo de $1,61mW$, conforme o gráfico da **Figura ??** demonstra. O sinal da frequência escolhida está representado no gráfico da **Figura 9** .

19. *Extraia agora com a opção **R+C+CC**. Simule o circuito com parâmetros típicos e determine a máxima velocidade e consumo do circuito. Considere as mesmas condições do

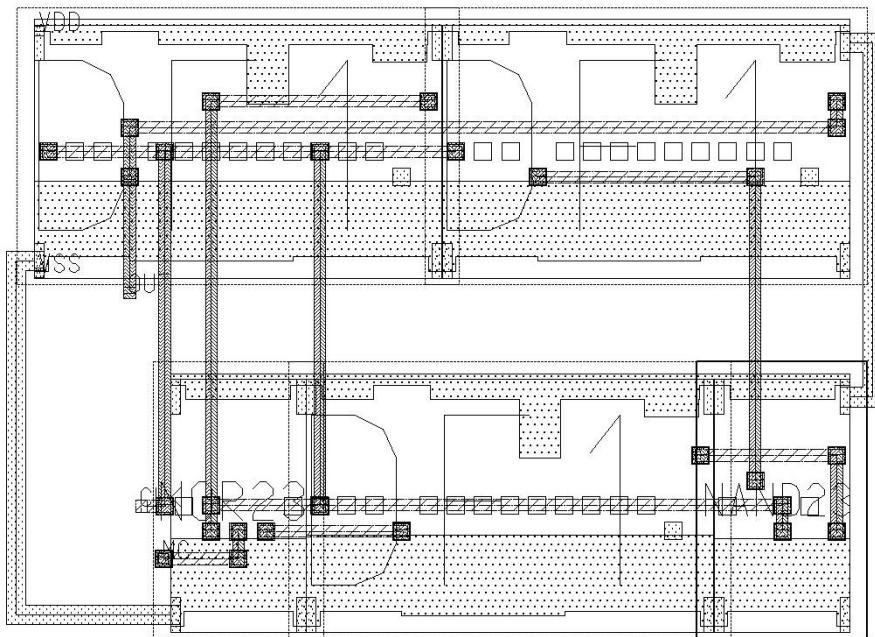


Figura 13: Layout do circuito

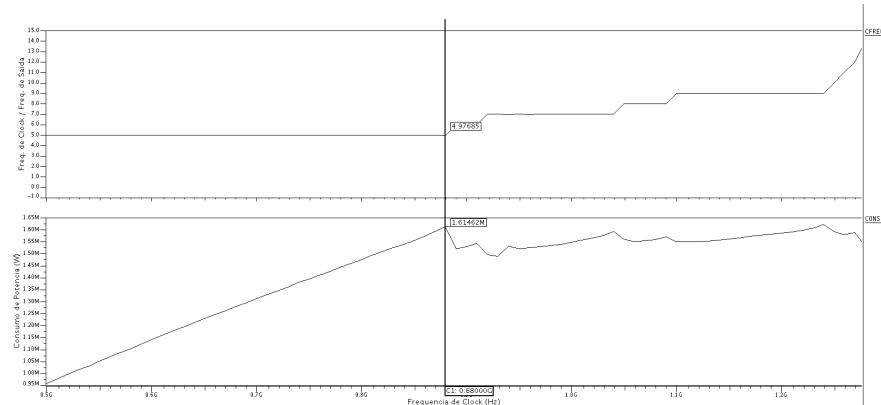


Figura 14: Coeficiente de frequência. Frequência do sinal / Frequência de clock

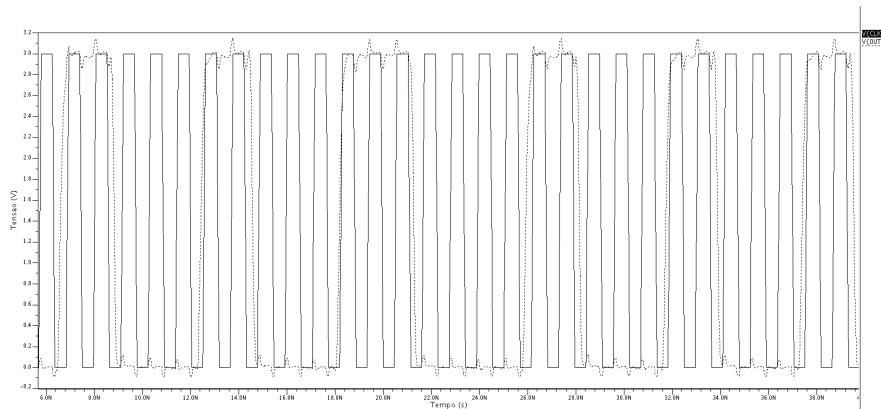


Figura 15: Saída do circuito operando em sua máxima frequência

exercício 16.

A frequência obtida foi $0,84\text{GHz}$ com um consumo de $1,48\text{mW}$, conforme o gráfico da **Figura ??** demonstra. O sinal da frequência escolhida está representado no gráfico da **Figura 17**.

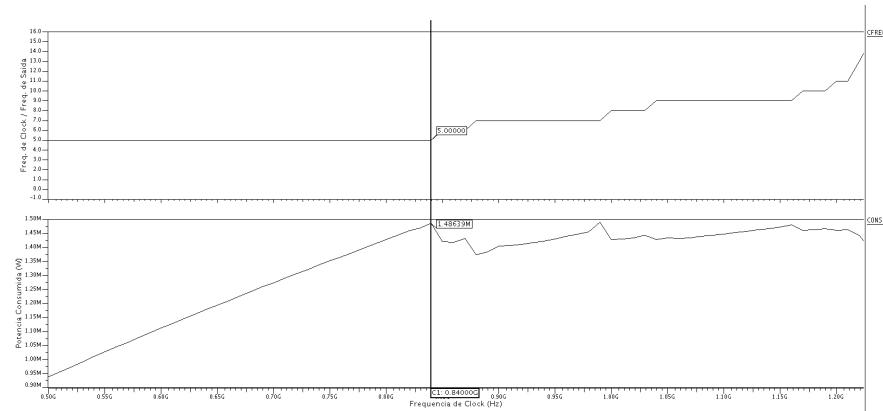


Figura 16: Coeficiente de frequência. Frequência do sinal / Frequência de *clock*

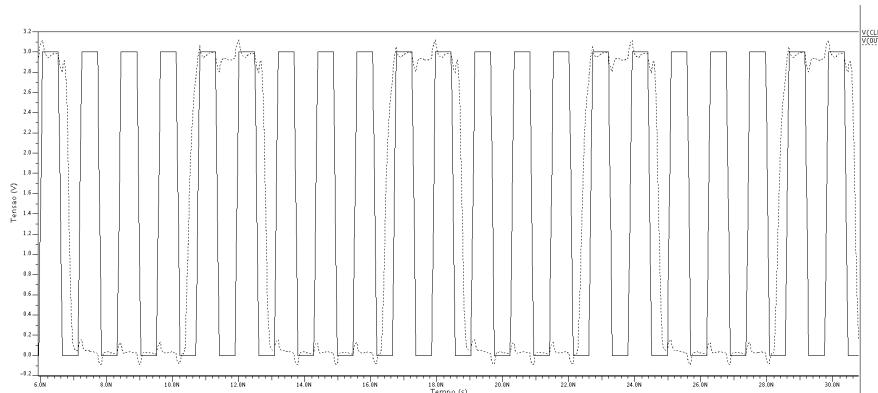


Figura 17: Saída do circuito operando em sua máxima frequência

20. *Monte uma tabela com os resultados obtidos nos exercícios **14, 16, 18 e 19**. Compare e comente os resultados.

Ao analisar a **Tabela 2**, que mostra os resultados obtidos nas questões anteriores, analogamente à questão 11, percebe-se que há uma grande diferença entre os valores calculados teoricamente e os calculados através da simulação. Isto ocorre devido a serem consideradas as cargas parasitas do circuito ($C+CC$ e $R+C+CC$) nos modelos de simulação que aumentam bastante o tempo de operação.

Tabela 2: Máximas frequências de operação para o divisor de frequência da **Figura 11**.

Referência	Freq. Máxima (GHz)	Consumo(mW)
Teórica	1,28	—
Schematic	1,11	1,38
Extração C + CC	0,88	1,61
Extração R + C + CC	0,84	1,48

21. *Determine a área total do circuito que desenhou.

As dimensões do circuito são $45,1\mu m$ por $32,4\mu m$, o que resulta em uma área do circuito de $1.461,2\mu m^2$. Conforme o *report - Windows*, o circuito possui uma área de $1.461,2\mu m$.

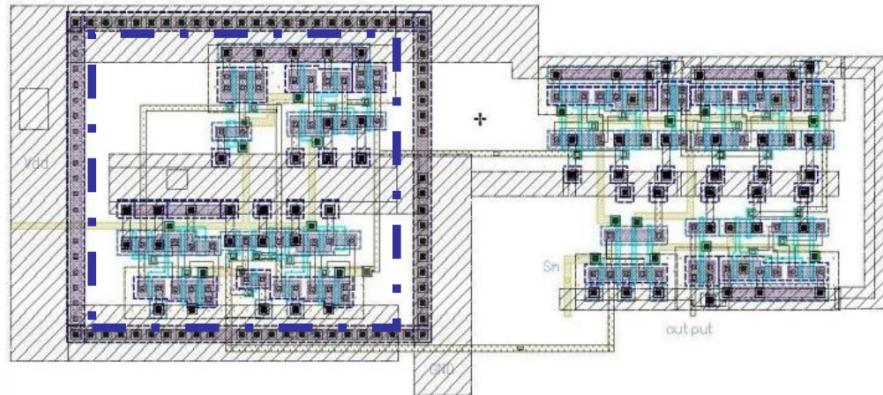


Figura 18: *Layout* do circuito *Prescaler 32/33* na tecnologia AMS 0.35 (dimensões de $82\mu m \times 35\mu m$). O divisor 4/5 está indicado com um quadrado tracejado.

Observação: A **Figura 18** apresenta o *layout* de um *Prescaler 32/33* completo. Por resultados de simulação, este circuito funciona a 2,4 GHz com consumo de 2,43mW (parâmetros típicos, $V_{DD} = 3V$). O circuito implementado, por sua vez, funcionou a 1,7GHz com consumo de 2,31mW. Tanto a velocidade máxima como grande parte do consumo se deve ao divisor 4/5. Assim podemos, a grosso modo, dizer que o consumo e a velocidade deste divisor é igual a do *Prescaler*.