

UNIVERSIDADE DE SÃO PAULO

ESCOLA DE ENGENHARIA DE SÃO CARLOS

PROJETO DE CIRCUITOS INTEGRADOS ANALÓGICOS -  
SEL0618

---

## Projeto 8

---

*Aluno:* Lucas A. M. Magalhães

*Número USP:* 7173347

*Aluno:* Luiz H. G. Patire

*Número USP:* 7126667

11 de agosto de 2014

## Sumário

<b>Relatório</b>	<b>2</b>
Questão 1 . . . . .	2
Questão 2 . . . . .	2
Questão 3 . . . . .	2
Questão 4 . . . . .	3
Questão 5 . . . . .	4
Questão 6 . . . . .	4
Questão 7 . . . . .	5
Questão 8 . . . . .	6
Questão 9 . . . . .	7
Questão 10 . . . . .	8
Questão 11 . . . . .	9
Questão 12 . . . . .	9
Questão 13 . . . . .	11
Questão 14 . . . . .	11
Questão 15 . . . . .	14
Questão 16 . . . . .	15
Questão 17 . . . . .	17
Questão 18 . . . . .	19
Questão 19 . . . . .	20

---

# Relatório

## Questão 1

Procure o *layout* da célula **DL1** e o abra no IcStation. Levante e **desenhe o circuito esquemático** desta célula (não precisa determinar as dimensões dos transistores). Observe com cuidado o *layout* feito.

A Figura 1 mostra o esquemático do circuito da célula DL1.

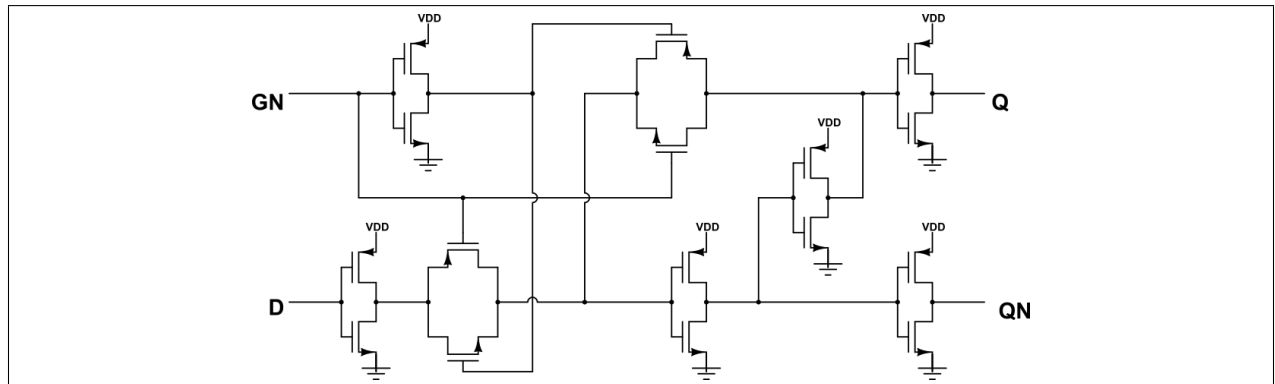


Figura 1: Esquemático feito a partir do *Layout* da Célula DL1

## Questão 2

Observe que na célula **DL1** as linhas dos sinais de  $V_{DD}$  e  $V_{SS}$  correm nas extremidades superior e inferior. Qual é a dimensão vertical destas linhas e qual a distância entre elas. Abra outra célula da biblioteca e verifique as dimensões das linhas de  $V_{DD}$  e  $V_{SS}$  e a distância entre elas. São iguais em todas as células? Seria/é interessante que fossem/sejam iguais?

A dimensões das linhas de  $V_{DD}$  e  $V_{SS}$  são ambas  $1,8 \mu m$ , e a distância entre elas é de  $9,4 \mu m$ . Isso se repete para todas as células da biblioteca.

Essa padronização permite uma economia de espaço e material na organização do circuito, uma vez que, para associar duas células diferentes, basta juntar suas regiões de  $V_{DD}$  e  $V_{SS}$ .

## Questão 3

Considere o circuito da **Figura 2**. Desenhe seu **esquemático** utilizando as células **DF3**, **NAND22**. Como sinal de entrada deve colocar o **clock** e **D**; como sinal de saída, **Q**. Gere o símbolo para a célula e faça todas as verificações necessárias. Certifique-se que não haja erros ou *warnings*.

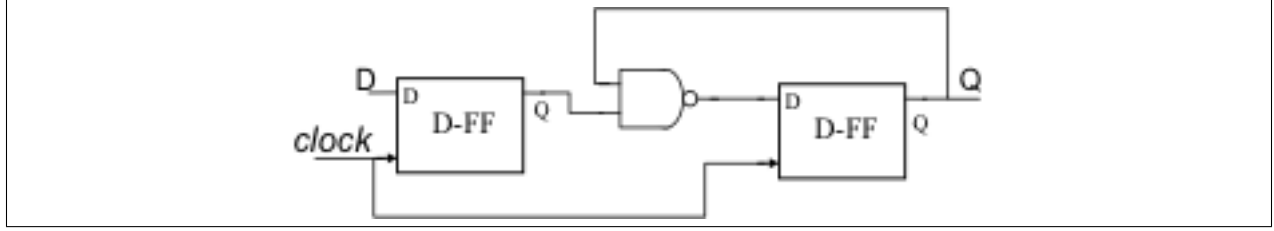


Figura 2: Exemplo de esquemático

O esquemático é apresentado na Figura 3.

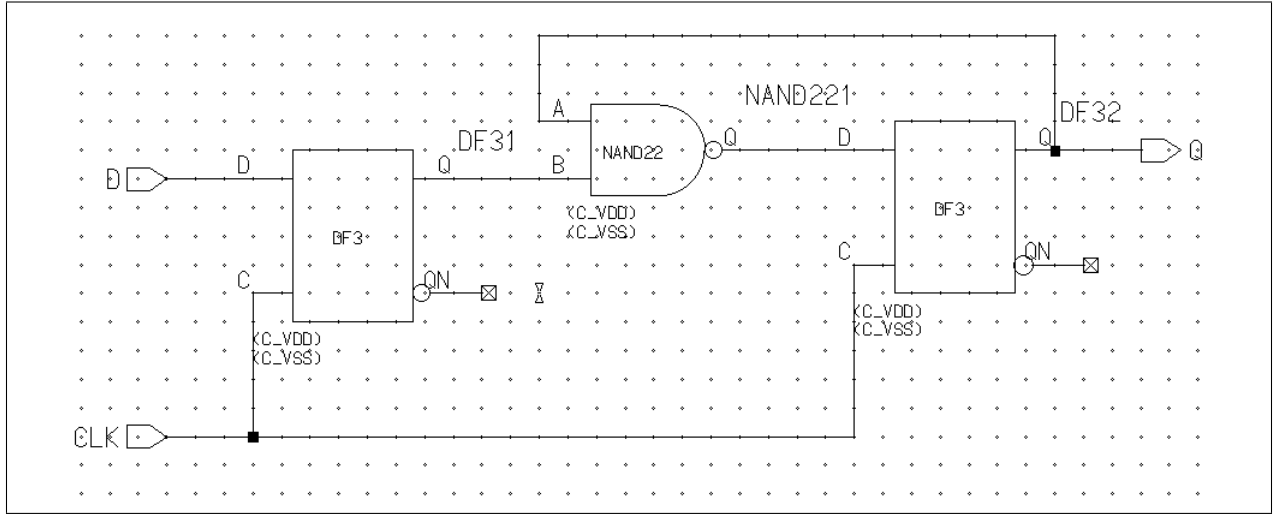


Figura 3: Esquemático do Circuito Divisor de Frequência

#### Questão 4

A partir das informações dos blocos que compõe este circuito estime o valor máximo da frequência do *clock* que o circuito pode suportar (considere a entrada  $D = "1"$ , utilize o pior caso entre subida e descida das portas e considere sinais rápidos). Apresente os cálculos.

Para fazer o cálculo da máxima frequência basta encontrar o atraso da porta no pior caminho do sinal. No esquemático da Figura 2 existem dois caminhos que tem a mesma fórmula. O tempo de atraso é calculado, então, pela equação 1, em que  $T_{DFF}$  e  $T_{NAND}$  são dados pelo tempo de *delay* da porta.

$$T = T_{SET-UP} + T_{DFF} + T_{NAND} \quad (1)$$

A documentação da biblioteca *CoreLIB* que usamos no trabalho não dá a especificação dos tempos para quaisquer capacitâncias de carga assim é assumido que o tempo varia linearmente com a capacitâncias de carga. Por aproximação linear, tem-se os tempos das portas para as cargas capacitivas corretas de cada porta de entrada apresentados na Tabela

1. Para definir a capacitância de carga das portas basta achar a capacitância equivalente das portas, no caso colocar as capacitâncias em paralelo.

Tabela 1: Valores de *delay* e capacitâncias usados

Porta	Delay (ns)	Capacitância (pF)
DFF	0,621	0,013
NAND	0,077	0,005

Fazendo a soma em 1 tem-se  $T = 0,698 \text{ ns}$  assim, como a frequência máxima é  $f = \frac{1}{T}$  para T igual ao máximo atraso, a frequência máxima é  $f = 1,43 \text{ GHz}$ .

### Questão 5

O que significam tempos de *holding* e de *set-up* em *flip-flops*. Qual seria o valor máximo do *clock*, do exercício acima, caso o tempo de *set-up* fosse de 0,1 ns.

Tempo de *holding* é o tempo que a entrada da porta deve ficar estável depois do *clock* para que o sinal se propague corretamente. Tempo de *set-up* é o tempo que a entrada deve ficar estável antes do *clock* para que o sinal se propague corretamente.

No caso do tempo de *set-up* ser 0,1 ns, o atraso seria acrescido desse valor assim,  $T = 0.797 \text{ ns}$ . A frequência máxima seria, então,  $f = 1.25 \text{ GHz}$ .

### Questão 6

Gere, a partir do esquemático, um arquivo *netlist* para o ELDO. Simule o circuito com os parâmetros típicos e determine a **máxima velocidade** (*clock*) do circuito. Considere

- a entrada  $D = "1"$ ;
- $V_{DD} = 3 \text{ V}$ ;
- o sinal de *clock* com (tempo de subida) = (tempo de descida) = 0,1\*Período.

Apresente as linhas de comando e sinais utilizados.

A simulação feita é descrita pelo *Listing 1*. Nela é feita uma simulação variando a frequência e calculando a relação entre a frequência de saída e a frequência de entrada, como visto na linha 143 do arquivo chamada "Relação entre Frequências". A Figura 4 mostra o gráfico da "Relação entre Frequências"X frequência de entrada. Observa-se neste gráfico que, para frequências maiores que 1,43 GHz, o circuito para de funcionar, pois a relação que deveria ser de 0.5 cai para valores abaixo desse esperado.

Listing 1: "Modelo de Simulação do Divisor de Frequência a Partir do Esquemático"

```
1 *
* MAIN CELL: Component pathname : $proj3/default.group/logic.views/logic1
```

```

*
      X_NAND221 N$7 Q N$4 NAND22
      X_DF32 Q N$6 CLK N$7 DF3
6      X_DF31 N$4 N$5 CLK D DF3
*
.param f = 500MEG , T='1/f', ts='0.01*T' , td = ts

VD VDD 0 3V
11 VS VSS 0 0V
VIN D 0 3V
VCLK CLK 0 PULSE( 0 3V 0 ts td '0.5*T-0.5*ts-0.5*td' T )

.tran 0 100n 0 10p SWEEP f 700MEG 1.5G 10MEG
16 .meas periodo TRIG V(Q) val=1.5 fall=2 targ V(Q) val=1.5 fall=3
.meas outFreq PARAM='1/periodo'
.meas rel PARAM='outFreq/f'
.probe tran V(CLK) V(Q)

```

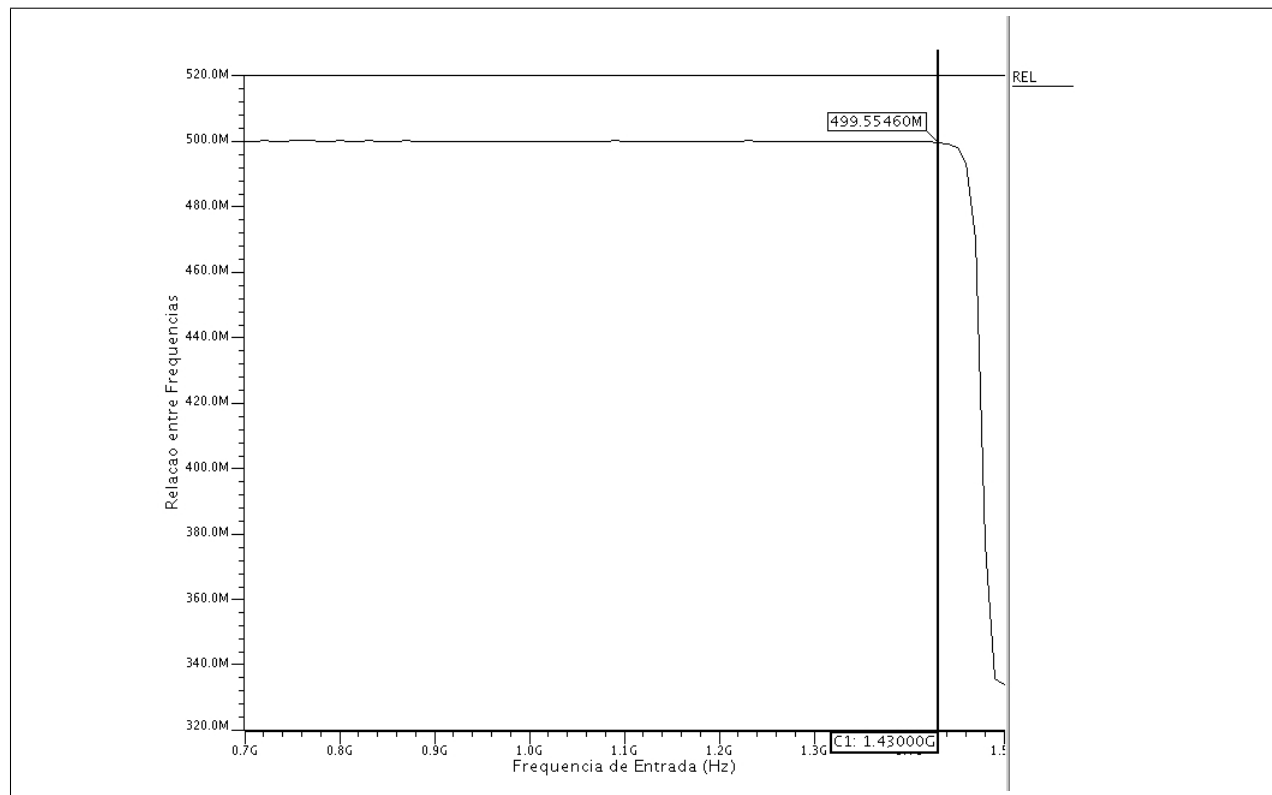


Figura 4: Relação entre Frequências X Frequência de entrada, simulado a partir do Netlist

## Questão 7

Gere agora o **layout para o circuito** (use para isso o *designviepoint* não o *schematic*). Neste *layout* deve-se tomar cuidado com:

- a área total do circuito;
- o uso correto dos metais e poli como camadas de conexão;

- a posição e o tamanho dos *ports* de entrada e saída;
- a largura das linhas de  $V_{DD}$  e  $V_{SS}$ , não inferiores a  $1\ \mu m$  (use *Route – ARoutre NEt Classe*).

Faça a verificação com o **DRC** (CALIBRE), passe o **LVS** e elimine todos os erros. **Apresente a figura do *layout* no relatório.**

O *layout* do circuito é apresentado na Figura 5

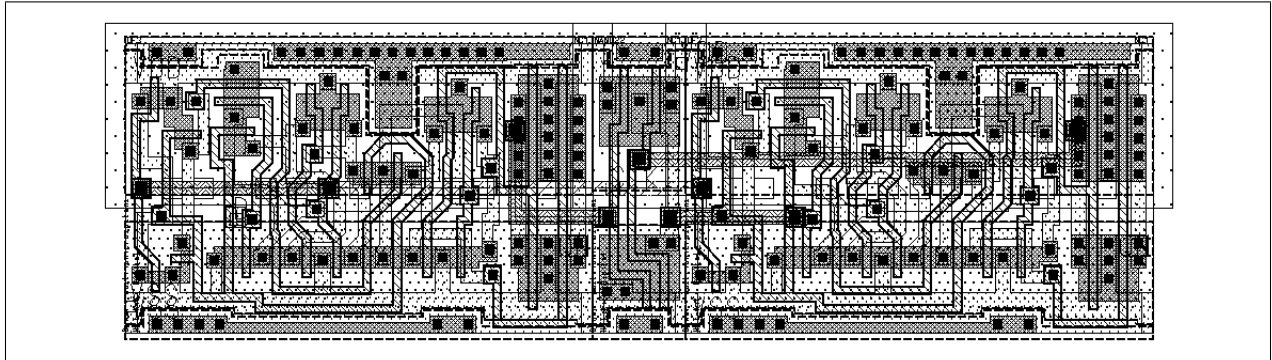


Figura 5: *Layout* do Divisor de Frequências

### Questão 8

Faça a extração do circuito via o Calibre com a opção **C+CC** (deve ser usada uma configuração que garanta que o nome dos nós venha do *schematic*). Simule o circuito com parâmetros típicos e determine sua máxima velocidade. Utilize as mesmas condições do exercício 6.

A simulação feita tem a mesma configuração da questão 6, porém neste caso foi feita a extração C+CC do *layout*. A Figura 6 mostra o gráfico da "Relação entre Frequências"X frequência de entrada. Observa-se neste gráfico que, para frequências maiores que  $1,07\ GHz$ , o circuito para de funcionar, pois a relação que deveria ser de 0.5, cai para valores abaixo desse esperado.

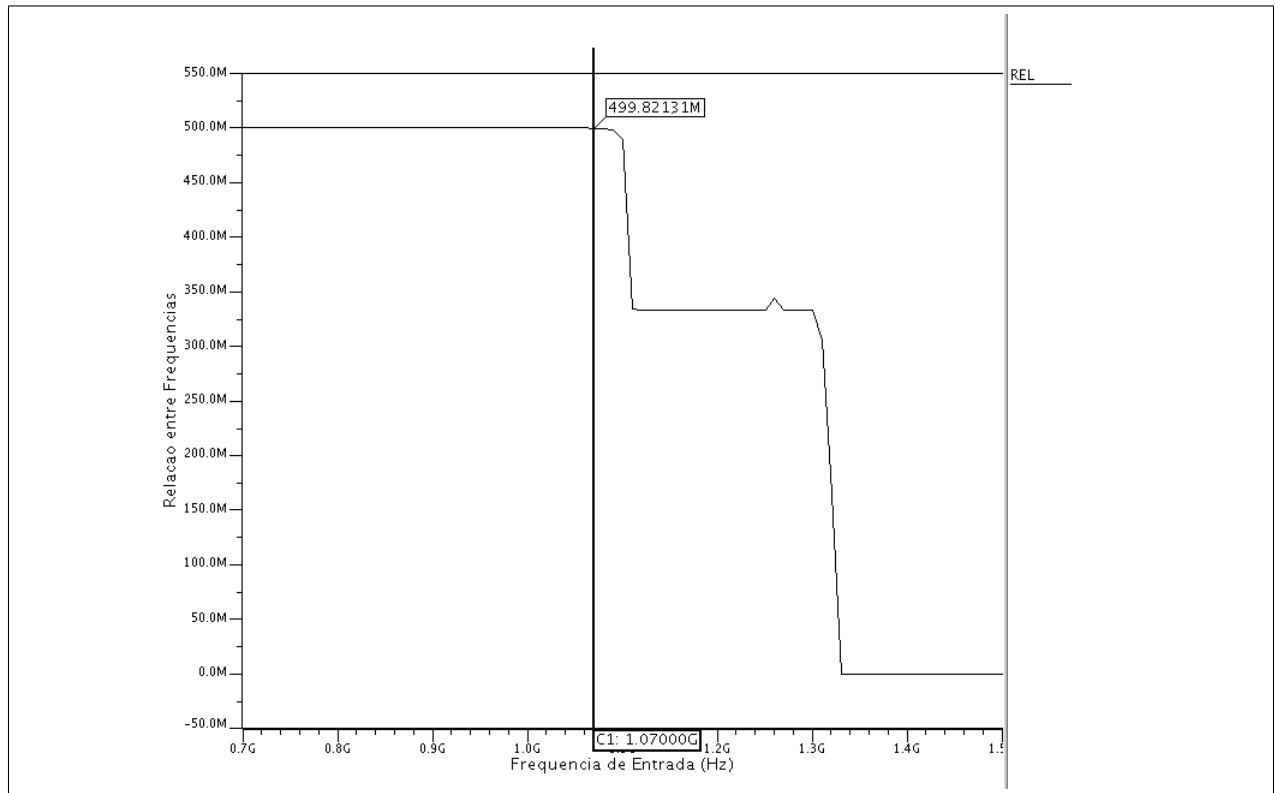


Figura 6: Gráfico da “Relação entre Frequências” X Frequência de Entrada (Hz), Extração C+CC

### Questão 9

Extraia agora com a opção **R+C+CC**. Simule o circuito com parâmetros típicos e determine sua máxima velocidade. Utilize as mesmas condições do exercício 6.

A simulação feita tem a mesma configuração da questão 6, porém neste caso foi feita a extração R+C+CC do *layout*. A Figura 7 mostra o gráfico da “Relação entre Frequências” X frequência de entrada. Observa-se neste gráfico que, para frequências maiores que 1,05 GHz, o circuito para de funcionar, pois a relação que deveria ser de 0.5 cai para valores abaixo desse esperado.



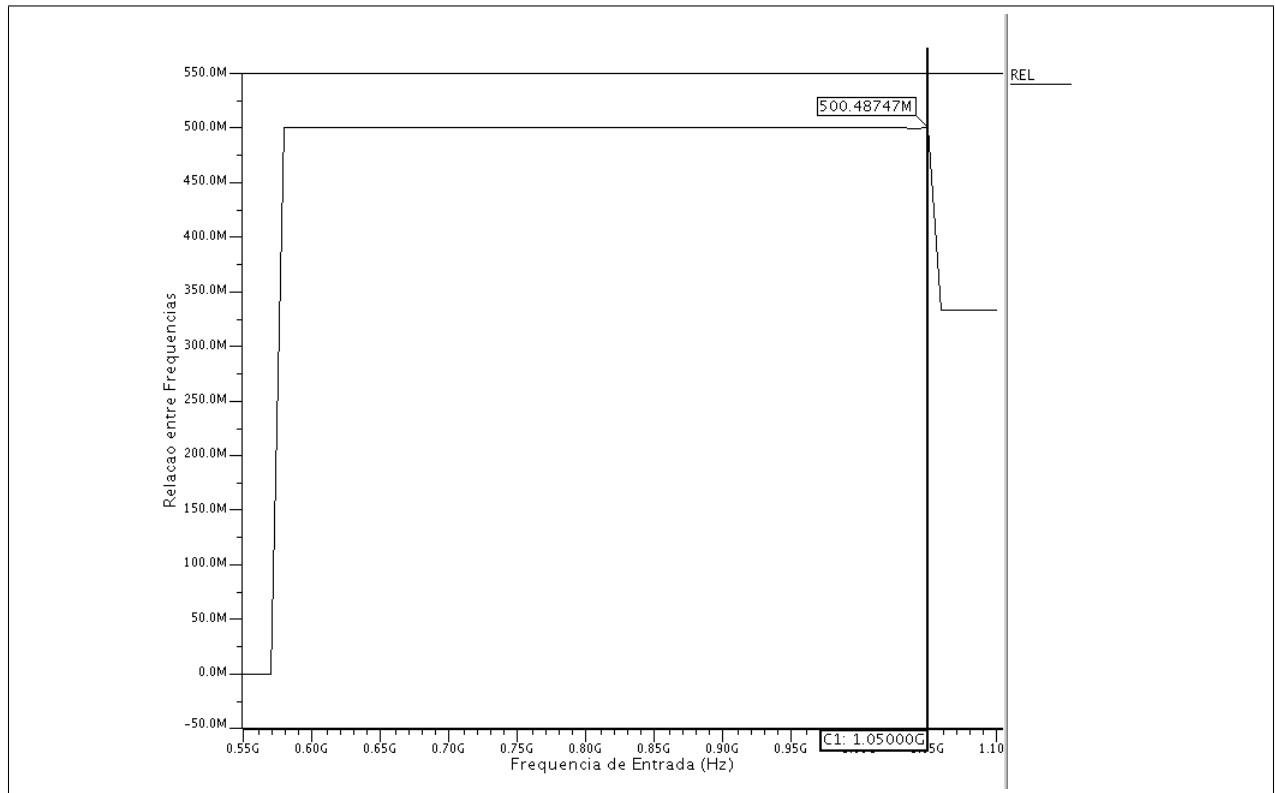


Figura 7: Gráfico da “Relação entre Frequência” X Frequência de Entrada (Hz), Extração R+C+CC

### Questão 10

**Monte uma tabela** com os resultados obtidos nos exercícios 4, 6, 8 e 9. **Compare e comente** os resultados.

A Tabela 2 compara as máximas frequências de funcionamentos para as questões 4, 6, 8 e 9.

Tabela 2: Máximas frequências para circuito da questão 3

Extração	Frequência Máxima (GHz)
Cálculo dos atrasos manualmente	1,43
Netlist	1,43
C+CC	1,07
R+C+CC	1,05

Pode-se observar que a frequência calculada a partir dos dados fornecidos pelo fabricante são idênticos à frequência simulada pelo *netlist* gerado a partir do esquemático. Em simulações mais precisas (C+CC e R+C+CC), que consideram cargas parasitas do circuito, pode-se



No divisor 4/5 da Figura 8 existem quatro caminhos críticos para o cálculo do *Clock*. Eles estão indicados pelos números de 1 a 4 na Figura 9:

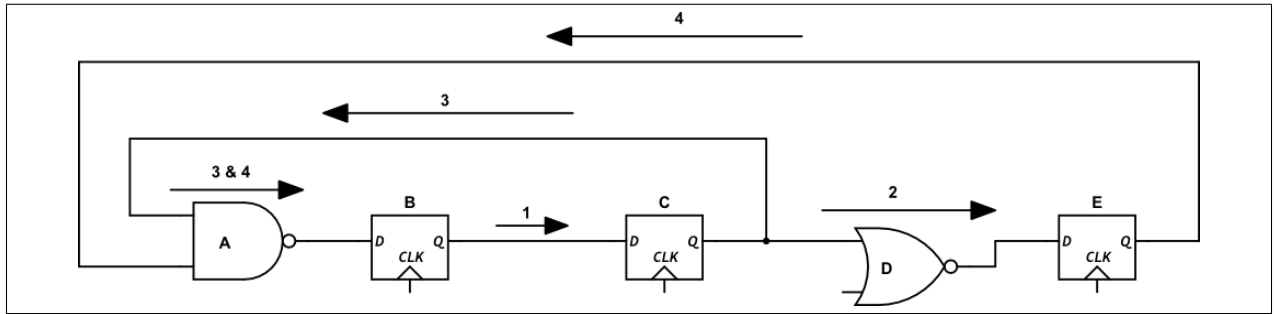


Figura 9: Divisor 4/5 - Sinais Críticos e Componentes

Os tempos totais de cada caminho estão representados nas equações de 2 a 5, nas quais  $t_{DX}$  é o tempo de *delay* do componente X do circuito:

$$T_1 = t_{DB} \quad (2)$$

$$T_2 = t_{DC} + t_{DD} \quad (3)$$

$$T_3 = t_{DC} + t_{DA} \quad (4)$$

$$T_4 = t_{DE} + t_{DA} \quad (5)$$

Os tempos de *delay* de cada componente é calculado utilizando os dados presentes na ficha técnica de cada bloco do circuito (que permitem encontrar a relação linear entre a carga de saída e o atraso do bloco) e a carga de saída resultante de cada bloco. Os valores encontrados para cada bloco se encontra na Tabela 3.

Tabela 3: Tempo de Atraso de Cada Bloco do Circuito

Bloco	Carga	Atraso
A	0,005 pF	0,083 ns
B	0,005 pF	0,680 ns
C	0,041 pF	0,864 ns
D	0,005 pF	0,073 ns
D	0,020 pF	0,757 ns

Os tempos resultantes de cada caminho se encontra na Tabela 4:

Tabela 4: Tempo de Atraso de Cada Caminho

Caminho	Atraso Total
1	0,680 ns
2	0,937 ns
3	0,947 ns
4	0,840 ns

Como o caminho com o maior atraso total é o caminho 3, com um atraso de 0,947 ns, ele assume posição como limitante do *clock* do sistema inteiro. Assim, o valor máximo do *clock* é de 1,05 GHz.

### Questão 13

Desenhe o **esquemático** do divisor 4/5 utilizando as células **DF1**, **NAND23** e **NOR23**. Como sinal de entrada deve ter o *clock* e *MC*; como sinal de saída o **signal  $\neg Q$  do D-FF mais a esquerda**. Gere o símbolo para a célula e faça a verificação do esquemático e do símbolo. Certifique-se que não haja erros ou mesmo *warnings*.

O esquemático feito é apresentado na Figura 10.

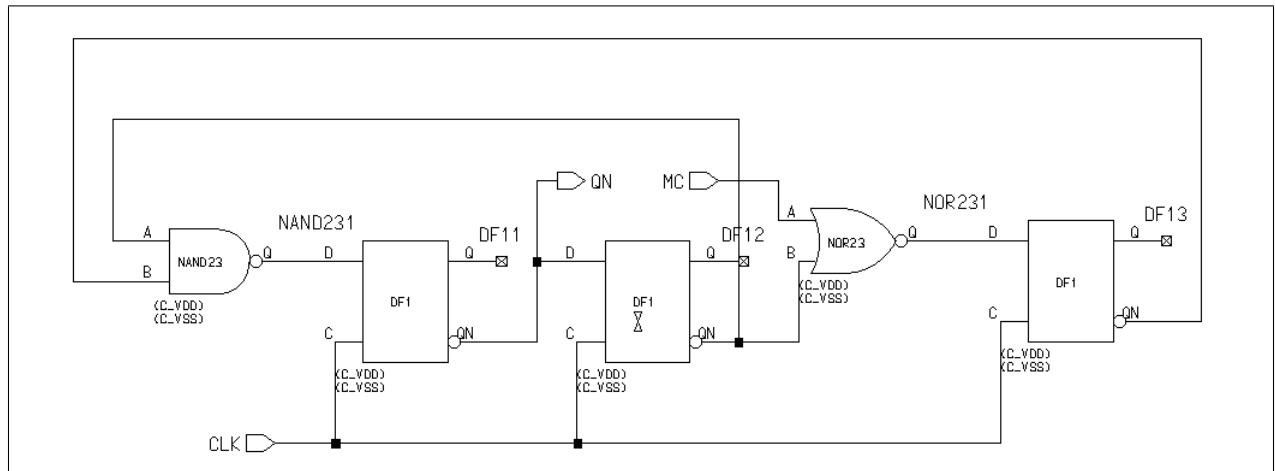


Figura 10: Esquemático do Divisor 4/5

### Questão 14

Gere, a partir do esquemático, um arquivo *netlist* para o ELDO. Simule o circuito com parâmetros típicos e determine a máxima velocidade e consumo do circuito (consumo em mW/GHz). Considere

- MC = “0”, para o circuito fazer a divisão por 5;

- $V_{DD} = 3\text{ V}$ ;
- o sinal de *clock* com (tempo de subida) = (tempo de descida) =  $0,1 \cdot \text{Período}$ .

Apresente as linhas de comando e sinais utilizados.

A simulação feita é descrita pelo *Listing 3*. Nela é feita uma simulação variando a frequência e é calculada a relação entre a frequência de saída e a frequência de entrada, como visto na linha 20 do arquivo. A Figura 11 mostra o gráfico de “Relação entre Frequências” X frequência de entrada. Observa-se neste gráfico que, para frequências maiores que  $1,18\text{ GHz}$ , o circuito para de funcionar, pois a relação que deveria ser de 0,2, cai para valores abaixo desse esperado.

Na Figura 12, vemos que o consumo da célula é de  $1,18\text{ mW/GHz}$ . Para fazer esse gráfico, foi calculada a relação entre a potência despendida pelo circuito em cada frequência de entrada e a própria frequência de entrada, linhas 22 e 23 do *Listing 3*.

Listing 3: "Modelo de Simulação do Divisor 4/5"

```
*
* MAIN CELL: Component pathname : $proj3/default.group/logic.views/div45
*
3      X_NOR231 N$10 MC N$6 NOR23
      X_NAND231 N$9 N$6 N$8 NAND23
      X_DF13 N$7 N$8 CLK N$10 DF1
      X_DF12 N$5 N$6 CLK QN DF1
8      X_DF11 N$4 QN CLK N$9 DF1

.param f = 500MEG , T='1/f', ts='0.01*T' , td = ts

VM MC 0 0
13 VD VDD 0 3V
VS VSS 0 0V
VCLK CLK 0 PULSE( 0 3V 0 ts td '0.5*T-0.5*ts-0.5*td' T )

.tran 0 100n 0 100p SWEEP f 1G 1.5G 10MEG
18 .meas tran periodo TRIG V(QN) val=1.5 fall=2 targ V(QN) val=1.5 fall=3
.meas tran outFreq PARAM='1/periodo'
.meas tran rel PARAM='outFreq/f'
.meas tran Int AVG I(VD) FROM=T TO='2*T'
.meas tran Pot PARAM='Int*-3'
23 .meas tran Consumo PARAM='Pot/f'
.probe tran V(CLK) V(QN)

*
```

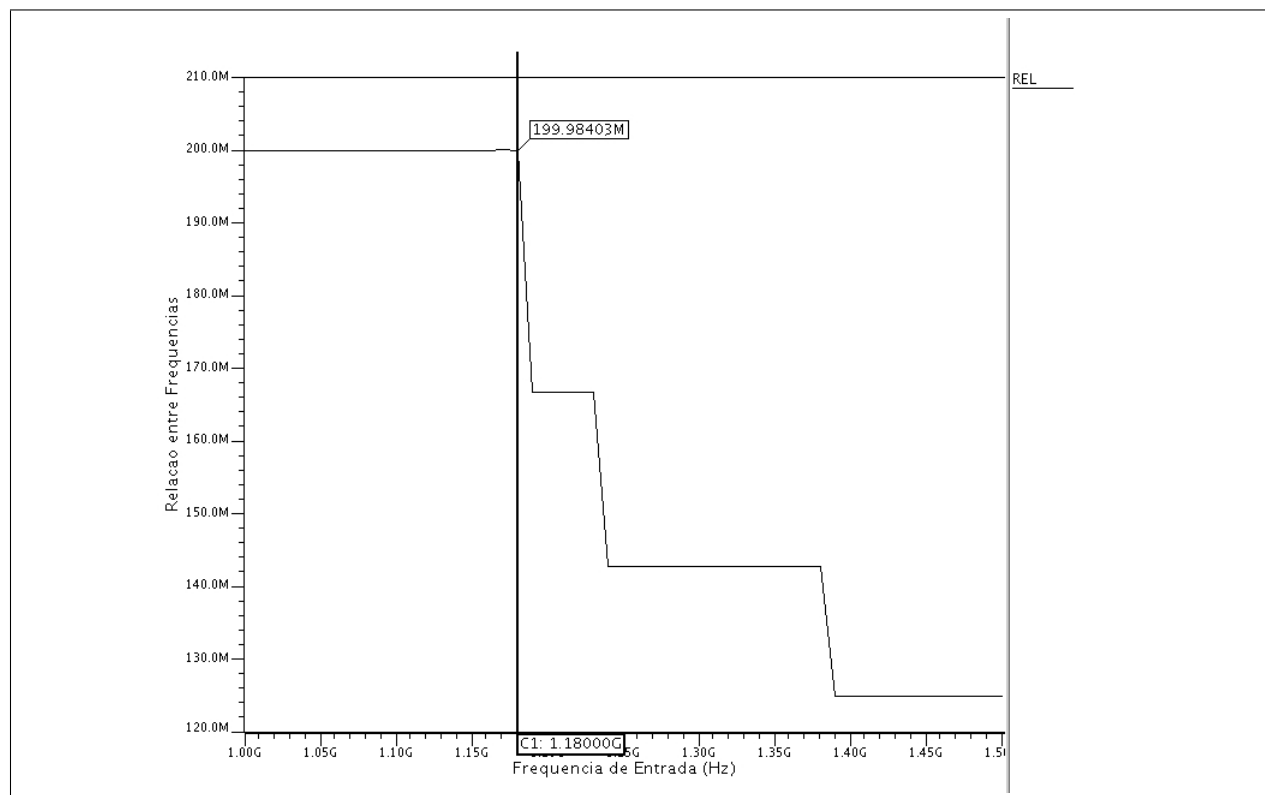


Figura 11: Relação entre frequências x Frequência de entrada, simulado a partir do Netlist

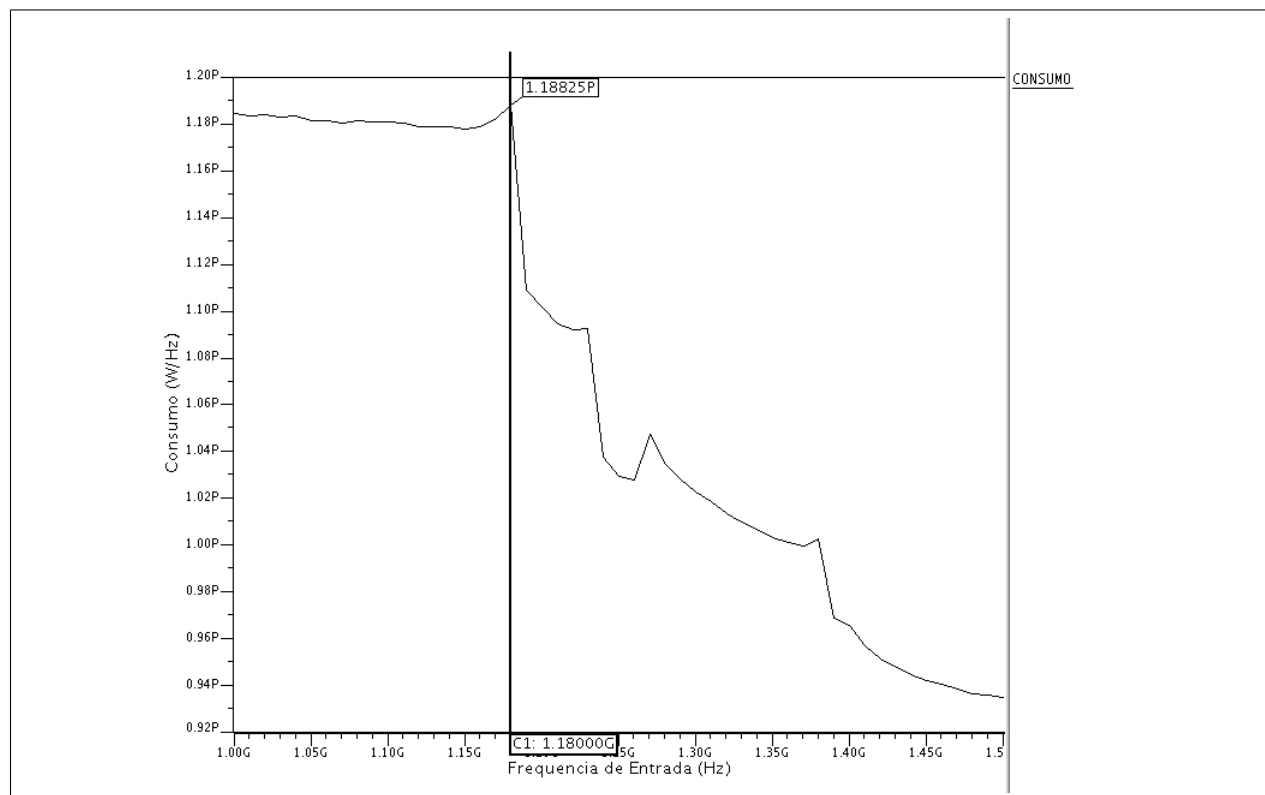


Figura 12: Consumo (mW/GHz) x Frequência de entrada (Hz), simulado a partir do Netlist

### Questão 15

Gere agora o **layout do circuito**. Neste *layout* deve tomar cuidado com:

- a área total do circuito;
- o uso correto dos metais e poli como camadas de conexão;
- a posição e o tamanho dos *ports* de entrada e saída;
- a largura das linhas de  $V_{DD}$  e  $V_{SS}$ , não inferiores a  $1\ \mu m$ .

Faça a verificação com o **DRC** (CALIBRE), passe o **LVS** e elimine todos os erros. **Apresente a figura do *layout* no relatório.**

O *layout* do circuito é apresentado na Figura 13.

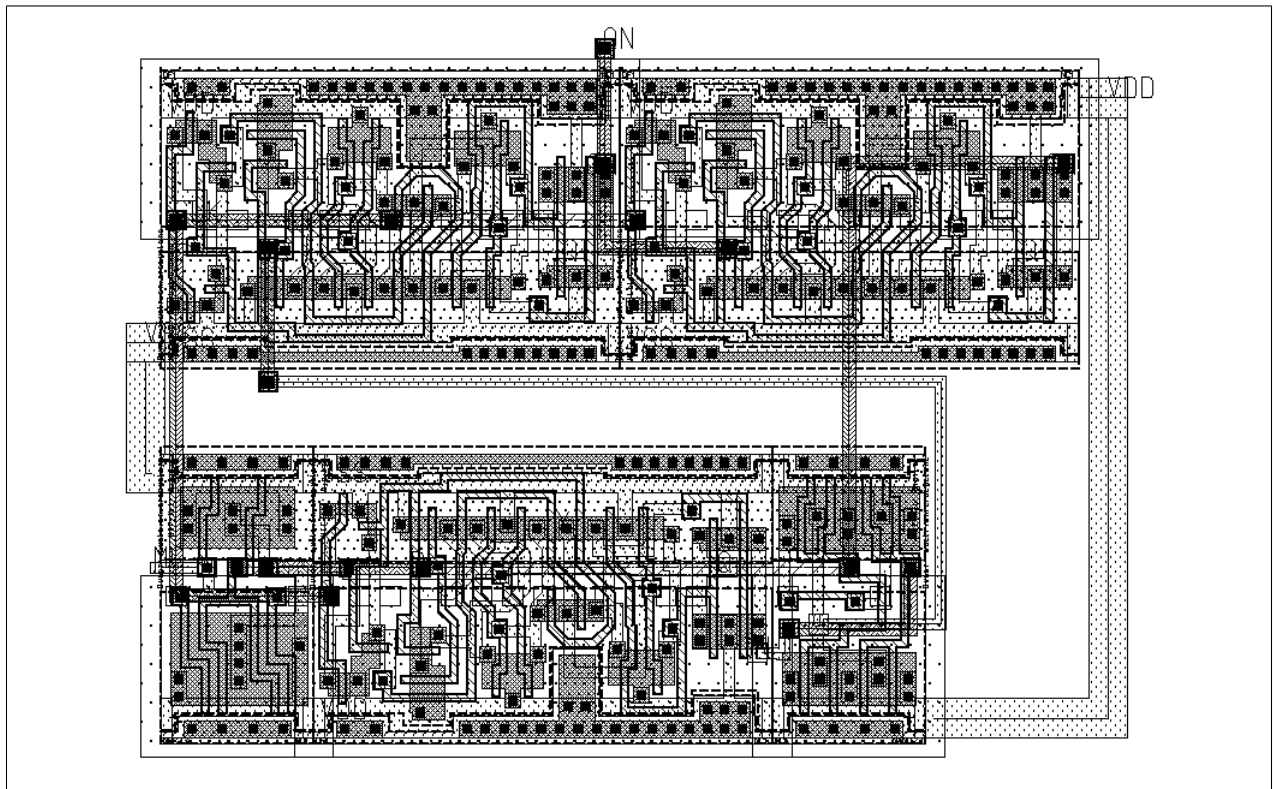


Figura 13: *Layout* do circuito divisor 4/5

### Questão 16

Faça a extração do circuito via o Calibre com a opção **C+CC**. Simule o circuito com parâmetros típicos e determine a máxima velocidade e consumo do circuito. Considere as mesmas condições do exercício 14.

A simulação feita nas mesmas condições da questão 14, porém com extração C+CC feita a partir do layout. Nela é feita uma simulação variando a frequência e é calculada a relação entre a frequência de saída e a frequência de entrada. A Figura 14 mostra o gráfico da relação entre frequências X frequência de entrada. Observa-se neste gráfico que, para frequências maiores que  $0,9\text{ GHz}$ , o circuito para de funcionar, pois a relação que deveria ser de 0,2 cai para valores abaixo desse esperado.

Na Figura 15 vemos que o consumo da célula em é de  $1,81\text{ mW/GHz}$ . Para fazer esse gráfico, foi calculada a relação entre a potência despendida pelo circuito em cada frequência de entrada e a própria frequência de entrada.



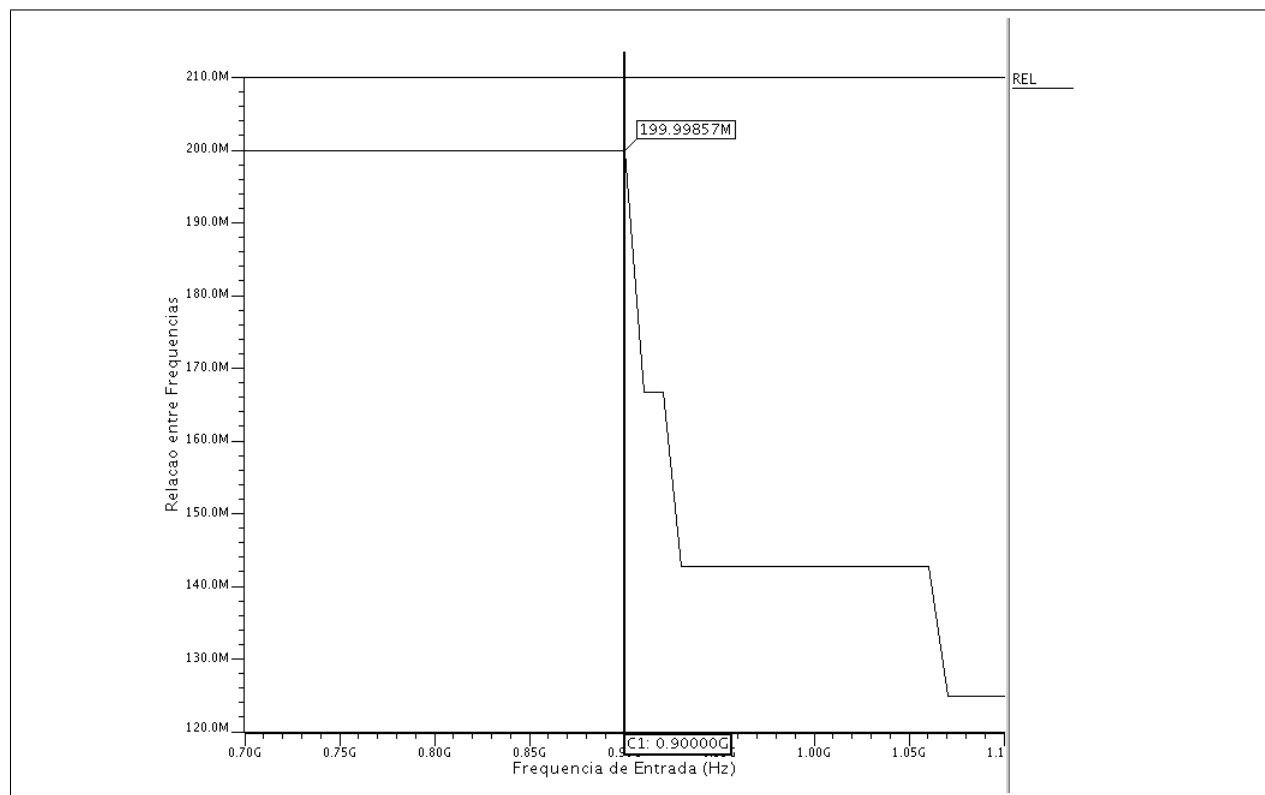


Figura 14: Relação entre frequências x Frequência de entrada, simulado a partir da extração C+CC

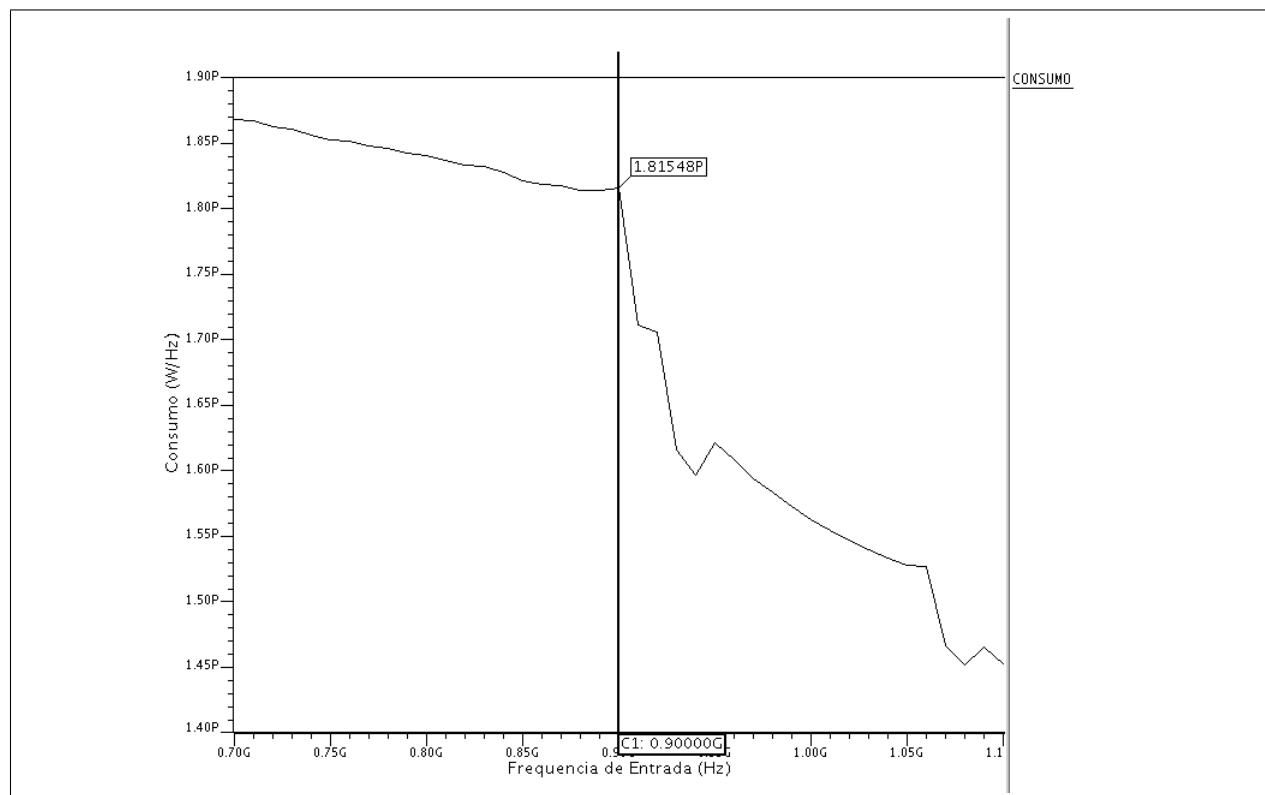


Figura 15: Consumo (mW/GHz) x Frequência de entrada (Hz), simulado a partir da extração C+CC

### Questão 17

Extraia agora com a opção **R+C+CC**. Simule o circuito com parâmetros típicos e determine a máxima velocidade e consumo do circuito. Considere as mesmas condições do exercício 14.

A simulação feita nas mesmas condições da questão 14, porém com extração R+C+CC feita a partir do layout. Nela é feita uma simulação variando a frequência e é calculada a relação entre a frequência de saída e a frequência de entrada. A Figura 16 mostra o gráfico de relação entre frequências X frequência de entrada. Observa-se neste gráfico que, para frequências maiores que 0,88 GHz, o circuito para de funcionar, pois a relação que deveria ser de 0,2 cai para valores abaixo desse esperado.

Na Figura 17, vemos que o consumo da célula em é de 1,8 mW/GHz. Para fazer esse gráfico, foi calculada a relação entre a potência despendida pelo circuito em cada frequência de entrada e a própria frequência de entrada.

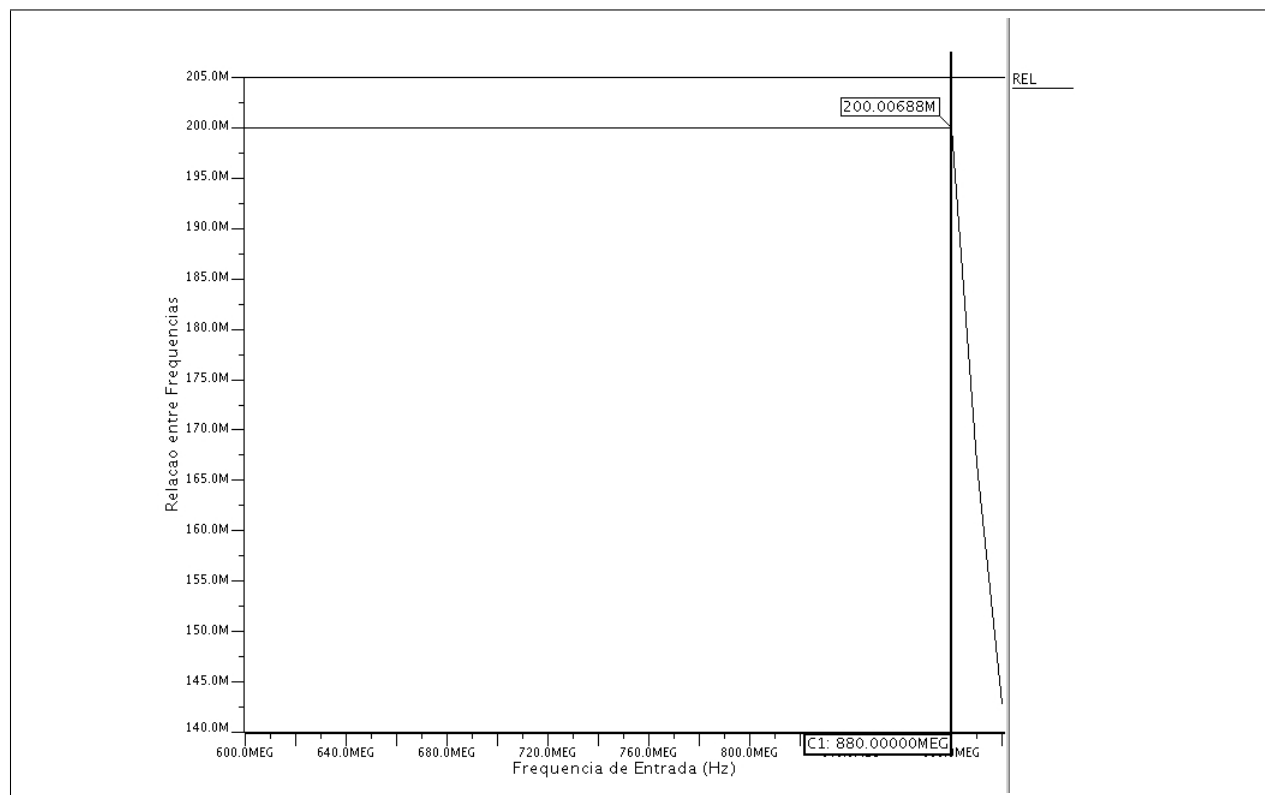


Figura 16: Relação entre frequências x Frequência de entrada, simulado a partir da extração C+CC

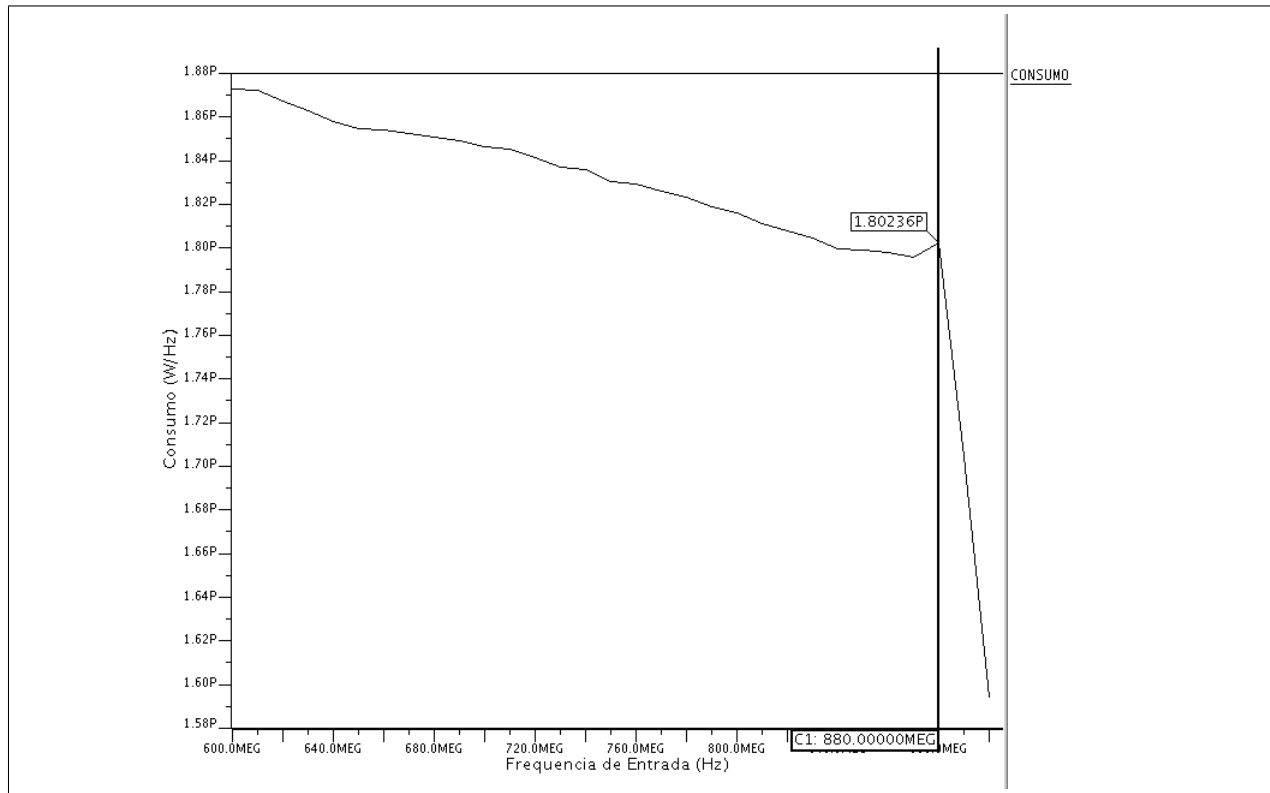


Figura 17: Consumo (mW/GHz) x Frequência de entrada (Hz), simulado a partir da extração C+CC

### Questão 18

**Monte uma tabela** com os resultados obtidos nos exercícios14, 16, 18 e 19. **Compare e comente** os resultados.

Tabela 5: Máximas frequência e consumo para circuito da questão 12

Extração	Frequência Máxima (GHz)	Consumo (mW/GHz)
Cálculo dos atrasos manualmente	1,05	-
Netlist	1,18	1,29
C+CC	0,9	2,06
R+C+CC	0,88	1,8

Pode-se observar que a frequência calculada a partir dos dados fornecidos pelo fabricante é um pouco menor do que a frequência simulada pelo *netlist* gerado a partir do esquemático. Em simulações mais precisas (C+CC e R+C+CC), que consideram cargas parasitas do circuito, pode-se perceber que a frequência máxima sofre uma queda significativa (principalmente por causa de capacitâncias acrescidas à simulação).

O consumo aumenta da simulação feita a partir do *netlist* para as simulações mais precisas (C+CC e R+C+CC), porém a simulação C+CC obteve o maior consumo do que todas as outras.

### Questão 19

Determine a área total do circuito que desenhou.

O *Listing 4* mostra o report da tela feito pelo *IC Studio*. A célula tem tamanho dimensões  $47,3 \mu m$  x  $34,5 \mu m$ , que resulta em uma área total de  $1631,85 pm$ .

Listing 4: "Report de Tela do Layout do Divisor de Frequências"

```

2  Report Windows
   Selectable Layers: 0-4097, 4101, 4104-4106, 4109-4112, 4117-4167, 4190-4224

   IC Windows
7
   Name      Snap      Minor  Major  Grid          Offset          Cull  Active  Iconified
                        Snap (X,Y)      (X,Y)
   *****
12  IC 0      On        1       10     0.050, 0.050  0.000, 0.000
                        5          Yes      Window
   --- View Extent:    [[124.284, 128.722],[184.950,172.008]]
   --- Cell Extent:    [[131.400, 134.500],[178.693,167.950]]
   --- Top Cell:       $proj3/default.group/layout.views/div45/div45
   --- Displayed Cell: $proj3/default.group/layout.views/div45/div45
17  --- Visible Layers: 0-4098, 4100-4102, 4104-4106, 4109-4132, 4158-4189, 4193-4224

```