

2022 가을 디지털회로개론 (CSE3015) 과제 2

<문제지>

(총 7점 만점)

1. 다음 문장이 옳은지 여부를 O/X로 답하시오. (각 문항별 0.5점)

(1) Finite state machine 중 Mealy machine의 출력은 이전에 들어온 입력과 현재 들어오는 입력 모두에 영향을 받는다.

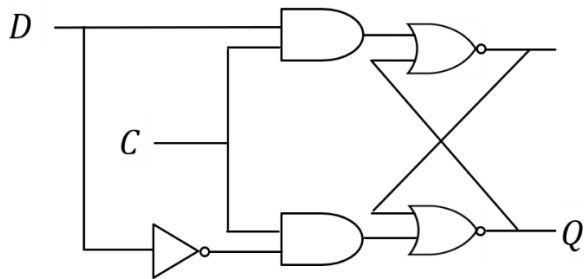
(2) 수업에서 배운 CMOS 기술로 구현한 gate에서 PMOS 네트워크와 NMOS 네트워크가 동시에 open circuit이 될 수 있다.

2. 1-bit 입력을 받아 1-bit 출력을 내어놓는 finite state machine을 생각하자. 입력 시퀀스에 "1001" 이 나타났을 경우 출력으로 1을 내어 놓는 Mealy machine의 state diagram을 그리시오. 단, 총 4개 이내의 state를 갖도록 하고, "1001"이 overlap하여 일어날 수 있다고 가정하시오. 예를 들어, 입력으로 "1001001"이 들어올 경우, 4번째와 7번째 입력이 들어올 때 출력이 1이 되어야 함. (1점)

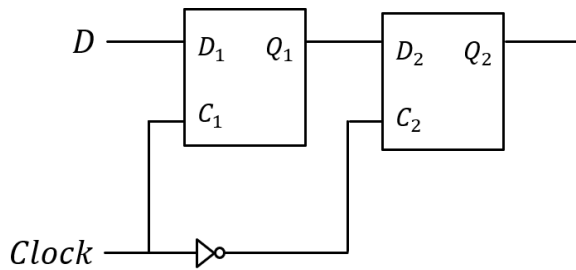
3. 수업에서 다룬 1101 sequence recognizer를 JK flip flop으로 디자인하시오. 구체적으로, Chapter 6 - Part 1 슬라이드 6-28 페이지의 state table을 사용하시오 (필수). Q1을 저장하는 JK flip flop의 입력을 J1/K1, Q2를 저장하는 JK flip flop의 입력을 J2/K2라 할 때, J1/K1/J2/K2 각각에 대한 카르노 맵을 그린 후 minimum SOP 형태의 Boolean expression을 구하시오. EPI는 표시하지 않아도 좋음. (2점)

4. 함수 $F = (A' + B'C)$ 를 수업시간에 배운 CMOS 회로로 설계하시오. 단, 총 6개의 트랜지스터를 사용하고, 각 variable과 그 complement를 모두 입력으로 사용 가능하다고 가정함. (1점)

5. 아래 그림은 수업시간에 배운 Gated D latch이며, NOR 게이트를 사용하여 만들어졌다.



이 때, 위의 latch 2개를 아래와 같이 연결하여 flip flop을 만든다.



답안지에 이 flip flop의 timing diagram 일부가 그려져 있다. 이 timing diagram에 Q1과 Q2를 채워넣으시오. 편의상 Latch의 setup time과 hold time은 없다고 가정함. (2점)