



Syllabus

Shinwoong Kim

목표 및 내용

- **기초 회로 실험에 필요한 장비 사용법 학습**
 - ✓ Electronics Explorer Board (EE board) made by Digilent
 - ✓ 오실로스코프, 함수발생기
 - ✓ Field Programmable Gate Array (FPGA)
- **회로이론 학습 내용을 실습/실험으로 체득**
 - ✓ 옴의 법칙
 - ✓ 직렬/병렬 회로
 - ✓ Max power delivery, Superposition, Thevenin theorem
 - ✓ 1st order RC circuit
- **논리설계 학습 내용을 실습/실험으로 체득**
 - ✓ 기본 로직 게이트
 - ✓ 카르노 맵 (K-map)
 - ✓ Latches & Flip Flop
 - ✓ Adder & Counter

수업 진행 방법

- 개인별 실습 진행
- 각 주차 별 실험은 원칙상 해당 주차에 진행
 - ✓ 다만 공인 출결 사항으로 실험 미진행시 추후에 진행 필요
 - 사유 발생시 조교에게 사전 연락 必
 - ✓ 전반기 실습은 7주차까지 완료 必

수업 진행 방법

• [이론 강의 진행]

- ✓ 미리 녹화된 강의를 통해 학습 (토요일 자정까지 LMS 업로드 예정)
- ✓ 해당 강의 학습 이력을 '화요일' 수업 출결에 반영
- ✓ 질문 사항 있는 경우 클라썸 이용 (개설 및 안내 예정)

• [예비 보고서]

- ✓ 미리 녹화된 녹화 된 강의를 수강하고 예비 보고서를 작성
- ✓ 매주 화요일 자정까지 LMS에 제출 (Pre_LabXX_학번_이름.pdf)
- ✓ 지각 시 감점비율 : 수요일 자정까지 (20%), 수업 직전 까지 (50%), 실험 시작 때까지 제출 못한 경우 (0점)
 - 총 획득 점수에 $\times 0.2$ 또는 $\times 0.5$ 를 하는 방식
 - 예) 보고서 5점 만점에 3점을 얻었는데 목요일에 제출한 경우
 - $3 \times 0.5 = 1.5$ 점 획득
- ✓ 질문 사항 있는 경우 클라썸 이용

수업 진행 방법

• [실험 진행]

- ✓ 목요일 정규 수업시간에 와서 진행 (NTH417과 NTH413 동시 진행)
 - 각 실험실당 조교 2명 지원
- ✓ 실험 시간 오후 5시30분 – 오후10시까지
 - [2주차부터] 오후4시부터 NTH417 실험실 개방 예정 (미리 와서 진행 가능하나 실험 조교는 5시30분부터 상주)
 - 실험 시간 초과하는 경우 금요일/토요일 실험실 오픈하여 진행
 - 금요일/토요일까지도 진행 못하는 경우 다음 주차에 함께 진행
- ✓ 실험 마치고 조교에게 확인 받고 귀가 (출석체크 용도도 겸함)

• [최종 보고서]

- ✓ 가이드에 따라 최종 보고서 작성
- ✓ 매주 토요일 자정까지 LMS에 제출 (Final_LabXX_학번_이름.pdf)
- ✓ 지각 시 감점비율 : 일요일 자정까지 (20%), 그 이후 (50%)

수업 계획표

Week	Theory	Experiment	Comment
W1	Introduction 및 basic concept	EE보드 사용법 실험	보고서 없음
W2	옴의 법칙 (컬러코드, 전압/전류, 가변저항)	EE보드 및 DMM 사용법 실험	예비(5) / 결과(5)
W3	기본 논리 게이트	기본 로직 게이트 동작 실험 (LED 사용)	예비(5) / 결과(5)
W4	직렬, 병렬, 직렬-병렬 회로	직렬/병렬 및 혼합 회로에서 전압 측정	예비(5) / 결과(5)
W5	조합회로 및 K-map	(1) K-map 이용해서 식 최적화 하기 (2) TinkerCAD 사용 (3) 7-segment 구동 시켜보기	보고서 없음
W6	조합회로 설계	디코더 및 7-Segment 활용 및 벤딩머신 구현	예비(5) / 결과(5)
W7	신호/함수발생기/오실로스코프	정현파/구형파 생성 및 측정	예비(5) / 결과(5)
W8	중간고사		15점

수업 계획표

Week	Theory	Topic	Comment
W9	Python을 이용한 EE보드 제어	간단한 회로 구성 및 Python을 이용하여 제어 및 측정	보고서 없음
W10	최대 전력 전달 조건	최대 전력 전달 조건 실험 (Python 이용)	예비(5) / 결과(5)
W11	중첩원리 및 등가회로	중첩원리 및 등가회로 실험	예비(5) / 결과(5)
W12	RC회로	RC회로 실험	예비(5) / 결과(5)
W13	Latch 및 FFs	Latch 및 FF 실험	예비(5) / 결과(5)
W14	Verilog 설계	4-bit adder (7-segment 이용)	보고서 없음
W15	FPGA	설계한 4-bit adder를 FPGA에 업로드 (7-segment 이용)	
W16	기말고사		15점

성적

- **출석 (10 점)**

- ✓ 결석 시 출석점수 1점씩 감점
- ✓ 결석 8회부터 Fail

- **개인 과제 (60 점)**

- ✓ 예비 보고서 30점
- ✓ 결과 보고서 30점

- **중간고사 (15 점)**

- **기말고사 (15 점)**

- **[중요] 총점 70점 이상 & 중간/기말 응시 & 모든 실험 수행하는 경우만 PASS**

- ✓ 따라서 실험 결석하는 경우 → make-up 해야 함

Honor code

- **아래의 경우는 Cheating으로 간주**
 - ✓ 실험 진행을 본인이 하지 않고 타인에게 전적으로 의존하는 행위
 - ✓ 다른 학생의 결과 값을 그대로 가져와 사용하는 경우
 - 채점 시 다 드러나며 해당 보고서 점수는 0점 처리