**Lab13: Latch and Flip-Flop**

**학번: 22200034**

**이름: 곽도현**

**1. [실험1]의 결과를 첨부하고 D-latch의 동작 특성을 설명하시오 (2점)**

(1) 구성한 회로 사진 및 오실로스코프 결과 파형 첨부 (1점)

전자제품, 전자 공학, 전기 배선, 회로이(가) 표시된 사진

자동 생성된 설명

스크린샷, 멀티미디어 소프트웨어, 소프트웨어, 그래픽 소프트웨어이(가) 표시된 사진

자동 생성된 설명

(2) D-latch의 동작 특성을 설명하라 (1점)

Latch는 논리 게이트를 사용하여 설계되고, “Level trigger” 방식에 따라 정보를 저장한다. Level trigger 방식은 Enable(또는 Clock) 신호가 특정 레벨(보통 High)일 때 입력 데이터를 출력으로 전달하고, 비활성화될 때(보통 Low) 마지막으로 입력된 데이터를 계속 저장하는 방식이다. D-latch는 입력된 데이터가 일정 시간 동안 그대로 저장되는 특성을 가진다.

예를 들어, Enable=High일 때, Q=D

Enable=Low일 때, Q는 변하지 않음(마지막 저장된 값 유지)

**2. [실험2]의 결과를 첨부하고 D-Flip Flop의 동작 특성을 설명하시오 (3점)**

(1) 구성한 회로 사진 및 오실로스코프 결과 파형 첨부 (1점)

스크린샷, 멀티미디어 소프트웨어, 그래픽 소프트웨어, 소프트웨어이(가) 표시된 사진

자동 생성된 설명전자제품, 전기 배선, 전자 공학, 케이블이(가) 표시된 사진

자동 생성된 설명

(2) D-Flip-Flop의 동작 특성을 설명하라 (2점)

Filp-Flop은 Clock과 함께 latch하여, “Edge trigger” 방식에 따라 데이터가 정확한 시점에 저장되도록 한다. Edge trigger 방식은 Clock 신호의 특정 edge(rising edge / falling edge)에서만 입력 데이터를 출력으로 전달하며 다음 edge까지 변경되지 않는다. D-Flip-Flop은 edge에서의 입력 데이터를 다음 edge까지 그대로 저장되는 특성을 가진다.

예를 들어rising edge에서 Q=D