



# 先進製程產業

## TMBA ECM Group 4

大 Mentor	張婉鈞
小 Mentor	王凱威、劉芷妘、何予欣、陳彥廷、朱安信
Members	李誌軒、廖旌旭、曾揚景、李沛承、粘茂樑、錡宥銘 陳芷安、羅承筠、溫庭宇、黃皓瑋、林靖迪、楊承儒

2025/04/19



# 目錄

01

結論

02

先進製程產業

03

先進製程技術

04

產業動能

05

個股推薦

06

附錄



01



結論

## 先進製程邁入 2nm，三大技術進步，帶動中砂、昇陽半營收顯著成長

### 產業概況

- GAAFET 取代 FinFET：提升晶體管密度，結合晶背供電改善佈線問題，實現低功耗與高效率。
- Hybrid Bonding：台積電 SolC-X 採用 Hybrid Bonding，使鍵合間距可達 6μm，2025 年 SolC 月產能將擴增至 8,000 片，以滿足 AI、HPC 需求。
- 晶背供電技術：BPR 埋入式電源軌、PowerVia 直接連結、BSC 接觸電晶體，三種技術皆需**對矽晶圓進行極薄化處理**，以提升效率、降低功耗。

### 產業動能

- 鑽石碟：晶背供電技術導入 2nm 製程，提升 CMP 製程道數至 67 道，使拋光墊磨損速度上升、修整頻率增加，帶動鑽石碟用量大幅成長。3Q26 台積電 N2P 製程開始量產，4Q26 鑽石碟預估需求量为 34.4 千片，年增 159%
- 再生晶圓：2nm 製程**再生晶圓用量超過 3 倍**，並同步**提升再生晶圓的 ASP**，使 N2 製程再生晶圓**產值預估成長 4.6 倍**。2024 年全球再生晶圓市場規模為 6.2 億美元，預計到 2033 年將達到 21 億美元，**CAGR 14.4%**。

### 個股推薦

- 個股一：昇陽半導體 (8028.TW)  
再生晶圓技術領先，產量居台廠之首，獨供台積電 2nm 再生晶圓，並積極擴產，**預計在 2026 年超過 RST 成為最大再生晶圓廠**，月產能達 95 萬片。
- 個股二：中國砂輪 (1560.TW)  
鑽石碟獲台積電獨家採用，3nm 製程市占率達 70%，預計在 2nm 製程能達 80% 以上，**預期 2025 動能持續，帶動鑽石事業部營收 YoY+21%**。



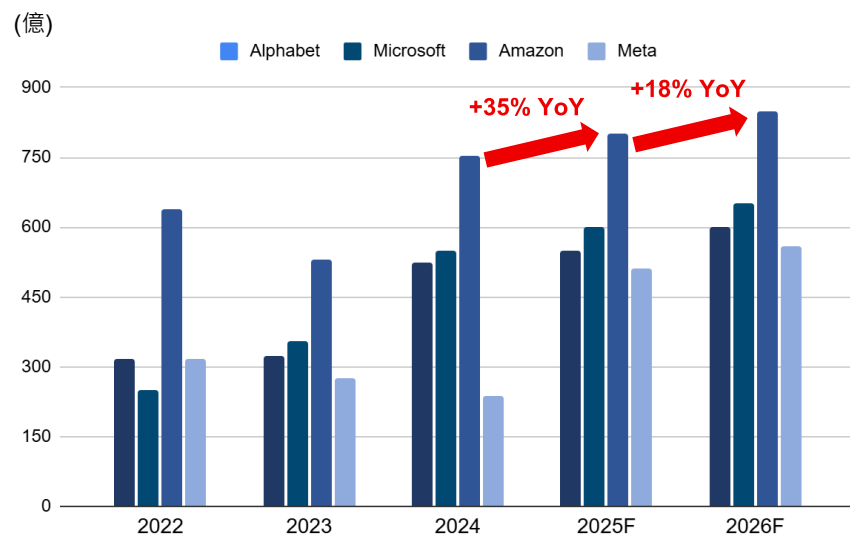
02

先進製程產業

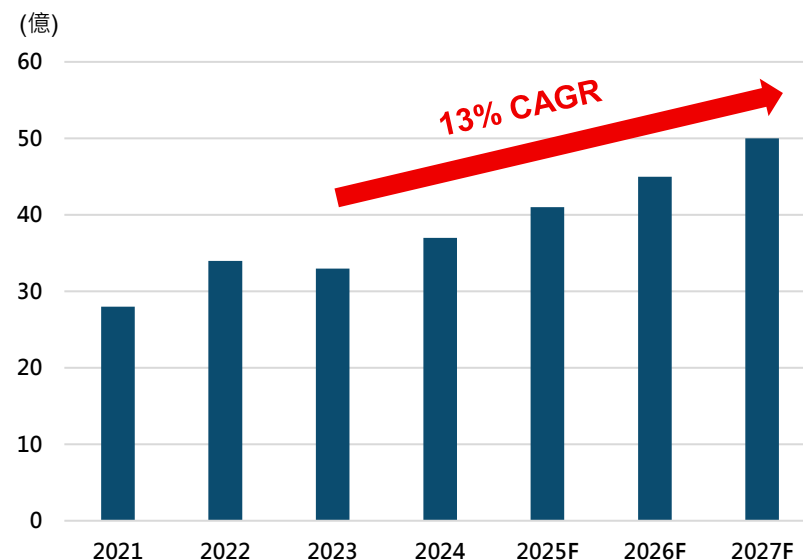
## 半導體產業來自 AI 的需求成長明確，從雲端資本支出到終端產品規模全面推升

- Google、微軟、Amazon 和 Meta，2025 年預估 Capex 增加至 3250 億美元，YoY +35%，預估 2026 年 Capex 將持續增加，YoY+ 18%。
- 多數智慧型手機 SoC 已內建 AI 計算單元，智慧型手機 AI 晶片市場預計於 2023 至 2027 年以年複合成長率 13% 穩健成長，市場規模將由 33 億美元擴大至 50 億美元。
- 2025 年先進製程晶圓需求大幅提升，其中輝達 (NVIDIA) 占 69%、Google 20% 與 AWS 5%。主要以 4nm 與 5nm 製程為主。Google、AWS、AMD、微軟等 AI 晶片預計 2H25 採用 3nm 製程進入量產。

### AI 熱潮升溫，CSP 資本支出 2024 起強勁反彈



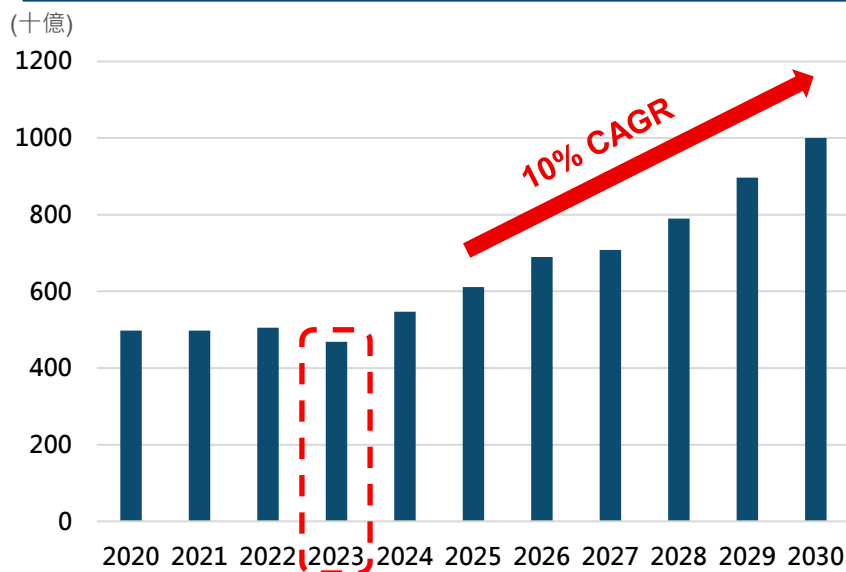
### 賦能終端，智慧型手機 AI 晶片市場穩健成長



## 半導體市場修正進入尾聲，2030 年邁向結構性長期成長新階段

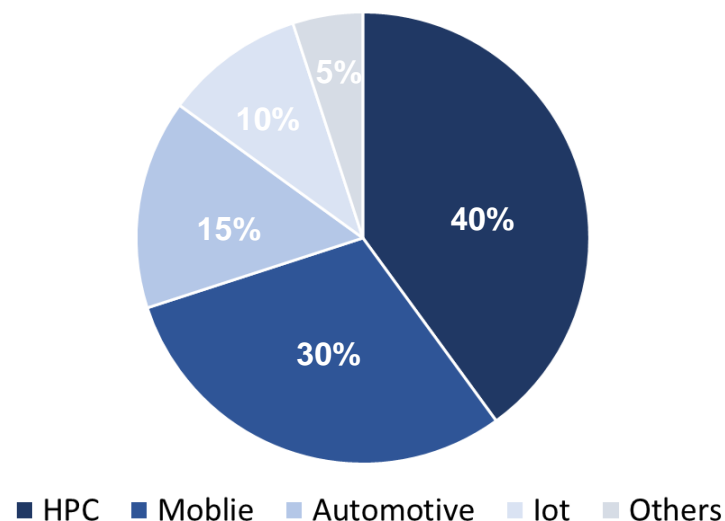
- 2023 年半導體循環末段，消費市場低迷，庫存調整步伐緩慢，全年成長率為 -8.2%。2024 年庫存調整接近尾聲，終端需求回升，車用、高效能運算及物聯網等長期需求的支持下，半導體市場將回升 YoY +16%，預期 2025 年半導體市場達 YoY +12.5%，2025-2030 年 CAGR 達 10%。
- 2025-2030 年半導體市場將受惠於高效能運算、移動裝置、車用、物聯網，預計到 2027 年全球半導體市場由 ICT 需求轉變為 AI 應用為主要成長動能，AI 晶片需求將爆炸性增長，市場規模可達 7000-8000 億美元，到了 2030 年，全球半導體市場有望達到 1 兆美元。

### 市場回升確立，2030 半導體規模挑戰 1 兆美元



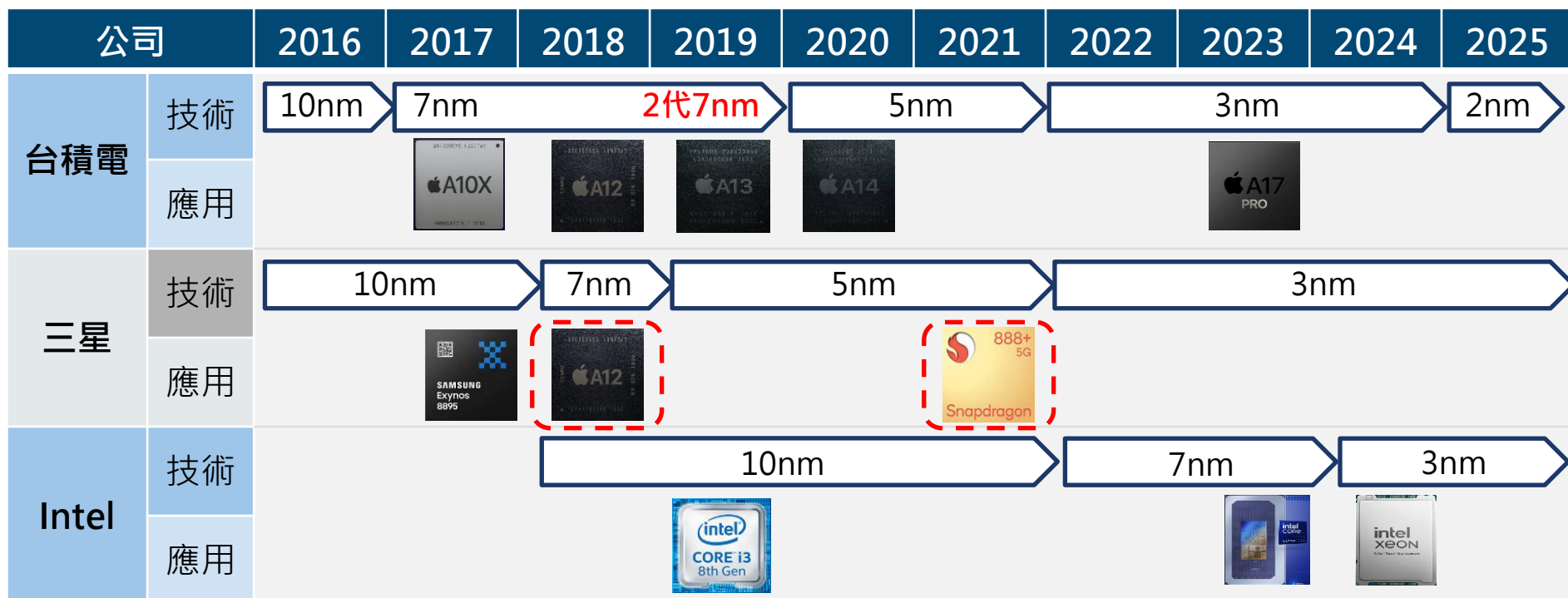
### 應用多元化驅動成長，HPC 與車用成主力動能

2030 年半導體銷售預估占比

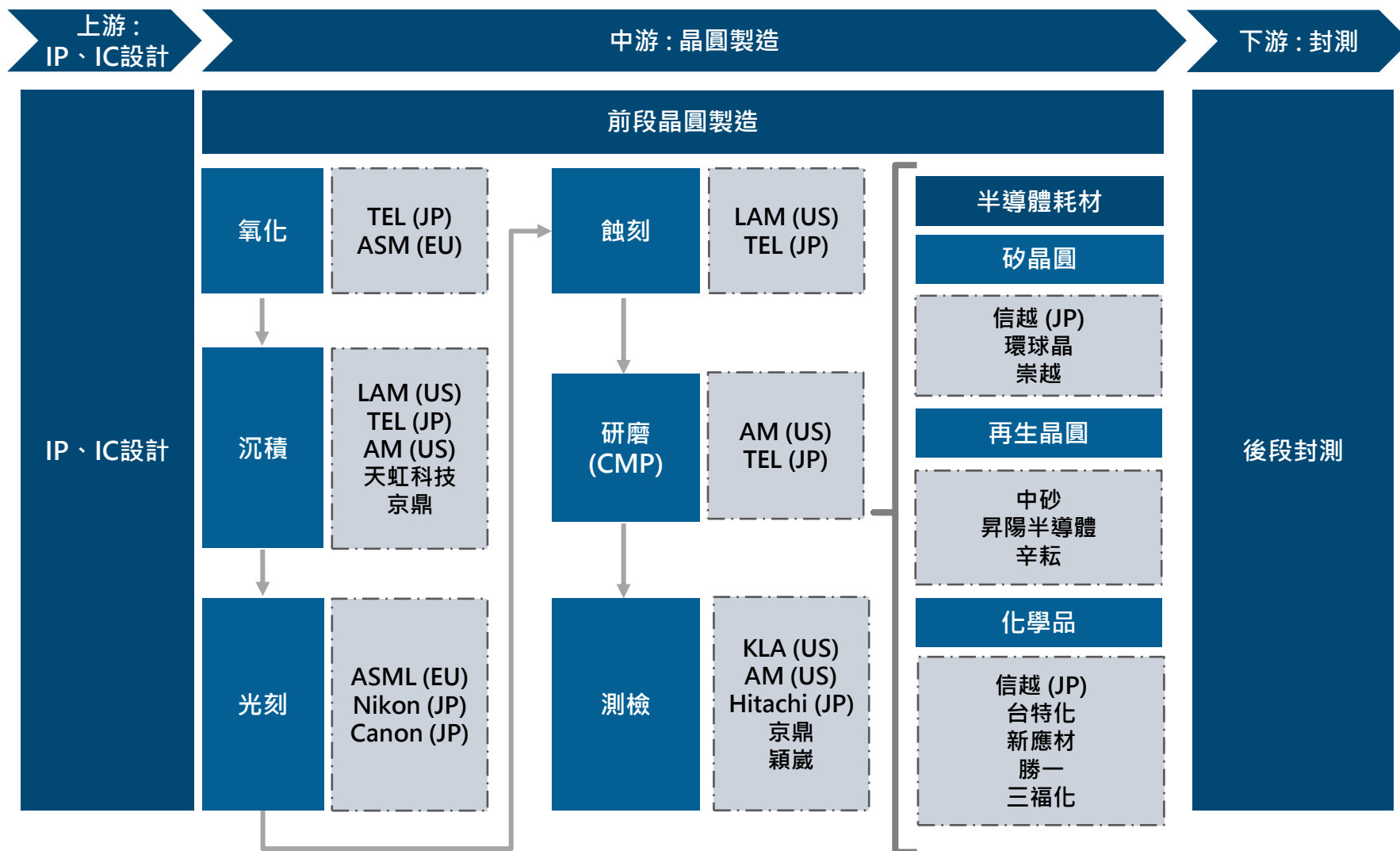


## 重塑晶圓代工版圖：台積電以製程節點確立領導地位

- 台積電於 2017 年領先導入 7nm 製程，2018 年被 Apple 採用於 A12，2019 年以 EUV 推出第二代 7nm，支援 A13 展現高良率優勢，2025 年 2nm 製程預計 2026 年中量產。
- 三星雖於 2018 年導入 EUV 試產 7nm，但良率不佳錯失 A12 訂單；2021 年為高通代工 Snapdragon 888 及 8 Gen 1，因過熱與良率問題訂單回流台積電。2025 年底將推出新技術支援 3nm 製程。
- Intel 雖於 2018 年推出 10nm 製程，但量產延遲、效能不如預期，失去市場信心；台積電順利量產 7nm 並獲 Apple、高通訂單，奠定先進製程領先地位。



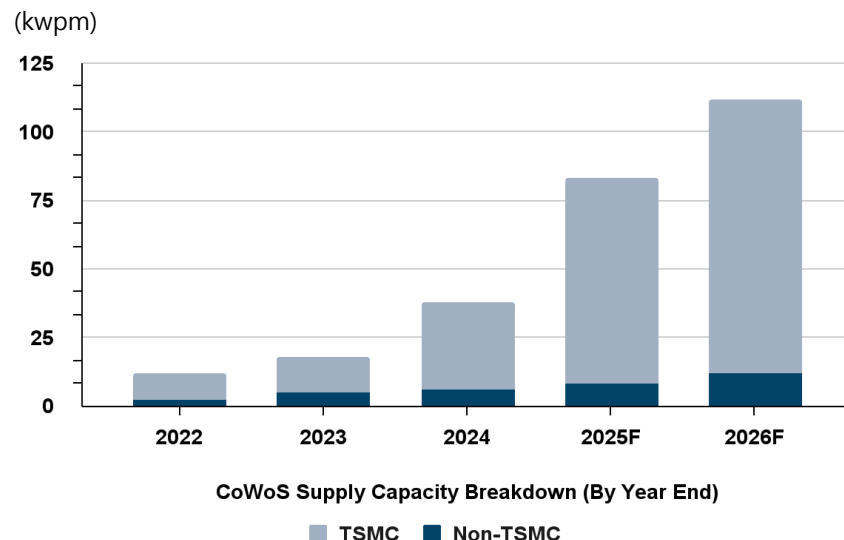
# 台灣擁有完整半導體產業鏈，從 IC 設計至封測，一條龍服務支撐全球科技發展



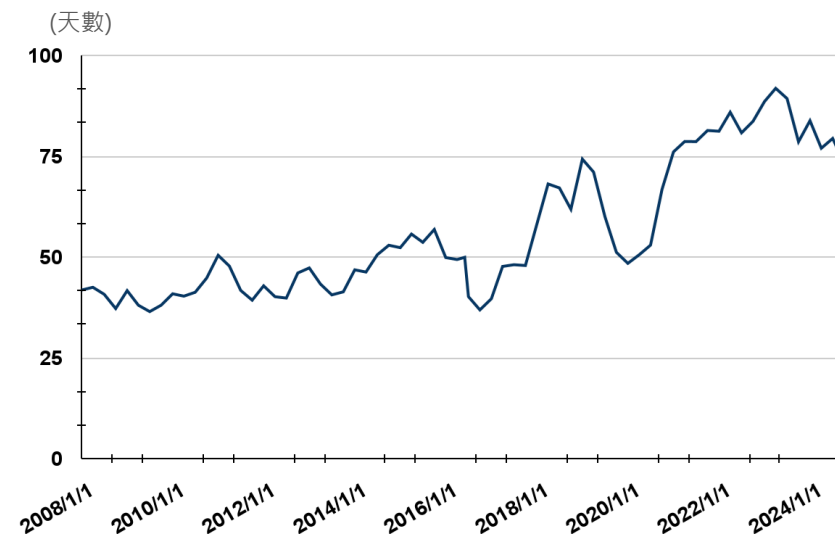
## 台積電仍為半導體代工龍頭，惟地緣政治牽動產業格局，未來不確定性增加

- 2024 年半導體產業庫存調整進入尾聲，終端產品需求逐漸回歸，台積電 4Q24 存貨周轉天數相比上季略為下降，在車用、HPC 等長期需求支撐之下，半導體市場有望緩慢復甦。
- 先進封裝已逐漸成為延續摩爾定律之新途徑，預期 2023-29 年先進封裝市場規模 CAGR 12%，其中以 2.5D/3D 封裝作為推動先進封裝之主要催化劑。
- 台積電製程技術領先，但若以合資方式援助 Intel，短期將影響營收表現，長期則面臨技術外流的風險，儘管台積電 4/17 法說中排除收購 Intel 的晶圓廠或資產，但並未完全排除其他可能的合作。
- 儘管近期川普對等關稅政策課徵主要為電子硬體而非半導體，然關稅負面影響將導致終端設備成本及售價上升，進一步影響晶片需求下滑，對整體產業鏈仍將產生負面影響。

### 台積電為先進封裝主要供給商，產能佔全球 80%



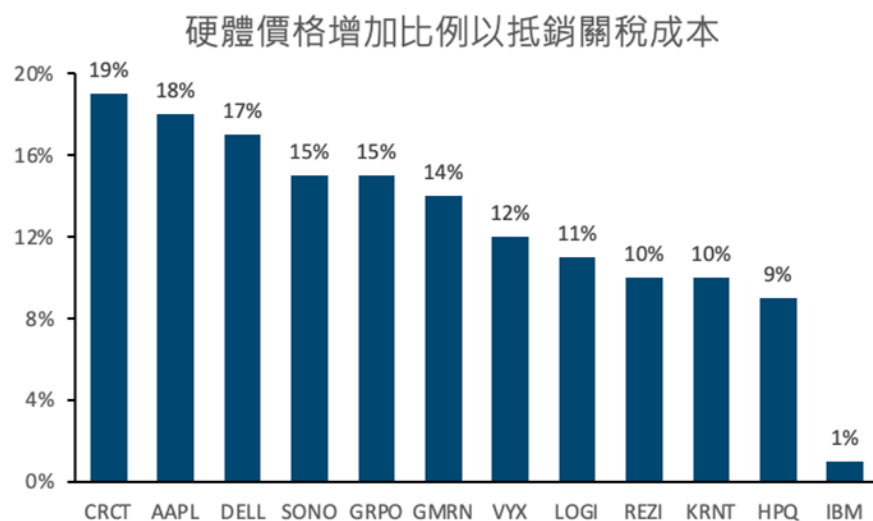
### 台積電 4Q24 存貨周轉天數為 2024 年來最低點



## 美關稅打擊終端需求，豁免政策使影響縮小；中更改晶片認定原則，台韓晶片廠受惠

- 目前半導體面臨的**美國直接關稅影響有限**，因為出口至美國的晶片可豁免互惠關稅，且僅有極少量半導體直接輸美國預期受影響小。要影響仍來自**終端產品價格上漲**，導致需求萎縮，進而連帶拖累半導體需求。其中，**消費性產品**對價格較為敏感，受衝擊較大，而**高階產品**（如 AI 相關）則具備一定韌性。不過，4/11 美國公布的大多數電子產品已納入對等關稅豁免範圍，使得短期內的間接影響顯著降低。後續仍需關注川普所主張的半導體課稅政策是否正式發布。
- 4/11 中國更改**半導體產地規則認定**，積體電路無論已封裝或未封裝，進口報關時的原產地以晶圓流片工廠所在地為準進行申報，此規定將成為美國晶片製造回流障礙，而使台、韓晶片廠受惠。

企業若需維持毛利率，調升價格轉嫁消費者將帶來間接影響



豁免品項含消費性電子、半導體、數據傳輸，舒緩供應鏈壓力

海關碼	相關產品	海關碼	相關產品
8471	PC, NB, 伺服器	8541.29.00	其他太陽能電池
8473.30	PC 零組件	8541.30.00	LED
8486	半導體設備	8541.49.10	三五族半導體
8517.13.00	手機	8541.49.70	CMOS 感測器
8517.62.00	網通設備	8541.49.80	其他感測器
8523.51.00	SSD	8541.49.95	其他半導體元件
8524	錄音機、錄影機	8541.51.00	半導體雷射
8528.52.00	顯示器	8541.59.00	其他雷射器
8541.10.00	二極體	8541.90.00	8541相關零組件
8541.21.00	單晶矽太陽能電池	8542	積體電路

## 美國開始半導體業 232 調查，預期有一定程度豁免，對台而言美仍握有數項不利手段

- 川普政府態度始終偏向晶片美國製造，且不斷釋放出將對半導體業課稅的訊號，美國商務部長表示目前對科技產品的豁免只是暫時的，也於 4/15 開始 **232 調查**，調查將關注半導體和整個電子供應鏈，預計在近日將會有相關政策出台，但預期將有一定程度豁免。
- 對臺灣半導體產業而言，目前主要受間接影響，**仍須等台美關稅談判與美國半導體政策出台**，美國對台積電仍有諸多不利手段，包含影響較小的「單獨對晶片課稅」和「要求擴大美國設廠」，若對「成品裡的晶片課稅」、「壯大 Intel 晶圓代工能力」或「啟動反壟斷調查」則會有較大負面衝擊。而昇陽半與中砂，主要受終端需求減弱帶來的間接影響，且因最大客戶皆為**台積電**，受影響程度須因台積電而定。

### 預期有效稅率大幅下降，對半導體業有一定程度豁免

機率	情境	影響
30%	除中國外，各國關稅統一降至 10%、針對重點及戰略產業給予豁免	全球經濟弱勢成長、供應鏈加速去中化、製造業較有誘因佈局美國
50%	經談判後，有效關稅降至 10 ~ 15%、針對重點及戰略產業給予一定程度產地豁免	美國及全球經濟短期停滯、供應鏈經短期重塑期
20%	維持 4/2 公布關稅稅率（即有效稅率攀升至近 25%）、半導體、醫藥等產業後續持續出台關稅	全球經濟陷入衰退、國際貿易量萎縮、非美市場除關稅外還面臨間接衝擊

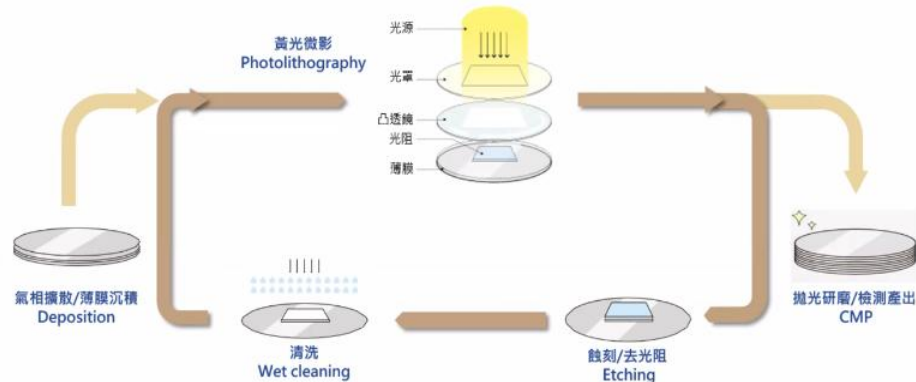
### 美國對台積電不利情境分析，技術、成本轉嫁關注點

影響	情境	具體影響
小	單獨對晶片課稅	台積電晶片直接輸美比重約 10%，影響可控
小	擴大美國設廠	台積電營運成本及增加，對毛利率和獲利不利
大	對成品裡的晶片課稅	層層轉嫁到終端產品恐引發通膨及買氣下降
大	壯大 Intel 代工能力	若台積電技術外流或美國客戶轉單 Intel 投片，導致台積電市占率流失
大	啟動反壟斷調查	罰款、開放技術、分散生產基地

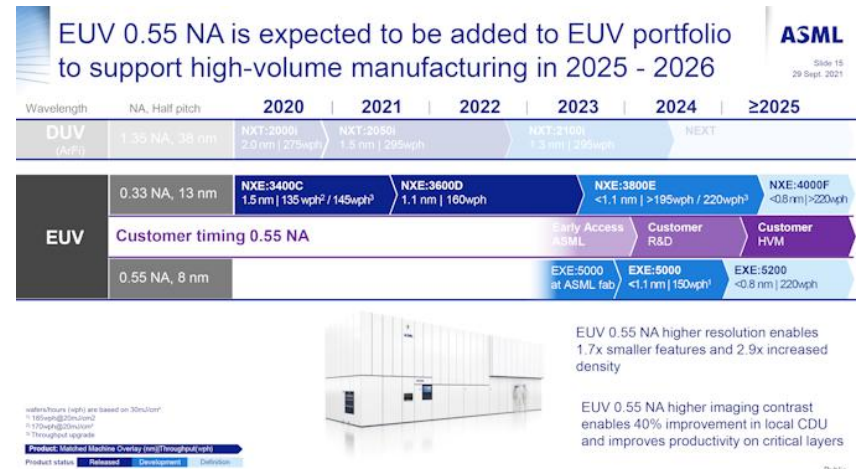
## 製程微縮挑戰加劇，為延續摩爾定律，關鍵技術不可或缺

- **電晶體結構**：FinFET（鰭式場效電晶體）被廣泛應用於 20nm 以下製程。隨先進製程發展，三星於 2022 年率先導入 GAAFET（環繞閘極場效電晶體）結構於 3nm 製程中。
- **沉積技術**：傳統 CVD / PVD 沉積技術在原子級薄膜控制上難以均勻覆蓋，易於通孔中產生短路或漏電。因此，**ALD（原子層沉積）**被廣泛應用於 FinFET 與 GAAFET 的製程中。
- **供電技術**：傳統正面供電架構易面臨供電路徑過長與訊號干擾等問題。**BSPDN（晶背供電技術）**技術出現可釋放晶圓正面空間以利訊號佈線與設計彈性。
- **再生晶圓**：隨製程容錯空間極小，晶圓廠對製程穩定性需求大幅提升，帶動再生晶圓用量明顯上升。
- **光刻技術**：**EUV（極紫外光）**技術的誕生，使 7nm 以下製程得以實現突破性微縮。

### 半導體前段製程工序



### ASML 的 EUV 光刻機主要應用在 7nm 製程以下





03

## 先進製程技術

GAAFET 技術

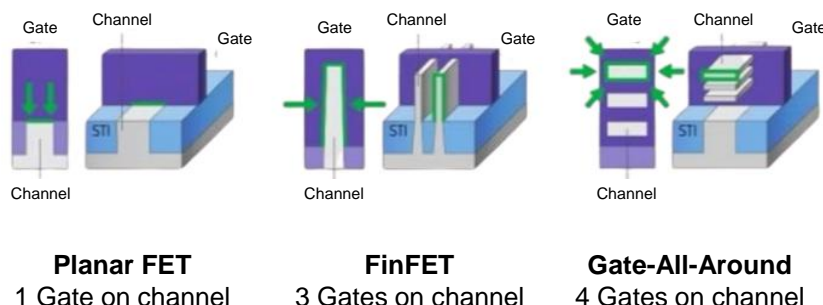
HB 技術

晶背供電技術

# GAAFET 大幅提升對通道控制力，解決 FinFET 技術瓶頸，為未來半導體微縮結構首選

- Gate-All-Around FET 採用**全方位包覆閘極設計**，閘極從四面環繞通道，強化閘極對通道控制。
- GAAFET 結構可有效解決 FinFET 在 7nm 以下節點已出現短通道效應加劇、靜電控制能力不足等技術瓶頸，達到**更低的漏電與低功耗操作**，同時 GAAFET 架構允許更靈活的通道形狀與尺寸調整，並可透過多層堆疊方式提升晶體管密度。
- 隨著製程進入 2nm 以下，FinFET 逐步由 GAAFET 取代，電晶體密度與金屬層數急增。以**晶背供電**技術將供電線路移至晶圓背面，顯著改善傳統正面供電必須經過多層金屬與密集佈線帶來的問題。

閘極從部分接觸到全方位包覆，增加電流控制力



龍頭公司計畫步入 GAAFET，目前處研發或初期量產



製程  
電晶體  
供電

2024			2025			2026			2027		
1Q	2Q	3Q	4Q	1Q	2Q	3Q	4Q	1Q	2Q	3Q	4Q
N3E			N2			A16					
FinFET			GAAFET								
正面供電			Super Power Rail								



製程  
電晶體  
供電

Intel3			intel18A			Intel14A		
FinFET			RibbonFET ( GAA )					
正面供電			Powervia					



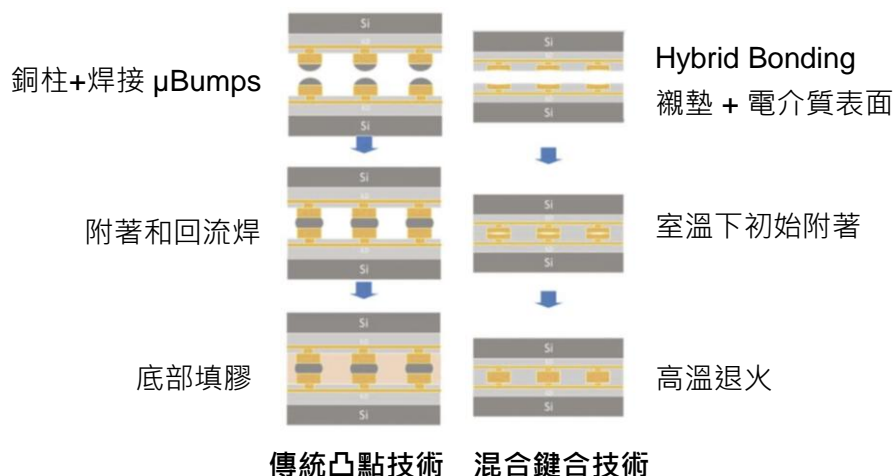
製程  
電晶體  
供電

SF3			SF2、SF2P、SF2X			SF2Z、SF1.4		
			MBCFET ( GAA )					
正面供電						BSPDN		

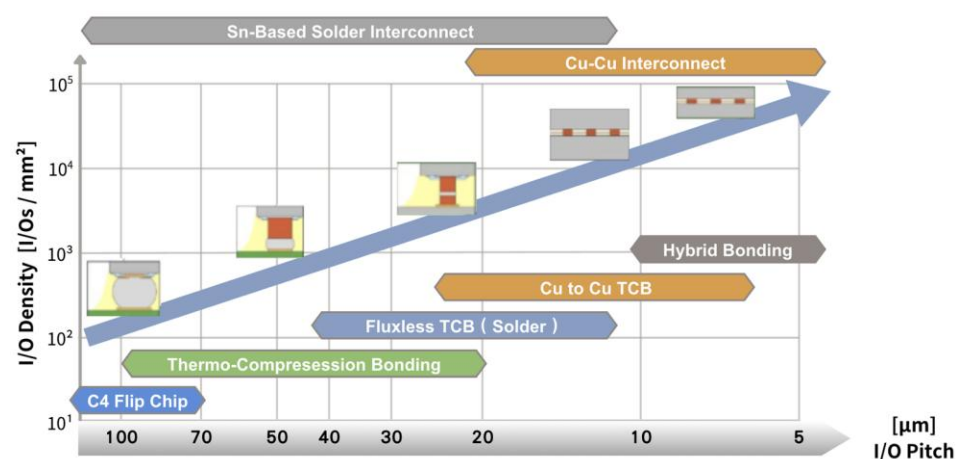
## 混合鍵合 ( Hybrid Bonding ) 突破微縮極限，提升接點密度、縮短訊號傳輸距離

- 半導體製程達到 2nm 後會面臨微縮物理極限，業界除了改變前段電晶體架構外也仰賴後段封裝晶片堆疊技術的提升。
- Hybrid Bonding 利用金屬和氧化物鍵合來垂直堆疊晶片，而無需傳統焊料凸塊，優勢是**降低凸塊的間距並縮小接點間距、降低晶片堆疊厚度並縮短訊號傳輸距離，使互聯密度達到新的層級**，使晶片可在相同面積下提升接點密度（相較傳統 I/O 密度提升千倍），也就達到更快的傳輸速度且降低能耗。
- 目前台積電 SoIC-X 採用 Hybrid Bonding，其鍵合間距（Bond pitch）密度目前可以做到 6 $\mu\text{m}$ ，未來目標達到 2~3 $\mu\text{m}$ ，2025 年 SoIC 月產能將擴充至 8,000 片以上，以滿足 AI、HPC 強勁需求。

### 先進封裝技術的 I/O 密度與間距趨勢



### Hybrid Bonding 實現高密度、低功耗晶片堆疊



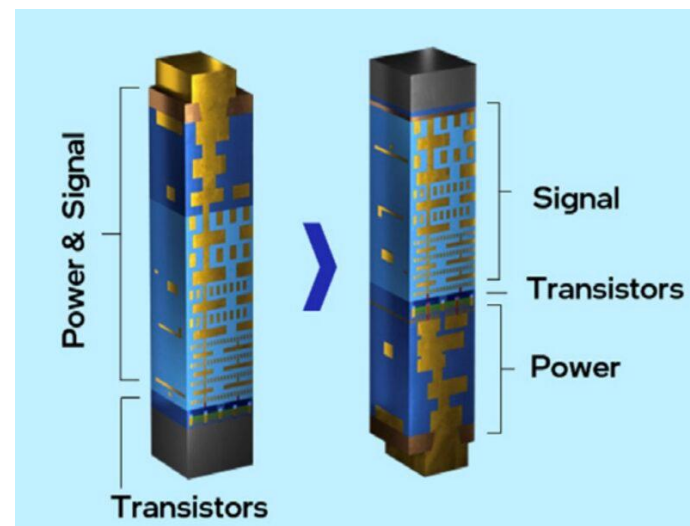
## 在 2nm 的製程節點後，BSPDN 開始大量應用，預計 2026 開始量產

- 晶背供電 (BSPDN) 是利用晶片背部的空間來佈供電線路，將供電和訊號分離避免互相干擾，可減少供電的傳輸距離及能量浪費，也可以降低整體晶片的能耗，藉此提升供電效能。而把供電線路移到背面，可增加電路導線間的線寬，可進一步降低整體製造成本，對先進製程的普及至關重要。
- 台積電的**超級電軌 (SPR)** 為目前最複雜的晶背供電模式，採用**直接背面接觸 (BSC)**，可在晶圓正面釋出更多訊號網路的布置空間，以提升邏輯密度和效能。
- 台積電 A16 製程將會結合 SPR 與 GAAFET，對標 N2P 製程，A16 預期相同電壓與複雜度下可提升 8~10% 效能；相同頻率與電晶體數量下可降低 15~20% 功耗；晶片密度提升 1.07 ~ 1.10 倍。

### 晶圓代工廠導入 BSPDN 後 PPA 改善與量產時程

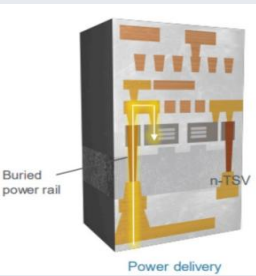
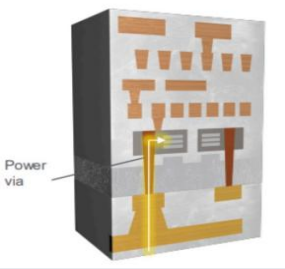

代工廠	製程	基準	特性	PPA			預計量產
				功耗降低	速度提升	密度提升	
TSMC	N2	N3E	GAA	25-30%	10-15%	>1.15x	2H25
	N2P	N3E	GAA+BSPDN	30-40%	15-20%	1.15x	2H26
	A16	N2P	GAA+BSPDN	15-20%	8-10%	1.07-1.10x	2H26
Intel	18A	Intel 3	GAA+BSPDN	–	27%	>1.5x	2H25
Samsung	SF2	SF3	GAA	12%	25%	5%	2025
	SF2P	SF3	GAA	23-29%	40%	1.1x	2026
	SF2Z	SF2	GAA+BSPDN	15%	8%	1.17x	2027

### 晶背供電裝置示意圖



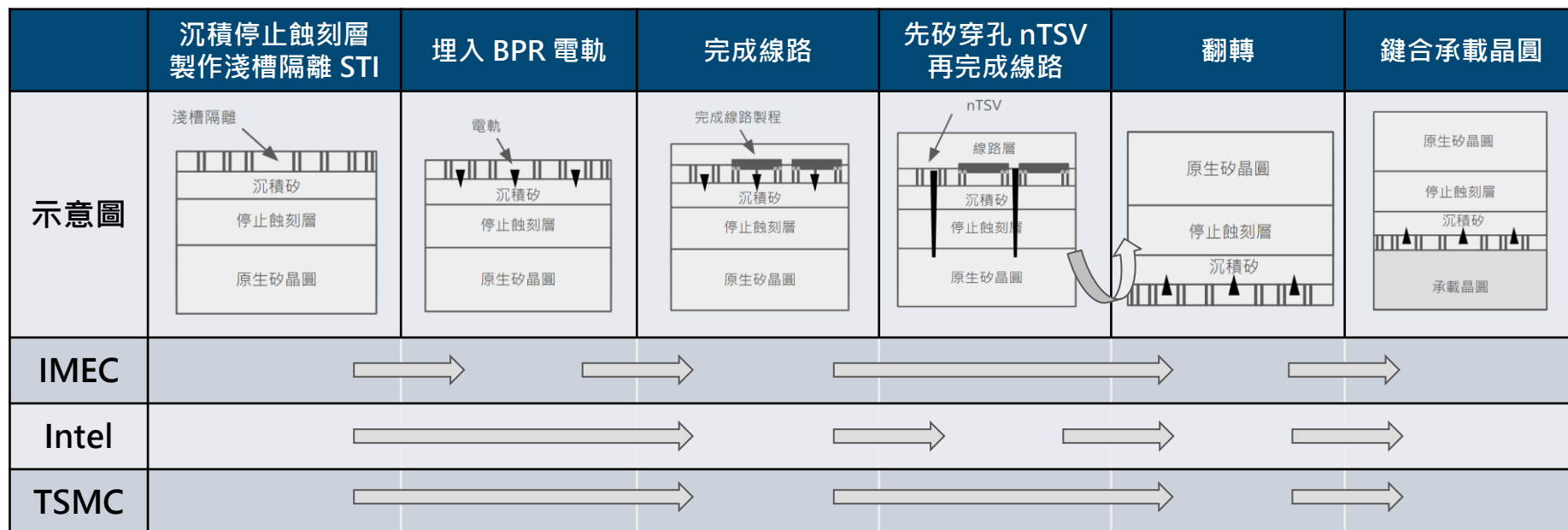
## 晶背供電技術仰賴高精度晶圓薄化，以確保供電網路能夠高效連結電晶體層

- **埋入式電源軌 ( Buried Power Rail, BPR )** 預先埋入電源軌，透過奈米矽穿孔將電流從晶片背面導入電源軌，再傳遞至晶圓正面。技術難度相對簡單，主要風險是其在前置製程 ( FEOL ) 中使用金屬。
- **電源通孔 ( PowerVia )** 是 Intel 將 BPR 概念演進的方案，不使用電源軌，晶圓正面消除電源布線，利用奈米矽穿孔直接連結背面的供電網路層與電晶體層，技術難度稍高，Intel 18A 將採用。
- **直接背面接觸 ( BSC )** 透過背部的供電接觸點，將背面電源傳輸網路直接連接到電晶體的源極與汲極 ( S/D epi )，技術難度及風險最高，優點是在面積以及能效上可以更好，台積電 A16 製程將採用。
- 為達成晶背供電的技術突破，晶圓需經過精密的減薄製程，使其厚度降至足夠薄，以實現對電晶體的直接供電，提升供電效率並降低電阻與功耗，三種晶背供電技術均需對矽晶圓進行極薄化處理。

	埋入式電源軌 BPR	電源通孔 PowerVia	直接背面接觸 BSC
示意圖片			
空間利用率	高	更高	最高
製程複雜度	低	中	高
代表公司	IMEC ( 無量產 )	Intel	TSMC
技術名稱	—	Power Via	Super Power Rail

## 各家 BSPDN 皆在研發及試產階段，技術路線不同但都需要承載晶圓作薄化支撐

- 各家 BSPDN 主要差異：
  - IMEC 電軌製程 BPR 中使用的金屬有汙染風險，因此尚未量產。
  - 三星原計畫於 2027 年 1.4nm 製程中導入，但目前尚未公布技術方案。
  - Intel 今年已於 18A 試產，但目前良率僅 2-3 成。
  - 台積電採用直接背面供電 BSC 技術，由奈米矽穿孔需將背面的電源直接連接到電晶體的源極和汲極，技術難度最高，有最好的體積縮小和供電效率，預計 2026 年量產，目前研發進度符合公司預期。
- BSPDN 製程中的薄化工序需以承載晶圓支撐，考量製程穩定性與成本，預計將採用再生晶圓。



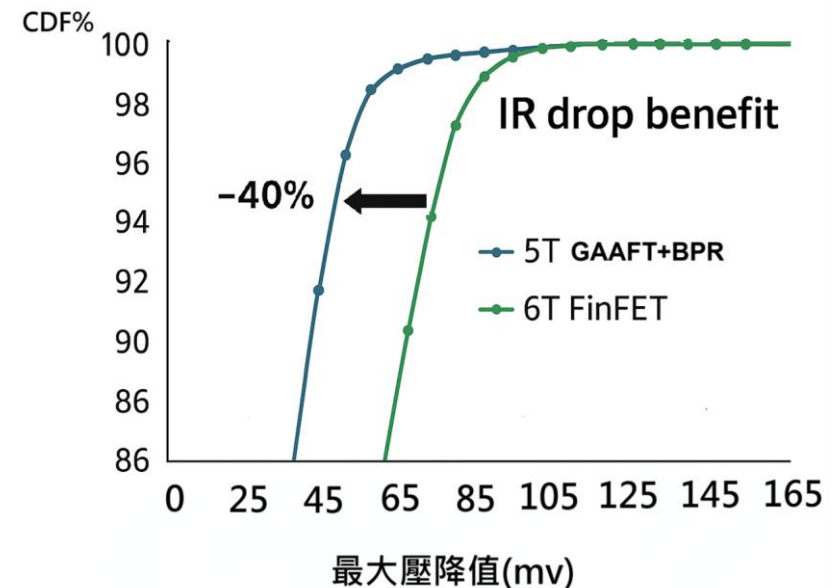
## 各家技術路線皆須使用化學機械拋光（CMP），使晶圓薄化以達成晶背供電

- 晶圓薄化需透過研磨、CMP、蝕刻將原生矽晶圓減薄至停止蝕刻層完全移除，其難點在於需嚴格控制薄化的厚度與平坦度，才得以在使晶背供電製造時不影響晶片良率。
- 各家 BSPDN 皆需要奈米矽穿孔 nTSV 再以鎢金屬填充，其穿孔位置 IMEC 於 BPR 上、Intel 於線路層上、TSMC 於 Source、Drain 上，但 Intel 是在正面完成。
- BSPDN 較原始正面供電，可有效降低 40% 壓降 IR Drop 問題。

### BSPDN 背面製程流程

	研磨後CMP+ 乾溼蝕刻	nTSV
示意圖	<p>去除承載晶圓 與停止蝕刻層</p> <p>沉積矽</p> <p>線路層</p> <p>承載晶圓</p>	<p>nTSV</p> <p>沉積矽</p> <p>線路層</p> <p>承載晶圓</p>
IMEC	→	→
Intel	→	X
TSMC	→	→

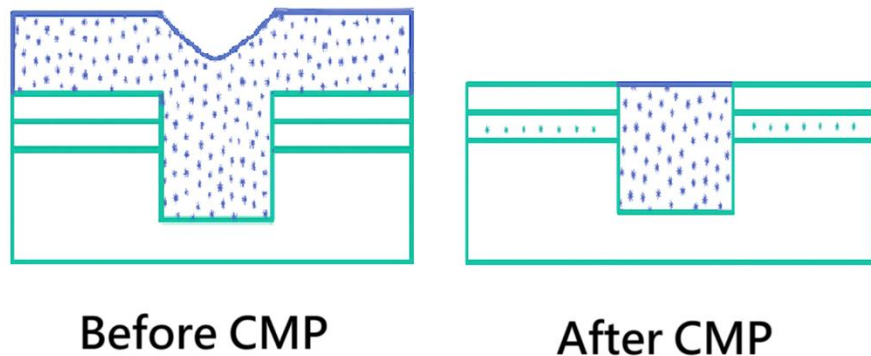
### 晶背供電技術可以降低 40% IR Drop 的問題



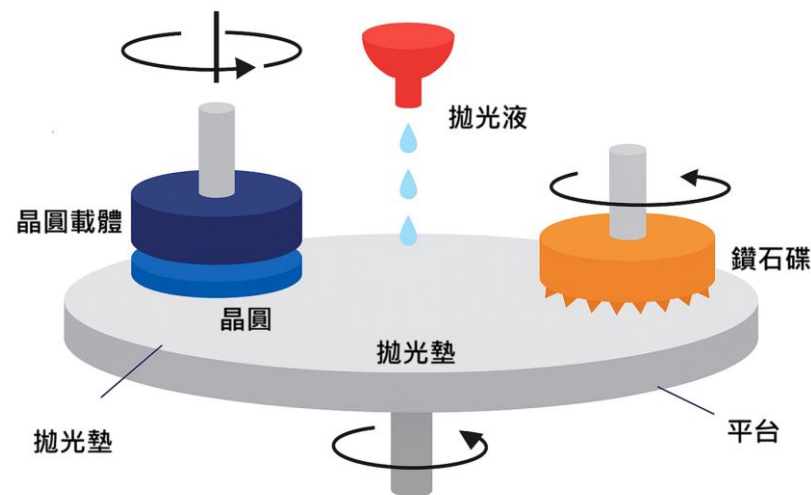
## CMP 製程平整度將影響良率，以台積電直接背面供電 BSC 技術要求最高

- **化學機械拋光（Chemical Mechanical Polish, CMP）**：主要用於先進製程中，透過拋光墊與拋光液同時透過機械與化學反應加工晶圓表面，達到表面晶圓材料的移除及整體的平坦化。
- 為達成晶背供電的技術突破，晶圓需經過精密的減薄製程，使其厚度降至足夠薄，以實現對電晶體的直接供電，提升供電效率並降低電阻與功耗，三家晶背供電技術均需對矽晶圓進行極薄化處理。
- 在與承載晶圓鍵合完成後，必須在將矽晶圓片研磨到薄於 500nm 後，再透過 CMP 將晶圓表面磨均勻且光滑才可對電晶體直接供電，而**鑽石碟是修整研磨墊的必要耗材**。
- 隨著製程微縮，CMP 變得更加關鍵，因極小尺寸的佈線更加敏感，對平坦度要求更高。

### 透過 CMP 將晶圓平坦化方可進行背面供電



### 鑽石碟是 CMP 過程中的必要耗材





04

產業動能

## 受惠 AI、HPC 與旗艦型手機等需求持續攀升，台積電 2nm 製程需求強勁

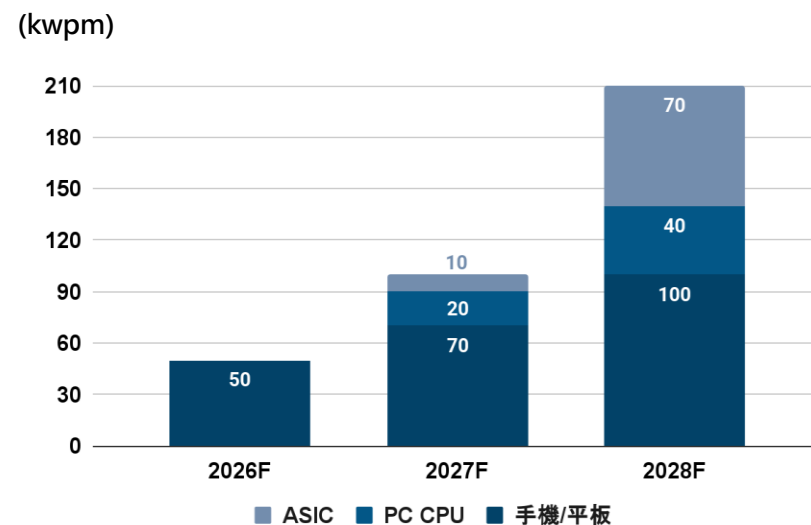
- 為延續摩爾定律，製程微縮挑戰加劇，再加上 AI、HPC 與旗艦型手機對效能的需求不斷提升，2nm 晶片將成為推動未來 AI 應用與裝置效能提升的關鍵製程節點，蘋果、AMD、高通和輝達等大廠已下單預定台積電 N2 晶片之產能。
- 其中主要的需求來源除了蘋果預期 2H26 將於其 A20、M6、R2 系列晶片採用 N2 晶片，其他 ASIC、PC CPU、Server CPU 等也預期陸續在 26、27 年進行採用。預估 2nm 需求將較 3nm 同期需求強勁，2028 年 2nm 需求將達 210 kwpm，高於 3nm 的 150 kwpm 需求高峰。
- N2 製程相較 N3E 製程，可達約 10-15% 效能提升，並在相同效能下降低 25-30% 功耗。N2P 製程導入晶背供電技術後，則可達約 15-20% 效能提升，並在相同效能下降低 30-40% 功耗。

台積電各代晶片效能提升比較

製程	推出時間	降低功耗	效能提升
N3E	2H23	-	-
N3P	2H24	5-10%	5%
N2	2H25	25-30%	10-15%
N2P	2H26	30-40%	15-20%
A16	2H26	41-52%	24-32%

註：以 N3E 為比較基準

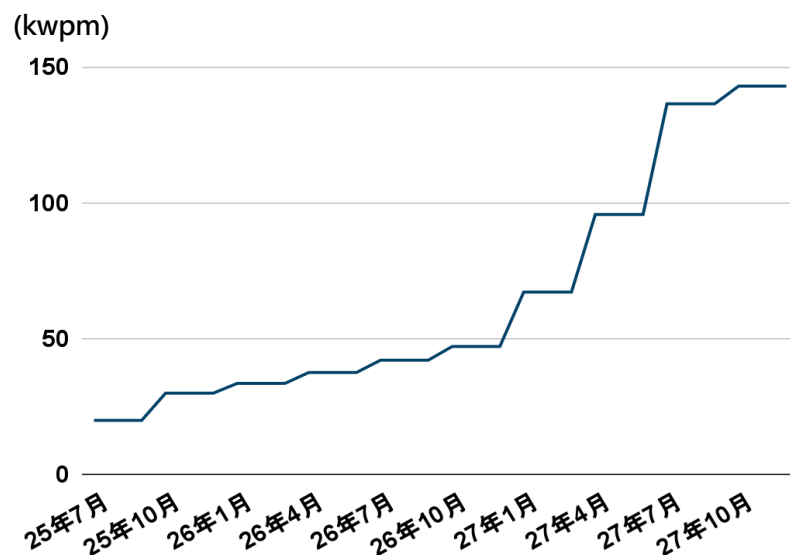
預估 2028 年 2nm 晶片需求將達 210 kwpm



## 台積電積極擴產 2nm 製程，預估 2027 產能達 142kwpm

- 台積電 2nm 製程研發進展順利，預計將於 2H25 開始量產，目前試產良率已超過 60%。預估台積電 2nm 製程 2H25 量產初期可達 35kwpm，至 2027 年底產能將達 142kwpm。
- 在近期的法說會中，台積電表示 2nm 的市場需求預期將優於 3nm，量產曲線可望與 3nm 相當，甚至擴產速度更為迅速。
- 近年台積電前段製程產能擴充規劃，量產初期 2nm 新竹寶山廠預計將開出 30-40kwpm 產能，後續 2026、2027 年新竹寶山、高雄將陸續開出產能。
- 台積電 2nm 製程導入全新的 GAAFET 架構，並預計在 N2P 製程首次導入晶背供電技術，將提供相關廠商顯著成長動能。

### 預估台積電 2nm 產能 2027 年將達 142kwpm



### 近年台積電前段製程產能擴充規劃

Year	Location	Fab	規劃產能	Process
2024	日本熊本	Fab23 P1	60kwpm	28nm
	台灣台南	Fab18 P7	40kwpm	3nm
	台灣台南	Fab18 P8	40kwpm	3nm
	美國鳳凰城	Fab21 P1A	20-30kwpm	4nm
2025	台灣新竹	Fab20 P1	30-40kwpm	2nm
2026	台灣新竹	Fab18 P9	10kwpm	14A
	台灣新竹	Fab20 P2	30-40kwpm	2nm
	台灣高雄	Fab22 P1	30-40kwpm	2nm
	美國鳳凰城	Fab21 P1B	20-30kwpm	3nm
2027	德國德勒斯登	ESMC P1/P2	70-80kwpm	12~22nm
	台灣高雄	Fab22 P2	30-40kwpm	2nm
	日本熊本	Fab23 P2	40-50kwpm	7nm
	台灣台南	Fab18 P9	30-40kwpm	3nm

## 受惠先進製程及晶背供電技術，再生晶圓需求數量倍增

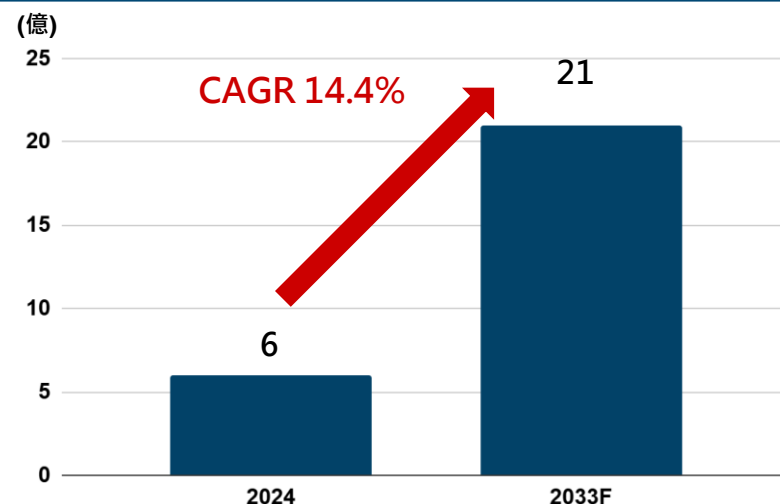
- 再生晶圓 ( RW ) 成長將超過 3 倍：隨著先進製程的技術節點不斷微縮，製程容錯空間縮小，需要更多的測試晶圓以監製程的穩定性，使正片生產所需之再生晶圓比例提升，估計到 2nm 製程，投片比率將從 28nm 的 1:0.8 來到 1:2.7，再生晶圓用量超過 3 倍。預計到 2033 年全球再生晶圓市場規模達到 21 億美元，CAGR 14.4%。
- RW 產值增 4.6 倍：製程將推進至 2nm 以下。在此過程中，再生晶圓使用量將增加且對清潔度的要求也將提高，將提升再生晶圓的產量及 ASP。N2 製程 RW 產值預估推進 4.6 倍，顯著惠及再生晶圓供應商。

### 2nm 製程再生晶圓使用量超過 3 倍

	28nm	5nm	2nm
Prime Wafer(k)	100	100	100
Reclaim Wafer(k)	80	220~230	260~270

以 28nm 為基準，再生晶圓用量超過 3 倍

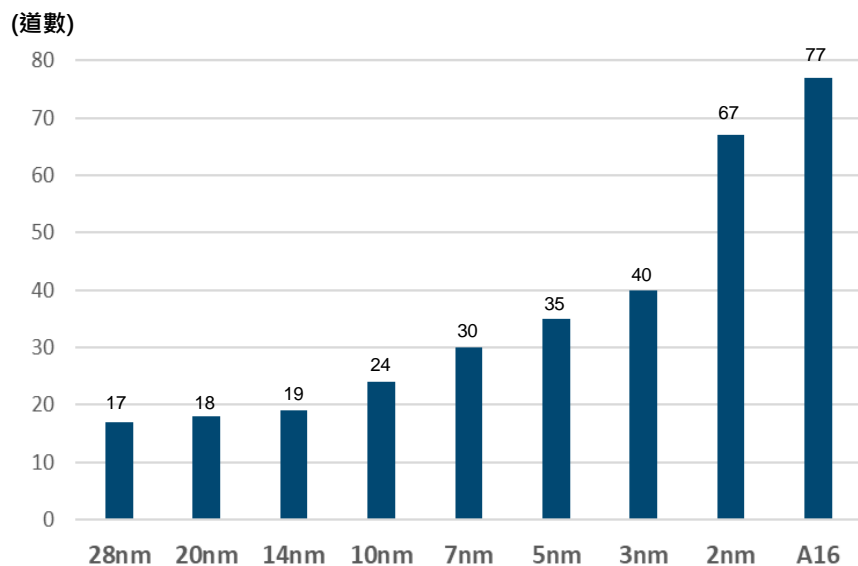
### 全球再生晶圓市場規模 2033 年達 21 億美元



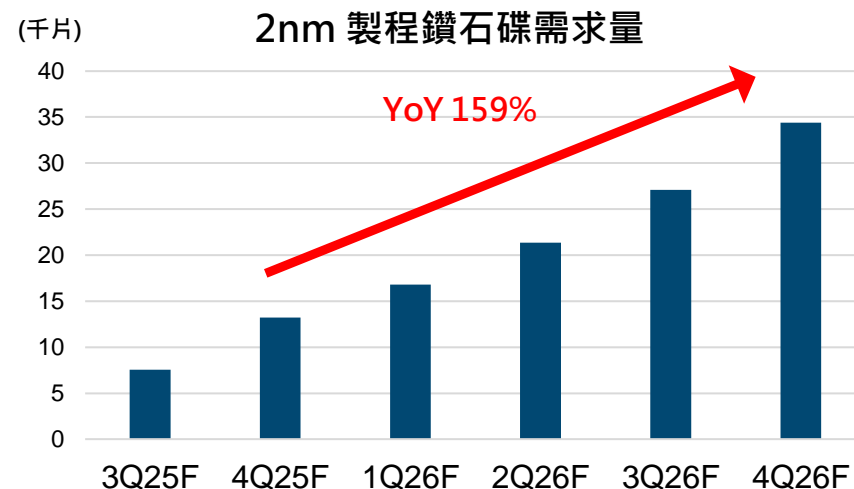
## 晶背供電應用將大幅增加 CMP 需求，帶動鑽石碟用量提升

- 鑽石碟在 CMP 過程中主要負責**修整拋光墊**，確保其表面維持適當粗糙度與均勻性。透過鑽石顆粒的高硬度特性，能有效移除墊面殘留、提升研磨效率與穩定性，是先進製程不可或缺的耗材，同時也是影響整個製程穩定性、成本高低及晶圓移除率的關鍵。
- 晶背供電技術導入 2nm 及 A16 製程後，新增大量拋光與穿孔步驟，**顯著推升 CMP 製程道數**。拋光墊磨損速率同步上升，需更頻繁修整，**直接帶動鑽石碟使用量大幅成長**。
- 以 5nm 製程約 35 道 CMP 步驟為基準，隨製程演進平均每世代增加 15% 道數；BSPDN 技術導入後額外推升約 50% CMP 步驟。整體推估 2nm 製程將需高達 67 道工序，鑽石碟需求亦將呈倍數增長。

### CMP 道數隨製程節點推升，帶動鑽石碟需求



### 2nm 推升關鍵耗材需求，鑽石碟成長動能強勁





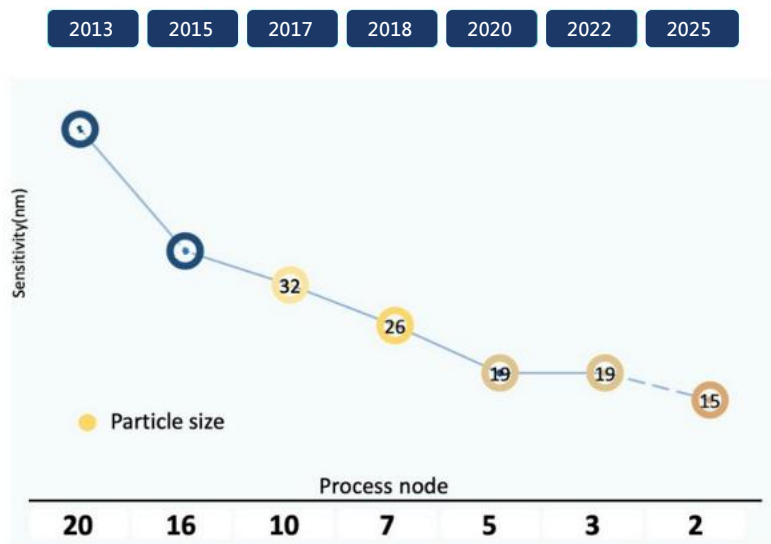
05

個股推薦

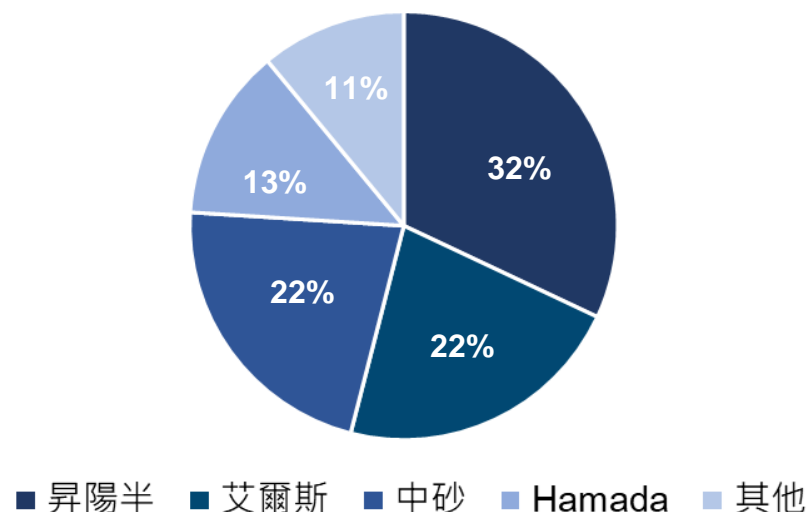
## 昇陽半導體 (8028.TW) 再生晶圓技術與產能皆為台廠龍頭

- 昇陽半晶圓再生及晶圓薄化技術為行業龍頭，其中晶圓再生為主要營收來源，具剝膜、拋光與清洗專利技術。2025 年中砂再生晶圓技術僅停留在 19 Particle size，僅支援 N3 與 N5 製程，落後於昇陽半的 15 Particle size 與 N2 製程。預期 2026 年 Wafering 營收占比達 89%。
- Wafering 全球市占率 22%，在台灣更以 53% 的市占穩居第一。**遠高於主要競爭對手中砂與辛耘。客戶方面，以台灣晶圓代工大廠為主，占比高達 92%。公司亦是台積電再生晶圓主要外包供應商，涵蓋其 70% 的非自產需求，能直接受惠先進製程產能擴張所帶動的需求外溢。
- 2024 年 EPS 高達 2.85 元。1Q25 營收 10.82 億元，YoY +47.18%，預估稅後淨利 2.04 億，EPS 將達 1.18 元。2025 年產能仍供不應求，營收維持 1Q25 高檔水準，預估 2025 全年營收 47.35 億，YoY +33.29%，EPS 5.83 元。

### 昇陽半再生晶圓技術領先同業



### 昇陽半擁有全球 22% 再生晶圓占比



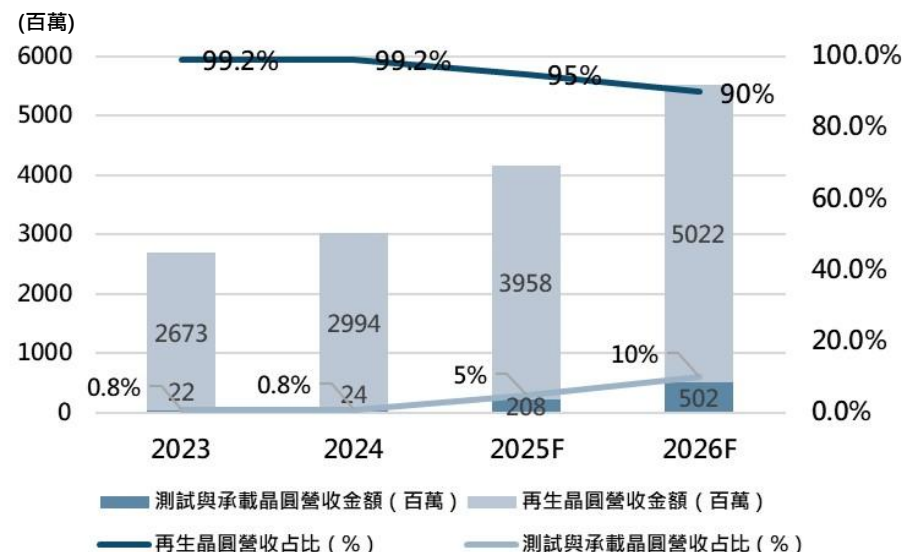
## 製程微縮及晶背供電技術下，帶動昇陽半「晶圓再生」量與質之需求

- 先進製程節點推進，預期 N2、A16 再生晶圓 (RW) 「量」之需求續增。且客戶加速海外擴廠並降低自製率，主要客戶台積電目前自製率 30%，預期降至 20%。
- 台、日廠在再生晶圓市佔達 8~9 成，主因再生晶圓廠與代工廠有產業地緣性，日廠龍頭 RST 預計擴產 35% 達 89 萬片/月，昇陽半擴廠計劃已超過原訂擴產進度，預計在 2026 年超過 RST 成為最大再生晶圓廠，達月產能達 95 萬片，成為最顯著受惠的業者。
- 承載晶圓 (CW) ASP 較再生晶圓提升 5 倍。BSPDN 對薄化晶圓之支撐要求，刺激承載晶圓「質」之需求。昇陽半投入承載晶圓開發，與再生晶圓有 80% 設備可共用。預計於 2026 年承載晶圓放量，承載與測試晶圓貢獻 wafering 之營收可達 10%，使 wafering 業務營收占比預估增至 89%。

### 產能擴增帶動營收成長，預期 26 年動能持續

NT\$ (百萬)	2023	2024	2025F	2026F
營業收入	3,328	3,552	4,735	6,207
營業成本	2,571	2,528	3,077	4,035
營業毛利	757	1,023	1,657	2,172
營業利益	229	535	1,042	1,490
稅後純益	312	492	1,006	1,429
EPS (元)	2.02	2.85	5.83	8.00

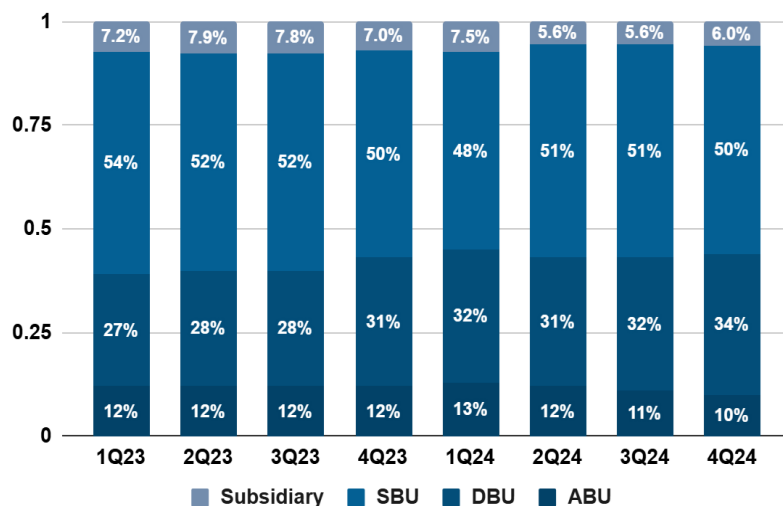
### CW ASP 增加，2025 年預估占營收 5%



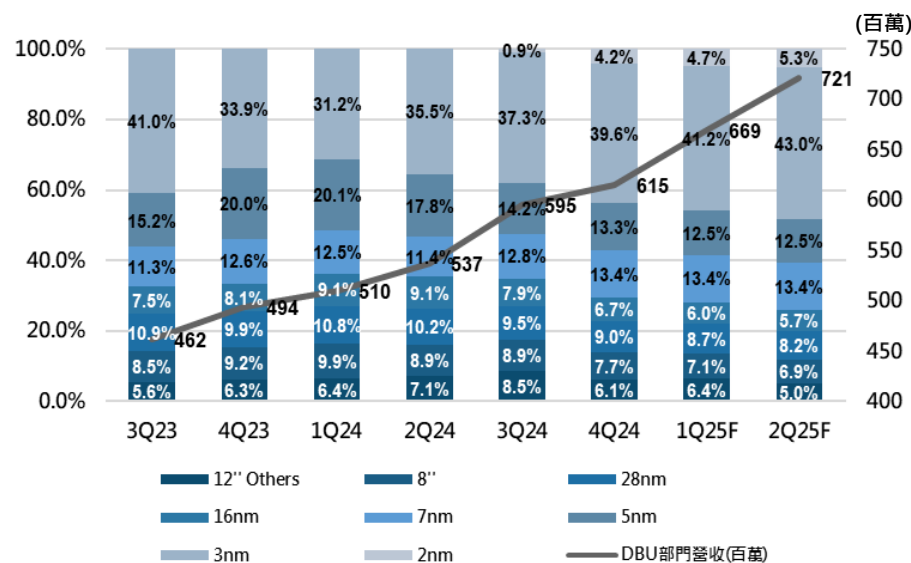
## 中砂 ( 1560.TW ) 營收大幅增長，受惠於 BSPDN 及先進製程技術

- 中砂從事生產砂輪、鑽石碟、研磨工具、回收水晶碟等。鑽石事業部及晶圓事業部為其營收主力，2024 年營收分別貢獻 32% 及 50%。中砂生產鑽石碟為業界精度最高，為台積電主要鑽石碟供應商。
- BSPDN 製程比傳統製程多上數道 CMP 製程步驟，CMP Pad 需要更頻繁修整，將直接帶動鑽石碟及研磨墊等耗材用量的提升。**
- 中砂鑽石碟因其特殊的專利性，除能確保製程中鑽石的不脫落，亦能節省製程中研磨墊等成本，並提高晶圓的移除率及良率，在 3nm 製程市占率達 70%，預計在 2nm 製程能達 80% 以上。供應鏈在地化趨勢下，中砂將優先受惠。
- 受惠先進製程佔比提升，預期 2025 動能持續，整體營收 YoY+9.87%，DBU 部門成長營收 YoY+21%

### 中砂鑽石碟與再生晶圓業務營收佔比最高



### 2nm 製程帶動 DBU 部門營收



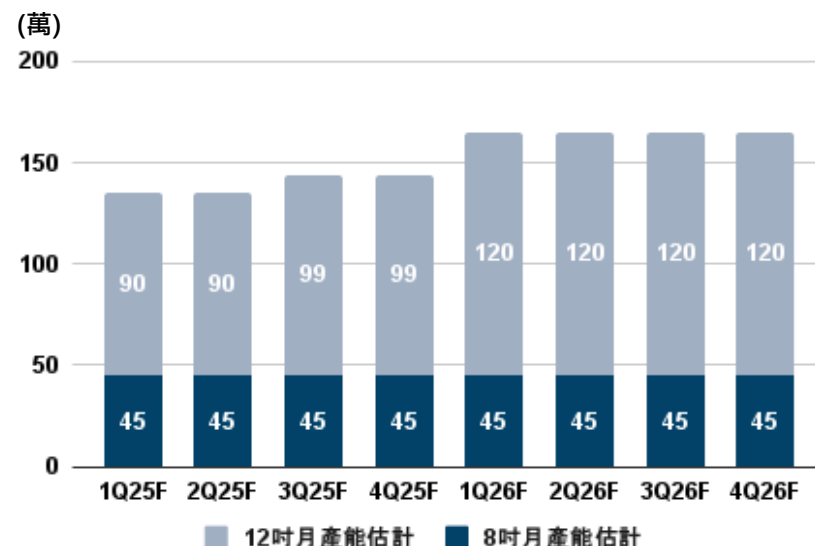
## 中砂再生晶圓擴產帶動出貨成長，2026 年營運動能持續增強

- 2023-2024 年，測試及再生晶圓的月產能為 12 吋 30 萬片及 8 吋 15 萬片，全年產能保持滿載。中砂於 2024 年底開始擴充竹南廠 12 吋產能，新增 10 萬片月產能，預計 2025 年底產能提升 3 萬片，並於 2026 年全面達標 10 萬片產能。
- 2025 年因台積電需求強勁，即便中國、日本、台灣等競爭對手產能陸續成長，再生晶圓持續供不應求，這使得中砂再生晶圓 ASP 仍維持穩定。
- 中砂憑藉其先進的晶圓乘載技術，已成功應用於 HBM 與 CoWoS 等應用，並獲得相關訂單。進一步提升公司整體毛利率，從 2024 年的 31% 預計成長至 2025 年的 38%。

### 2024 營收成長主由 DBU 貢獻，2025 預期持續

NT\$ (百萬)	2023	2024	2025F	2026F
營業收入	6,381	7,019	7,712	8,965
營業成本	4,439	4,831	5,175	5,965
營業毛利	1,942	2,188	2,537	3,000
營業利益	989	1,154	1,452	1,860
稅後純益	852	1,035	1,253	1,604
EPS (元)	5.84	7.10	8.59	11.00

### 竹南廠擴產，帶動再生晶圓產能成長



## 先進製程及晶背供電技術下，帶動「鑽石碟」、「再生晶圓」需求持续提升

### 鑽石碟

晶背供電技術導入 2nm 製程，提升 CMP 製程道數至 67 道，使拋光墊磨損速度上升、修整頻率增加，帶動鑽石碟用量大幅成長。3Q26 台積電 N2P 製程開始量產，4Q26 的鑽石碟預估需求量为 34.4 千片，相較於 4Q25 年增 159%。

### 再生晶圓

進入 2nm 製程，正片生產所需之再生晶圓比例提升，再生晶圓用量超過 3 倍，並同步提升再生晶圓的 ASP，使 N2 製程再生晶圓產值預估成長 4.6 倍。2024 年全球再生晶圓市場規模 6.2 億美元，預計 2033 年達 21 億美元，CAGR 14.4%。

推薦個股：中砂 ( 1560.TW )、昇陽半導體 ( 8028.TW )

### 中砂鑽石碟獲台積電獨家採用，營收顯著成長

NT\$ (百萬)	2023	2024	2025F	2026F
營業收入	6,381	7,019	7,712	8,965
營業成本	4,439	4,831	5,175	5,965
營業毛利	1,942	2,188	2,537	3,000
營業利益	989	1,154	1,452	1,860
稅後純益	852	1,035	1,253	1,604
EPS (元)	5.84	7.10	8.59	11.00

### 昇陽半導體領先再生晶圓技術，產量居台廠之首

NT\$ (百萬)	2023	2024	2025F	2026F
營業收入	3,328	3,552	4,735	6,207
營業成本	2,571	2,528	3,077	4,035
營業毛利	757	1,023	1,657	2,172
營業利益	229	535	1,042	1,490
稅後純益	312	492	1,006	1,429
EPS (元)	2.02	2.85	5.83	8.00

## 先進製程邁入 2nm，三大技術進步，帶動中砂、昇陽半營收顯著成長

### 產業概況

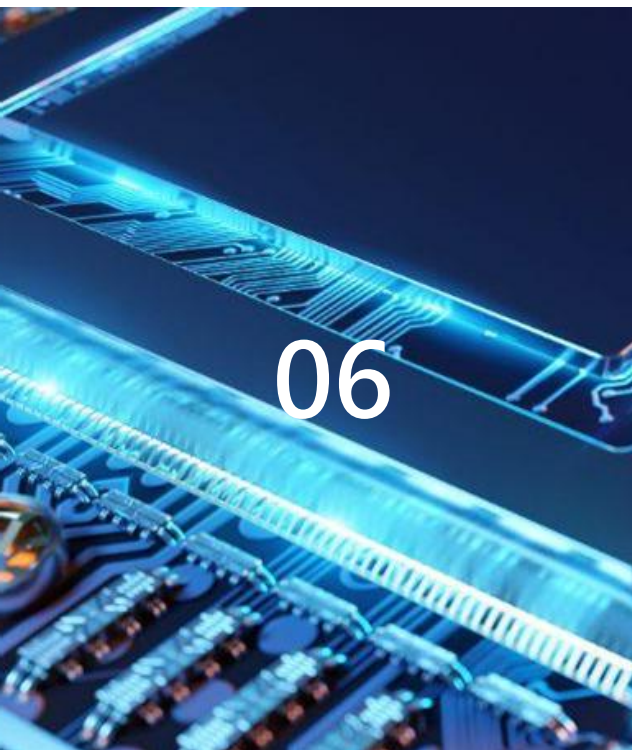
- GAAFET 取代 FinFET：提升晶體管密度，結合晶背供電改善佈線問題，實現低功耗與高效率。
- Hybrid Bonding：台積電 SolC-X 採用 Hybrid Bonding，使鍵合間距可達 6 $\mu$ m，2025 年 SolC 月產能將擴增至 8,000 片，以滿足 AI、HPC 需求。
- 晶背供電技術：BPR 埋入式電源軌、PowerVia 直接連結、BSC 接觸電晶體，三種技術皆需**對矽晶圓進行極薄化處理**，以提升效率、降低功耗。

### 產業動能

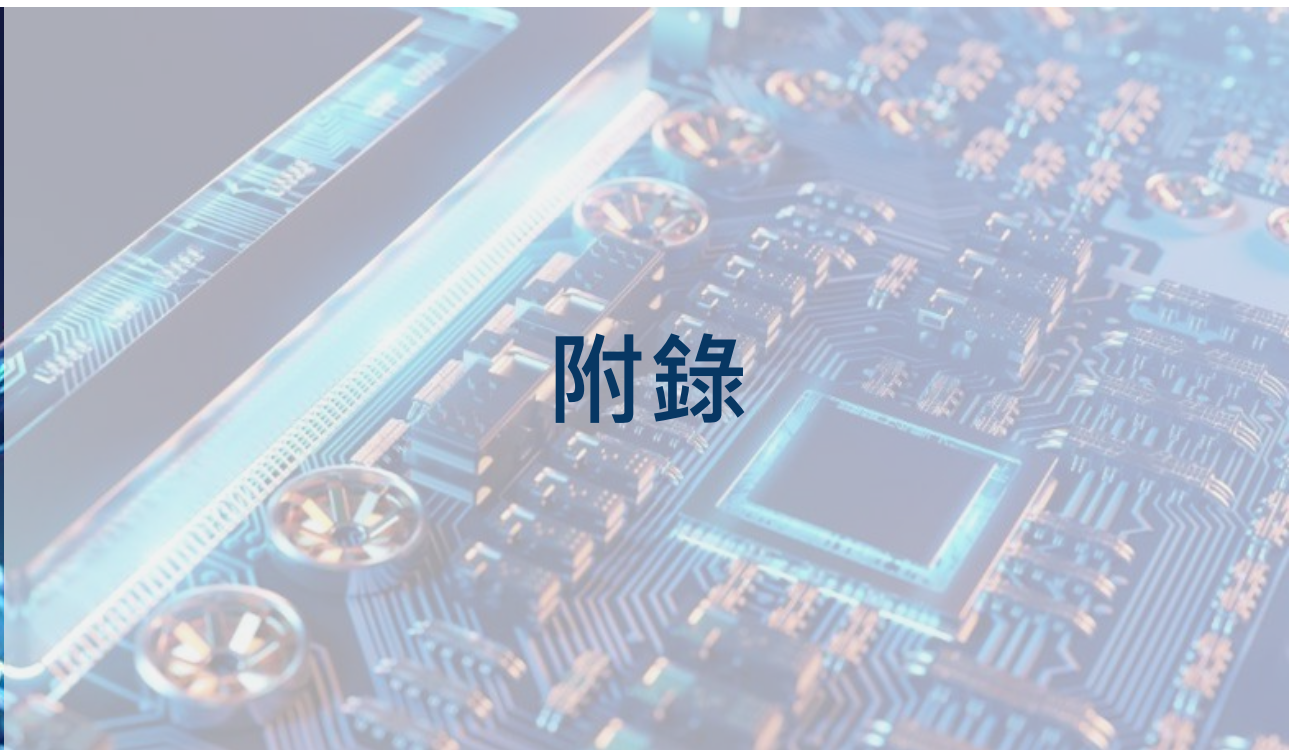
- 鑽石碟：晶背供電技術導入 2nm 製程，提升 CMP 製程道數至 67 道，使拋光墊磨損速度上升、修整頻率增加，帶動鑽石碟用量大幅成長。3Q26 台積電 N2P 製程開始量產，4Q26 鑽石碟預估需求量为 34.4 千片，年增 159%
- 再生晶圓：2nm 製程**再生晶圓用量超過 3 倍**，並同步**提升再生晶圓的 ASP**，使 N2 製程再生晶圓**產值預估成長 4.6 倍**。2024 年全球再生晶圓市場規模為 6.2 億美元，預計到 2033 年將達到 21 億美元，**CAGR 14.4%**。

### 個股推薦

- 個股一：昇陽半導體 (8028.TW)  
再生晶圓技術領先，產量居台廠之首，獨供台積電 2nm 再生晶圓，並積極擴產，預計在 2026 年超過 RST 成為最大再生晶圓廠，月產能達 95 萬片。
- 個股二：中國砂輪 (1560.TW)  
鑽石碟獲台積電獨家採用，3nm 製程市占率達 70%，預計在 2nm 製程能達 80% 以上，**預期 2025 動能持續，帶動鑽石事業部營收 YoY+21%**。



06



附錄

## 科技應用變革牽動半導體需求，加速製程演進並推升先進技術布局

- 1981 年 IBM PC 的推出，對個人電腦普及化造成深遠影響，x86 CPU 與 DRAM 需求爆發。
- 1991 年，網際網路 ( WWW ) 開放使用，網頁瀏覽器普及，CPU、網卡等網路設備需求快速成長。( 製程節點 800nm 推向至 180nm )
- 2007年，蘋果推出第一代 iPhone，推動 SoC ( System on Chip ) 整合架構快速普及，半導體研發重心由電腦轉向手機。( 製程節點由 90nm 推向至 45nm )
- 2022年，Open AI 推出 ChatGPT，利用 25,000 個 Nvidia A100 GPU 訓練，帶動 GPU/NPU 爆發式需求成長，進一步刺激高效運算與資料中心需求快速成長。( 製程節點：5nm 以下 )



## 各公司的 GAAFET 技術發展規劃 目前主要由龍頭企業主導開發

公司	GAAFET 技術發展規劃與歷程
三星	<ul style="list-style-type: none"><li>● 2022 年：開始生產 3 奈米 GAAFET 技術 ( MBCFET , Multi-Bridge Channel FET ) 晶片。</li><li>● 2025 年：計劃推出 2 奈米 GAAFET 製程，並持續使用納米片技術提升性能。</li><li>● 未來：預計於 2027 年達成 1.4 奈米 GAAFET 製程，並持續利用納米片技術推動工藝發展。</li></ul>
台積電	<ul style="list-style-type: none"><li>● 2024 年：開始 N2 ( 2nm ) 風險性試產。2025 年：預期 2nm ( N2 ) 進入量產階段。</li><li>● 2026 年：市場端可望逐步看到大量 2nm 產品問世；台積電同時持續探索背面供電等技術，可能在 N2 改良版 ( N2P ) 或更後續節點導入。</li><li>● 2027 ~ 2028 年：外界推測可能於此時程挑戰 1.4nm 節點，但官方尚未公布精確時程。</li></ul>
Intel	<ul style="list-style-type: none"><li>● 2024 ~ 2025 年：預計在 20A 節點導入 GAAFET ( RibbonFET ) 及背面供電 ( PowerVia ) 技術</li><li>● 2025 年：計畫再推進至 18A 節點，進一步微縮並優化 RibbonFET</li><li>● 後續 Arrow Lake 等新架構才預期會真正導入 20A / RibbonFET</li></ul>
IBM	<ul style="list-style-type: none"><li>● 2017 年：展示首款 5nm GAAFET 原型。</li><li>● 2021 年：推出 2nm GAAFET 原型，宣稱在指甲大小的晶片上容納 500 億 ( 50 billion ) 晶體管，可達到最高 45% 的效能提升或 75% 的功耗降低。</li><li>● 與日本 Rapidus 合作，目標於 2020 年代末期 ( 約 2027 年前後 ) 將 2nm GAAFET 技術投入生產。</li></ul>
其他	<ul style="list-style-type: none"><li>● IMEC：在 GAAFET 技術中進行先進的研究，並提出了創新變體 ( 如 forksheet 和 CFET )。</li><li>● SMIC：中國的 SMIC 目前主要在 7 奈米 FinFET 技術上運作，但也在積極探索 GAAFET 技術。</li></ul>

## GAAFET 詳細製程步驟

(a) **NS Stack Epitaxy**：透過 Epitaxy 技術，在晶圓上交替沉積約 5–8 nm 的 Si (通道層) 與 SiGe (犧牲層)，形成多層超晶格 (Super lattice) 結構。 (與 FINFET 主要差異點)

(b) **NS “Fin” Patterning & STI**：使用光微影 (Lithography) 和蝕刻 (RIE) 方式，將多層 Si/SiGe 超晶格結構刻蝕成垂直的 Fin，之後以 STI 材料填充並平坦化晶圓表面。

(c) **NS “Fin” Reveal**：透過選擇性蝕刻去除 STI 的上半部，使 Fin 側壁的 Si/SiGe 多層結構露出，以便進行後續製程。

(d) **Dummy Gate Patterning**：在 Fin 上沉積多晶矽，經過光刻和蝕刻形成 Dummy gate (假閘極)，作為後續金屬閘極置換的基礎。

(e) **Spacer & Inner Spacer Formation**：沉積並蝕刻形成外部 Spacer，以及內部 Inner spacer，用來區隔閘極區與源/汲極區，並降低寄生電容。 (與 FINFET 主要差異點)

(f) **Dual Source/Drain Epitaxy**：在 pFET 區域外延生長硼摻雜 SiGe，在 nFET 區域生長碳與磷摻雜 Si，形成具有應變 (strain) 的 Source 和 Drain，以改善元件效能。

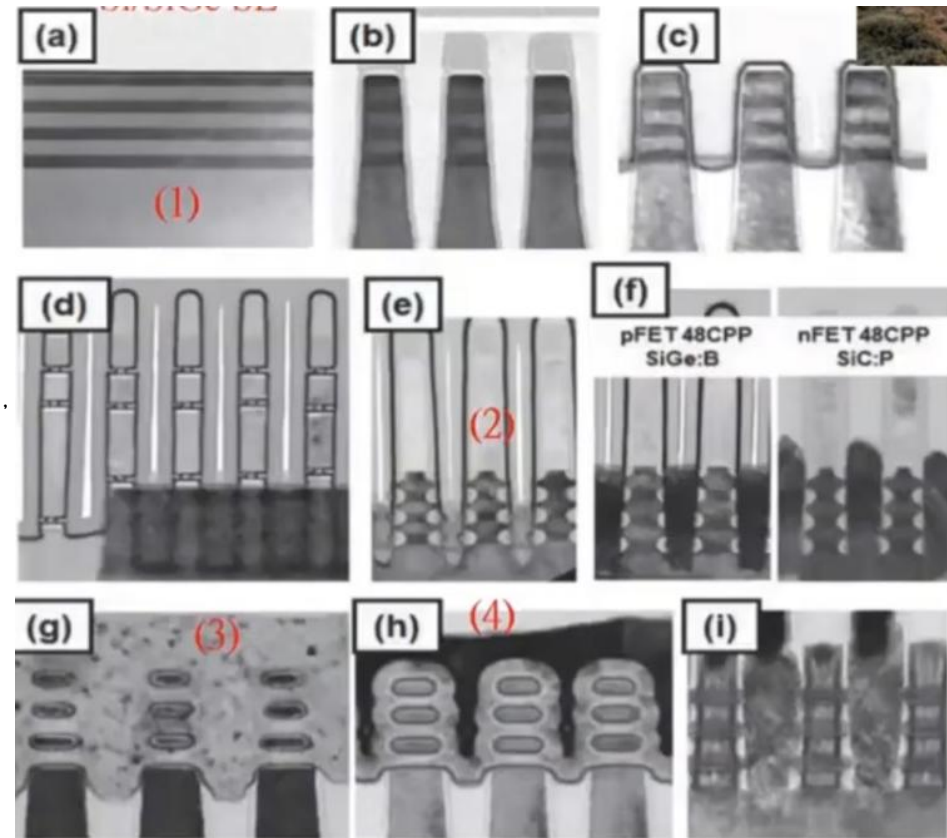
(g) **Channel Release**：透過選擇性蝕刻犧牲層 SiGe，使 Si 通道層懸空，以達成 Gate-All-Around 結構，提高閘極對通道的控制能力。

(與 FINFET 主要差異點)

(h) **Replacement Metal Gate (RMG)**：去除 Dummy gate，再沉積高介電係數材料 (High-k) 與金屬閘極材料，完成 Gate-last 製程。

(與 FINFET 主要差異點)

(i) **MOL/BEOL (Wrap-Around Contact + Interconnect)**：在通道區域製作環繞式金屬接觸 (Wrap-around contact)，並完成元件後段金屬互連 (MOL/BEOL) 製程，達成完整的電晶體結構。

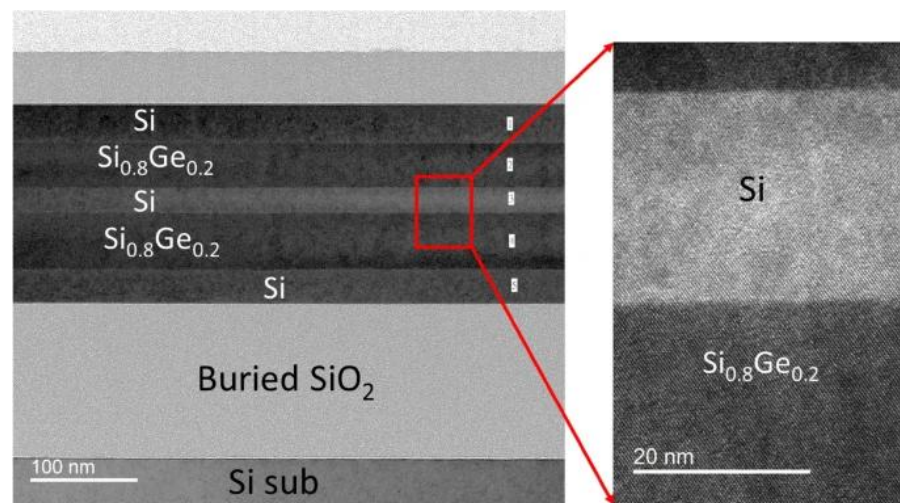


# GAAFET 與 FINFET 製程差異比較介紹

## 差異製程一：長 Si / SiGe 多層超晶格結構

在 GAA 製程中，首先於矽晶圓上以外延 (epitaxy) 方式精準沉積多層交替的 Si (約 5–8 nm) 與  $\text{Si}_{0.7}\text{Ge}_{0.3}$  (約 5–8 nm) 犧牲層，形成超晶格結構。此多層堆疊不僅可透過原子層級控制通道厚度與間距，還能透過 SiGe 層誘發應變 (strain engineering)，提升載子遷移率；相較之下，FinFET 僅以單一 Si 層形成 Fin，通道厚度受限於光刻解析度，且無法藉由堆疊實現有效通道寬度擴充。

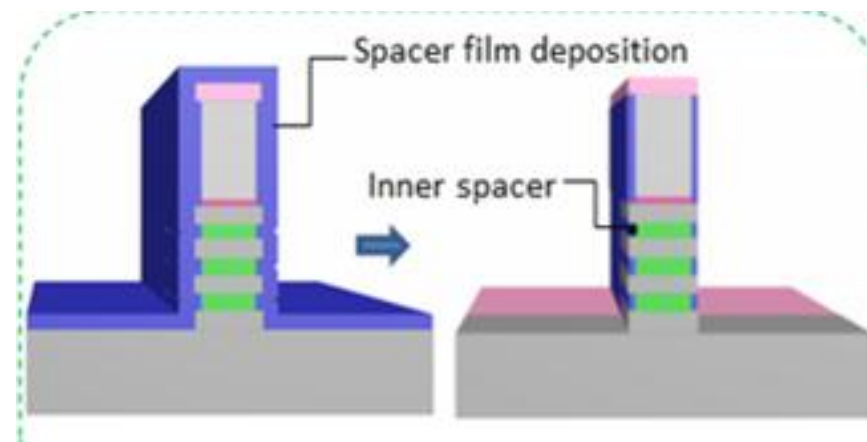
## 多層 Si/ $\text{Si}_{0.8}\text{Ge}_{0.2}$ 疊層外延結構橫截面 TEM 影像



## 差異製程二：內隔離層

GAA 需要在 Dummy gate 兩側形成厚度僅 ~9–10 nm 的內隔離層 (inner spacer)：先以選擇性側向蝕刻在 SiGe 層中挖出空腔 (cavity)，再沉積  $\text{SiN}_x$  填充並各向異性蝕刻回收留側壁材料，精確界定閘極與源 / 汲極間距，並大幅降低寄生電容；FinFET 則僅需在閘極外部形成較厚的 spacer，缺少此高度精密的側壁隔離，導致較高  $C_{gs}/C_{gd}$ 。

## 內隔離層 (Inner Spacer) 製程示意圖

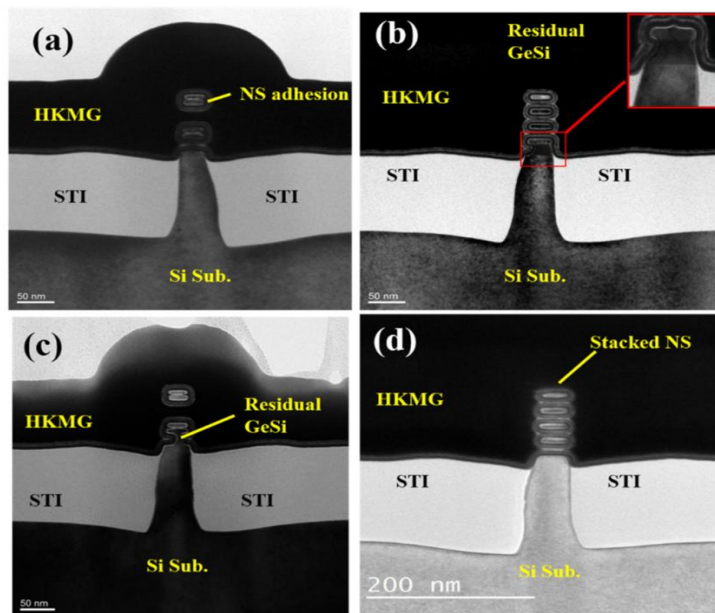


# GAAFET 與 FINFET 製程差異比較介紹

## 差異製程三：通道釋放

GAA 通道釋放須以高選擇性乾式 RIE ( 或早期濕 / 乾混合蝕刻 ) 完全移除 SiGe 犧牲層，留下多層懸浮 Si 奈米片；最新工藝透過多步驟 etch + 無等離子氧化保護層實現 SiGe:Si >168:1 選擇性，以防止 Si 過度損耗，並避免奈米片因源 / 汲應力而變形；FinFET 通道始終固定於基板，不需此釋放步驟。

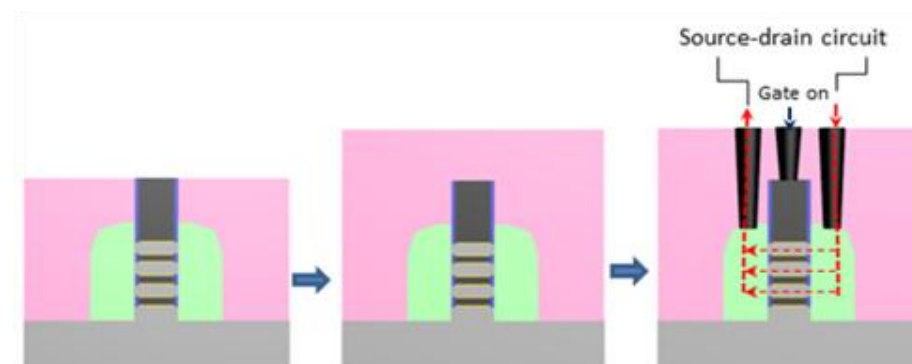
## 堆疊 GAA Si NS 通道製程的橫截面 TEM 圖像



## 差異製程四：替代金屬閘極

GAA 使用 Gate-last 流程：先移除 Dummy gate，再依序沉積高-k 閘介質 ( $\text{HfO}_2$ )、n/p work-function 金屬 (TiN/TaN) 及填充金屬 (W/Cu)，使閘極 360° 完全包覆每片奈米片；FinFET 雖亦採用 RMG，但閘極僅包覆 Fin 三面，無法達到全方位電場控制。

## 替代金屬閘極製程示意圖



## 鍵合技術隨著接觸密度的提升，最終演進至無焊錫的混合鍵合

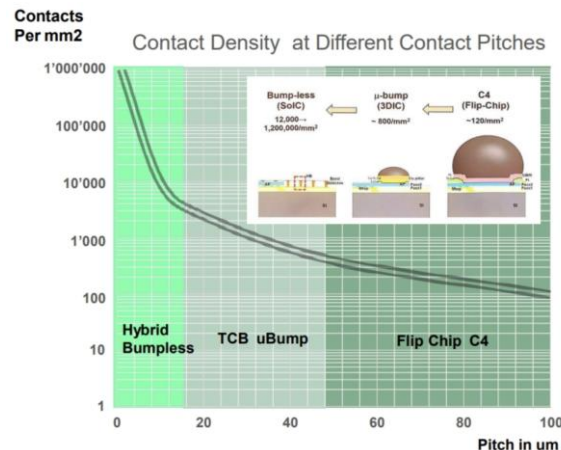
	Wire bond 打線接合	Flip Chip 覆晶封裝	TCB Bonding 熱壓鍵合	HD Fan Out 高密度扇外型封裝	Hybrid Bonding 混合鍵合
時間	1975	1995	2012	2015	2018
接觸方式	金屬線 (Wire)	錫球或銅柱	銅柱	重分佈線層 (RDL) 或銅柱	銅對銅
接觸密度	5-10/mm <sup>2</sup>	25-400/mm <sup>2</sup>	156-625/mm <sup>2</sup>	500+/mm <sup>2</sup>	10K-1MM/mm <sup>2</sup>
基板	有機載板 / 導線架	有機載板 / 導線架	有機載板 / 矽	無	無
接點間距	20-10μm	10-5μm	5-1μm	5-1μm	0.5-0.1μm
每位元能耗	10pJ/bit	0.5pJ/bit	0.1pJ/bit	0.5pJ/bit	<0.05pJ/bit

- 傳統封裝技術以平面封裝為主，而先進封裝技術則透過水平或垂直堆疊多顆晶片來提升晶片性能並降低功耗，先進封裝技術將朝更高密度整合、更短訊號傳輸距離與更低功耗的方向發展，混合鍵結為目前迅速發展中的互連技術。過去常利用錫球凸塊（Bump）作為兩裸晶或晶圓的接合的媒介，因錫球加熱至約 200 度會融化，可將兩接點接合，然而當裸晶尺寸縮小且接點密度增加時，融化的錫球容易沾附到周遭非預期的接點，但混合鍵結技術不須使用錫球，而是透過加熱或加壓等製程步驟，直接將兩裸晶或晶圓接合，能進一步縮小封裝體積並且可降低互連的電阻。
- 目前許多業者正在使用混合鍵結技術發展先進的系統單晶片（System on a Chip, SoC）或用於高效能運算和數據中心的晶片，如 AI 晶片公司 Graphcore 推出 IPU 處理器即是採用了台積電的混合鍵結技術。

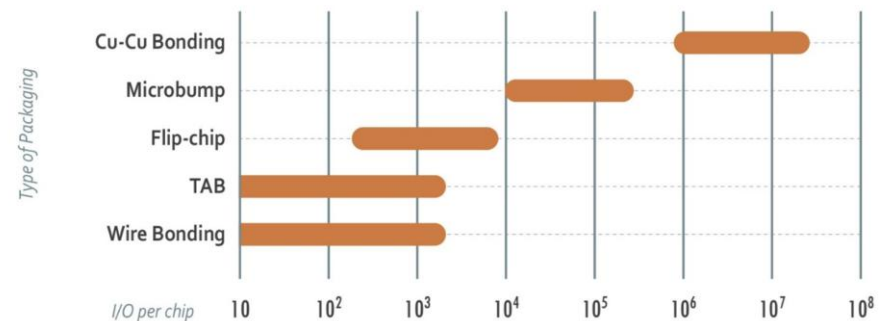
## 鍵合技術隨著接觸密度的提升，最終演進至無焊錫的混合鍵合

- 封裝技術最早為打線接合 (Wirebond)，由於其接點僅能以周列形式排列在晶片周圍，無法有效提高接點的 I/O 數量，相較於 Wirebonding，覆晶技術將晶片倒置，透過錫錫微凸塊 (Solder Bump) 與基板焊盤接合，接點可以分布於晶片表面，大大提升 I/O 密度。隨著接點間距的縮小，焊接球也變得更加微小，這帶來了更多挑戰，如橋接失效 (Bridge Failure) 和錫錫球反應過度形成介金屬化合物 (IMC)，進而降低性能。
- TCB 技術使用壓力和加熱來進行焊接，這樣的處理方法減少覆晶接合基板翹曲的問題，並能確保晶片平整地放置。此技術主要用於解決覆晶技術中由於高溫差異引發的問題，提供了更穩定的接合，在極限情況下可達到  $10\mu\text{m}$ 。當 I/O pitch 進一步縮小至  $10\mu\text{m}$  以下，混合鍵合技術 (Cu-Cu) 便成為下一代解決方案，利用金屬原子的擴散來實現接合，且不會有橋接失效問題，接點間距能微縮至  $1\mu\text{m}$  以下。

### 晶片連接間距隨著鍵合技術發展而大幅縮小



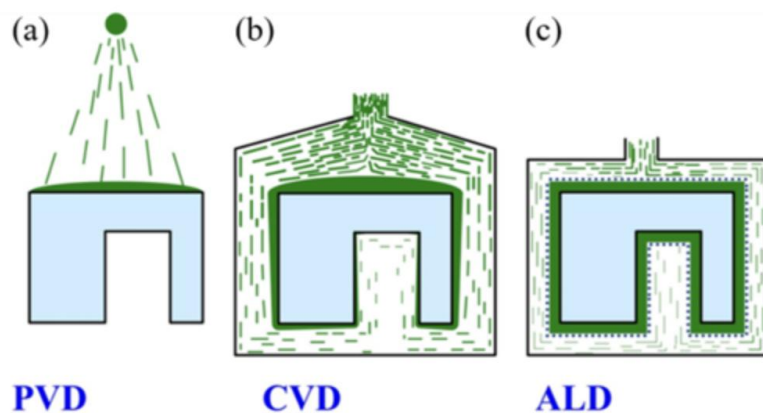
### 各種封裝技術在 $1\times 1\text{cm}^2$ 的晶片內能達到的接點數量



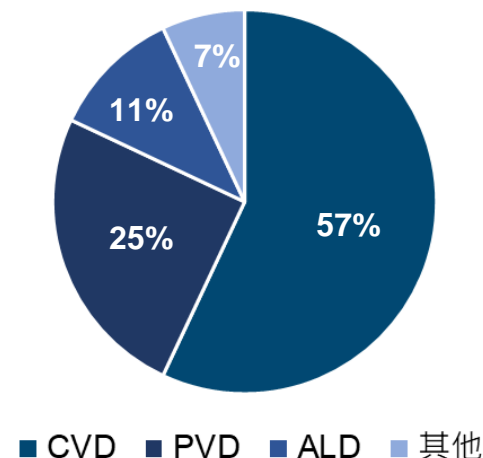
## 混合鍵合 ( Hybrid Bonding ) 依賴薄膜沉積技術來形成導電通道與絕緣層

- 薄膜沉積技術在 Hybrid Bonding 製程中，主要用來**形成導電通道（如金屬層）**和**隔離材料（如氧化物層，例如二氧化矽）**，以控制電流的流動，這些層通常透過 CVD（化學氣相沉積）或 ALD（原子層沉積）方法形成，以確保表面平坦性和良好的介電性。
- **物理氣相沉積（PVD）**：將特定金屬材料放入設備，利用高溫把固態材料蒸發成氣態，並濺射到矽晶圓上形成薄膜，因為是用噴灑的，因此僅能應用在平面的電晶體結構。
- **化學氣相沉積（CVD）**：化學前驅物被通入製程反應腔體，這些氣體在高溫下發生化學反應形成固體材料，最後均勻沉積在晶片上形成一層薄膜。隨著晶片結構變得更加複雜，這些複雜的結構對薄膜技術提出了更高要求，因此 CVD 在高精度和均勻度方面可能會遇到困難。

PVD / CVD / ALD 薄膜沉積效果示意圖



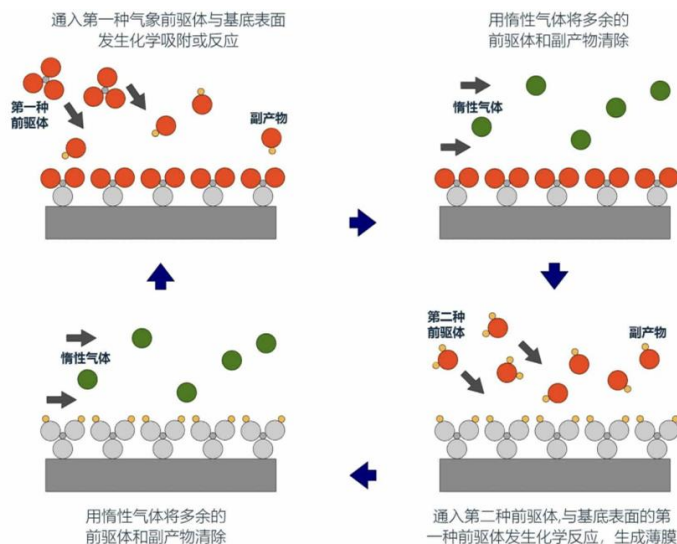
2022 年半導體薄膜沉積設備佔比情況



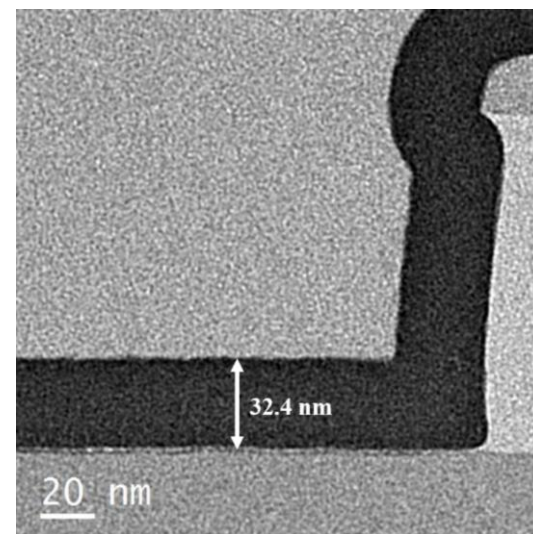
## 混合鍵合 ( Hybrid Bonding ) 依賴薄膜沉積技術來形成導電通道與絕緣層

- **原子層沉積 ( Atomic Layer Deposition, ALD )**：使用化學反應，每次只沉積一層原子的材料，再一步步的堆疊薄膜，由於每次循環只沉積一層，因此可以更精準控制每層的厚度，產生更均勻的薄膜。
- ALD 裡面聚合物只能漲到特定高度就會停止生長，因此只要拉高反應時間，便能確保所有地方都長出非常均勻的薄膜。且 ALD 需要的製程溫度遠低於 PVD 及 CVD，可以應用在一些無法承受高溫的基板材料。當元件發展逐步朝向尺寸微小化，結構複雜化的方向演進時，ALD 將逐步取代 PVD、CVD 製程。
- ALD 設備在過去受限於量產效率、高成本，市場應用比較少。但是因為半導體晶片正從 FinFET 過渡到 GAAFET 結構，將導致 ALD 設備需求顯著增加，ASMI 持續加強並穩固其在 ALD 設備產業地位。ALD 設備市場規模預估 2022~2027 年複合成長率為 25%，2027 年達 107 億美元。

### Atomic Layer Deposition 工作原理



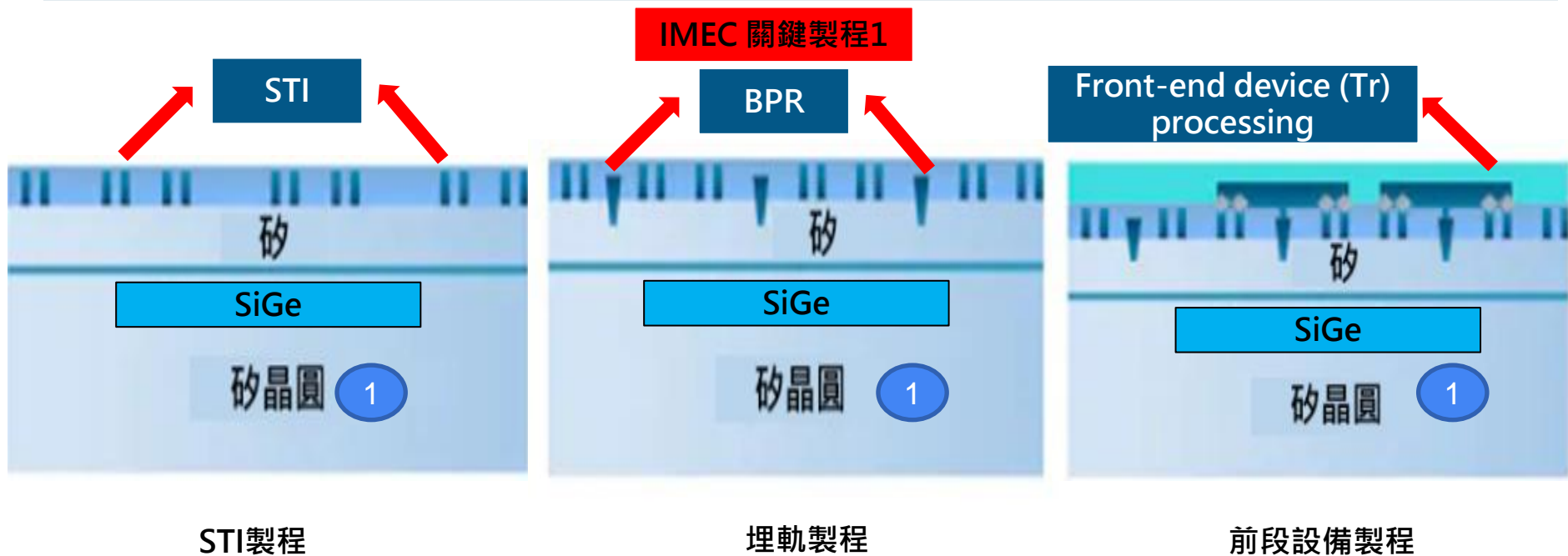
### ALD 在 FinFET 外側鍍製厚度均勻的介電層



## IMEC 晶背供電製程 - STEP1 埋入導軌

- 詳細步驟：在原生晶圓（矽晶圓 1）上沉積 SiGe（矽鍺層）以作為後續蝕刻停止層。晶圓清洗後，再執行化學氣象沉積（CVD）在 SiGe 覆蓋層上形成一層 SiN（氮化矽）薄膜、並於薄膜上作淺槽隔離（STI）後，填入鎢或鈦作為埋入電軌（BPR）。在上方覆蓋絕緣層後製作元件、訊號線等 FOEL、MOL 製程，同時電軌會透過垂直導線連接電晶體源極 / 汲極。

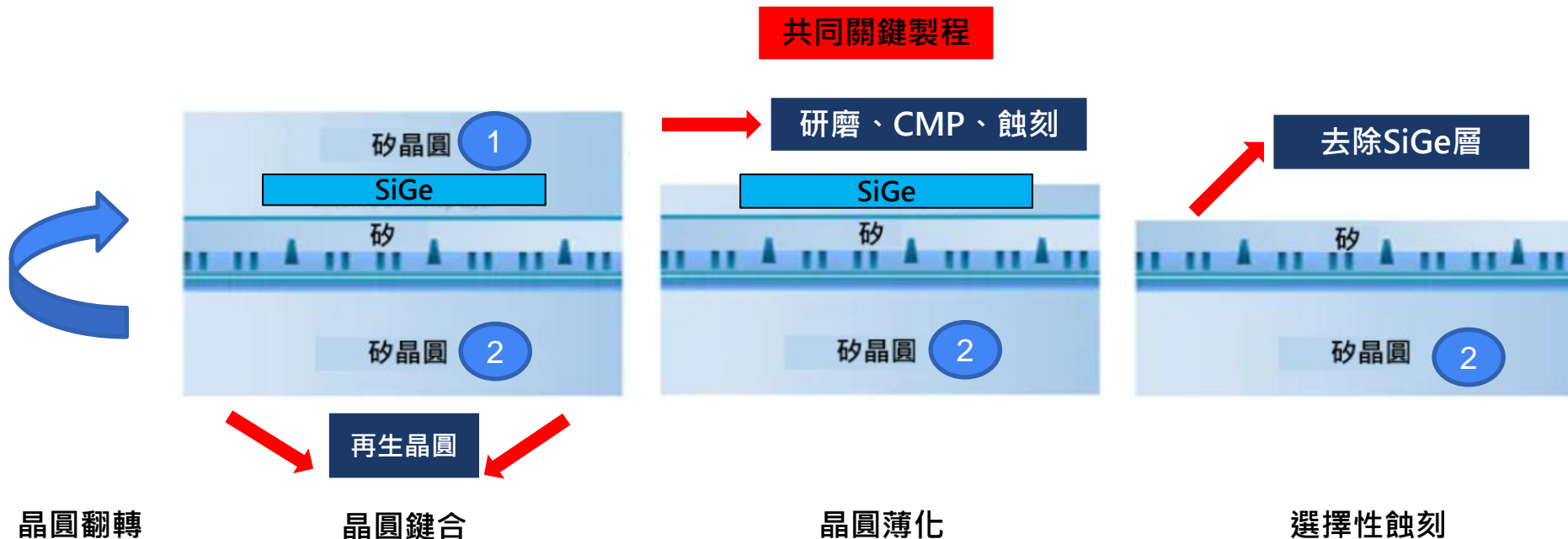
### 晶圓正面製程導入埋軌製程示意圖



## IMEC 晶背供電製程 - STEP2 晶圓鍵合與薄化

- 詳細步驟：翻轉原生晶圓後，在室溫下通過碳氮化矽與碳氮化（SiCN-to-SiCN）電介質熔融方法來與承載晶圓（矽晶圓2）鍵合，接著再進行 250°C 的接合後退火（post-bond anneal）。而後進行減薄處理，透過背面研磨、CMP、乾 / 濕蝕刻等方法來將 wafer1 減薄到停止蝕刻層。完成薄化後，SiGe 蝕刻停止層會被移除，此時晶圓便準備好進行 nTSV（奈米級穿通矽通孔）製作。

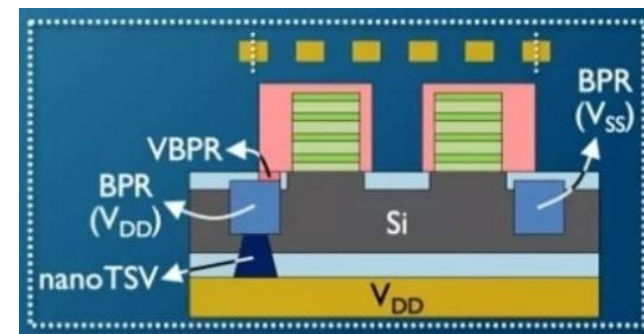
### 晶圓正面製程導入埋軌製程示意圖



## IMEC 晶背供電製程 - STEP3

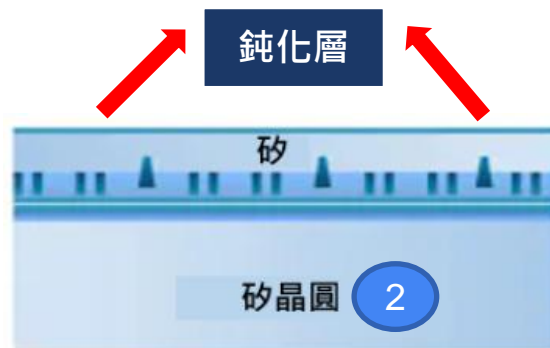
- **詳細步驟：**在晶圓上方沉積鈍化層後，使用透過矽對位微影 ( through-Si alignment lithography ) 製程，從晶圓背面進行 nTSV 的圖案化。nTSV 蝕刻穿過矽 ( 深度為數百奈米 ) 並落在 BPR 的尖端上，接著用氧化物襯裡和金屬 ( W ) 填充 nTSV，使 nTSV 將晶圓後段電路和電軌做連結。

IMEC晶背供電橫切示意圖

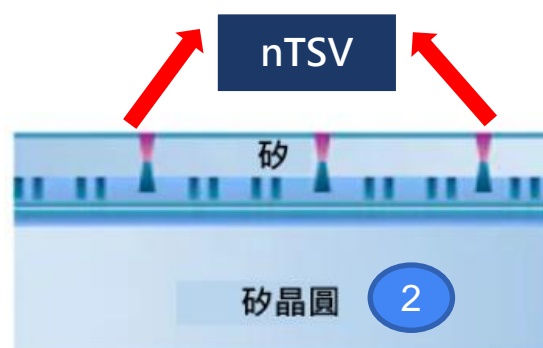


晶圓正面製程導入埋軌製程示意圖

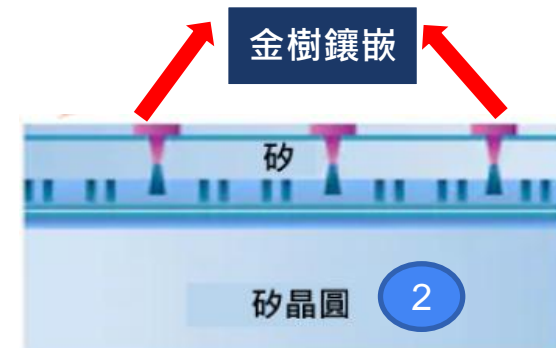
### IMEC 關鍵製程2



背面鈍化



nTSV製程

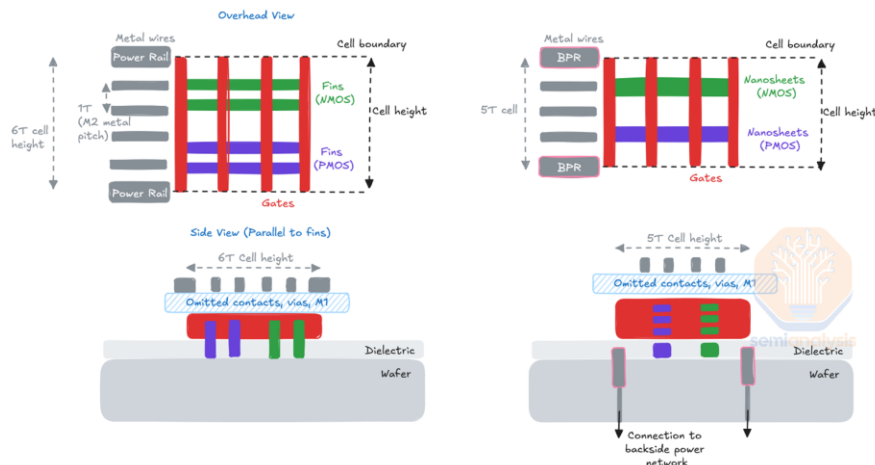


背面金屬鑲嵌

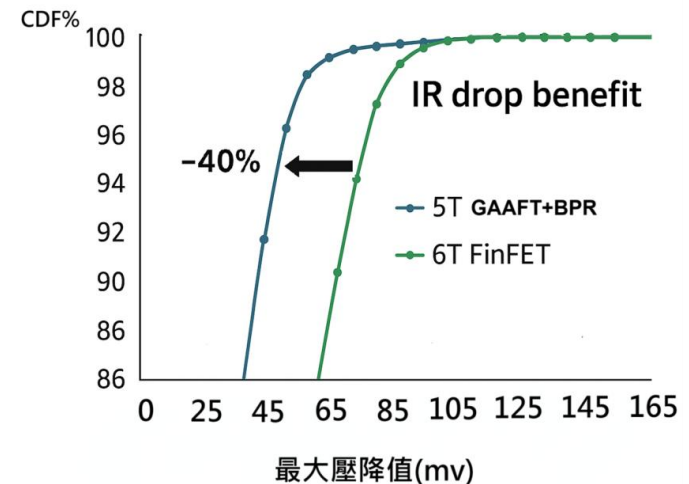
## IMEC 關鍵製程 1 - BPR

- **埋入式電源線 (Buried Power Rail, BPR)**：透過正面的金屬層連接到電晶體，並透過矽通孔 (TSV) 連接到背面的電源傳輸網路。整體單元高度可以減少約 1T。
- **通過導入 BPR，IR Drop 減少 40%，面積使用減少 14%**：即使排線較細，也可以保證高度，因此，很容易使排線的斷面積做的較大。即可以降低電阻，也緩解電壓下降的問題（有利於電源電壓的穩定）。此外，通過優化供給電源的排線網路 (PDN)，線路模組的面積大約減少了 14%。
- **建構 BPR 相對簡單，但有一個主要風險**：在前段製程 (FEOL) 中使用金屬。傳統上，金屬僅限於中段製程 (MOL) 和後段製程 (BEOL) 工藝，即電晶體製造完成後。這是為了避免導電金屬污染半導體器件。晶圓廠對此非常重視 - 許多晶圓廠的 FEOL 專用工具禁止運行任何帶有金屬層的晶圓。晶圓廠必須打破這條規則來建構埋入式電源軌，因為根據定義，BPR 必須在電晶體之前整合。**實際上，沒有人願意打破這條規則，而且似乎任何 HVM 工藝都不會採用 BPR。**

將 6T 基本單元增加 BPR，高度降低至 5T



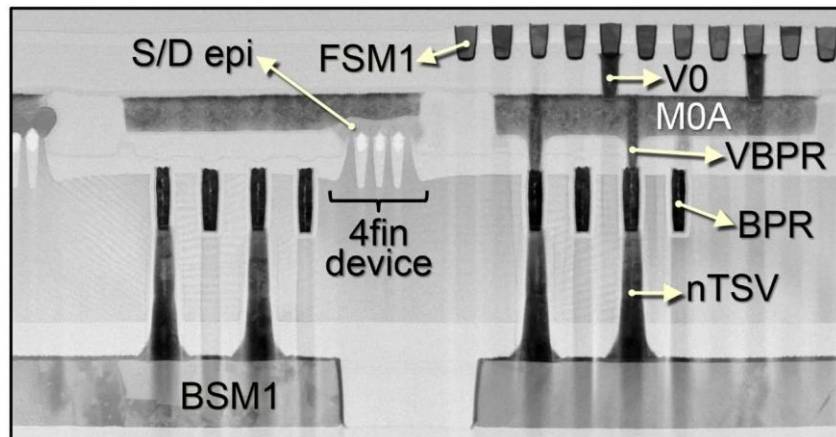
導入 BPR，IR Drop 減少 40%



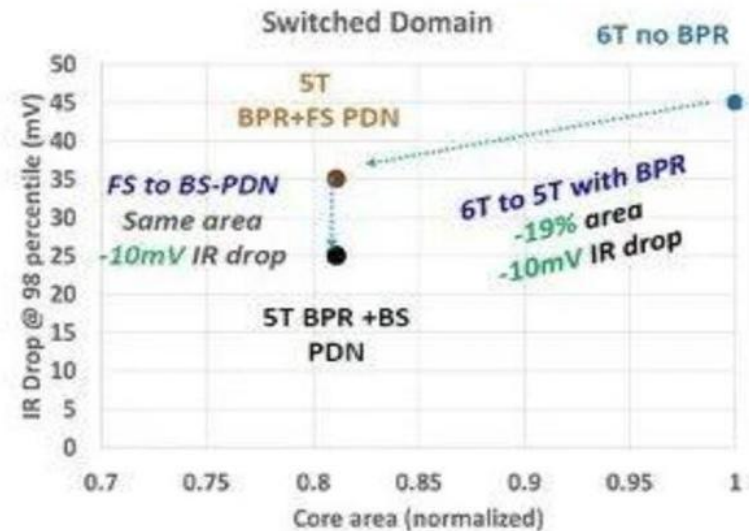
## IMEC 關鍵製程 2 - nTSV

- 奈米矽穿孔 ( Nano-Through Silicon Via,nTSV )：導入BPR後，需要從正面供電向BPR垂直供給電源，此供電路徑必須使用奈米 TSV 方法形成。
- 奈米 TSV 比普通 TSV 約小 500 倍：它不僅需要刻蝕技術，還需要晶圓鍵合技術。當氧化層和鎢被埋入奈米 TSV 孔中時，BSPDN 結構即完成。在不犧牲晶體管面積下，電源線在背面形成。
- 加入nTSV，線路模組IR Drop 減少達 28%：以6T的基本單元為基準，5T 的基本單元(BPR+FSPD ) IR Drop減少達35mV；引入 nTSV 技術並應用 BSPD，IR Drop 減少達 25mV。

nTSV示意圖



改為晶背供電有效降低線路面積與 IR Drop

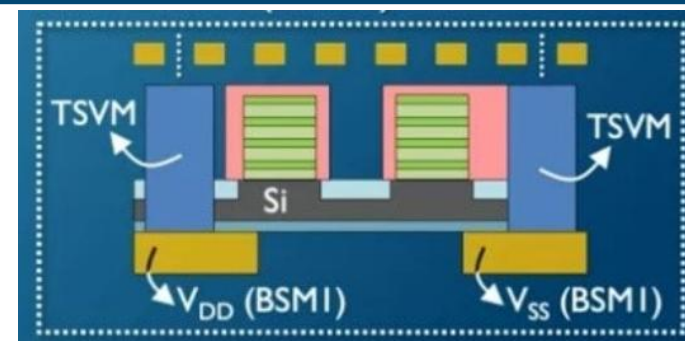


## INTEL 晶背供電製程 - PowerVia

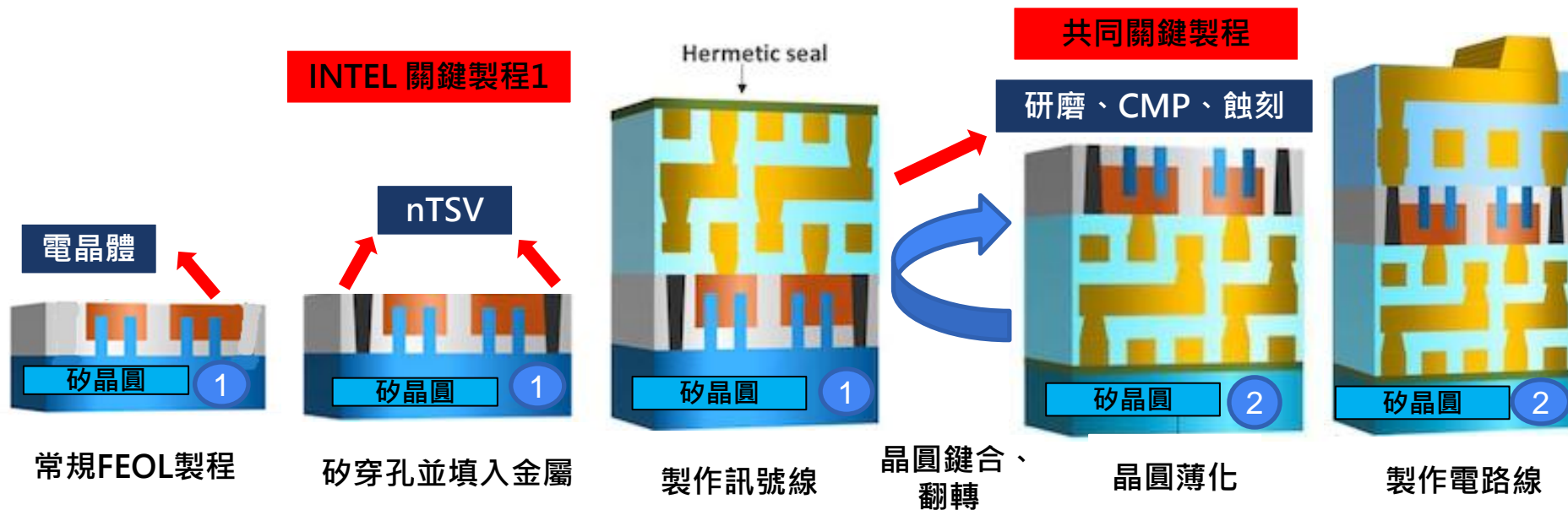
- PowerVia 是英特爾的背面電源解決方案。它在兩個主要方面對 BPR 進行了改進：

- 1、電源軌移至晶圓背面，避免了BPR的污染風險。
- 2、由於從晶圓正面消除了電源布線，因此電池尺寸縮小效果更佳。

INTEL晶背供電橫切示意圖



PowerVia 製程示意圖



## INTEL 晶背供電製程 - nTSV

- PowerVia 使英特爾放寬了關鍵 M0 金屬層的間距，將其從 30 nm 擴大到 36 nm。其他節點的主要參數如CPP則保持不變。
- Intel背面供電僅用4層導線便可接觸到電晶體，但正面供電需要 15 層
- PowerVia 將平台電壓降低 30%，並達成 6% 頻率提升 ( frequency benefit )
- 當前端製程完成後，由於 PowerVia 已經預先延伸到背面，因此在薄化過程中可以自然而然露出，不會損傷前端電晶體。這種巧妙的「自對準 (self-aligned)」方式，大幅簡化了背面微影製程。

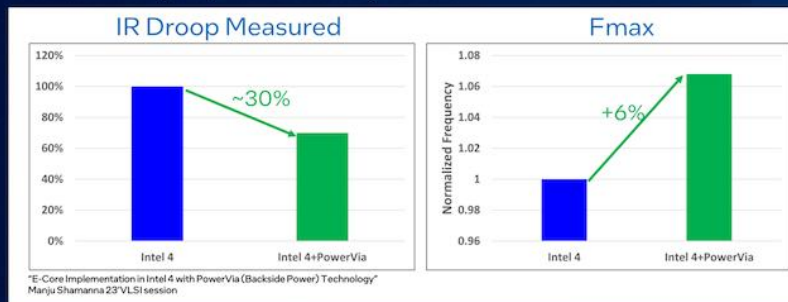
### 金屬層密度降低、穿行層數減少

	Intel 4	Intel 4 + PowerVia
Contacted Poly Pitch (nm)	50	50
Fin pitch (nm)	30	30
M0 pitch (nm)	30	36
#front-side layers	15+RDL	14
#back-side layers	n/a	4+RDL
HP library height (nm)	240	210

### IR Drop降低、功率提升

#### Performance: IR Drop Reduction and Frequency Gain

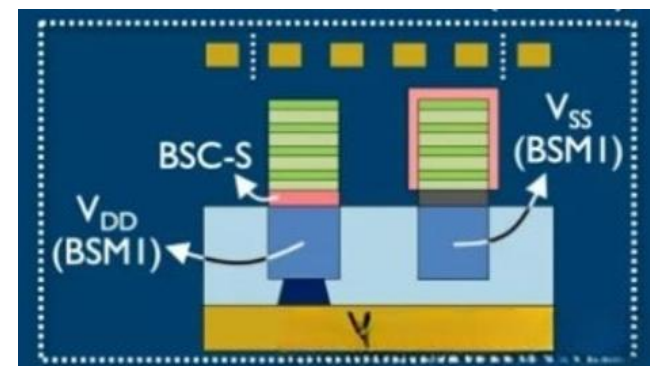
6% faster core frequency with >30% IR Drop reduction



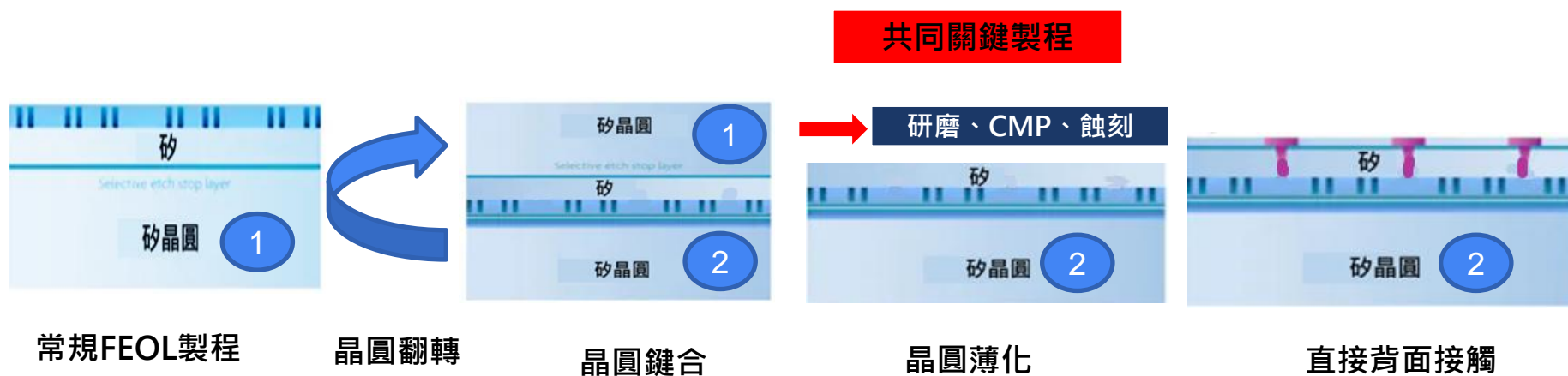
## TSMC 晶背供電製程 - SPR

- 完全消除電源導線對標準單元高度的貢獻。
- BSC 的電源接觸孔必須直接打在 Source 與 Drain 的正下方

TSMC晶背供電橫切示意圖



## 直接背面接觸製程流程示意圖



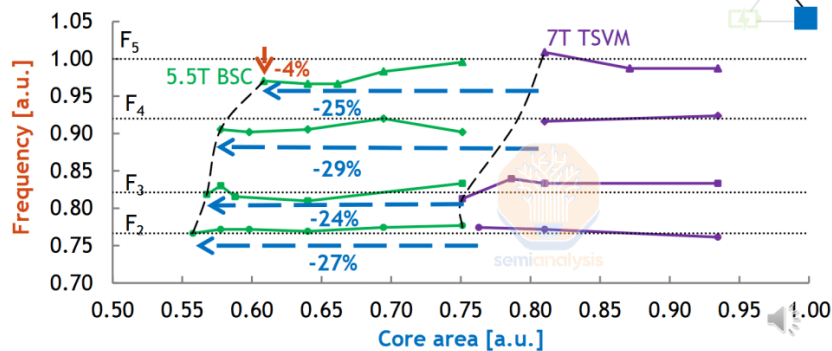
## TSMC 晶背供電製程

- 直接接觸供電理論上，6T 正面電池可以縮小約 25%，至 4.5T 甚至 4T。
- 當晶圓被翻面，接合到承載時，這個接合過程會產生應力與形變 (distortion)，導致晶圓在微觀尺度上發生輕微變形。這使得接合後進行的背面微影製程 (post-bonding lithography) 對位難度大幅提高，在背面接觸製程中，對位能力已經接近規格極限。
- 背面接觸通孔 (via) 的間距會受到 CPP 的限制，約為 50nm 左右。然而，這樣的尺寸對於目前主流的 ArF 浸沒式曝光 (ArF Immersion Lithography) 來說，已經超過了其解析度極限。要達到 50nm 的 pitch，必須採用昂貴且製程複雜的多重圖案化技術 (例如 SADP、SAQP)，或者使用極紫外光 (EUV) 曝光。

### 直接背面接觸有最小的體積

#### 5.5T BSC significantly reduces core area

Consistent area reduction across all frequency targets



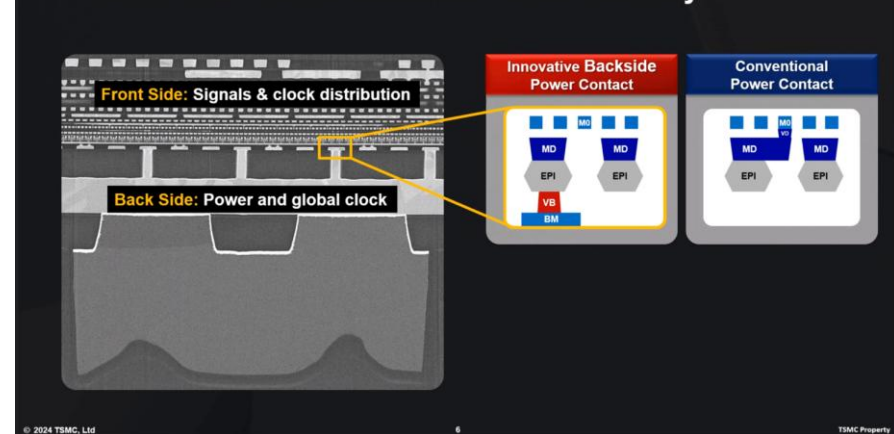
TFS2.5

2024 IEEE VLSI Symposium on Technology and Circuits

Slide 21

### 台積電A16技術簡報

#### TSMC A16™ Novel Backside Power Delivery Solution



## 台積電 N2 需求包含手機/平板、PC CPU 以及 ASIC，預計 2H27 至少達 10 萬片需求

- 目前可以看到台積電 2nm 需求包含手機/平板、PC CPU 以及 ASIC。
- 手機部分，蘋果預期在 A20、M6 於 1H26 進來後，月產能需求量保守預估將達 5-6 萬片。其他 Android 手機廠如高通、聯發科也不會落後太久，預計會在 2027 年跟上。
- PC CPU 部分，Intel 由於自家晶片性能不足，預期其 2026 年開始 Nova Lake 將外包由台積電生產，在 2027 年 Razor Lake 以及 AMD 之 PC CPU 皆將採用 N2 晶片。
- ASIC 部分，預估 2027 下半年 Google 的 ASIC TPU v8e、AWS T4 將採 N2 製程，並且預期輝達將於 2028 年採用 N2，2028 年後需求將持續攀升
- 估算至 2027 年，終端需求加總至少達 10-12 萬片。整體而言，預估台積電 N2 需求量較 3nm 同期還要更加強勁。

### 預期採用 N2 製程廠商

	2026	2027
手機/平板	A20 / A20 Pro ( Apple ) M6 ( Apple )	Qualcomm Mediatek
PC's CPU	Nova Lake ( Intel ) M6 ( Apple )	Razor Lake ( Intel ) AMD
Server's CPU	Venice ( AMD )	-
ASIC	-	TPU v8e ( Google ) AWS T4 ( Amazon )

## 昇陽半 ( 8028.TW ) 營收預估

Revenue Driver	2024	2025F	2026F
<b>產量</b>			
test wafer	17,308	140,000	288,000
carrier wafer(BP)	-	-	5,143
carrier wafer(HBM/CoWoS)	-	-	28,800
reclaim wafer	7,560,000	9,120,000	10,800,000
Total	7,577,308	9,260,000	11,121,943

<b>ASP</b>			
test wafer	1,395	1,488	1,550
carrier wafer(BP)	-	-	2,170
carrier wafer(HBM/CoWoS)	-	-	1,550
reclaim wafer	396	434	465
Blended ASP	398	450	497

<b>Revenue Breakdown by Segment</b>			
<b>A. wafering</b>	3,018,145,161	4,166,400,000	5,524,200,000
test wafer	24,145,161	208,320,000	446,400,000
carrier wafer(BP)	-	-	11,160,000
carrier wafer(HBM/CoWoS)	-	-	44,640,000
reclaim wafer	2,994,000,000	3,958,080,000	5,022,000,000
YoY		32.20%	26.88%
<b>B. thinning</b>	532,613,852	568,145,455	682,766,292
<b>Total Revenue</b>	3,550,759,013	4,734,545,455	6,206,966,292

### 產量：

- 2025F：Reclaim wafer 月產能達 80 萬片
- 2026F：
  - Reclaim wafer 月產能達 95 萬片
  - Carrier wafer 開始放量

### ASP：

- Carrier wafer for BSPDN：\$70
- Carrier wafer for HBM / CoWoS：\$50~55
- Test wafer：\$45~55
- Reclaim wafer：\$15~25

### 產品組合：

- 2024：Wafering 占 85% / Thinning 占 15%
- 2025F：
  - Wafering 占 88% / Thinning 占 12%
  - TW 貢獻 Wafering 營收 5%
- 2026F：
  - Wafering 占 89% / Thinning 占 11%
  - CW/TW 貢獻 Wafering 營收 10%

## 中砂（1560.TW）營收預估

各製程營收	2024	2025F	2026F
3nm以上	2,191,995,830	2,532,614,243	3,316,491,860
2nm	62,077,170	202,834,983	697,620,617
A16	-	-	139,589,096
total	2,254,073,000	2,735,449,226	4,153,701,573

鑽石碟預估需求量			
3nm以上	375,728	434,113	568,476
2nm	8,867	28,972	99,646
A16	-	-	19,938
total	384,595	463,085	688,061

鑽石碟ASP			
3nm以上	5,834	5,834	5,834
2nm	7,001	7,001	7,001
A16	7,001	7,001	7,001
blended ASP	6,612	6,612	6,612

各部門營收			
ABU	813,760,000	813,760,000	813,760,000
DBU	2,254,073,000	2,735,449,226	3,316,491,860
SBU	3,521,695,000	3,732,996,700	4,404,936,106
others	429,965,000	429,965,000	429,965,000
Total Revenue	7,019,493,000	7,712,170,926	8,965,152,966

### 鑽石碟預估需求量：

- 2025F：
  - 鑽石碟 for 3nm 以上：434,113
  - 鑽石碟 for 2nm：28,972
- 2026F：
  - 鑽石碟 for 3nm 以上：568,476
  - 鑽石碟 for 2nm：99,646
  - 鑽石碟 for A16：19,938

### ASP：

- 3nm 及以上鑽石碟：\$5834
- 2nm 及 A16 鑽石碟：\$7001

### 各部門營收占比：

- 2024：
  - ABU & others 占 17.72 %
  - DBU 占 32.11 %
  - SBU 占 50.17 %
- 2025F：
  - ABU & others 占 16.13 %
  - DBU 占 35.47 %
  - SBU 占 48.40 %
- 2026F：
  - ABU & others 占 13.87 %
  - DBU 占 36.99 %
  - SBU 占 49.13 %