

## RELATÓRIO - 20/08/2024

### Autores:

Guilherme de Abreu Barreto, nUSP: 12543033

João Vitor Naldoni, nUSP: 13748102

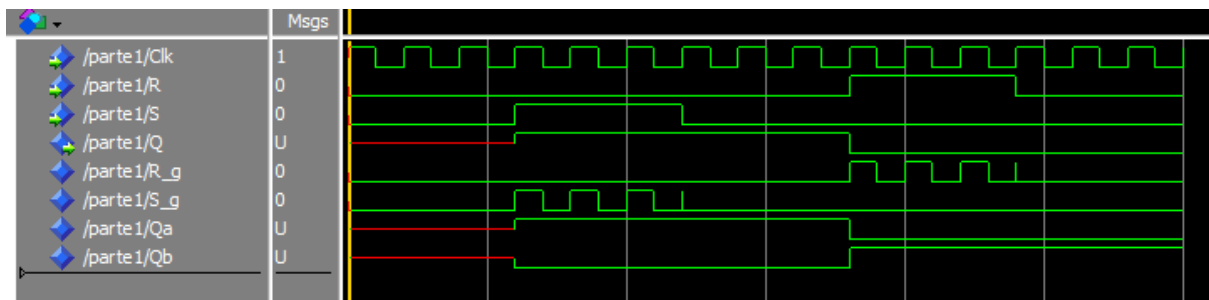
Jorge Salhani, nUSP: 8927418

### Parte 1

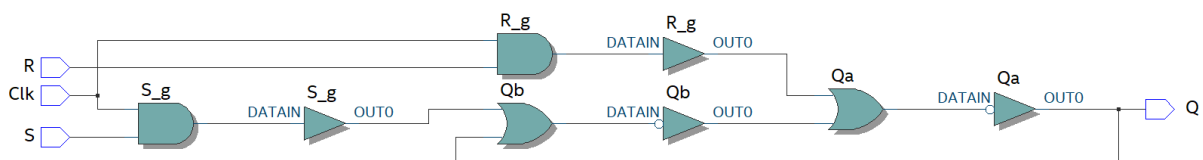
Visão geral:

- Armazenamento do estado do bit de saída Qa
  - **SET:** Se entrada S = 1, Qa = 1
  - Mesmo após S = 0, Qa = 1 permanece
  - **RESET:** Após R = 1, Qa = 0

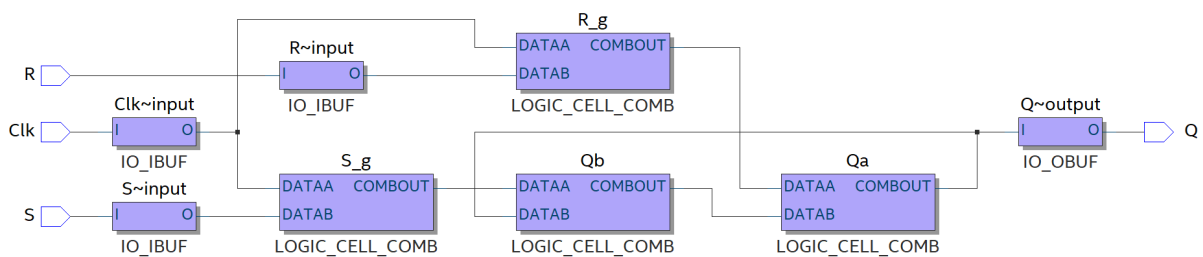
ModelSim



RTL viewer

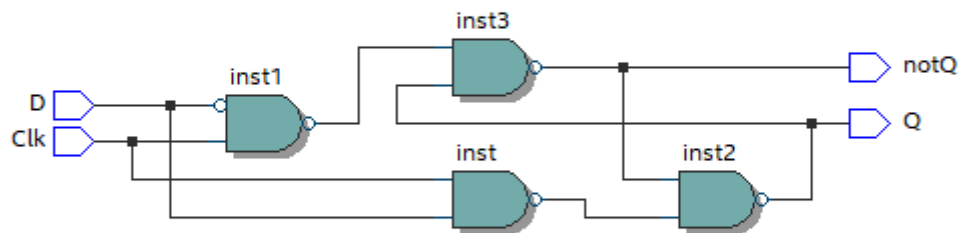


Technology Map Viewer (Post-mapping)

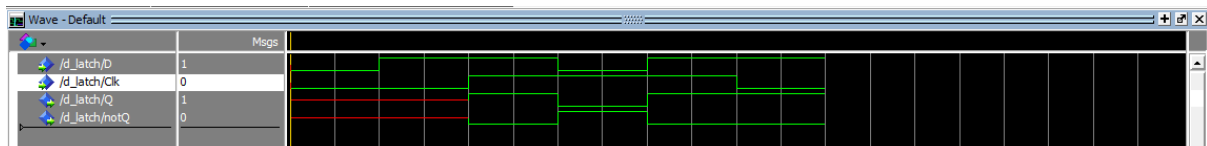


### Parte 2

Implementamos um D Latch utilizando uma coleção de portas NAND, conforme consta no seguinte diagrama:



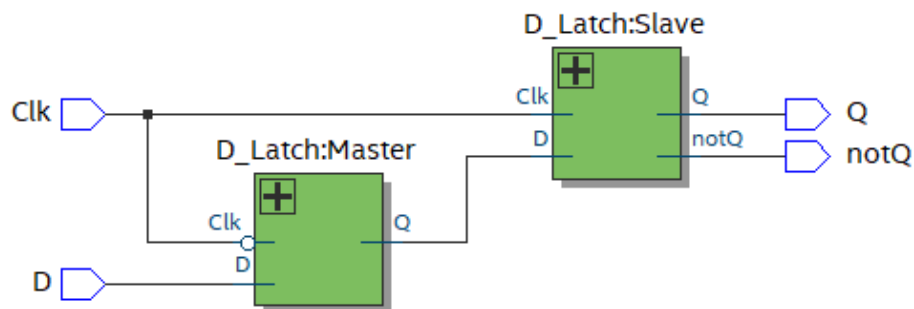
Realizamos os seguintes testes e obtemos o comportamento esperado do latch: Este armazena valores enquanto o sinal de clock estiver ativo.



### Parte 3

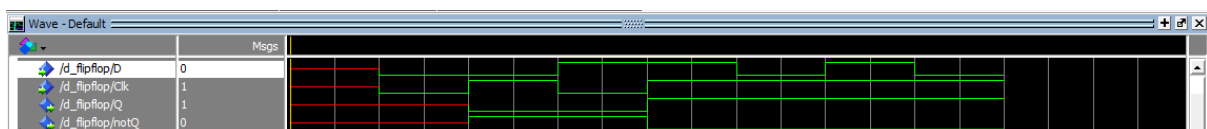
A seguir descrevemos e testamos a implementação de um Flip-Flop tipo

D. Como se pode ver, este é derivado a partir do uso de dois Latches tipo D em sequência, os quais denominam-se “Master” e “Slave”:



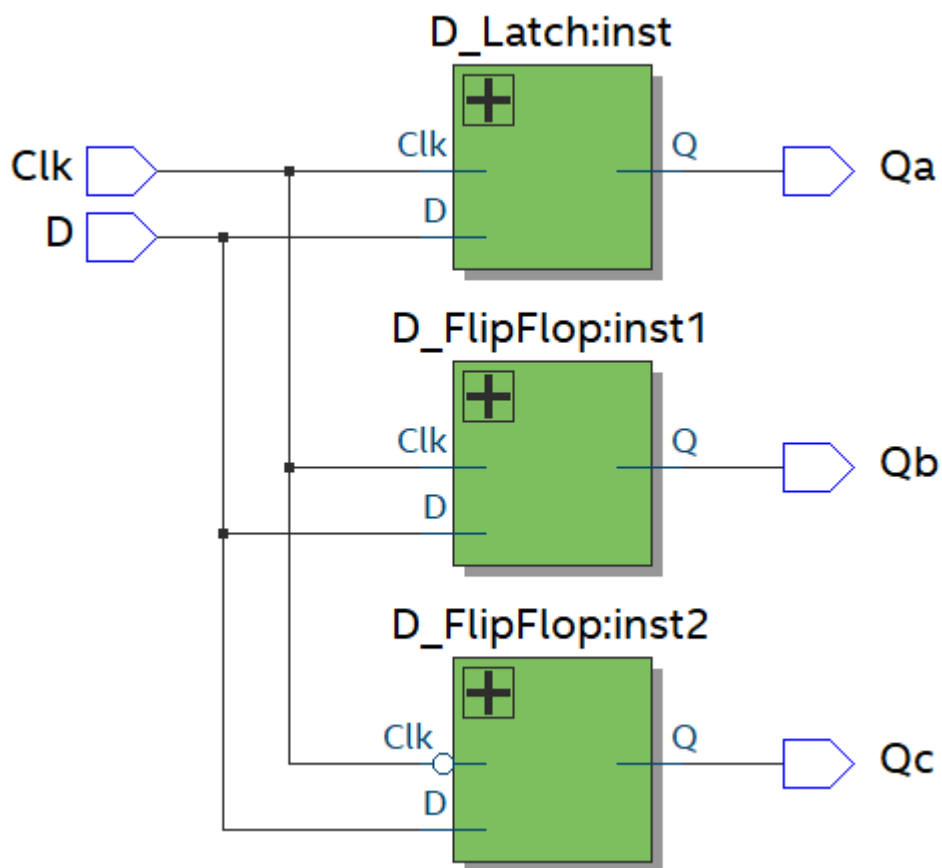
Latches do tipo D possuem uma memória instável enquanto o sinal de clock estiver ativo, podendo o valor armazenado nesta variar mais de uma vez neste período. Para conferir maior estabilidade à memória, fazendo-a alterar-se apenas uma vez por sinal de clock, durante a borda de subida, o Flip-Flop do tipo D conecta dois Latches na configuração acima, utilizando-se de sinais de Clock invertidos.

Abaixo mostra-se o resultado da simulação de um Flip-Flop deste tipo, inicialmente testamos todas as combinações de sinais “D” e “Clk”. Em seguida mostramos que, embora Clk permaneça ativo, o valor de Q só se altera uma única vez a despeito dos valores assumidos pelo sinal “D”.



#### Parte 4

A seguir fizemos um teste comparativo entre um Latch, um Flip-Flop, e um Flip-Flop de ativação em borda negativa, todos de tipo D. Como se consta no diagrama abaixo.



Seguimos para a simulação e obtemos resultados coerentes àqueles observados nos experimentos anteriores:

