Министерство образования Республики Беларусь

Учреждение образования

БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ

Факультет компьютерных систем и сетей

Кафедра информатики

Дисциплина: Архитектура вычислительных систем

**ОТЧЁТ**

к лабораторной работе

на тему

Лабораторная работа №2. ПЛИС-устройства и разработка на языке SystemVerilog.

Выполнил: студент группы 053506

Осадчий Олег Эдуардович

Проверил: Ст. Преподаватель,

Шиманский Валерий Владимирович

Минск 2022

[**Цели лабораторной работы:**](#_fcodwx50q8wg) **2**

[**Упражнение 1:Разработка структурного описания конечного автомата**](#_966j61yl8444) **2**

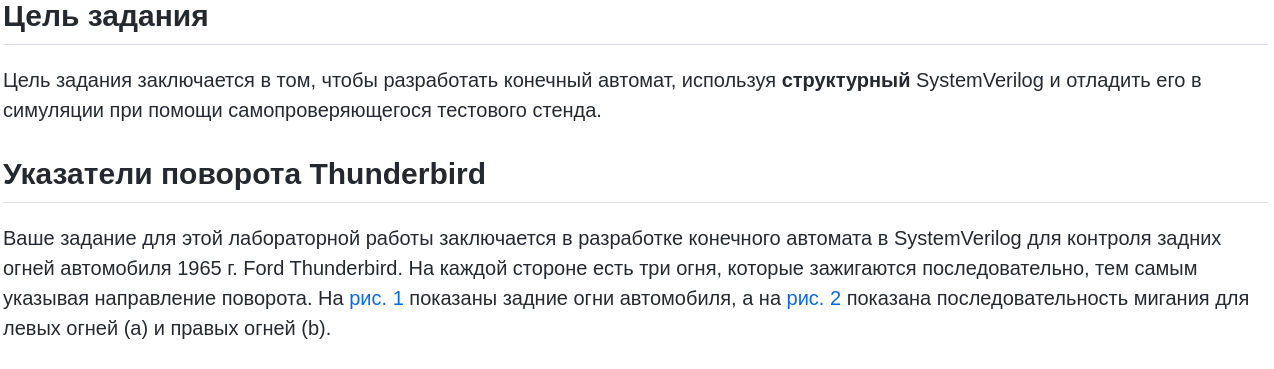
[**Упражнение 2:Разработка поведенческой модели конечного автомата**](#_9varfcg9dojt) **11**

[**Выводы:**](#_hkb6l2bbk985) **15**

# **Цели лабораторной работы:**

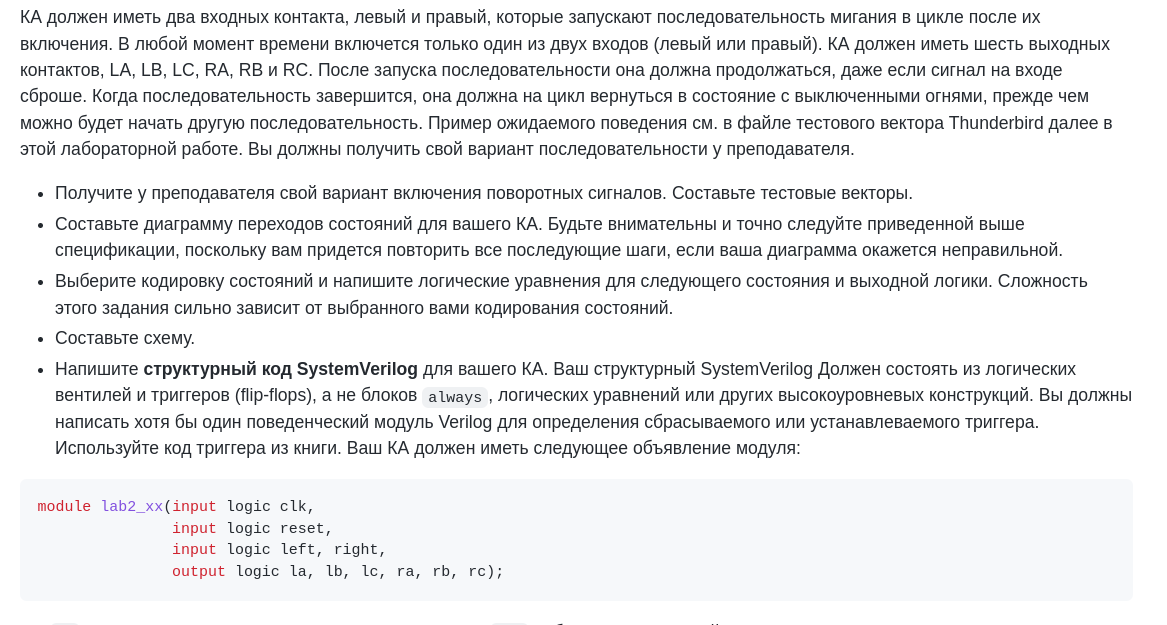
Цель данной лабораторной работы заключается в том, чтобы научиться использовать инструменты программируемых логических интегральных схем (ПЛИС/FPGA), чтобы разрабатывать и симулировать описание аппаратуры на SystemVerilog, а затем синтезировать его для ПЛИС. В ходе лабораторного занятия вы рассмотрите полный сумматор, а затем разработаете две схемы использующих конечные автоматы: структурную и поведенческую.

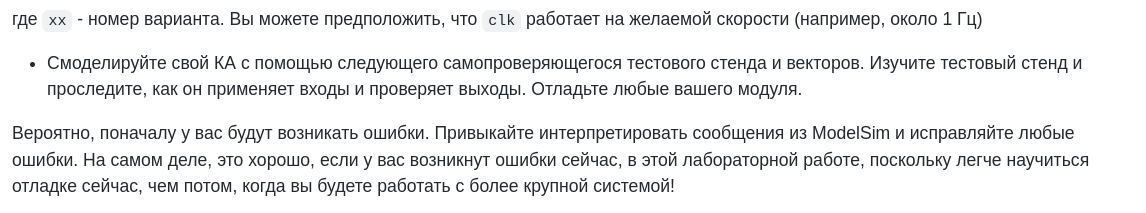
# **Упражнение 1:Разработка структурного описания конечного автомата**

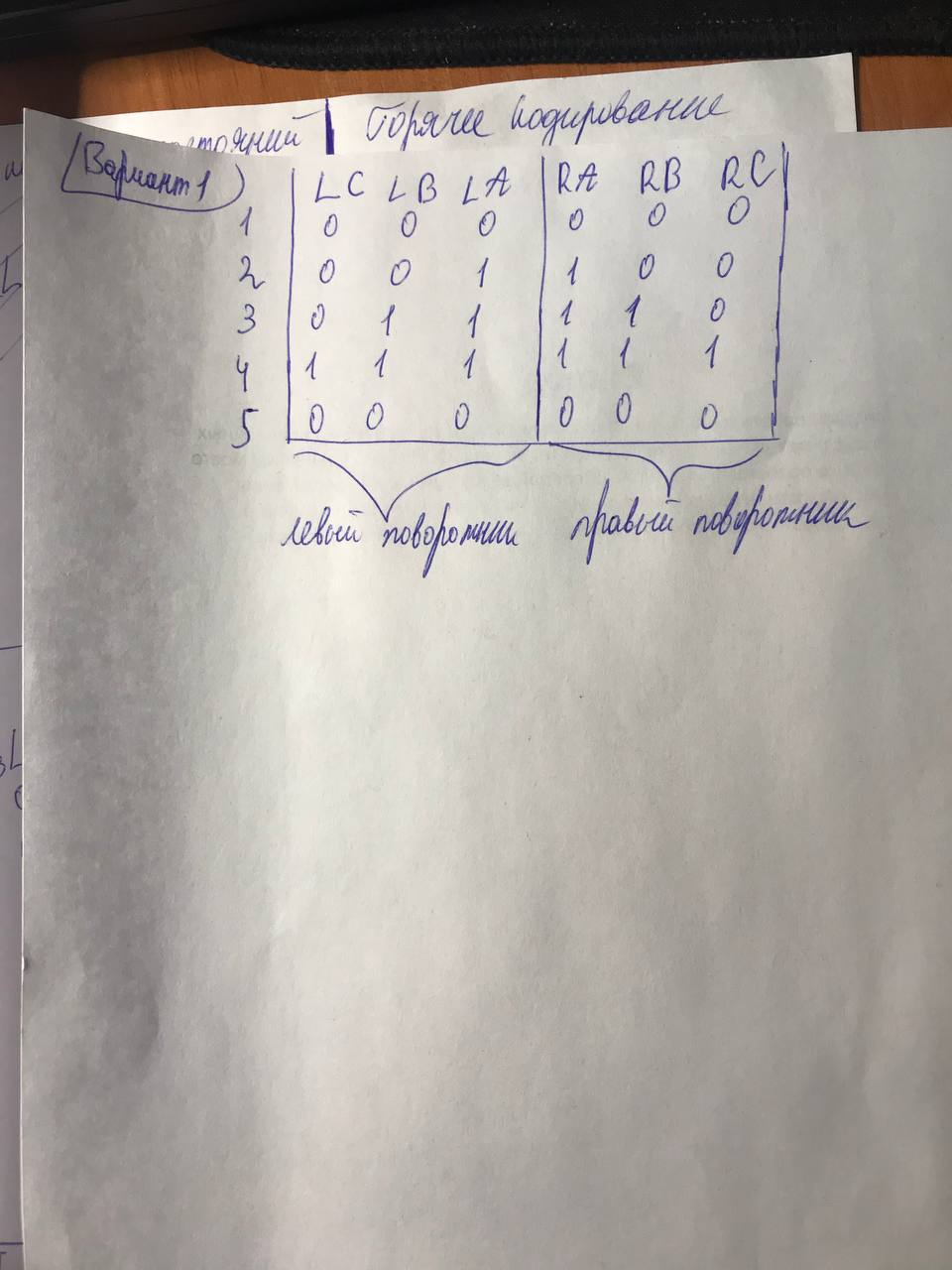


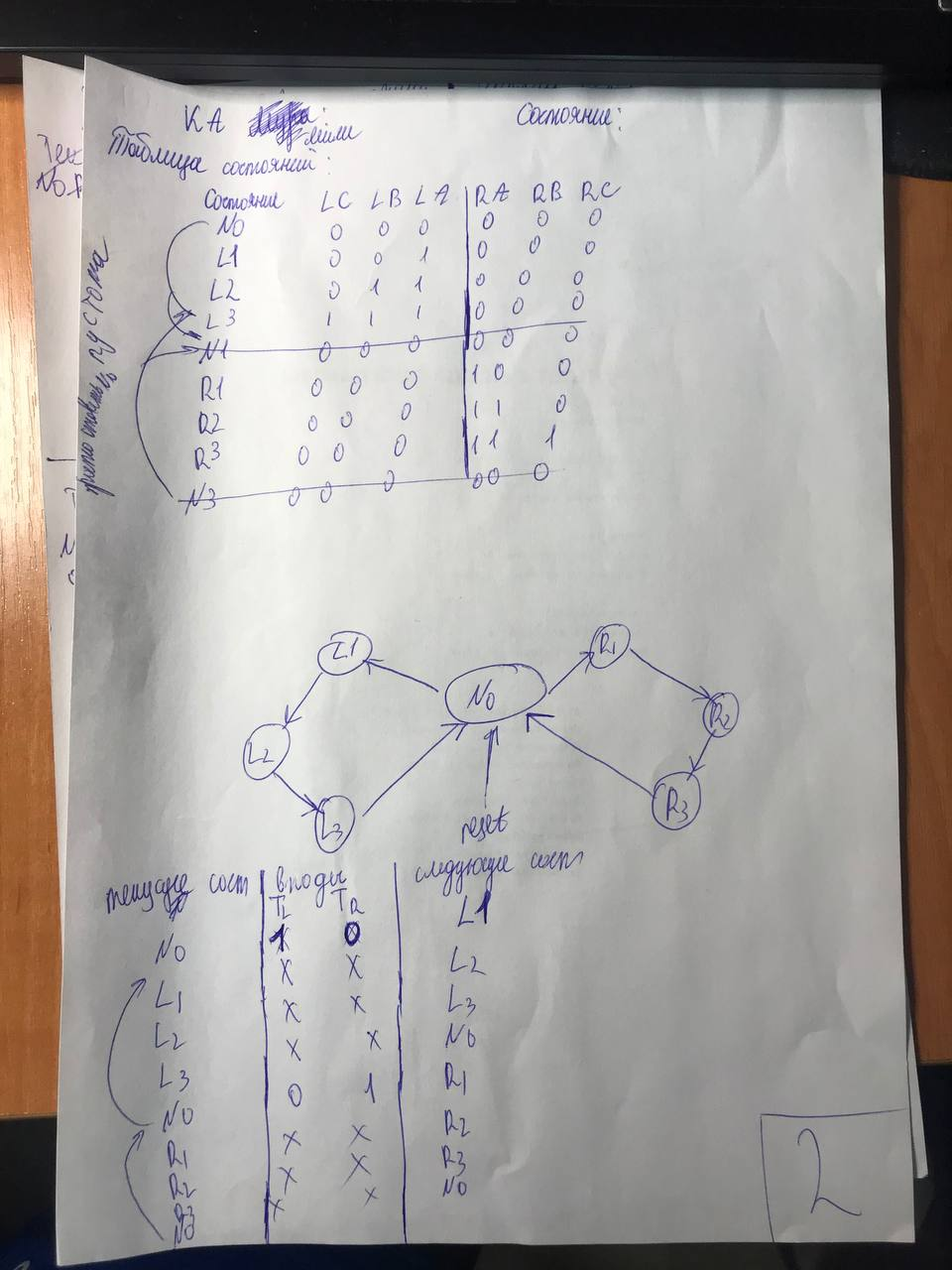


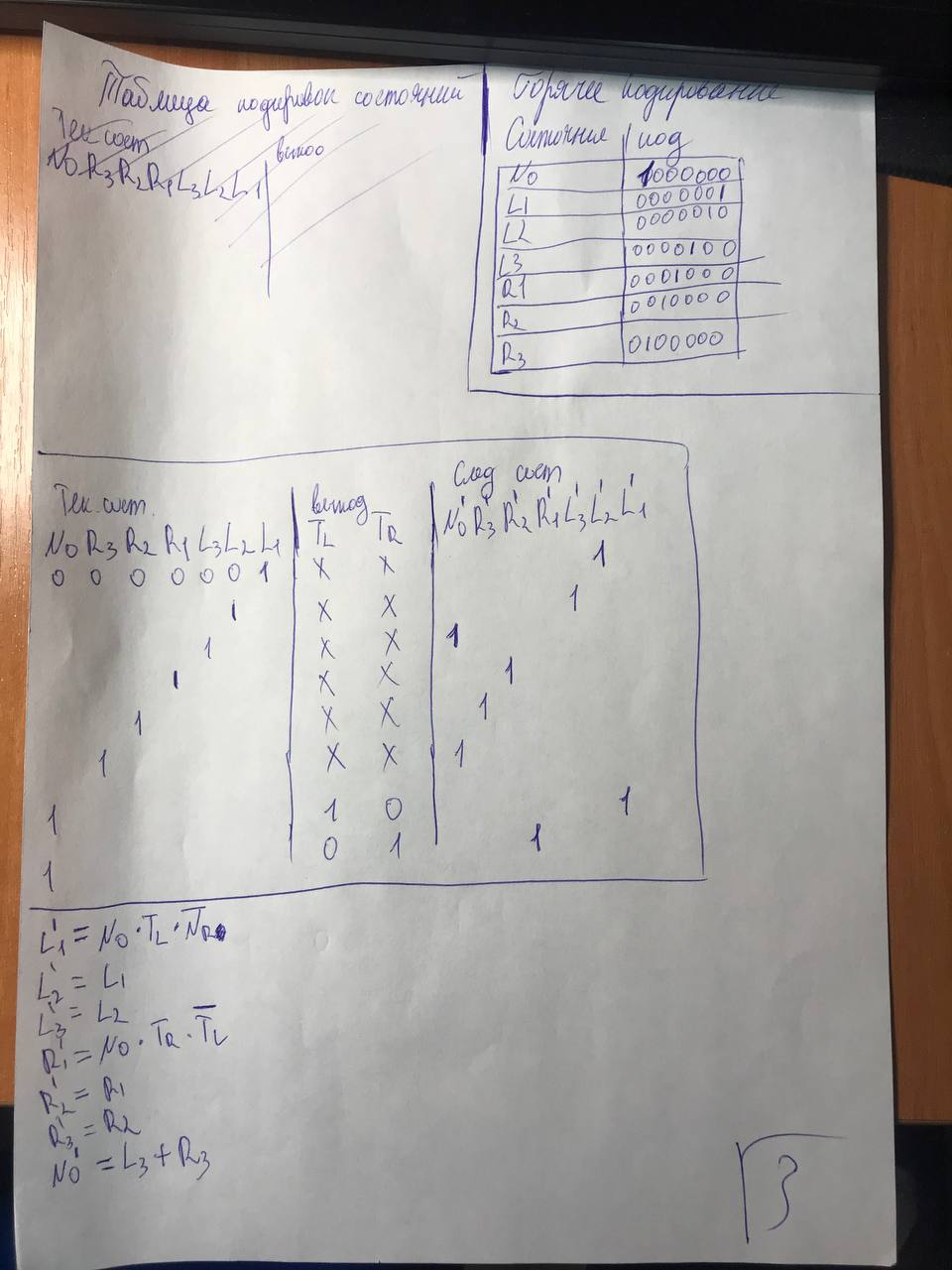




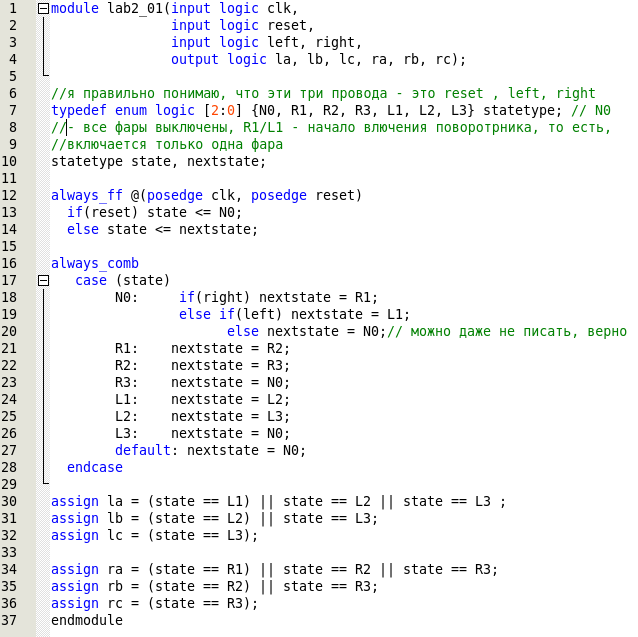




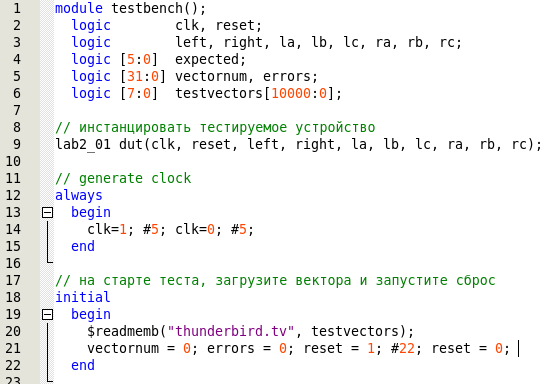


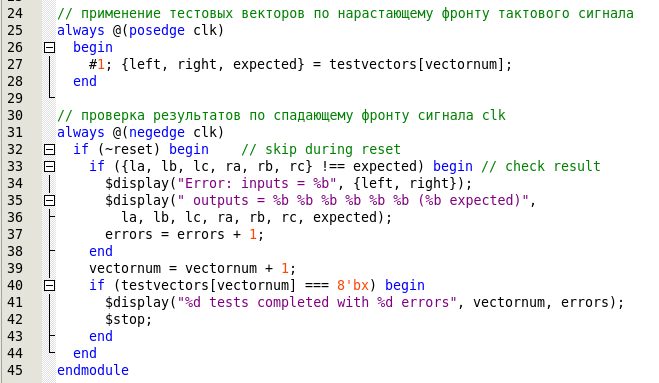


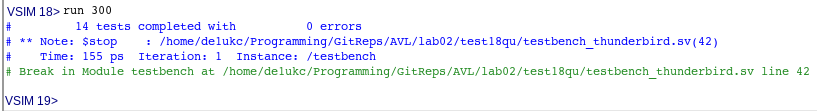
Код автомата:

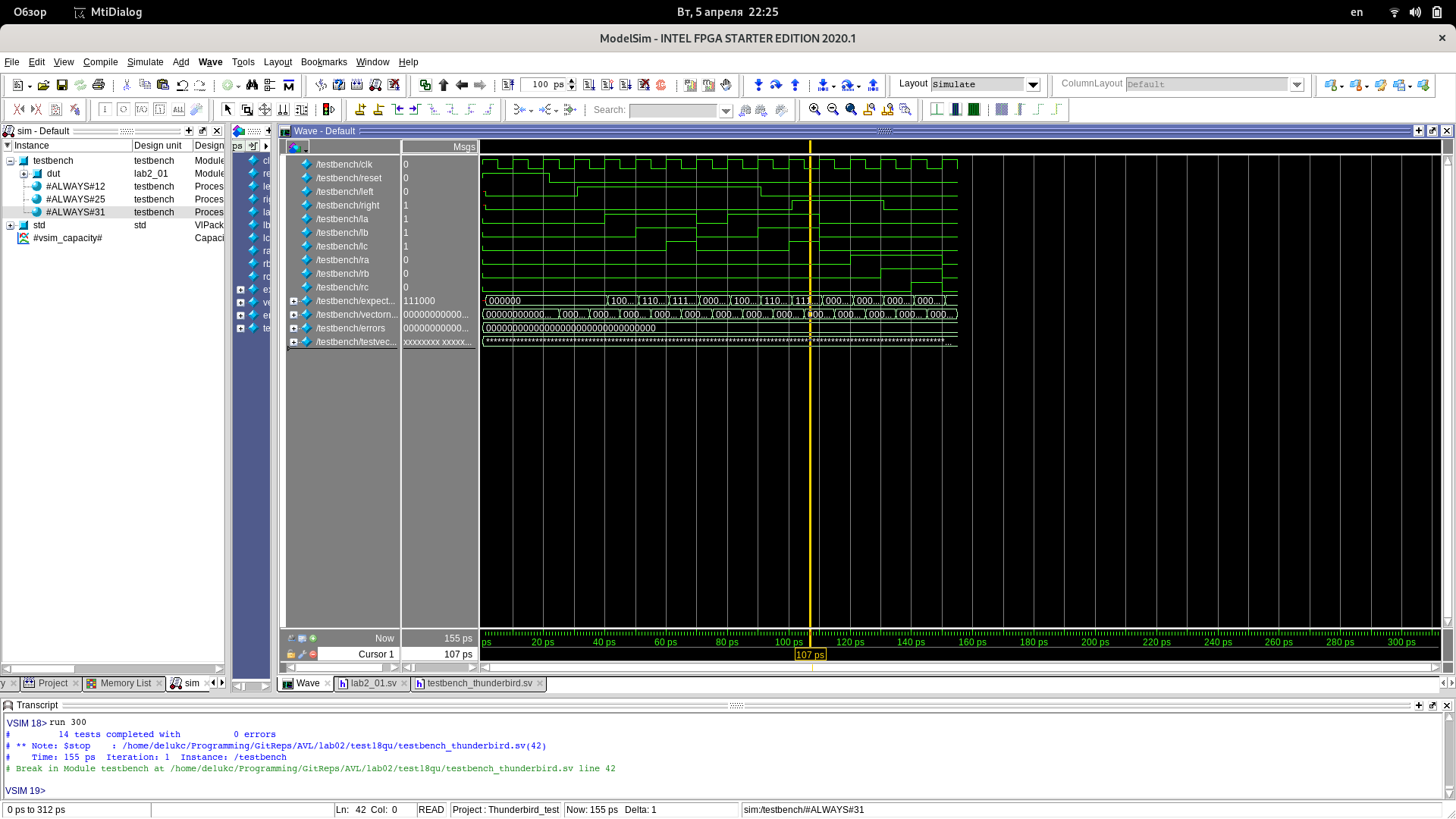


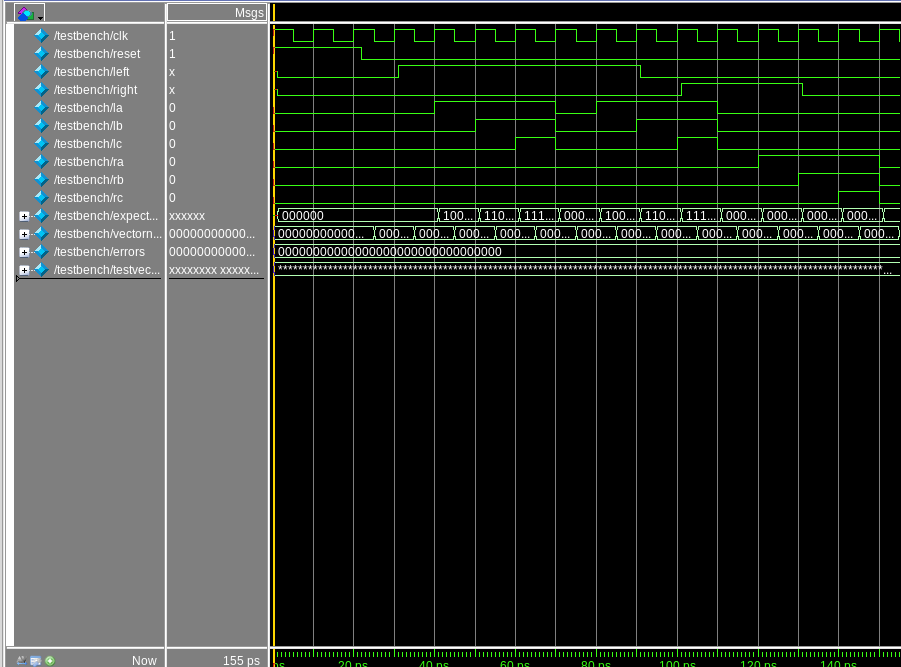
Код тестов:



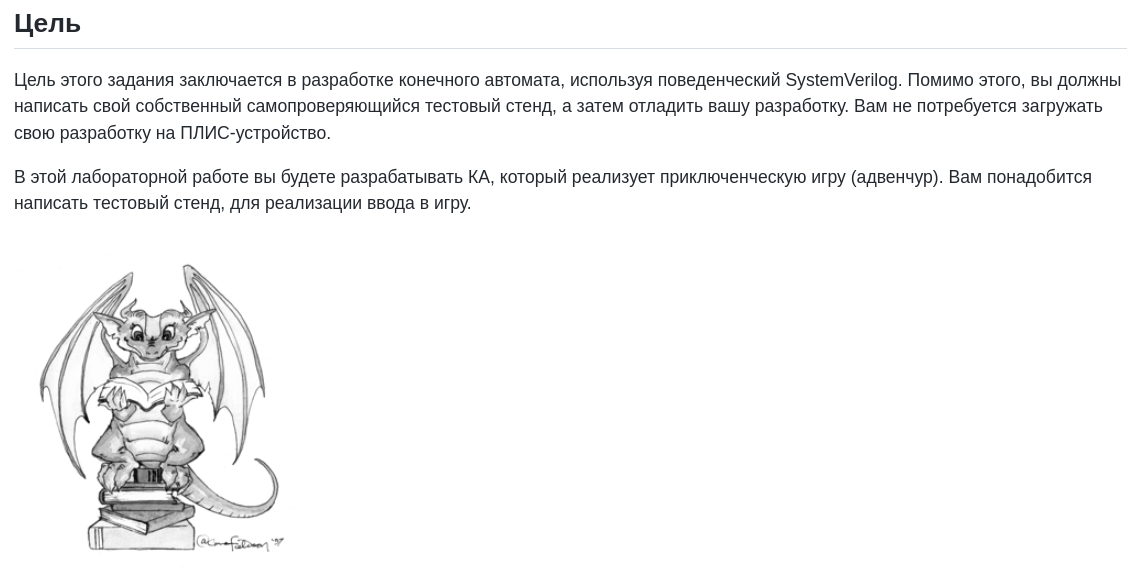


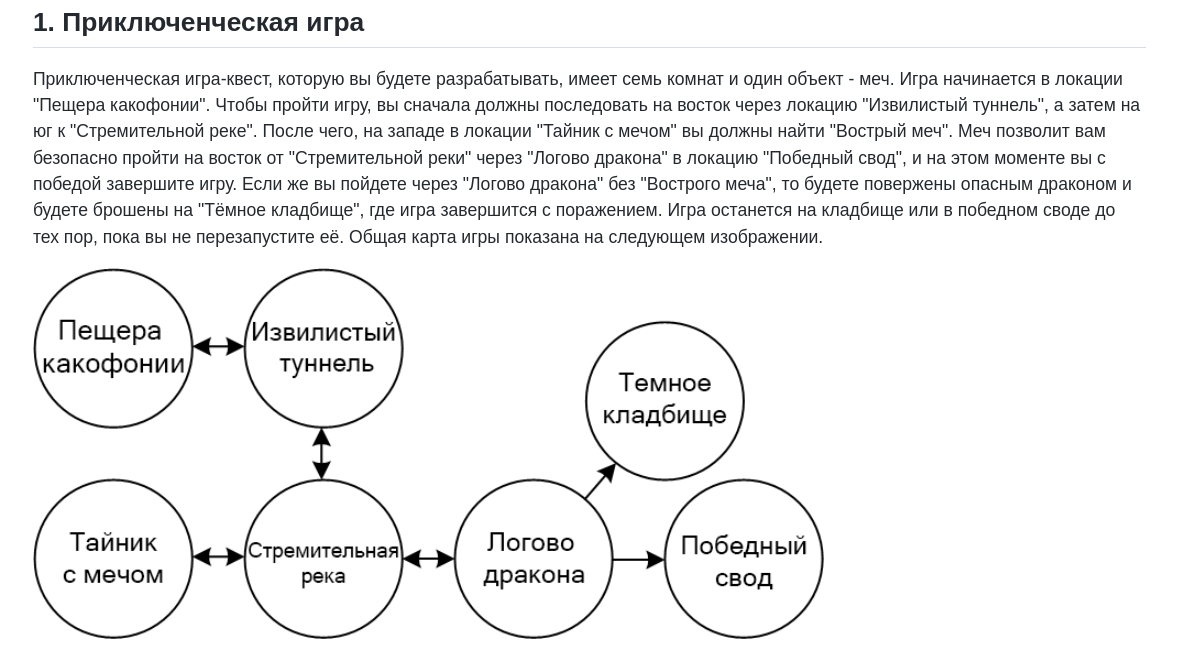


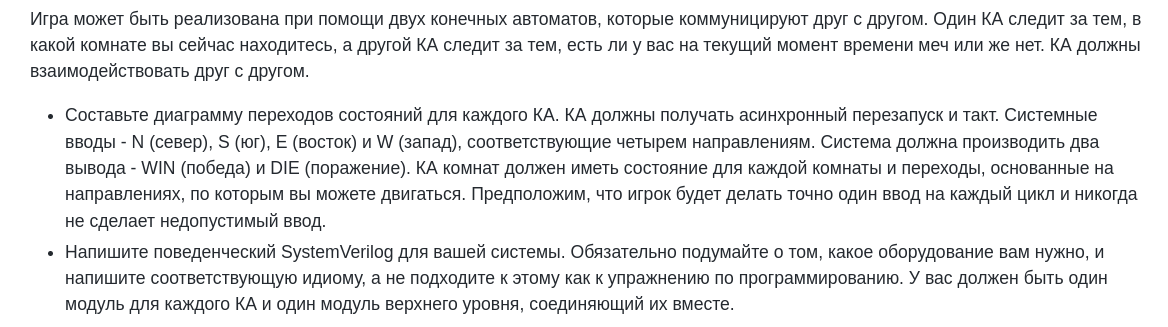


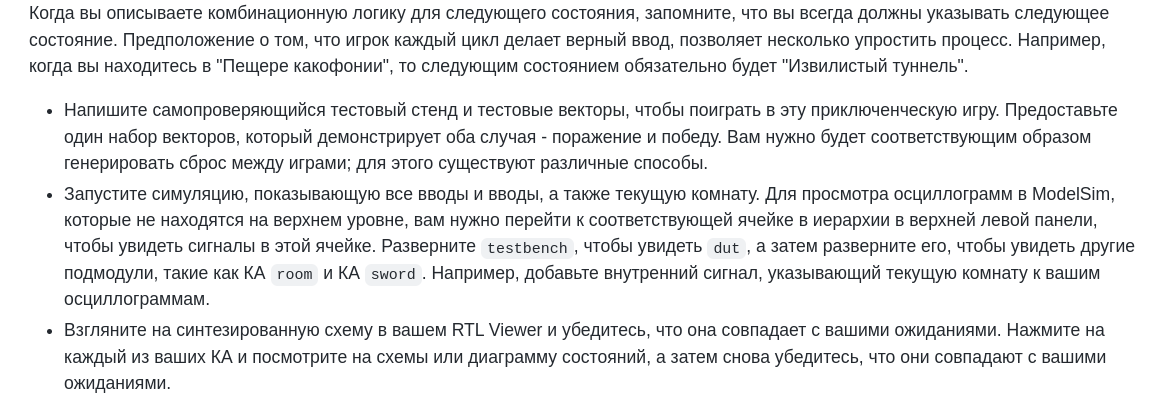


# **Упражнение 2:Разработка поведенческой модели конечного автомата**

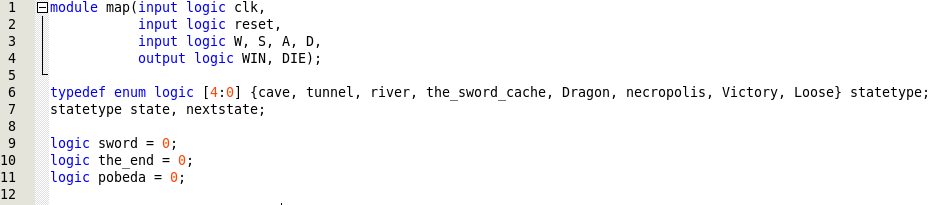


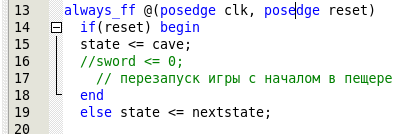


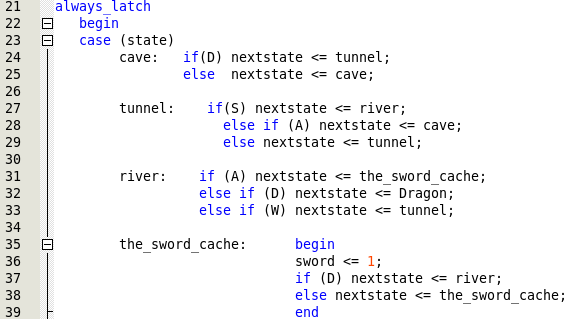




Код программы:

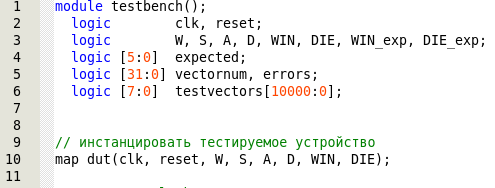


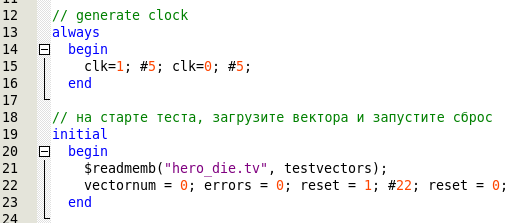


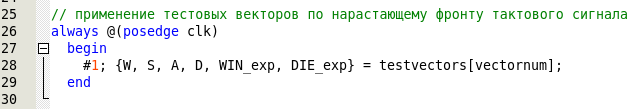


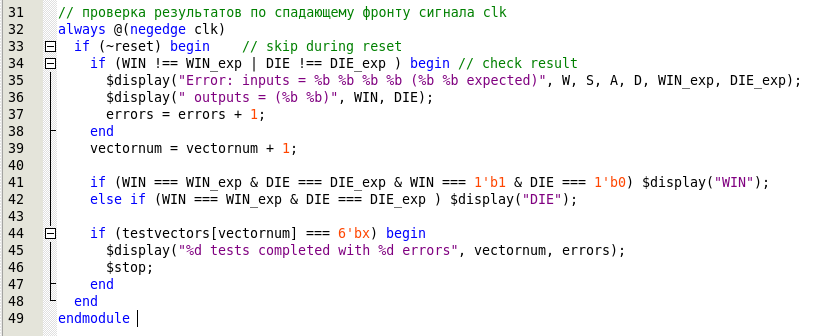
# 

Код тестов:



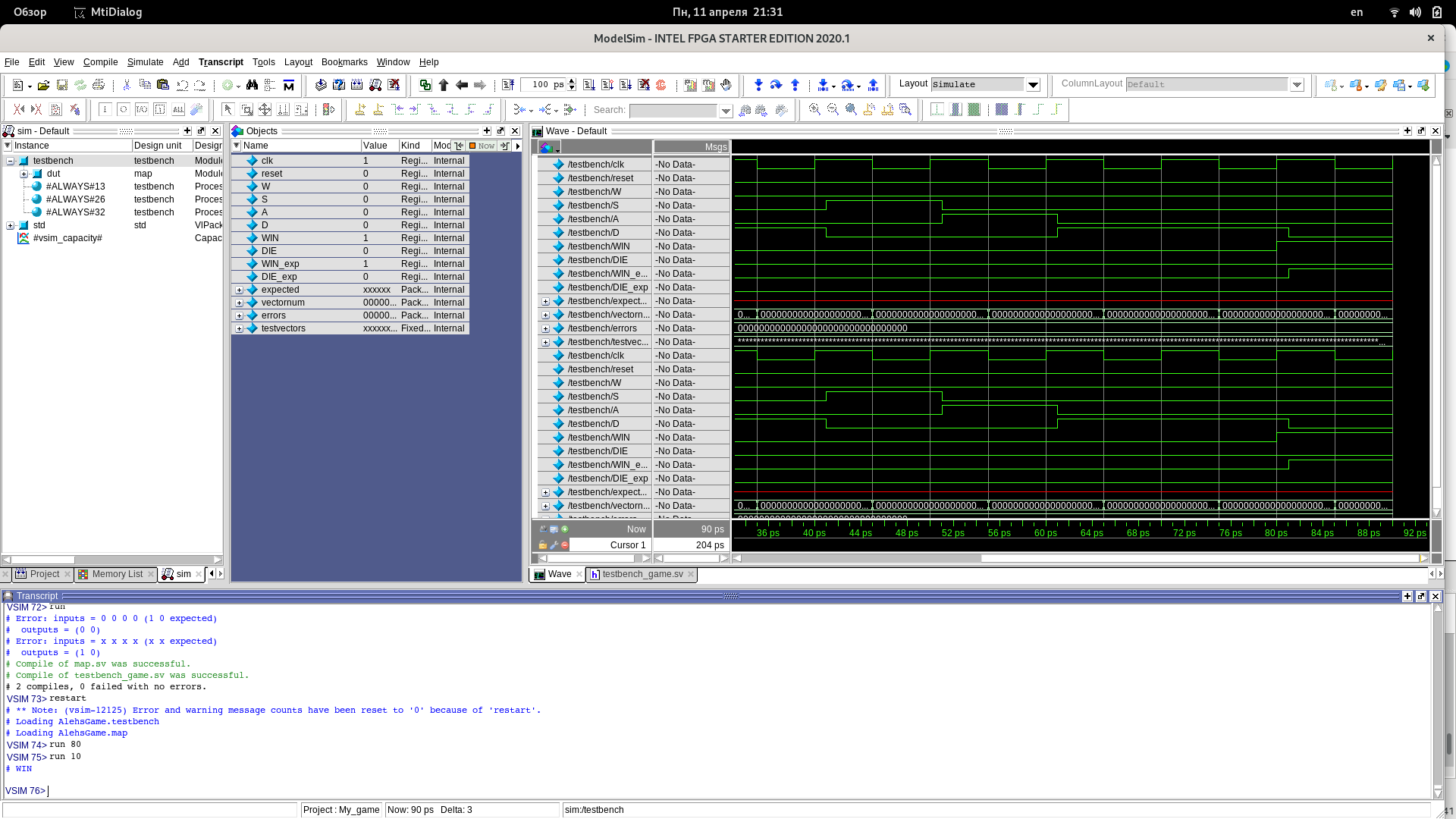




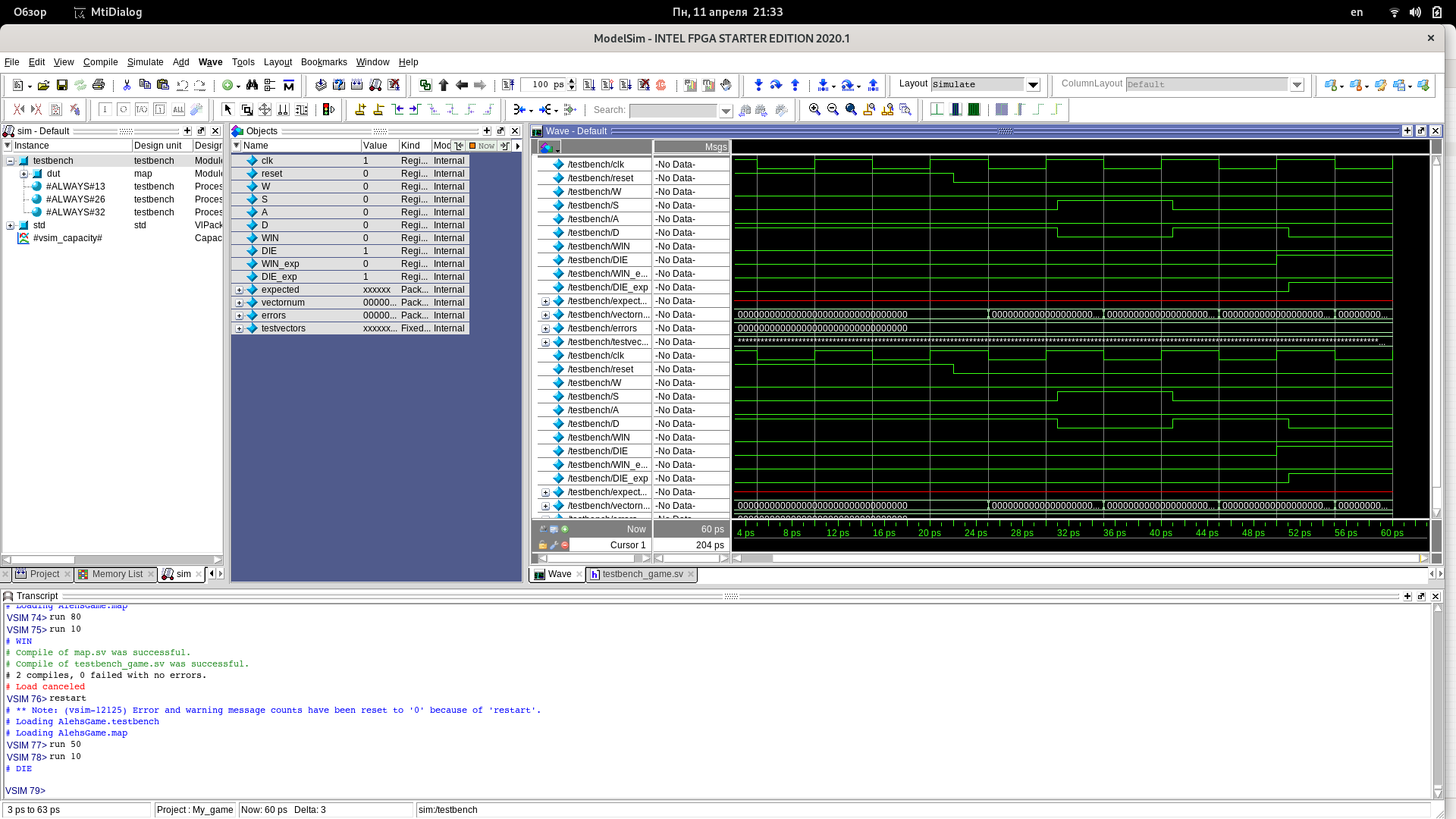


Мной были написаны два массива тестовых векторов: для случая победы и поражения.результаты тестов.

Победа(тесты пройдены без ошибок, в консоли выводит WIN):



Поражение(Тесты пройдены без ошибок, в консоли выводит DIE):



# **Выводы:**

Таким образом, в данной лабораторной работе я познакомился с разработкой на языке SystemVerilog. При написании данной лабораторной столкнулся с трудностями, которые частично решил. Я выполнил два задания на написание конечных автоматов, а так же разобрался с осцилограммами вывода моих тестовы стендов. Но главным образом, я в общем виде ознакомился с Modelsim и Quartus.