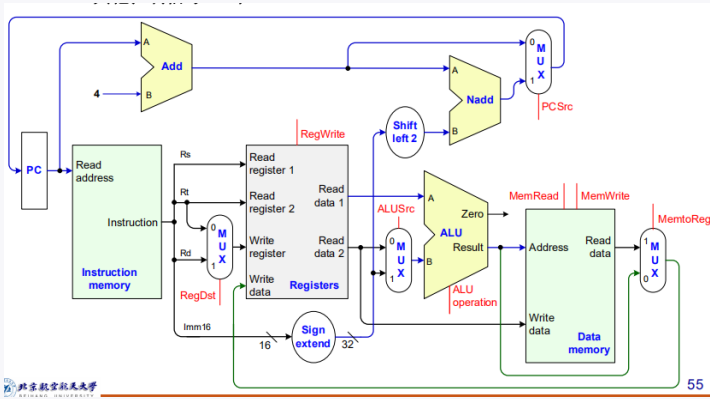


MIPS处理器

CPU功能和组成

- 功能
  - 控制指令执行
- 执行过程
  - 取值
  - 取数
  - 执行



单周期处理器

数据通路

❖单周期通路所需控制信号

- ALU控制 (ALU Operation) : 4位
- 其他控制信号: 7个

输入		ALU operation	ALU运算
A	B	0000	A & B
A	B	0001	A   B
A	B	0010	A + B
A	B	0110	A - B

7个控制信号

控制信号	失效时作用	有效时作用
RegDst	寄存器堆写入端地址来选择Rt字段	寄存器堆写入端地址选择 Rd字段
RegWrite	无	把数据写入寄存器堆中对应寄存器
ALUSrc	ALU输入端B选择寄存器堆输出R[rt]	ALU输入端B选择Signext输出
PCSrc	PC输入源选择 PC+4	PC输入选择beq指令的目的地址
MemRead	无	数据存储器DM读数据 (输出)
MemWrite	无	数据存储器DM写数据 (输入)
MemtoReg	寄存器堆写入端数据来自ALU输出	寄存器堆写入端数据来自DM输出

性能

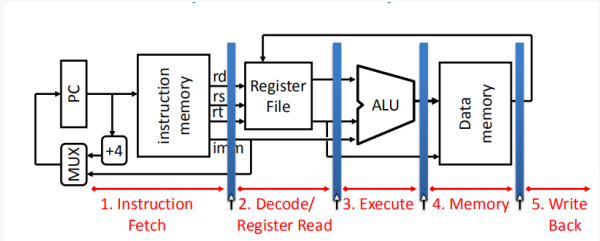
PC+4加法器不在任何一个指令的关键路径上, 因为加法器延迟远小于指令存储器延迟

计算机性能评价

- 响应时间
  - 从提交作业到完成作业的时间
- 吞吐量
  - 一定时间间隔完成作业的数量
- CPI
  - 指令平均执行周期数
  - 周期数/指令总数
- MIPS
  - 百万指令每秒
- MFLOPS
  - 百万浮点数每秒

分级

- IF
- ID
- EX
- MEM



流水线

冒险

- 结构冒险
  - 同时读写寄存器堆
  - 写MEM和取指IF
    - 哈佛结构
    - 指令和数据分开存储
- 数据冒险
  - 旁路
  - load导致的数据冒险
    - nop
      - 检测条件
        - IF/ID前序是lw, 且lw的rt和IF/ID的rs或rt相同
        - 如果不支持转发, 就需要加入nop
      - 执行动作
        - 冻结IF/ID 保存指令
        - 清除ID/EX 指令全为0, 等价于nop
        - 禁止PC 防止PC继续计数
- 控制冒险
  - B指令 (beq)
    - 不依赖前序指令
      - ID阶段放置比较器, 提前两个周期得到结果
    - 依赖前序指令
      - 可能废弃的指令1条, 清空IF/ID即可
- Tuse Tnew
  - Tuse 进入IF/ID后还要多少周期用到寄存器值
    - R Tuse=1
    - store Tuse=rs1或rt2
      - 指令格式sw rt rs+offset
      - 二进制码sw rs rt offset
  - Tnew 进入ID/EX及之后各流水线的指令, 多久能产生要写入寄存器的值 (动态)
    - R Tnew=1 ID/EX Tnew=0 EX/MEM
    - Load Tnew=2 ID/EX Tnew=1 EX/MEM Tnew=0 MEM/WB
- 暂停
  - Tnew>Tuse
  - 阻塞矩阵

IF/ID当前指令	ID/EX (Tnew)	EX/MEM (Tnew)				
指令类型	源寄存器	Tuse	cal_r 1/rd	cal_i 1/rt	load 2/rt	load 1/rt
beq	rs/rt	0	暂停	暂停	暂停	暂停
cal_r	rs/rt	1			暂停	
cal_i	rs	1			暂停	
load	rs	1			暂停	
store	rs	1			暂停	
  - 暂停最多一个周期, beq (rs/rt) 之前和lw (rt) 之后都需要暂停
- 转发
  - Tnew=0 & 指令不在MEM/WB 或 Tnew<=Tuse

控制器

- 集中式
- 分布式

不足

- 无覆盖性分析
  - 难以满足大规模指令集流水线的设计和测试
  - 遗漏部分数据相关
- RF内部转发语焉不详

