



UNIVERSIDADE FEDERAL DA FRONTEIRA SUL
CURSO DE CIÊNCIA DA COMPUTAÇÃO
ORGANIZAÇÃO DE COMPUTADORES



1. Explique os conceitos de localidade espacial e localidade temporal. Como estes conceitos foram utilizados na implementação das memórias cache?
2. Descreva detalhadamente cada uma das ações que ocorrem durante o acesso de leitura da memória considerando a existência de uma memória cache que utiliza mapeamento associativo?
3. Supondo um processador com barramento de endereços de 24 bits, qual a quantidade de células de memória endereçáveis por este processador?
4. Qual a política de substituição de dados implementada no mapeamento direto?
5. Suponha um sistema computacional com um espaço de endereçamento de 64K células, possuindo cada uma um endereço de 16 bits ($2^{16} = 64K$). A cache associada a este sistema possui um tamanho de 4096 bytes (ou 4 Kbytes), divididos em 512 quadros (ou linhas), com 8 bytes de dados cada quadro. Pergunta-se:
 - a) Qual é o tamanho de cada bloco da memória principal?
 - b) Qual é a proporção de armazenamento entre a memória principal (MP) e a memória cache?
 - c) Considerando a implementação da política de mapeamento direto, como ficaria a divisão do endereço na sua implementação?
 - d) Considerando a implementação da política de mapeamento associativo, como ficaria a divisão do endereço na sua implementação?
 - e) Qual o overhead percentual de cada uma das políticas de mapeamento?
6. Quais as diferenças e as implicações nas políticas de escrita da memória cache: escrita em ambas e escrita no retorno?
7. Cite políticas de substituição que podem ser implementadas em um sistema que utiliza memória cache. Explique cada uma delas e apresente um exemplo numérico que diferencie-as.
8. Elabore um sistema de memória cache com mapeamento direto para um sistema que possua um processador com capacidade de endereçamento de 64 MB e uma memória cache de 128 KB. Calcule a quantidade de quadros e o tamanho dos mesmos e apresente a divisão do endereço do ponto de vista da memória cache e do ponto de vista da memória principal. Considere que cada linha armazena 512 bytes e que é utilizado mapeamento associativo por conjuntos com 8 conjuntos.
9. Apresente um exemplo com uma MP de pelo menos 256 bytes que mostre que o mapeamento associativo e o mapeamento direto podem ser considerados casos especiais do mapeamento associativo por conjuntos.

10. Considerado o exercício 8, e a utilização do mapeamento direto, é possível que os endereços 1101000111001010 e 0011000111001110 estejam presentes simultaneamente na memória cache? Justifique.
11. Considerado o exercício 8, e a utilização do mapeamento direto, é possível endereços 1101001111001010 e 0011000111001110 estejam presentes simultaneamente na memória cache? Justifique.
12. Considerando um sistema de memória qualquer, alguma das três políticas de mapeamento da memória apresentará um overhead percentual relativo ao rótulo maior que as demais. Sim/Não? Porque?
13. Supondo uma cache com 4K quadros; cada quadro com tamanho de 256 bytes. A MP possui endereços de 32 bits. Calcule o número de bits do rótulo considerando os esquemas de mapeamento direto e mapeamento associativo.
14. Supondo uma memória cachê composta de 4 quadros utilizando uma política de mapeamento associativo. Tendo em vista a sequência de acessos a MP mostrada abaixo, onde a primeira linha mostra o número do acesso e a segunda linha mostra o bloco da MP acessado. Responda as questões apresentadas.

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
B3	B5	B15	B3	B3	B5	B5	B15	B3	B7	B7	B7	B7	B9	B7	B3	B5	B9	B9	B11	B12

- a) Mostre qual bloco encontra-se nos quadros da Memória Cache depois da ocorrência dos acessos número 3, 8, 11, 15, 19 e 21 considerando as políticas de substituição de dados 1) FIFO; 2) LRU e 3) LFU.
- b) Qual a taxa de acertos (hits) e faltas (faults) desta sequência de acessos?
- c) Qual o próximo quadro que terá seu bloco substituído (ou em outras palavras, qual o próximo bloco a ser substituído na cachê?) depois dos acessos 20 e 21?
15. Com base na figura abaixo que descreve um sistema MP/Cache e sabendo que se utiliza mapeamento direto, responda, justificando todas as questões:

21	000000000	Rótulo	Cel 0	Cel 1	Cel 2	Cel 3	
32	000000001	01	...				Q0
E8	000000010	01	...				Q1
	
	

		11	...				Q29
		00	...				Q30
		11	...				Q31
F2	111111111						

- a) Qual a divisão do endereço deste sistema?
- b) A qual linha da memória cache está destinado o endereço da MP 101110110?
- c) Qual o endereço de memória que se encontra na 1ª célula da linha Q30 M. cache?
- d) Qual a quantidade de blocos de memória que o sistema possui? Justifique.
- e) Qual o tamanho da memória cache e da memória principal em bytes? Justifique.

16. Uma memória principal tipo DDR funciona em um barramento rodando a 200MHz com ciclos de wait-states 4-1-1-1. Pergunta-se: Qual a largura de banda máxima teórica do sistema? b) Qual a largura de banda efetiva do mesmo?
17. Apresente e explique as 4 categorias de melhora da performance da cache existentes de acordo com Patterson & Hannessy.
18. O que é *memória virtual*? Para que é usada? Quem dá suporte? Quem gerencia? Quais as técnicas de implementação?
19. Quais são os recursos que devem ser implementados no processador para dar suporte a Memória Virtual?
20. Explique como se dá o processo de tradução do endereço lógico em físico em um sistema que implementa memória virtual usando paginação.
21. O que é e, como funciona a TLB? Como se dá o processo de tradução de endereços lógicos em físicos considerando a existência da mesma?