

Návrh počítačových systémů 2006: Projekt č. 1

Obousměrný čítač a dekodér

Petr Zemek, xzemek02

Kód procesu čítače v souboru cntx.vhd:

```
process (CLK, RESET)
variable COUNT_INT: STD_LOGIC_VECTOR(3 downto 0);
begin
  if RESET = '1' then
    COUNT_INT := (others => '0');
  elsif CLK='1' and CLK'event then
    if CE = '1' then
      -- zacatek modifikace
      if DIR = '1' then
        -- budeme zvyšovat hodnotu citace
        if COUNT_INT = "1000" then
          -- jsme na konci - nastavíme počáteční hodnotu
          COUNT_INT := "0000";
        else
          COUNT_INT := COUNT_INT + 1;
        end if;
      else
        -- budeme snižovat hodnotu citace
        if COUNT_INT = "0000" then
          -- jsme na začátku - nastavíme koncovou hodnotu
          COUNT_INT := "1000";
        else
          COUNT_INT := COUNT_INT - 1;
        end if;
      end if;
      -- konec modifikace
    end if;
    COUNT <= COUNT_INT;
  end process;
```

Kód strukturního popisu dekodéru v souboru decx.vhd:

```
architecture decx of decx is
begin
  with addr select
    outdata <=
      -- zacatek modifikace
      "01111000" when "0000", -- x
      "01111010" when "0001", -- z
      "01100101" when "0010", -- e
      "01101101" when "0011", -- m
      "01100101" when "0100", -- e
      "01101011" when "0101", -- k
      "00110000" when "0110", -- 0
      "00110010" when "0111", -- 2
      "00100000" when "1000", -- mezera
      "00000000" when others;
      -- konec modifikace
end decx;
```

Kód top-level entity v souboru ngen.vhd:

```
architecture struct of ngen is

signal c : STD_LOGIC_VECTOR (3 downto 0);

-- zacatek modifikace
-- obousmerny citac
component cntx
  port (
    CLK: in STD_LOGIC;
    RESET: in STD_LOGIC;
    CE: in STD_LOGIC;
    DIR: in STD_LOGIC;
    COUNT: out STD_LOGIC_VECTOR (3 downto 0)
  );
end component;

-- ascii dekoder
component decx is
  port (
    addr: in STD_LOGIC_VECTOR (3 downto 0);
    outdata: out STD_LOGIC_VECTOR (7 downto 0)
  );
end component;

-- konec modifikace

begin

numcnt <= c;

counter: cntx
port map (
  CLK => clock,
  RESET => RST,
  CE => EN,
  DIR => DRC,
  COUNT => c
);

dec: decx
port map (
  addr => c,
  outdata => ascii
);

end struct;
```

Výstup simulace (časový diagram):

