

Многоканальный проект в Altium Designer

Оглавление

Оглавление	1
Общая информация	1
1. Схема одного канала	2
2. Схема верхнего уровня	6
3. Аннотация и компиляция	10
4. Разводка одного канала	13
5. Копирование разводки между каналами	14
6. Доразводка неповторяющихся частей	17
Литература	18

Общая информация.

В Altium Designer присутствует подход и соответствующие инструменты, позволяющий строить иерархические многоканальные документы проекты, позволяющий значительно ускорить проектирование и разводку дублирующийся участков (назовем их каналами).

Для реализации такого подхода надо сделать несколько дополнительных операций по отношению к обычному плоскому проекту:

1. Канал на уровне схемы вынести в отдельный файл SchDoc. Входы и выходы из канала должны быть объявлены как порты.
2. На схему верхнего уровня добавить символы каналов как Sheet Symbol.
3. Провести аннотацию проекта.
4. При работе с топологией развести один из каналов в границах его комнаты.
5. Скопировать разводку из комнаты одного канала в другие.
6. Доразвести неповторяющиеся части разводки.

Оформление чертежей схем при использовании такого подхода несколько отходит от требований ЕСКД, но удобства и скорость работы перевешивает эти частичные несоответствия.

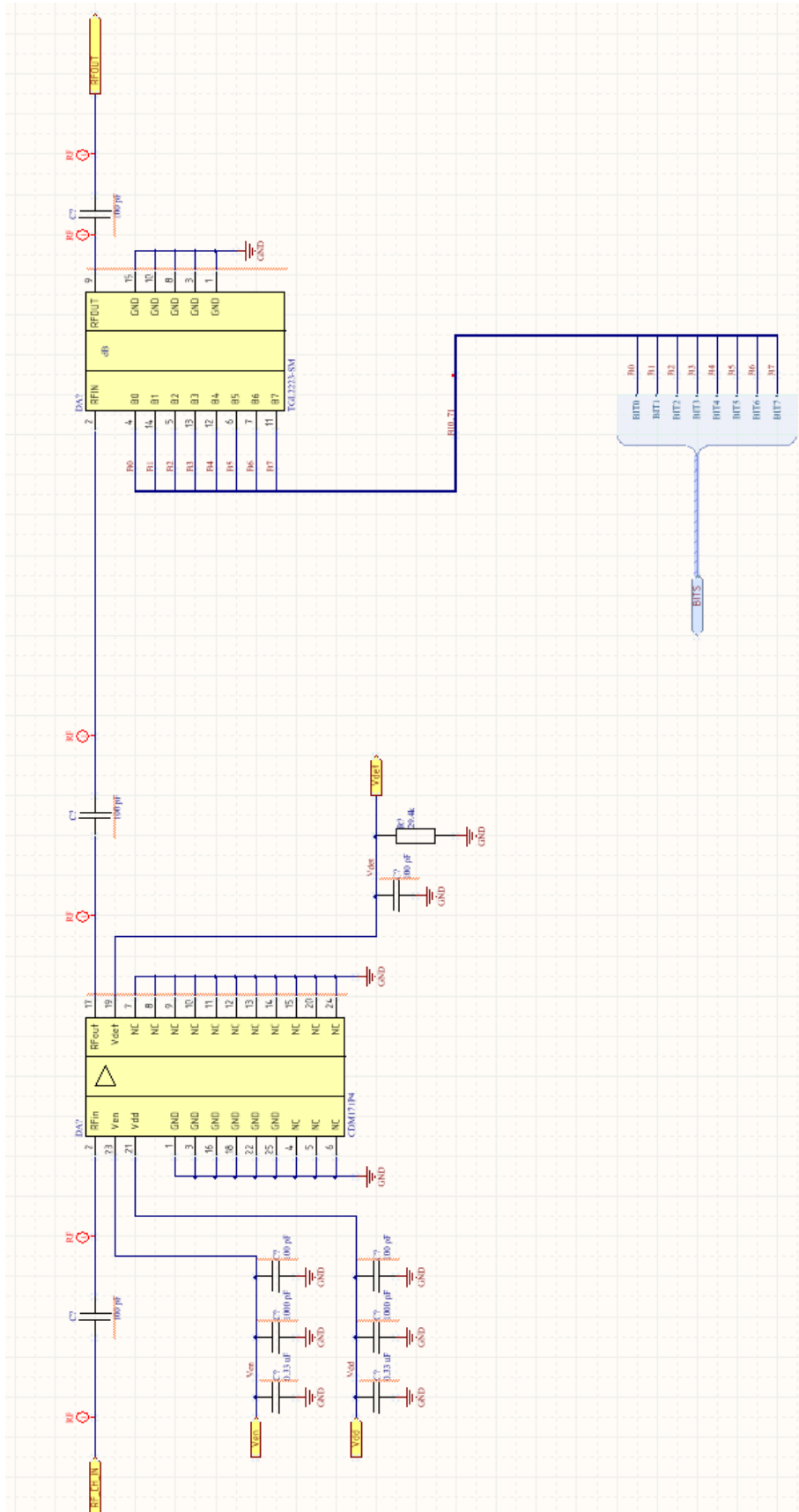
Естественно, такой подход применим и для более глубоких вложенных иерархий.

Покажем на примере простой двухканальной ячейки.

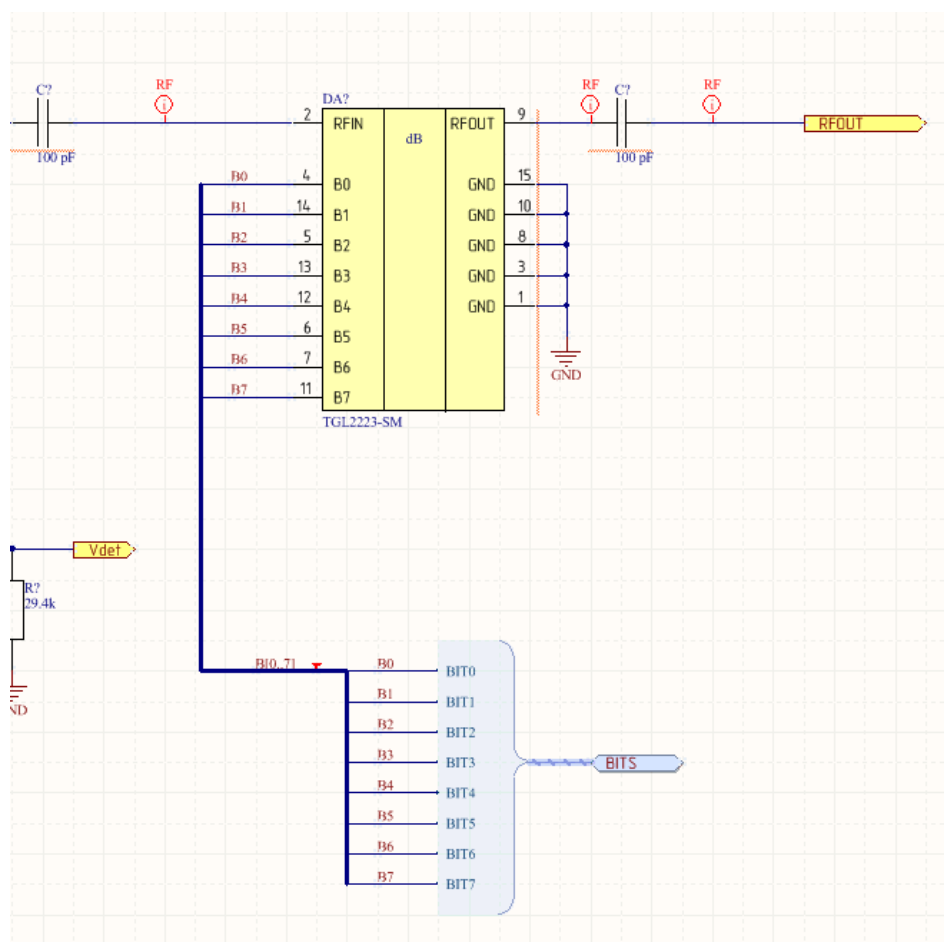
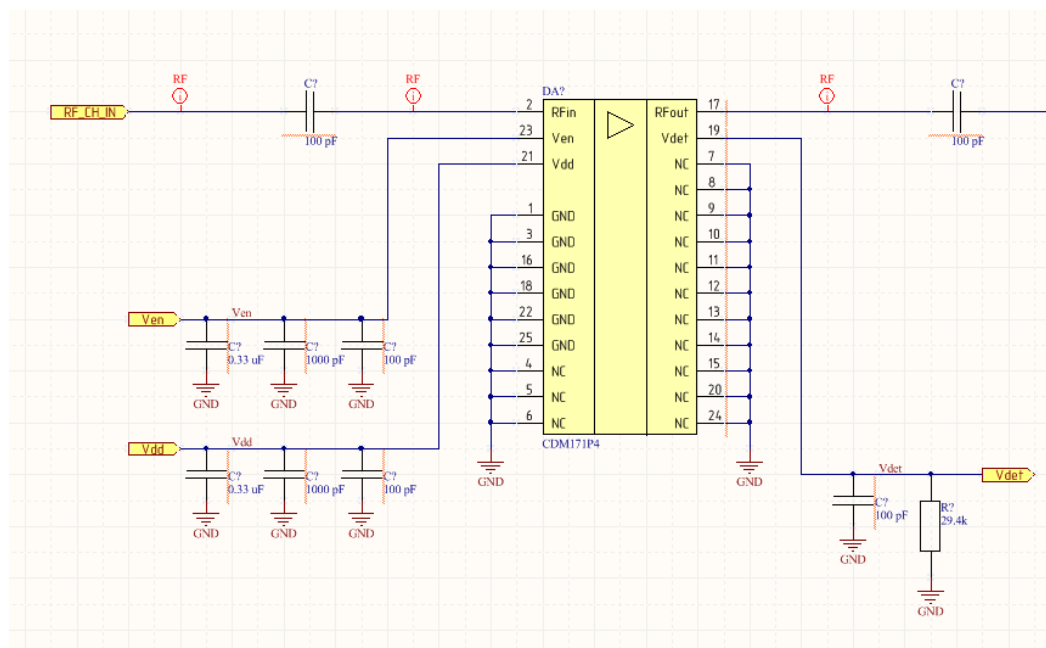
Материал написан для версии Altium Designer 17.1.6

1. Схема одного канала.

В проекте создаем файл схемы `Single_Chan.SchDoc`, в котором будет один канал.

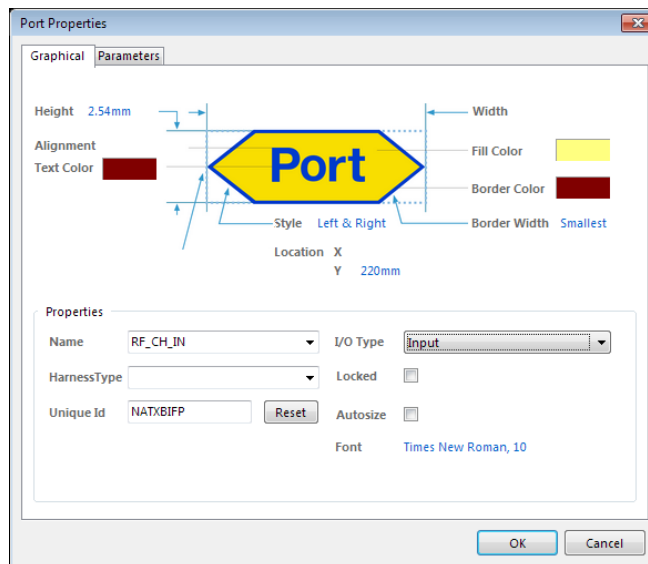


Чуть подробнее составляющие:

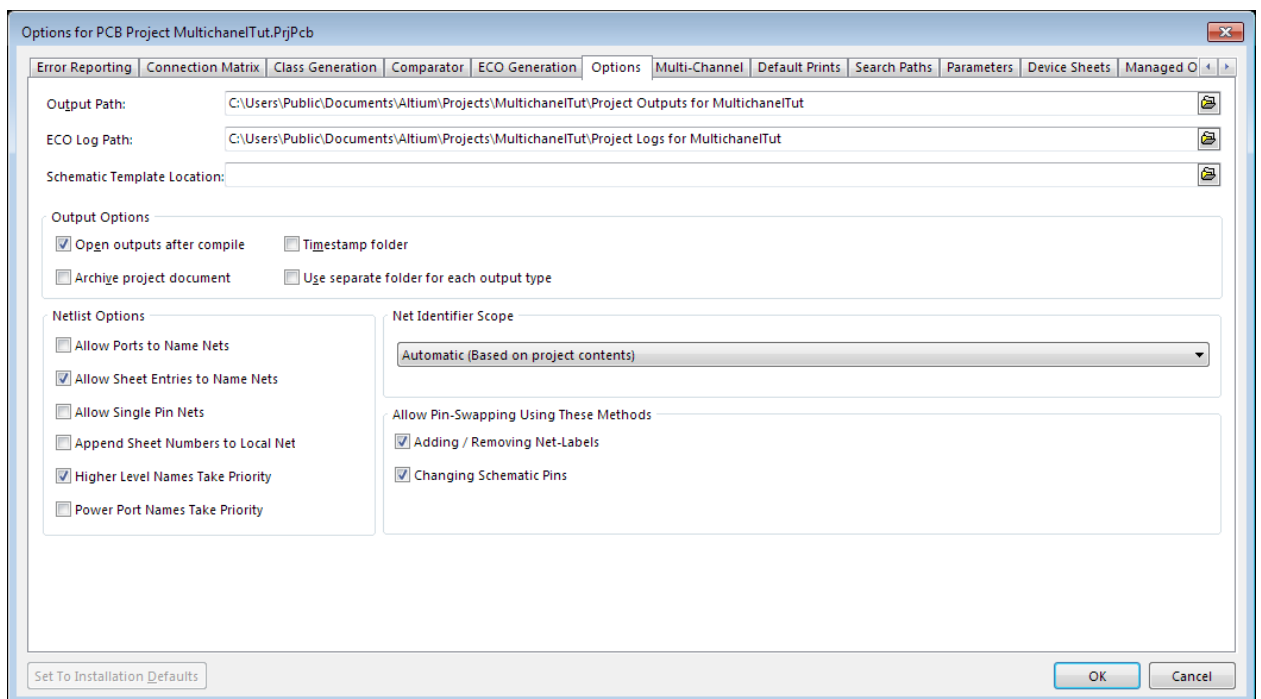


Поясим отличия от обычного листа плоского проекта.

Входы и выходы из канала должны быть объявлены как порты (Place – Port, P, R) и поименованы. Для удобного расположения входов и выходов на символе канала лучше сразу входы объявлять как Input, а выходы как Output.

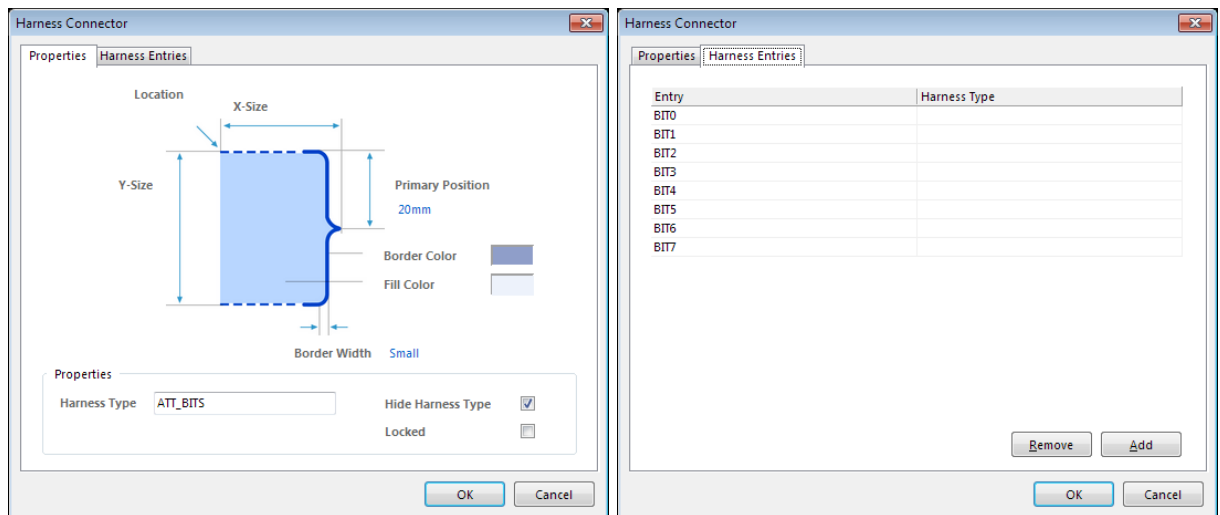


Установим галку Project – Project Options – Options – Higher Level Names Take Propriety, так чтобы при конфликте имен одной цепи преимущество при компиляции проекта будет у определения цепи, данного на верхнем уровне.

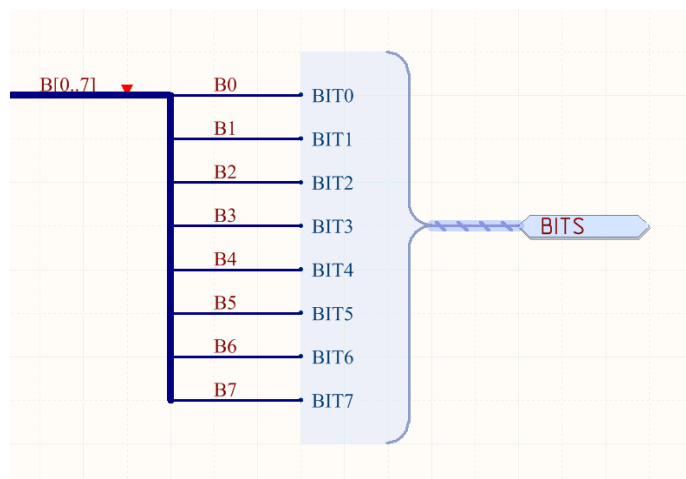


Также, если выходом из канала является шина (BUS), то ее придется обернуть в жгут (Harness).

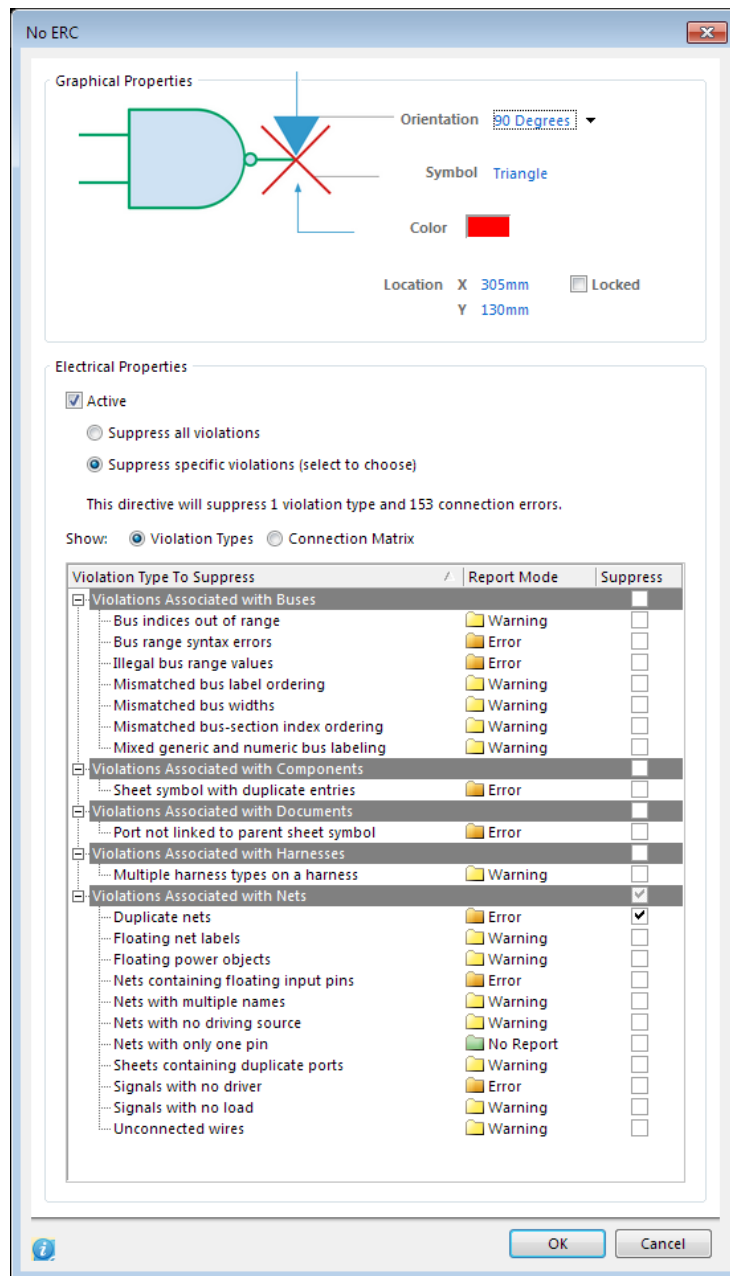
Ставится вход жгута (Place – Harness - Place Harness Connector, P. H, C), затем в нем определяются имена отдельных цепей. Также входу жгута стоит дать осмысленное имя, чтобы можно было на других частях схемы быстро его разместить.



До порта тянется жгут (Place – Harness – Signal Harness, P, H, H). Порт автоматически получит тип жгут. Обратите внимание, имена подключаемых цепей, входов в жгуте, имени жгута и имени порта не обязательно должны совпадать.

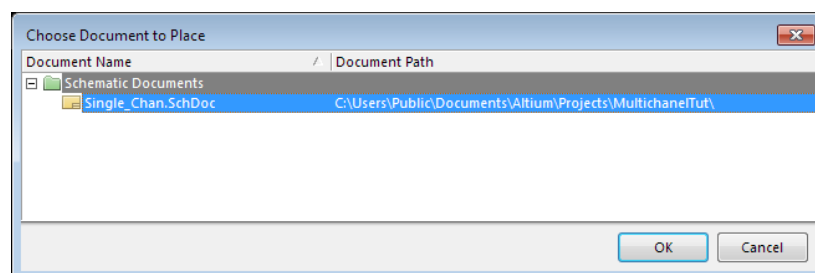


Также, т.к. у нас в проекте в одном канале присутствует именованная шина B[0..7], то на нее необходимо поставить директиву No ERC (Place – Directives – Generic No ERC, P, V, N), так, чтобы при компиляции она не проверялась на дубликат имен. В ней укажем, что не надо проверять только правило Duplicate Nets.



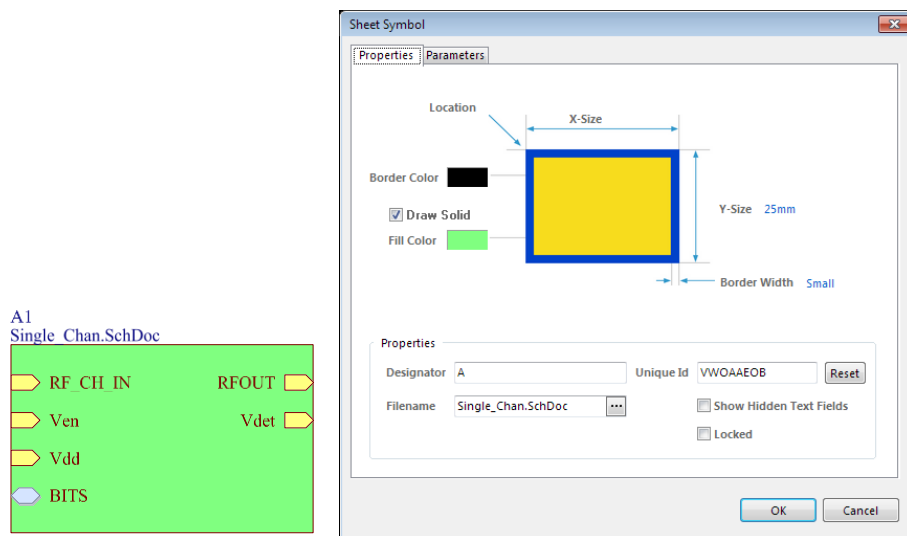
2. Схема верхнего уровня

На схеме верхнего уровня через Design – Create Sheet Symbol From Sheet or HDL добавляем канал, выбрав файл SchDoc канала.



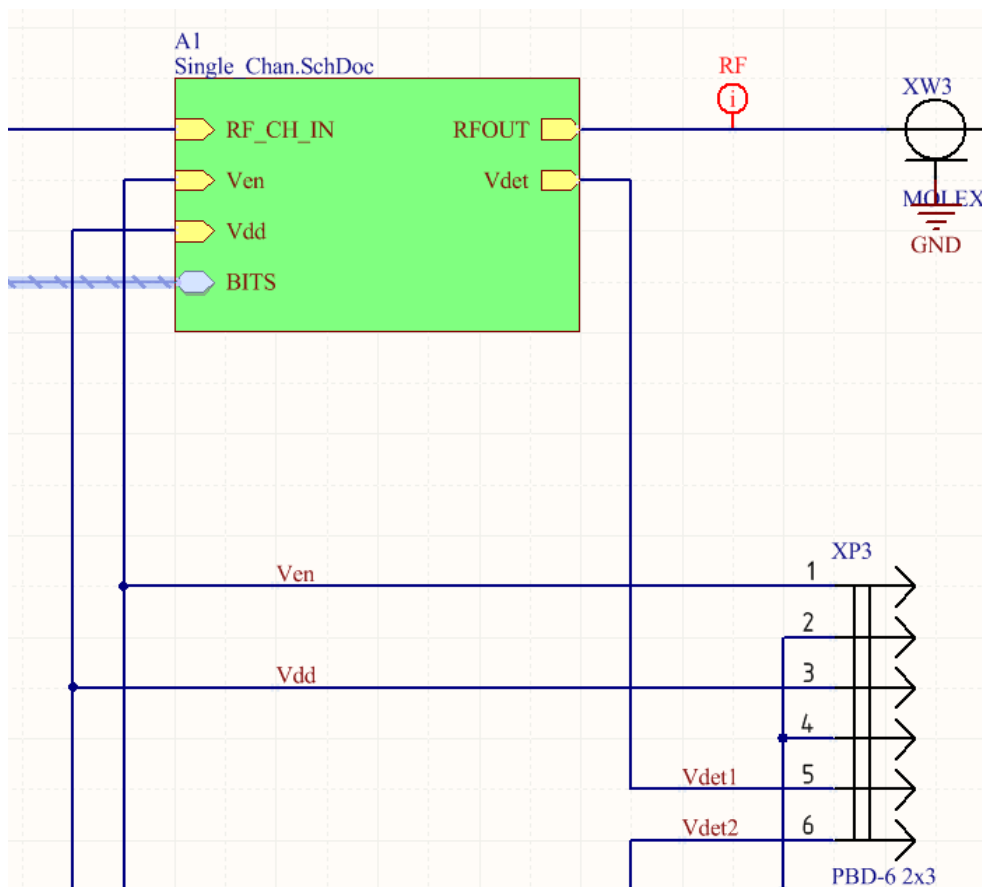
На символе канала для удобства можно поперевдвигать расположение выводов, а также задать позиционное обозначение и стиль отображения. В

отличие от библиотечных компонентов, позиционное обозначение каждому каналу надо присвоить принудительно, при аннотации оно не изменяется.



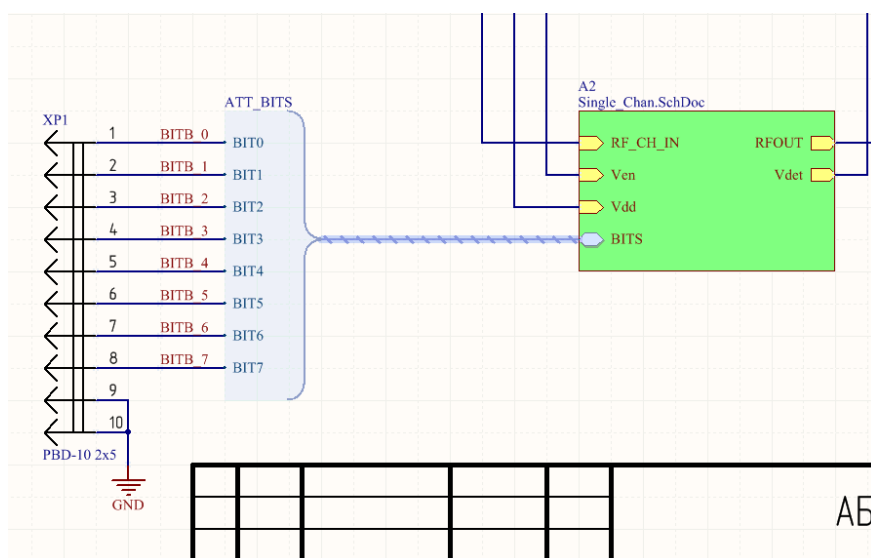
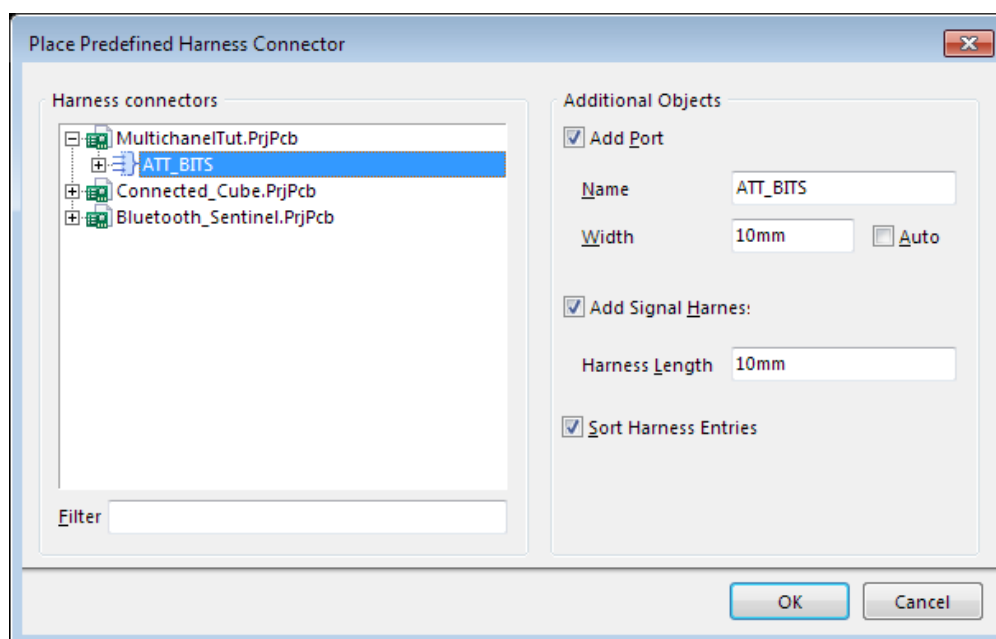
После надо составить остальную часть схемы.

Цепи, которые на уровне канала имели имя, лучше на верхнем уровне поименовать.

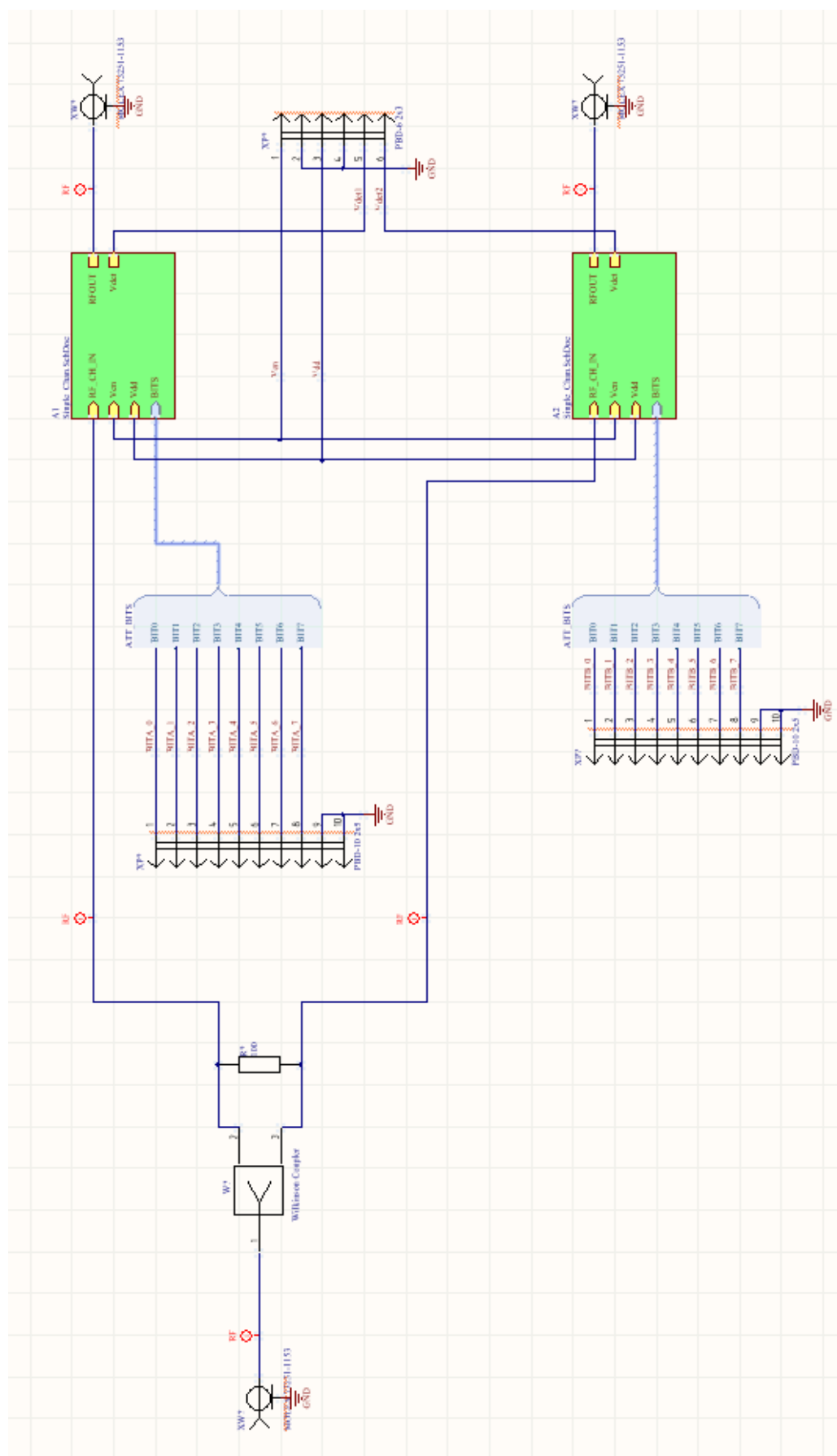


Вывод из жгута делается также, через установку Harness Connector. Его состав нет необходимости заполнять еще раз, достаточно вызвать команду

Place – Harness – Predefined Harness Connector (P, H, P) и выбрать ранее определенный. Определения жгутов в списке берутся из всех открытых проектов.



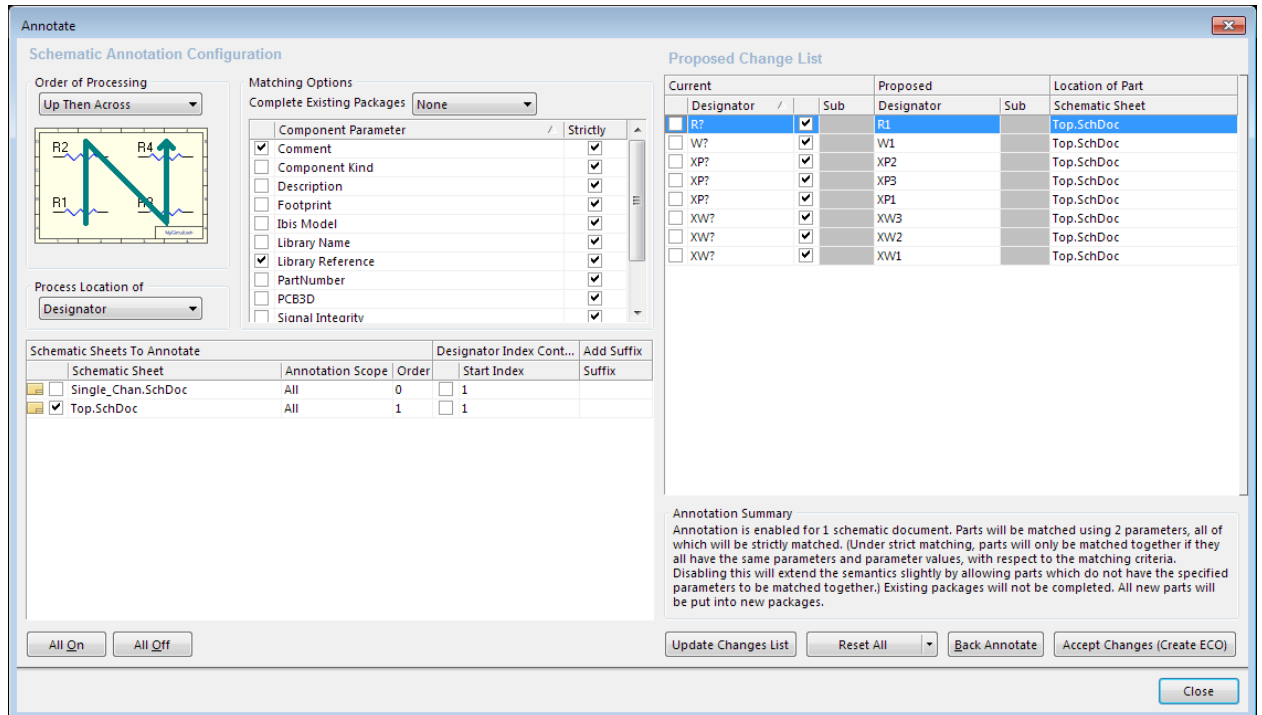
Общий вид схемы верхнего уровня.



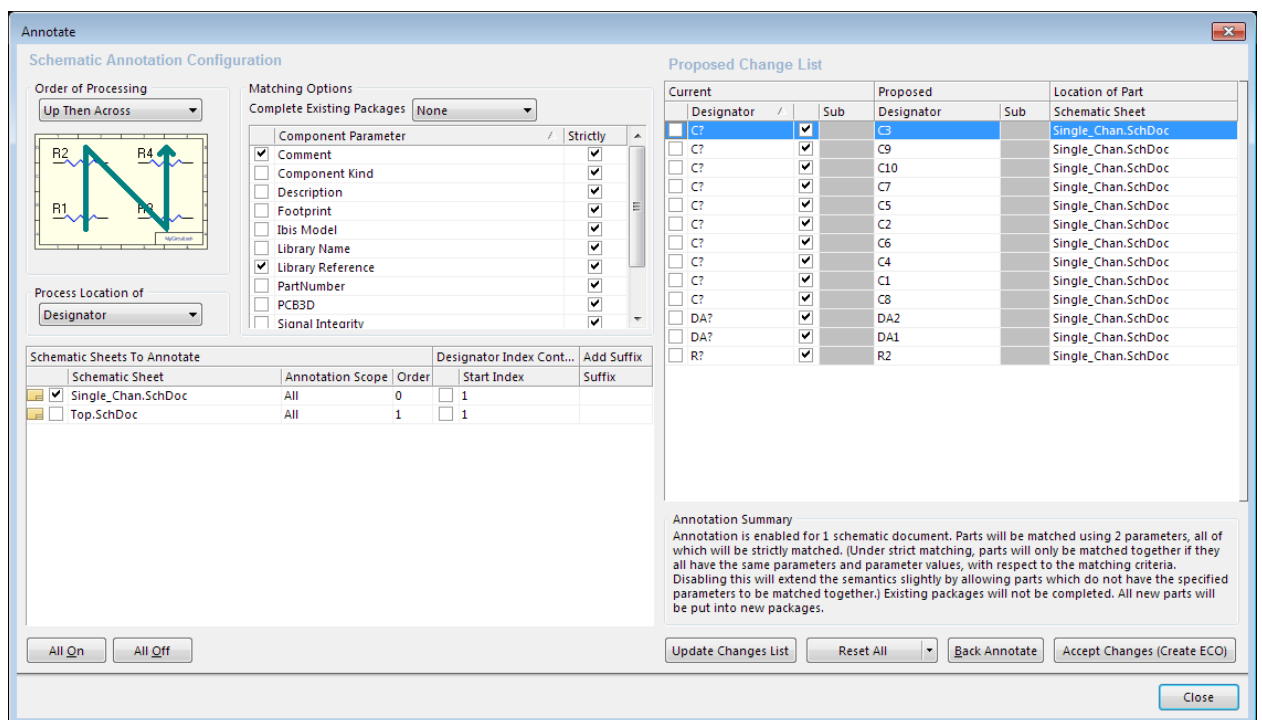
3. Аннотация и компиляция.

В отличие от обычного плоского проекта, аннотацию иерархических проектов надо делать на уровне платы.

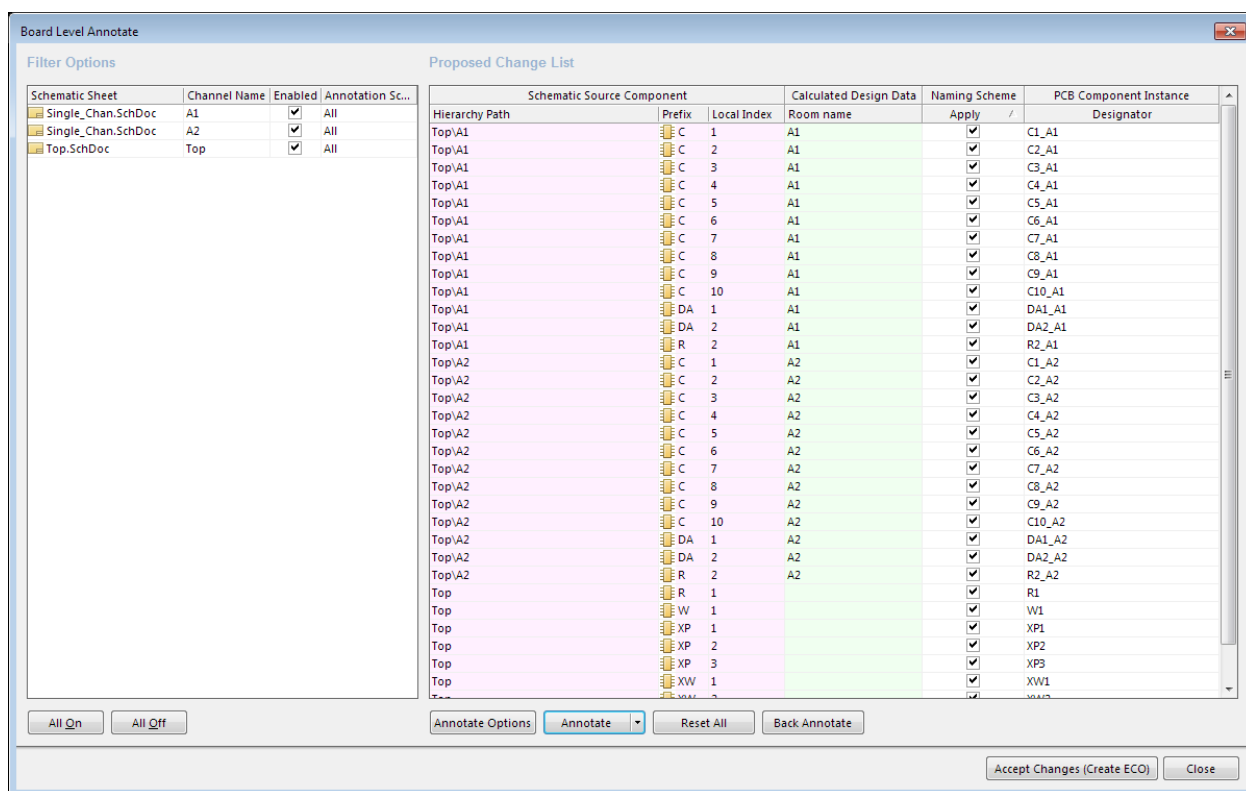
Сначала надо проаннотировать все схемы по-отдельности через Tools – Annotate Schematic. Сначала сделаем для верхнего уровня.



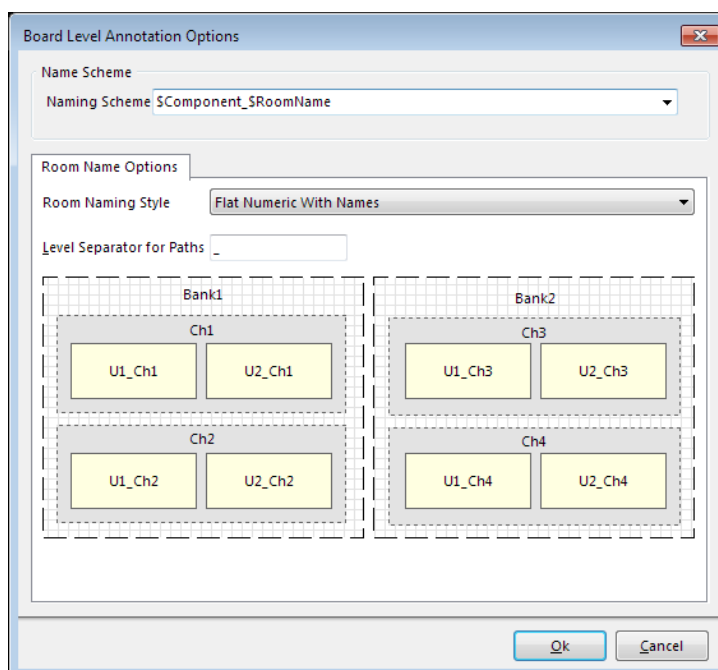
Потом для схемы канала.



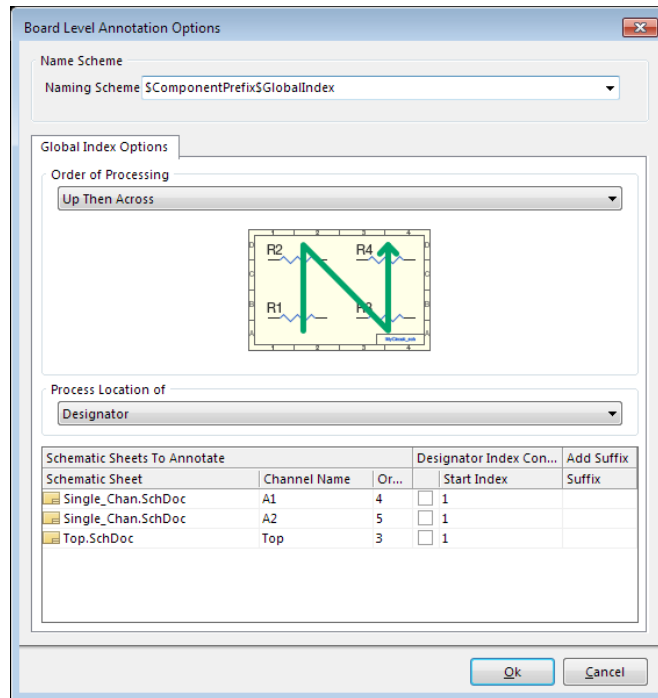
И окончательно вызывать сделать аннотацию на уровне платы Tools – Board Level Annotate (Ctrl+L).



По кнопке Annotate Options можно выбрать один из вариантов сквозной нумерации позиционных обозначений и комнат каналов. Один из самых простых и читаемых предложен по умолчанию – позиционное обозначение C1_A2 означает конденсатор C1 в канале A2 (хотя такое обозначение и противоречит ЕСКД).

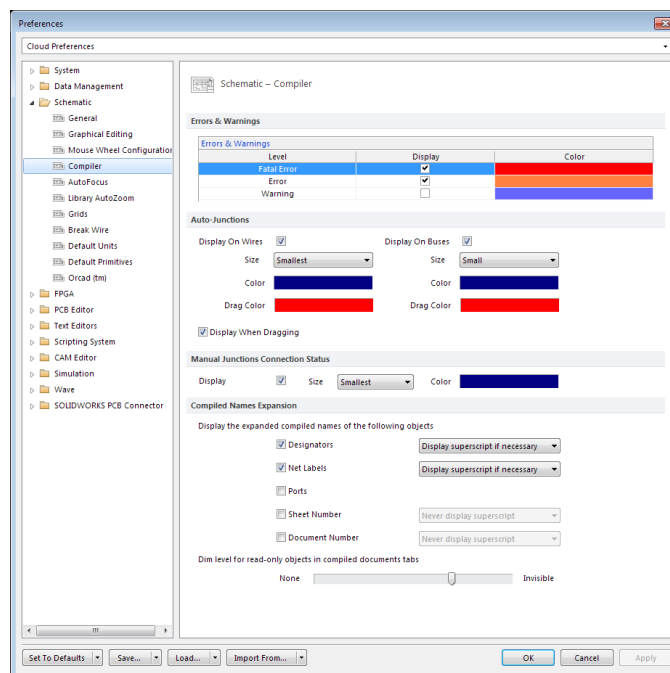


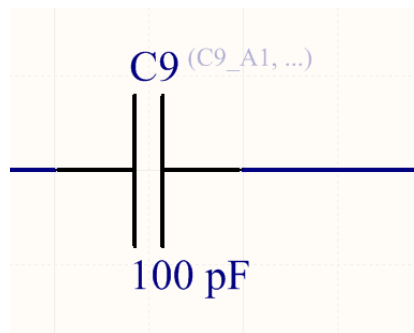
Также доступна сквозная аннотация по всей плате.



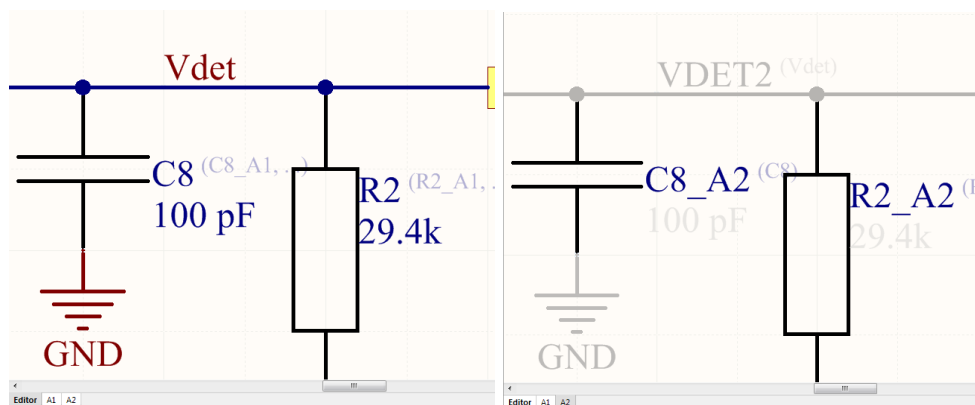
Мы воспользуемся аннотации с посфиксами в каналах.

В настройках Tools – Schematic – Compiler поле Compiled Names Expansion при установке галок и выбора Display superscript if necessary в схеме канала у позиционных обозначений компонентов и имен цепей появится строчка, показывающая что эти имена переопределены при аннотации.





После компиляции проекта можно переключать схему канала в вид отдельных каналов (в нижней части схемы) и видеть, как цепи и позиционные обозначения переопределены для каждого из каналов.

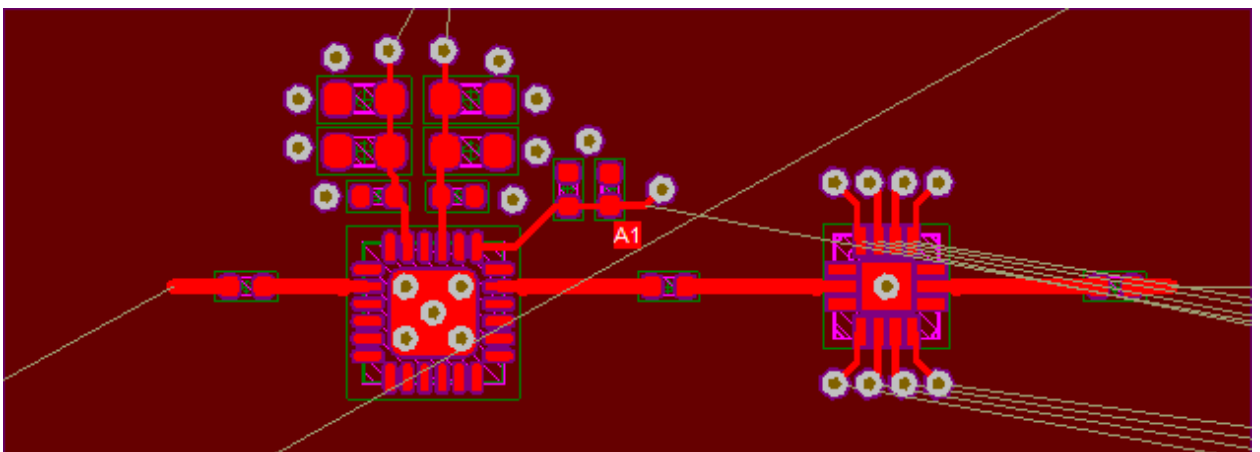


Как и в обычном случае, после компиляции проекта рекомендуется в панели Navigator проверить финальный состав схемного проекта, убедиться, что присутствуют все компоненты, что все нужные цепи соединены, а ненужные разделены и пр.

4. Разводка одного канала.

При прямой аннотации в топологии создастся несколько комнат, в том числе по одной комнате на каждый канал, с именами каждого канала.

В рамках одного канала надо развести повторяющиеся части.



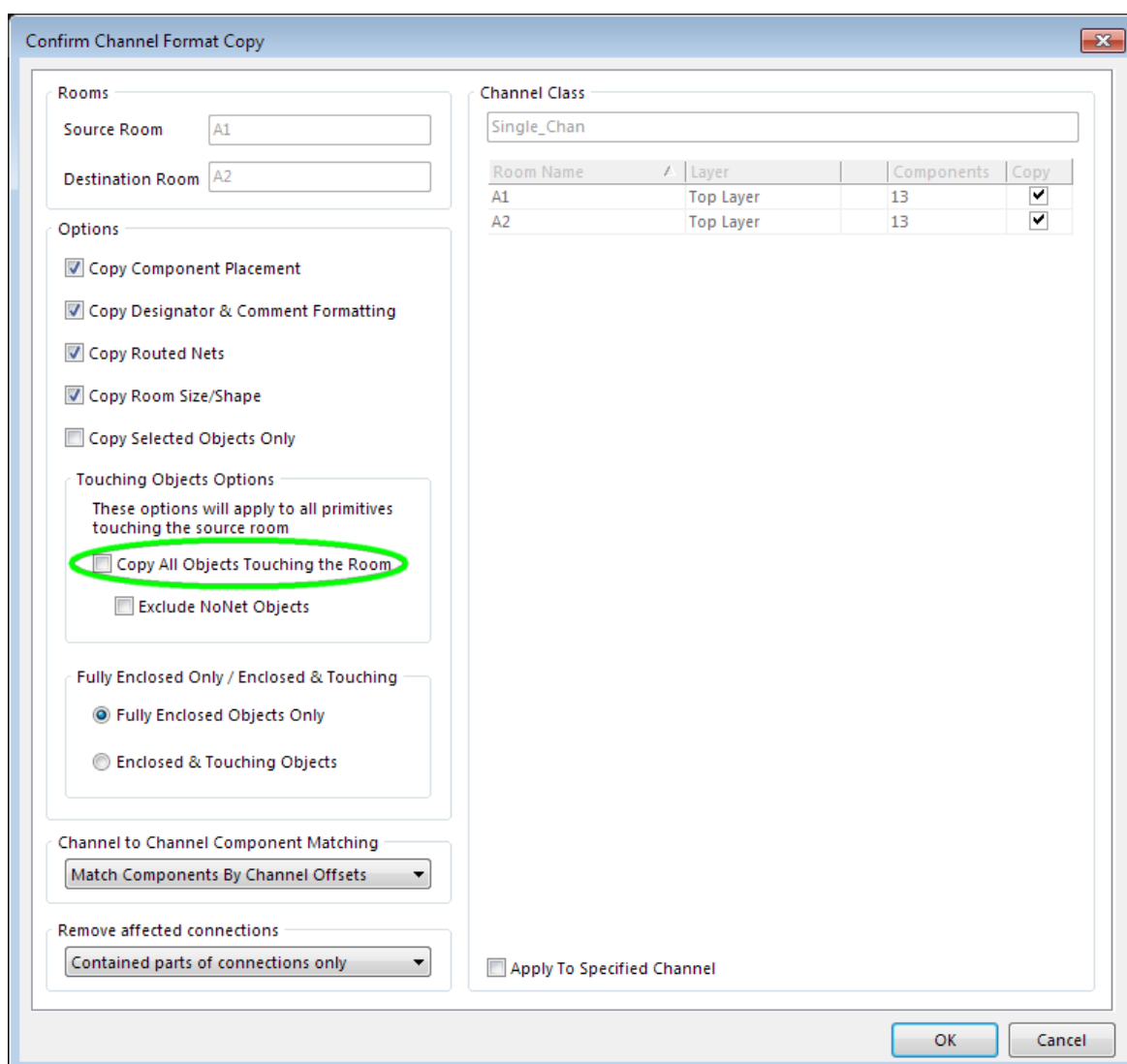
В разводке лучше оставить висящими участки, которые должны выходить за пределы канала.

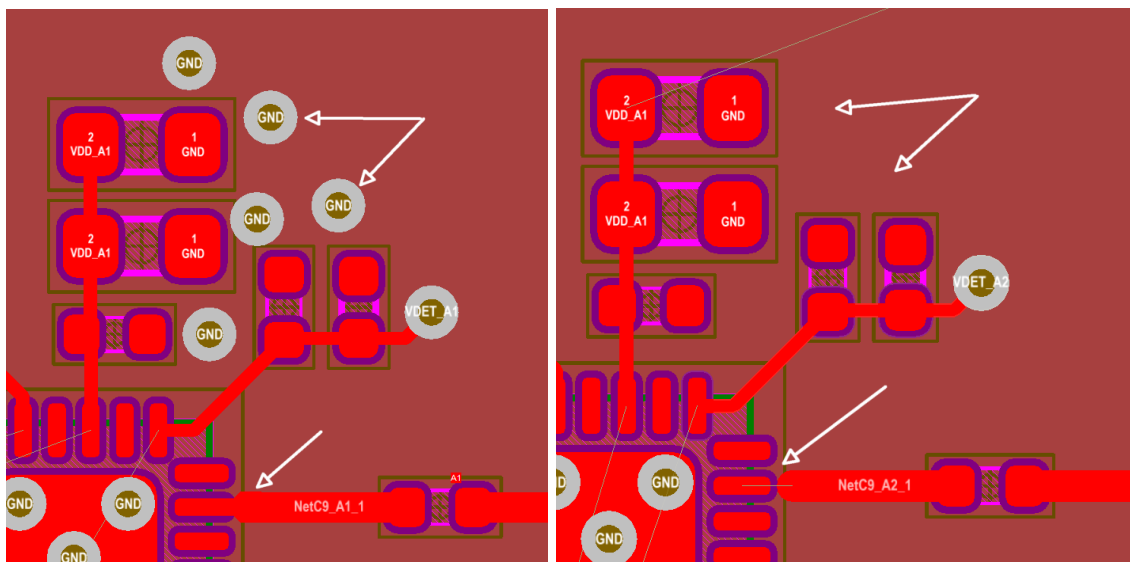
Мы знаем, что часть цепей питания и управления придется уводить на третий слой (чтобы пересечь ВЧ-линии), поэтому для всех таких цепей мы сразу разместили переходные отверстия. При финальной разводке ненужные части просто можно будет удалить.

5. Копирование разводки между каналами.

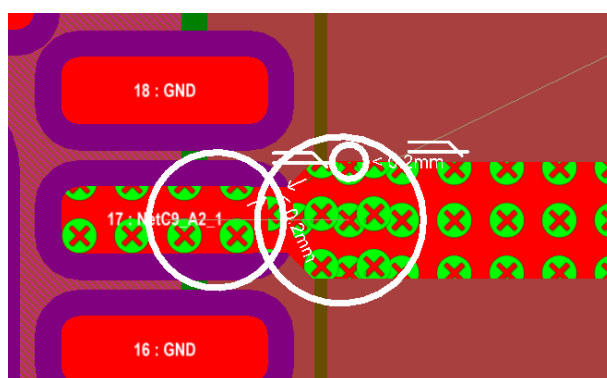
По команде Design – Rooms – Copy Room Formats можно скопировать размер комнаты, расположение компонентов и разводку из одного канала в другие. К сожалению, без проблем переносятся только расположение компонентов и основные примитивы разведенных цепей. Проблемы бывают при переносе висящих отверстий в общих цепях и полигонах.

Если в настройках копирования снята галка Copy All Objects Touching the Room, то отверстия в общих цепях и полигоны не перенесутся.





Если же эта галка стоит, то отверстия и полигоны перенесутся, но некоторые полигоны и цепи могут сохранить именования цепей из исходного канала и их руками надо будет перенести в правильные цепи.



Также есть иной способ копирования разведенной части между каналами. Сначала нужно выбрать разведенные участки цепей без компонентов.

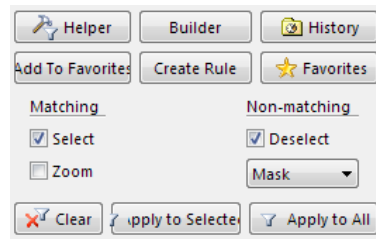
Чтобы не перебирать все составляющие по одной, воспользуемся панелью PCB Filter и напишем фильтрующий запрос. Состоять он будет из трех пересекающихся условий (перечисленных через and):

1. Т.к. то, что нас интересует, находится в комнате A1, то первое условие `WithinRoom('A1')`
2. Т.к. нам нужно забрать все примитивы цепей и отверстия, то в скобках пишем `(isVia or IsArc or IsTrack or IsRegion)`
3. Но примитивы, из которых состоит графика компонентов (т.е. лежащая на механических слоях в составе компонентов) нам не нужна, т.е. добавляем `not InAnyComponent`.

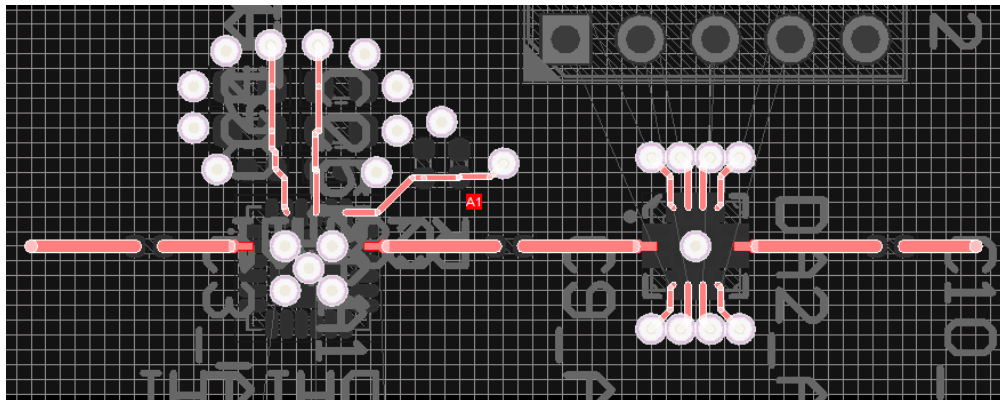
Общий синтаксис запроса получается следующий

WithinRoom('A1') and (isVia or IsArc or IsTrack or IsRegion) and not InAnyComponent

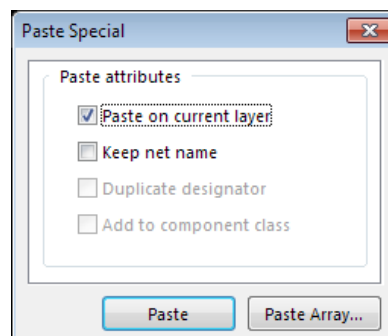
Установим, что при выполнении этого запроса выбирается подходящее, сбрасываются и маскируется неподходящее.



Нажимаем Apply to All и у нас оказываются выбраны необходимые части.



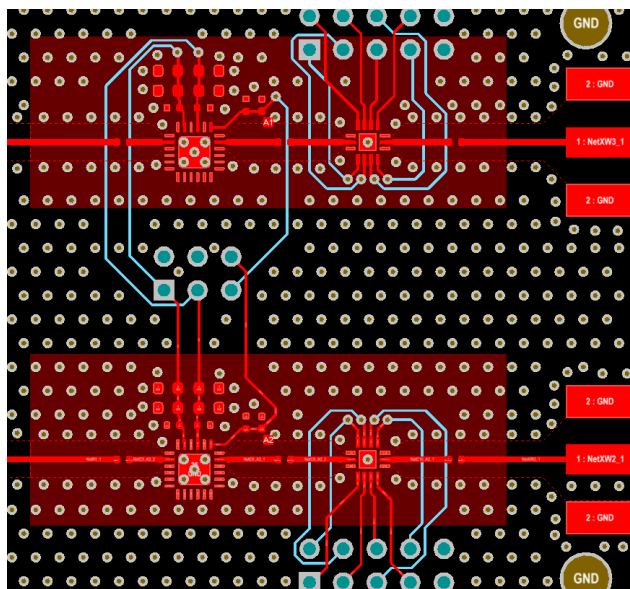
Копируем их относительно какой-либо характерной точки (центра термопада attenuатора, например). Через Shift+C снимаем выделение и максимирование. И теперь через специальную вставку (Edit – Paste Special, E, A) добавляем во второй канал. Нужно снять галку Keep net name, так чтобы при копировании, если происходит конфликт имен цепей, примитивы отвязывались от старой и привязывались к новой цепи. При этом если конфликта имен цепей не происходит, что имя цепи сохраняется (в примере у земляных отверстий).



Копия разводки получена.

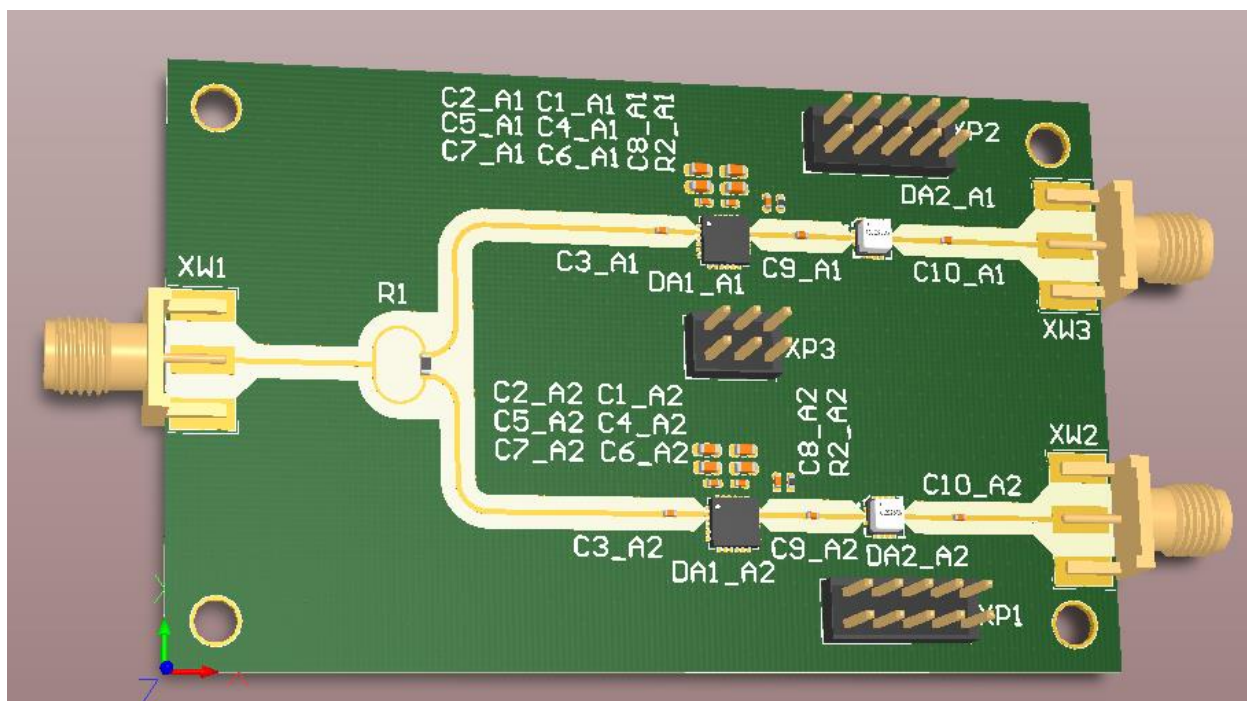
6. Доразводка неповторяющихся частей

Доразведём оставшуюся часть по правилам разводки СВЧ-плат (на четырехслойной плате). Также удалим лишние отверстия на линиях питания и управления.



Скорее всего, при разводке неоднократно придется пользоваться копированием разведенного участка, не будем забывать пользоваться фильтрами PCB Filter и копированием выделенного участка Paste Special.

Все, плата готова.



Литература

1. Лопаткин, А. Проектирование печатных плат в Altium Designer. [Электронный ресурс] — Электрон. дан. — М. : ДМК Пресс, 2016. — 400 с. — Режим доступа: <http://e.lanbook.com/book/93565>

2. Лопаткин, А. Проектирование печатных плат в системе Altium Designer [Электронный ресурс] : учебное пособие / А. Лопаткин. — Электрон. дан. — Москва : ДМК Пресс, 2017. — 554 с. — Режим доступа: <https://e.lanbook.com/book/97334>

3. Суходольский В.Ю. Altium Designer: сквозное проектирование функциональных узлов РЭС на печатных платах: учеб. Пособие. - 2-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2014. – 560 с.

Перечень ресурсов сети «Интернет»

4. Тематический форум раздел «Разрабатываем ПП в САПР - PCB development», <https://electronix.ru/forum/index.php?showforum=17>, доступно после свободной регистрации

5. Сайт Eurointech, раздел «Учебные материалы» <http://www.eurointech.ru/education/selftraining/>

Каналы Youtube с видеоуроками по Altium Designer

6. <https://www.youtube.com/user/SabuninAlexey>

7. <https://www.youtube.com/playlist?list=PLgUwXvgNkHqJ3G5UoLGMfHJM2c-m4Afdx>

Разработчик:

Ст. преподаватель института МПСУ Приходько Д.В.