

# Многоканальный проект в Altium Designer

## Оглавление

Оглавление .....	1
Общая информация .....	1
Определение стиля иерархии .....	2
Отдельные схемы .....	4
Подсхема питания .....	7
Схема верхнего уровня .....	8
Аннотация и компиляция .....	11
Проверка схемного проекта на глобальном уровне .....	14
Разводка одного канала .....	20
Копирование разводки между каналами .....	21
Доразводка неповторяющихся частей .....	25
Литература .....	27

## Общая информация.

В Altium Designer присутствуют инструменты для построения иерархических, в том числе многоканальных проектов. Это позволяет значительно ускорить проектирование и разводку дублирующийся участков (назовем их каналами) и уменьшает вероятность появления различий в разводке и расположении компонентов в тех частях платы, в которых они должны быть одинаковыми. Покажем порядок работы на примере простой двухканальной ячейки. Также вынесем на отдельный лист подсистему питания.

Для реализации такого подхода надо сделать несколько дополнительных операций по отношению к обычному плоскому проекту, в том числе:

- Определиться со стилем иерархии.
- Канал на уровне схемы вынести в отдельный файл SchDoc. Входы и выходы из канала должны быть объявлены как порты. Также все одиночные подсхемы тоже нужно выносить в отдельные файлы SchDoc.
- На схему верхнего уровня добавить каналы (обязательно) и подсхемы (необязательно) как блоки Sheet Symbol.

- Провести аннотацию проекта. Для многоканальных схем аннотация делается в два этапа. Это один из самых важных этапов, обеспечивающих ожидаемое поведение цепей и компонентов в общем (глобальном) нетлисте.

- Проверить глобальный список цепей и компонентов (панель Navigator).

- При работе с топологией развести один из каналов в границах его комнаты.

- Скопировать разводку из комнаты одного канала в другие.

- Доразвести неповторяющиеся части.

Оформление чертежей схем при использовании такого подхода отходит от требований ЕСКД, но удобства и скорость работы перевешивает эти частичные несоответствия. Естественно, такой подход применим и для более глубоких вложенных иерархий.

Предполагается, что читатель знаком с Altium Designer, с основными приёмами работы со схемами и топологией, а также привык к организации быстрых клавиш. В данном методическом пособии делается упор на специальные инструменты, применяемые при построении иерархических схем, а также на важные особенности применения знакомых элементов при работе в иерархиях.

Материал обновлен для версии Altium Designer 20.1.14

### **Определение стиля иерархии**

Перед началом разработки иерархической схемы нужно определиться, какой будет стиль у иерархии. Пусть в нашем проекте мы решили, что будет схема верхнего уровня (Top.SchDoc), в которую вместе с некоторым количеством компонентов будут внесены две подсхемы каналов и одна подсхема питания.

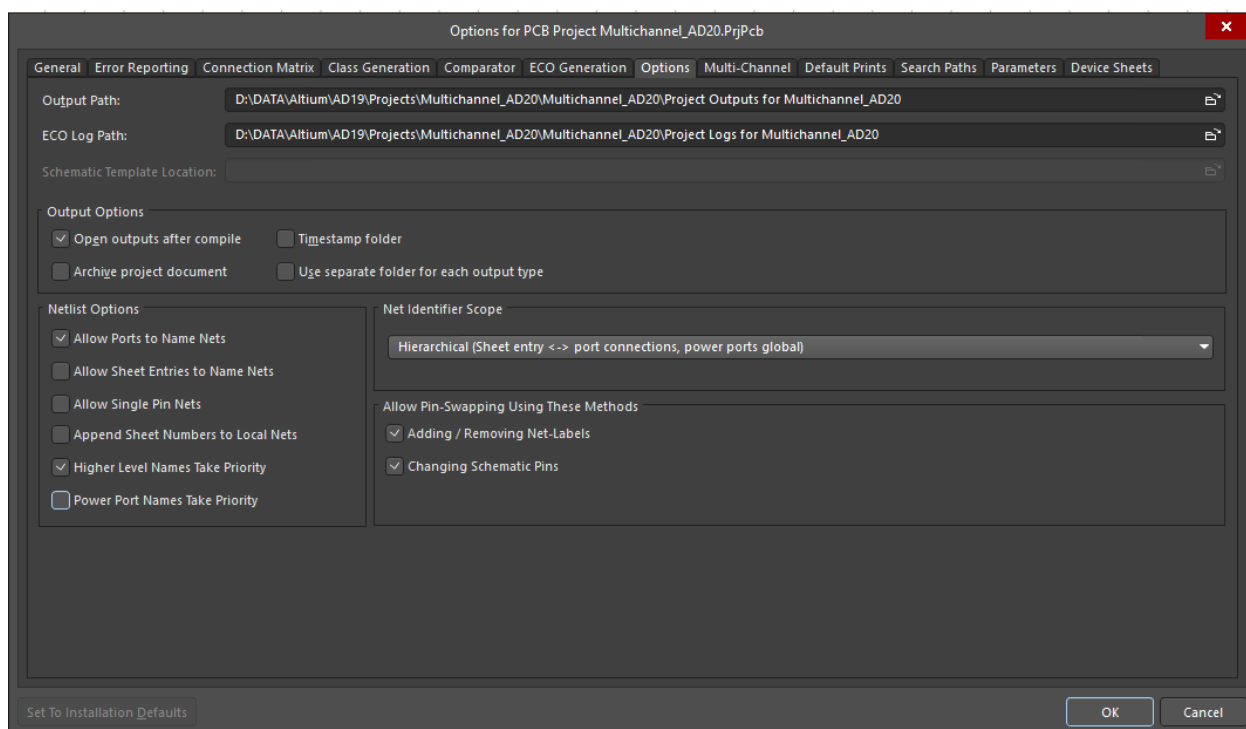
В подсхеме канала (Single\_channel.SchDoc) будет последовательно включены усилитель CMD171P4 и аттенюатор TGL2223-SM вместе с их ближней обвязкой.

В листе с подсхемой питания (power.SchDoc) будет последовательной формирование +7В из +12В на связки импульсный понижающий стабилизатор LM2736 и линейный понижающий стабилизатор NCP1117LP (в исполнении ADJ в корпусе SOT223, PartNumber = NCP1117LPSTADT3G).

Также, с точки зрения читаемости общей структуры стоит либо вынести все выходы-выходы платы на отдельную подсхему, или оставить их на схеме верхнего уровня Top.

Связь между уровнями иерархии будет идти через входы-выходы на блоках подсхемы (Sheet Entry на обозначении блока и Port в подсхеме). Также для глобальной цепи земли будем использовать Power Port.

Таким образом для выбранного стиля иерархии будем использовать следующий список настроек проекта (Project – Project Options, вкладка Options).



В группе Netlist Options установлены галки

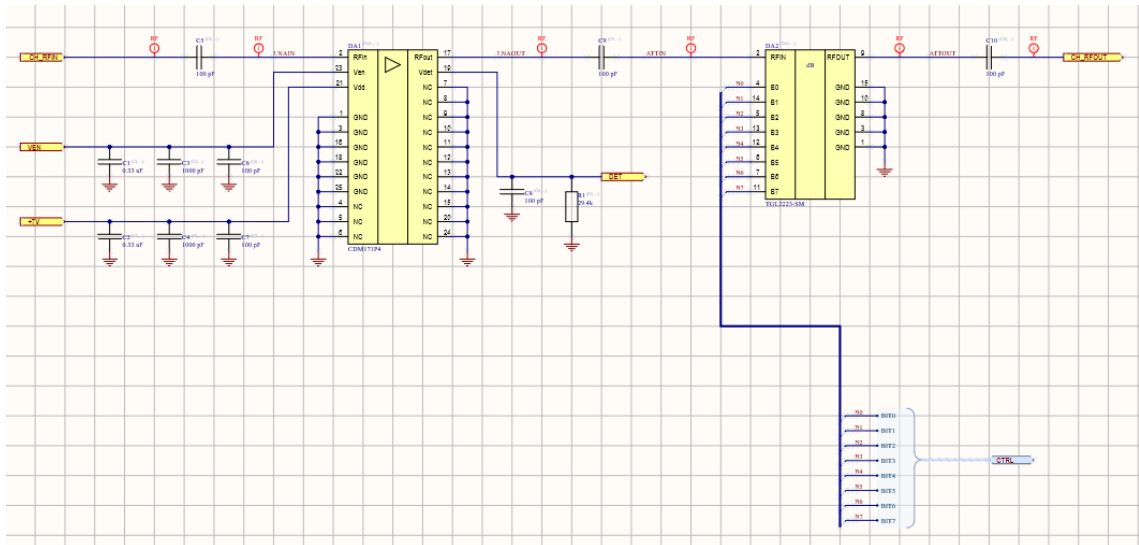
- Allow Ports to Name Nets, чтобы разрешить портам именовать цепи;
- Higher Level Names Takes Priority – чтобы имя цепи, определенное на более высоком уровне иерархии, имело приоритет перед определенными внутри подсхем.

В списке Net Identifier Scope выбрано Hierarchical (Sheet entry <→ port connections, power ports global).

Более подробно, как повлияют выбранные параметры иерархии на общий нетлист, показано далее в разделе «Проверка схемного проекта на глобальном уровне».

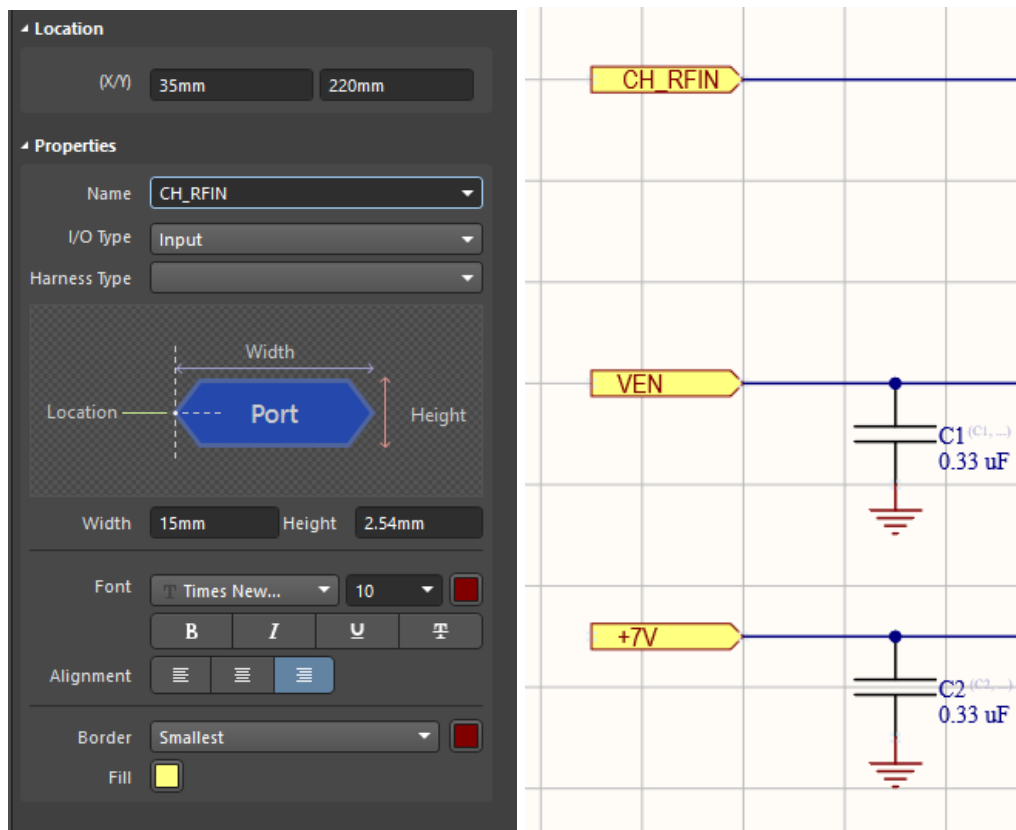
## Отдельные схемы.

В проекте создаем файл схемы Single\_Channel.SchDoc, в котором будет один канал.

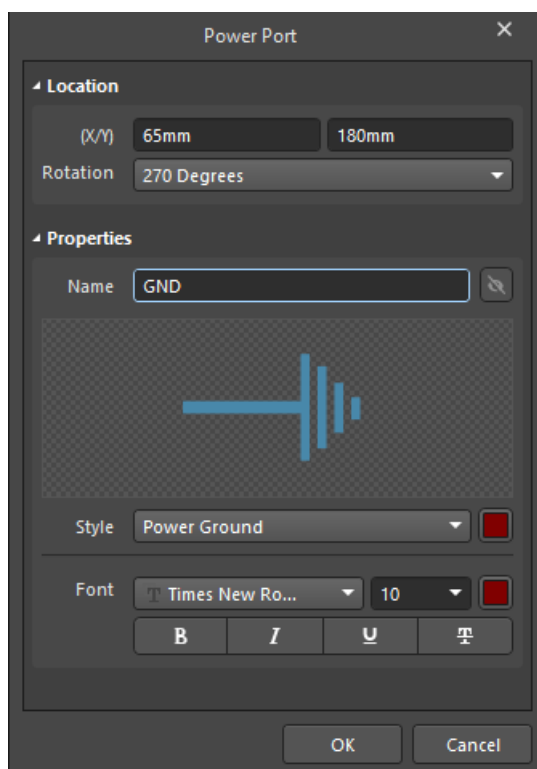


Поясним отличия от обычного листа плоского проекта.

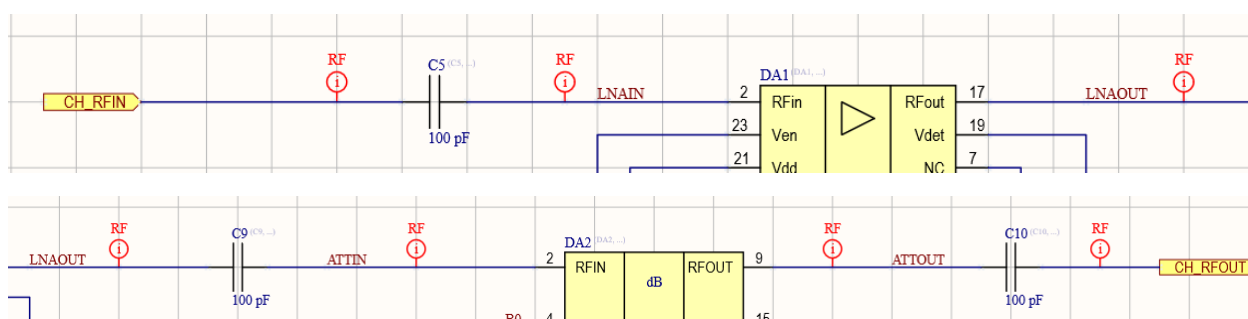
Входы и выходы из канала должны быть объявлены как порты (Place – Port, P, R) и поименованы. Для удобного расположения входов и выходов на символе канала лучше сразу входы объявлять как Input, а выходы как Output.



Для глобальной земли используем Power Port (Place – Power Port, P, O), символ Power Ground, цепь GND.



Поименуем через метки цепи (Place – Net Label, P, N) проход по ВЧ (CH\_RFIN → LNAIN → LNAOUT → ATTIN → ATTOUT → CH\_RFOUT).



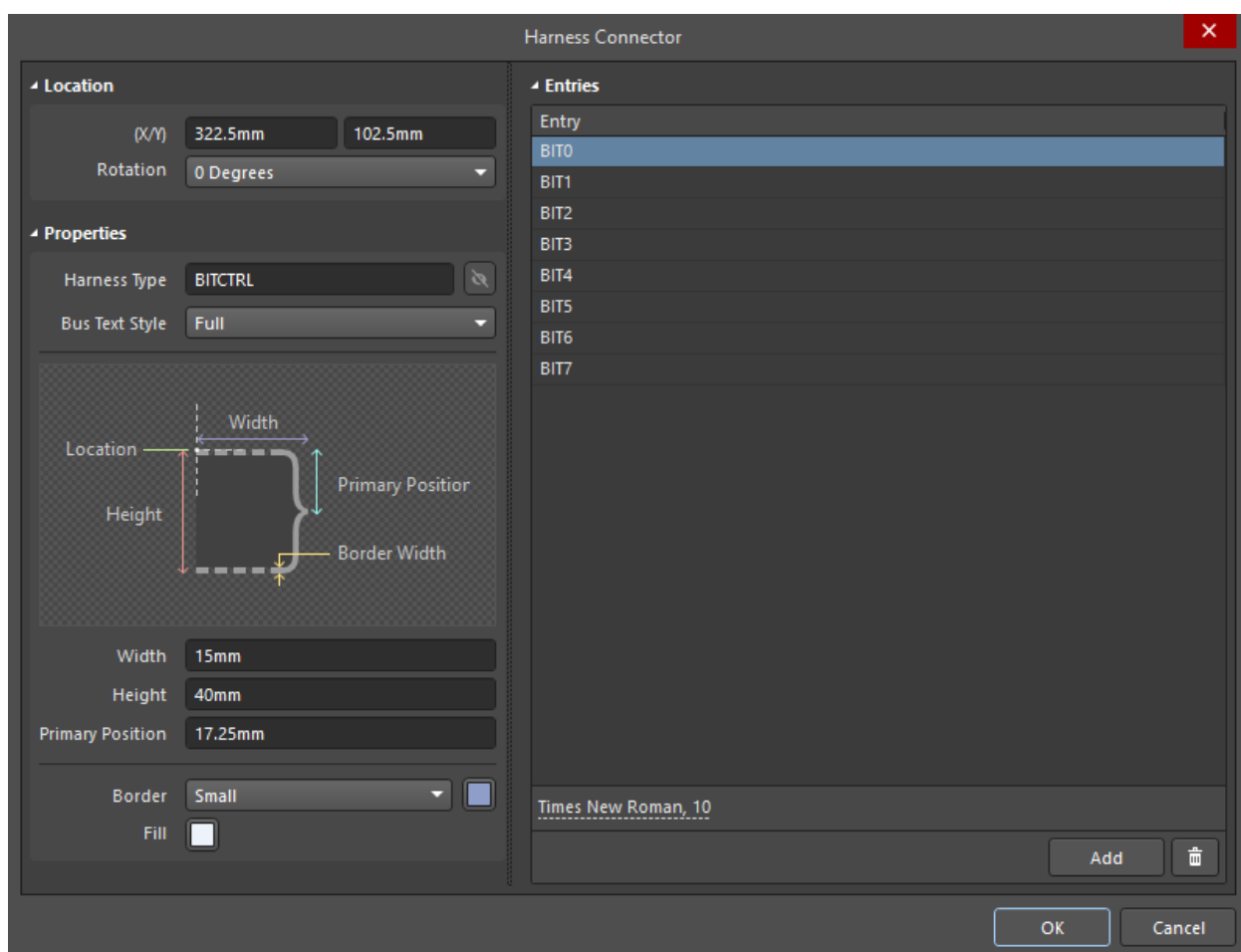
Локальное имя цепи вход и выход берут от имени порта, остальные задаются метками цепи. При выбранном стиле иерархии, при аннотации на глобальном уровне данные ветки цепей получают суффиксы \_A1 и \_A2, и они будут различаться для разных каналов.

Для управления аттенуатором используется шина (BUS, в текущем проекте только как графический элемент). Ее корректно протянуть через иерархию при наличии каналов не получится. Ее составляющие придется обернуть через жгут (Harness).

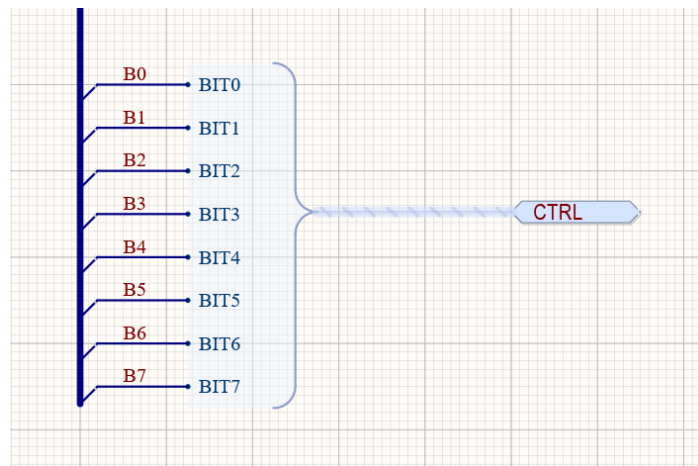
Жгут состоит из трех составляющих – жгут как линия групповой связи (Signal Harness), вход жгута (Harness Connector) и точки соединения во входе жгута (Harness Entry).

В мечте, где шина разобрана на составляющие, ставим вход жгута (Place – Harness - Harness Connector, P, H, C), затем в нем определяются имена отдельных цепей. Также входу жгута стоит дать осмысленное имя, чтобы можно было на других частях схемы быстро его разместить.

Точки соединения можно определять либо через таблицу Entries во входе жгута, либо по команде Place –Harness – Harness Entry (P, H, E) в поле ранее созданного входа жгута.

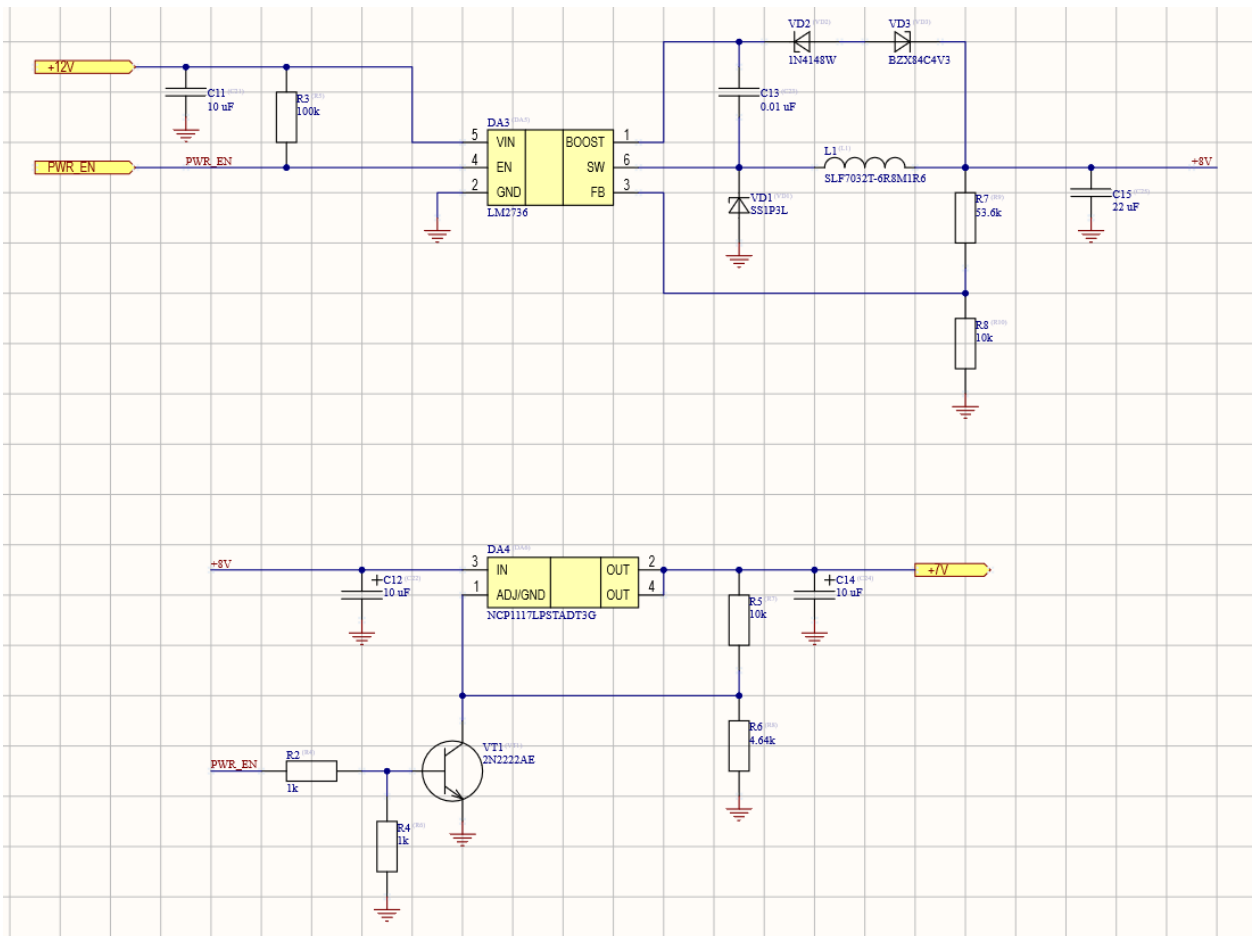


До порта тянется жгут (Place – Harness – Signal Harness, P, H, H). Порт автоматически получит тип жгут. Обратите внимание, имена подключаемых цепей, входов в жгуте, имени жгута и имени порта не обязательно должны совпадать.



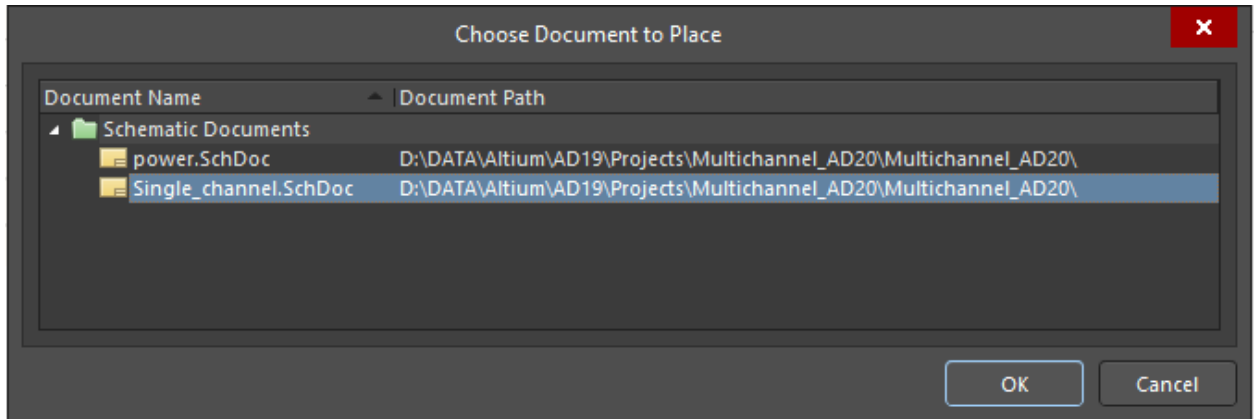
## Подсхема питания

В файле power.SchDoc создадим подсхему питания. Также, как и для схемы канала, входы и выходы должны быть объявлены как порты, а глобальная земля добавлена как Power Port. При этом соединение цепей в пределах схемы при выбранном стиле и иерархии можно проводить только с помощью меток цепи Net Label.

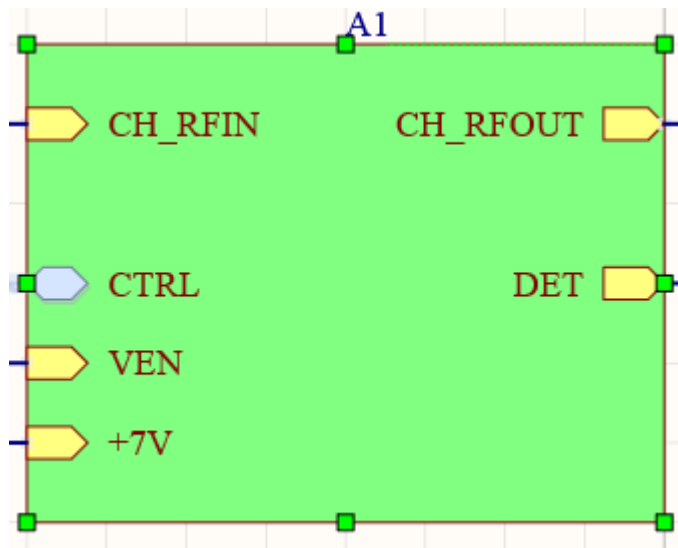


## Схема верхнего уровня

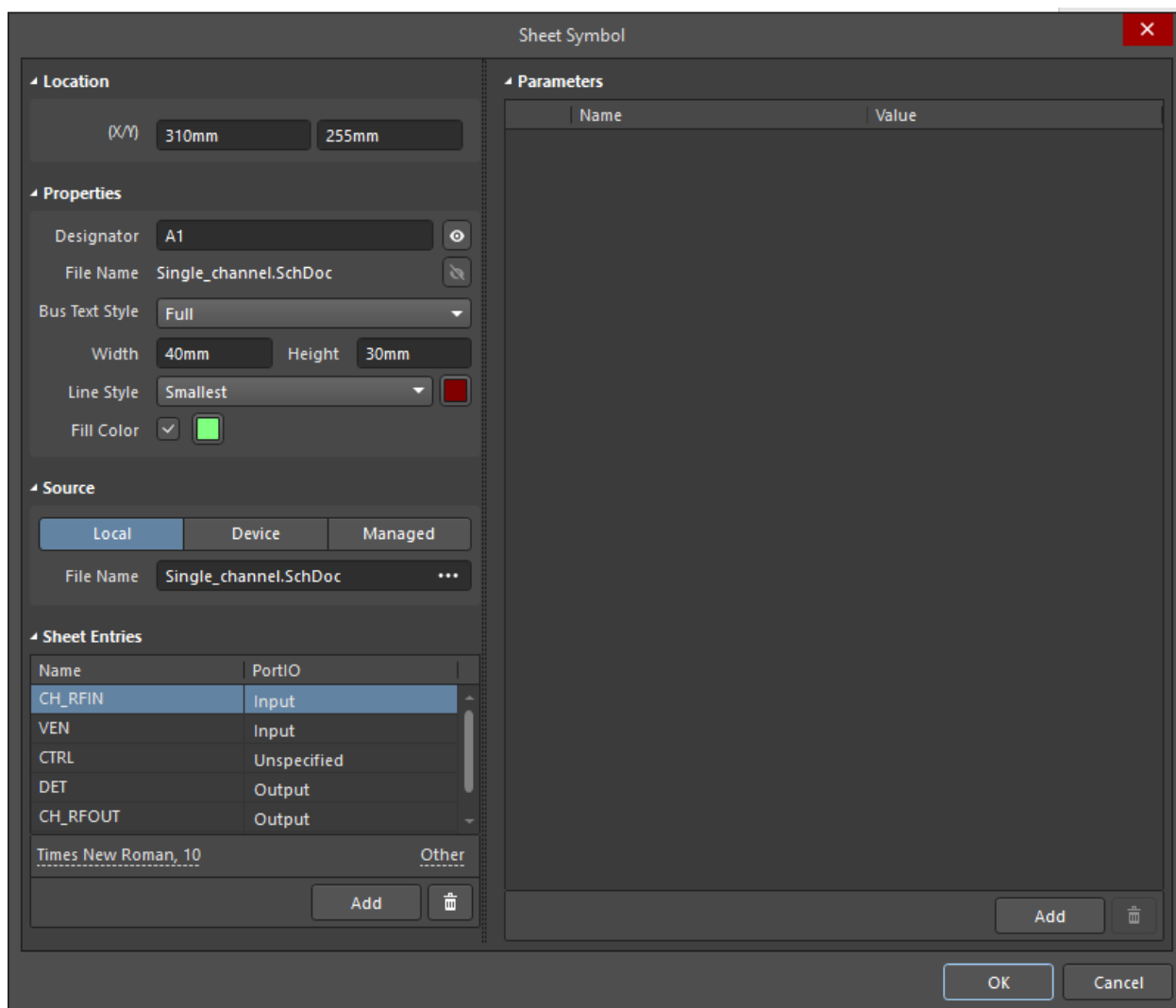
На схеме верхнего уровня через Design – Create Sheet Symbol From Sheet добавляем канал, выбрав соответствующий файл SchDoc каналов и подсхемы питания.



На символе канала для удобства можно поперевдвигать расположение выводов, а также задать позиционное обозначение и стиль отображения. В отличие от библиотечных компонентов, позиционное обозначение каждому каналу надо присвоить принудительно, при аннотации оно не изменяется.

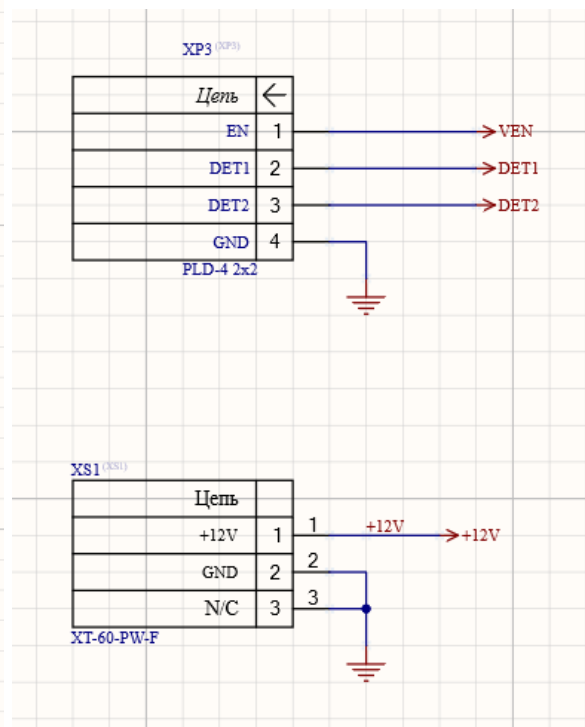
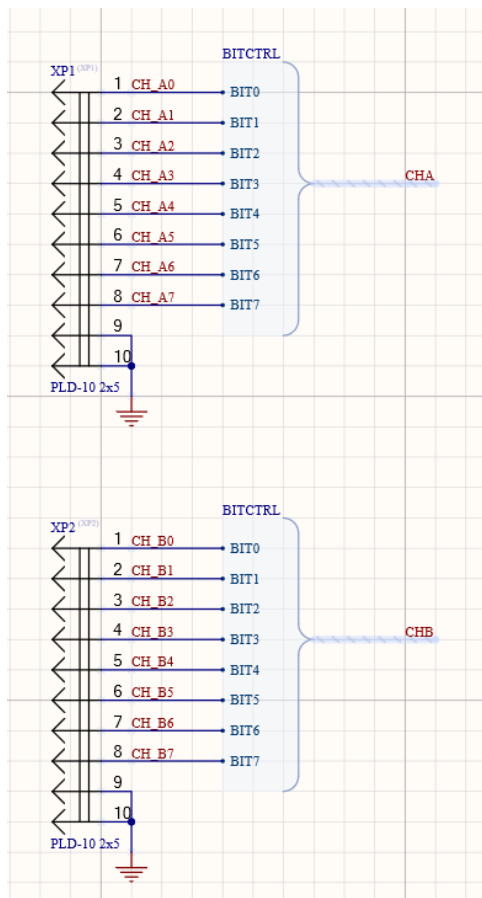
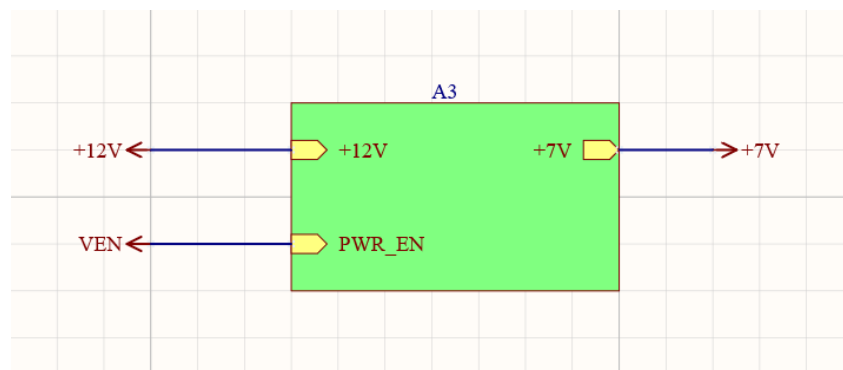
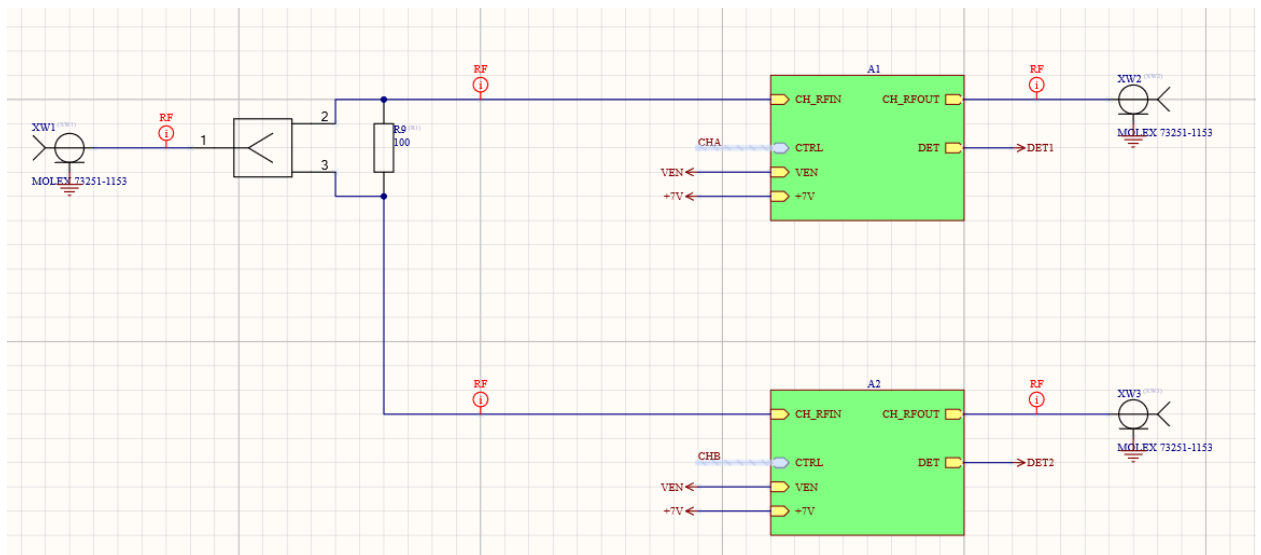




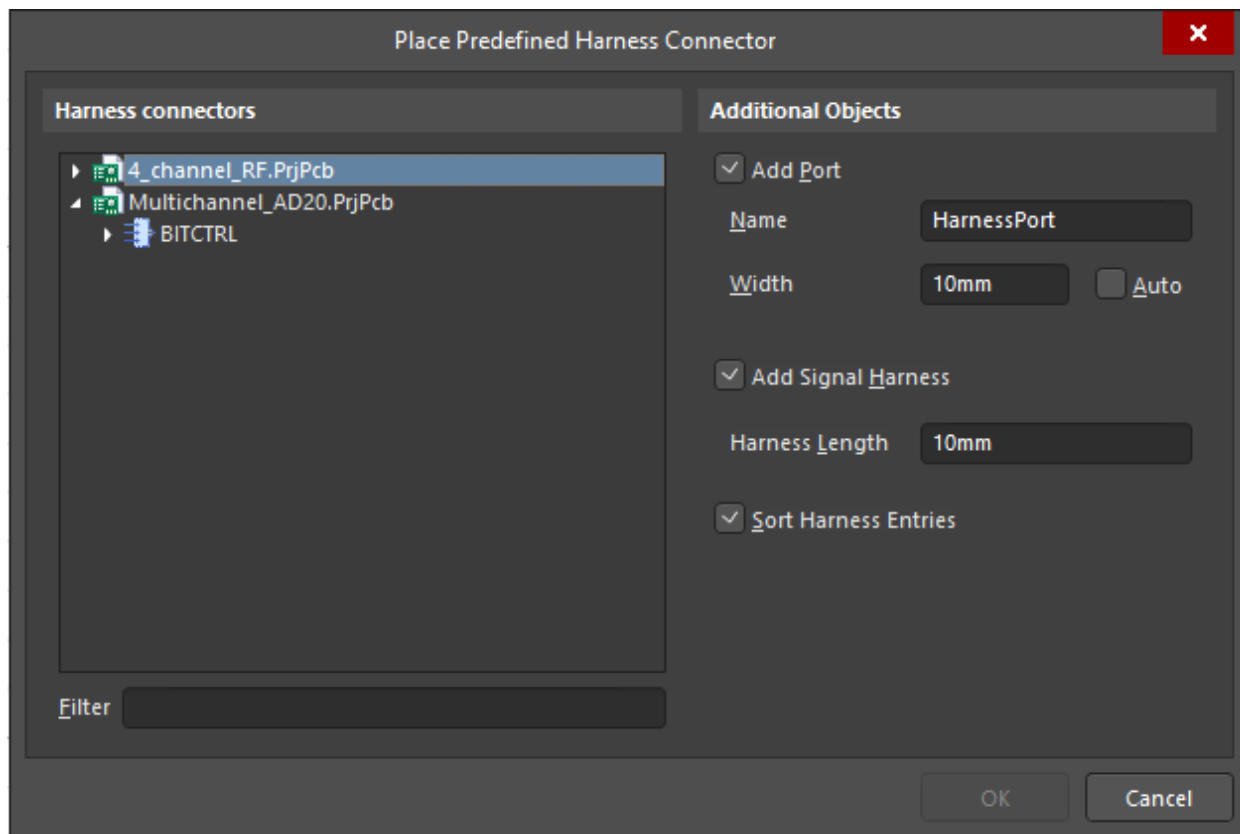


После надо составить остальную часть схемы.

Цепи, которые на уровне канала имели имя, на верхнем уровне надо поименовать. Также, т.к. верхний уровень является одновременно глобальным, то на нем для соединения цепей можно использовать как метки цепи Net Label, так и Power Port.



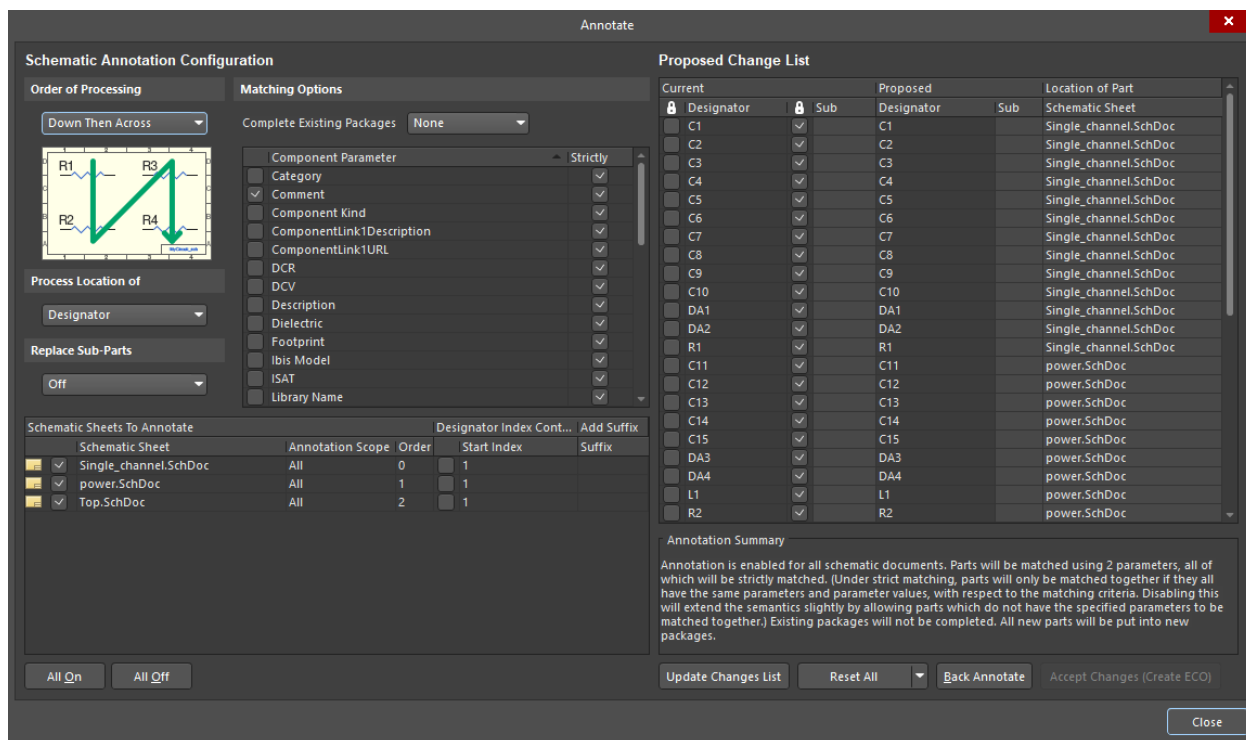
Вывод из жгута делается также, через установку Harness Connector. Его состав нет необходимости заполнять еще раз, достаточно вызвать команду Place – Harness – Predefined Harness Connector (P, H, P) и выбрать ранее определенный. Определения жгутов в списке берутся из всех открытых проектов.



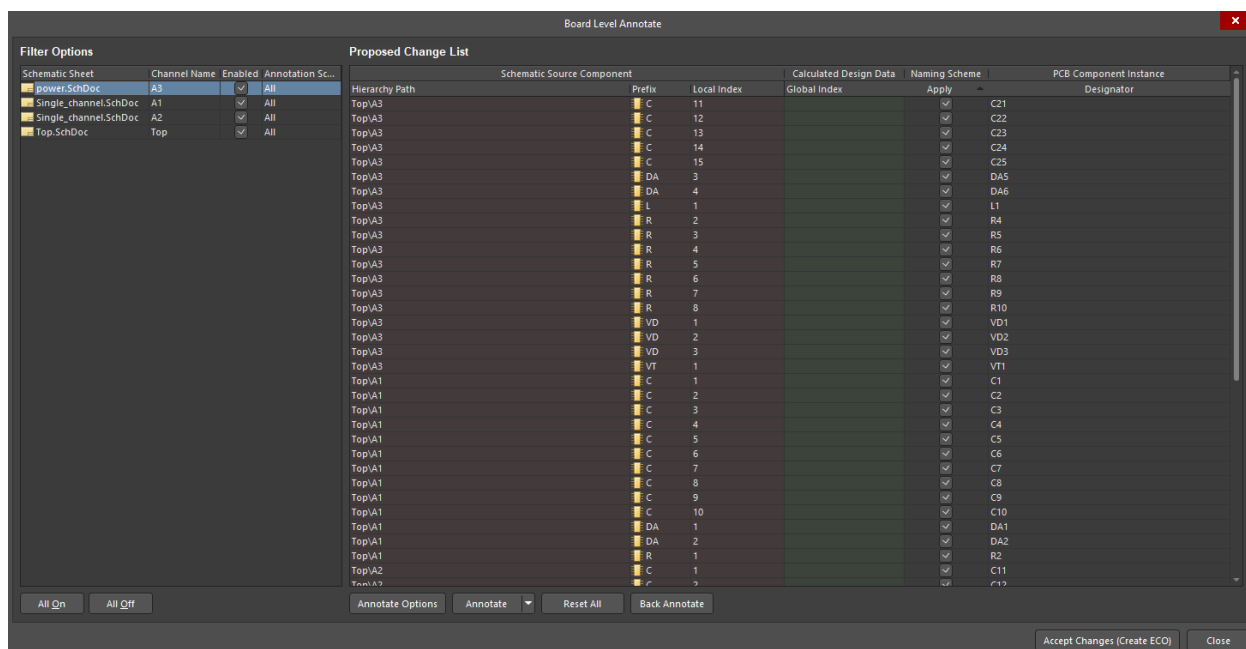
### **Аннотация и компиляция.**

В отличие от обычного плоского проекта, аннотацию иерархических проектов надо делать в два этапа.

Сначала надо проаннотировать все схемы через Tools – Annotate Schematic.

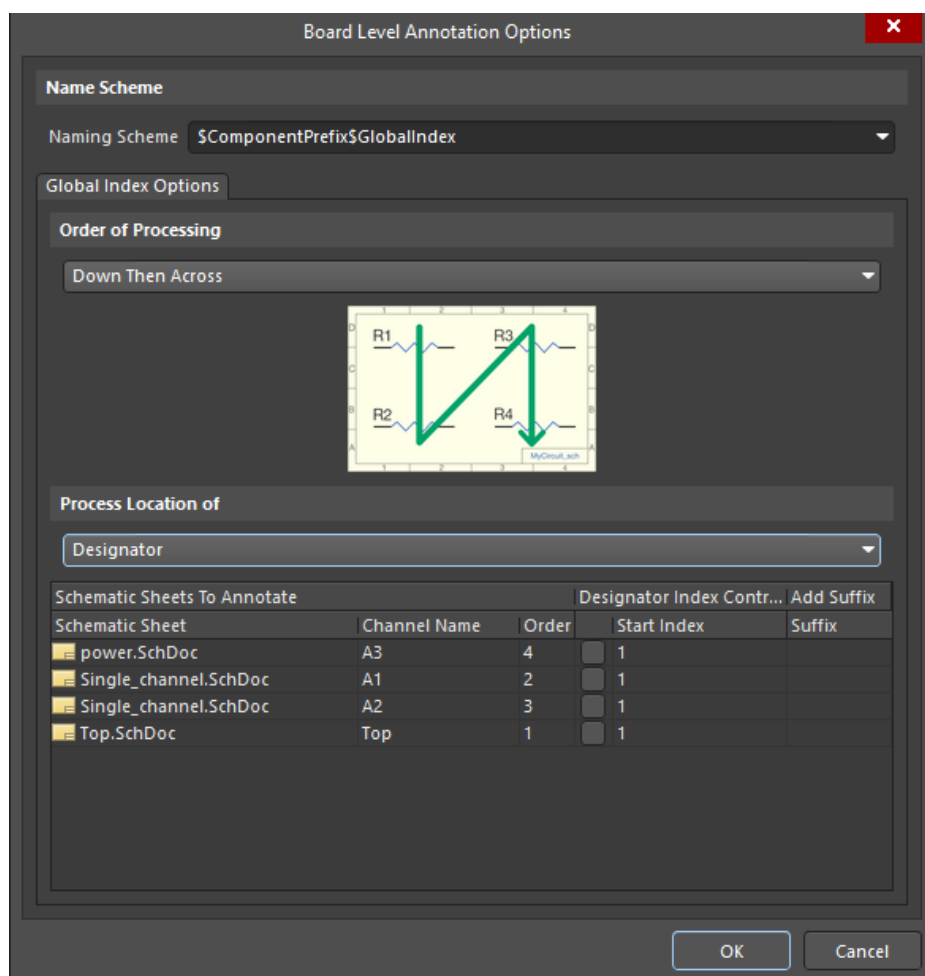


Все компоненты получают сквозную аннотацию в пределах проекта, но так, будто каждый канал входит только один раз. С этим на уровне платы работать нельзя, нужно провести аннотацию на глобальном уровне Tools – Board Level Annotate (Ctrl+L).

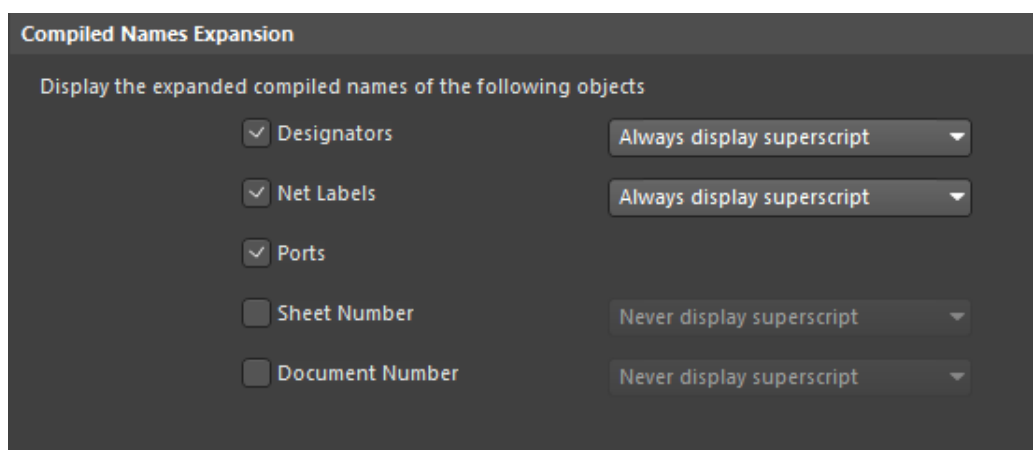


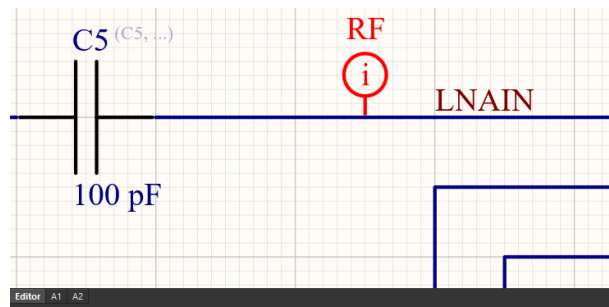
По кнопке Annotate Options можно выбрать один из вариантов всей нумерации позиционных обозначений и комнат каналов.

Сделаем сквозную аннотацию для всего проекта Naming Scheme = \$ComponentPrefix\$GlobalIndex.

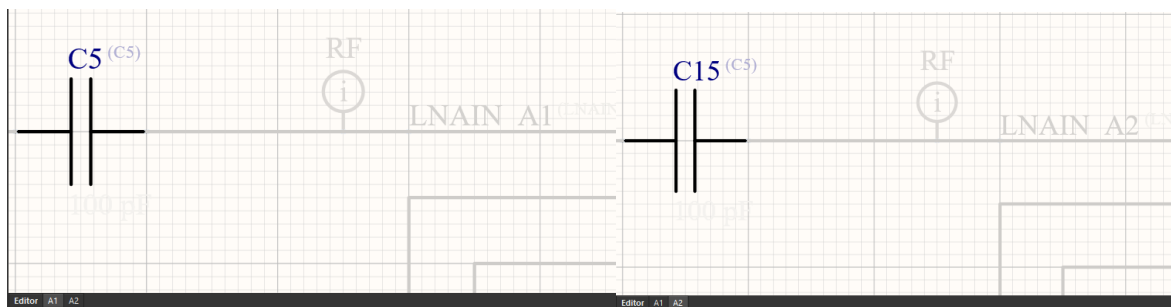


В настройках Tools – Schematic – Compiler поле Compiled Names Expansion при установке галок и выбора Display superscript if necessary в схеме канала у позиционных обозначений компонентов и имен цепей появится строчка, показывающая что эти имена переопределены при глобальной аннотации.





После компиляции проекта можно переключать схему канала в вид отдельных каналов (вкладки в нижней части схемы) и видеть, как цепи и позиционные обозначения переопределены для каждого из каналов.

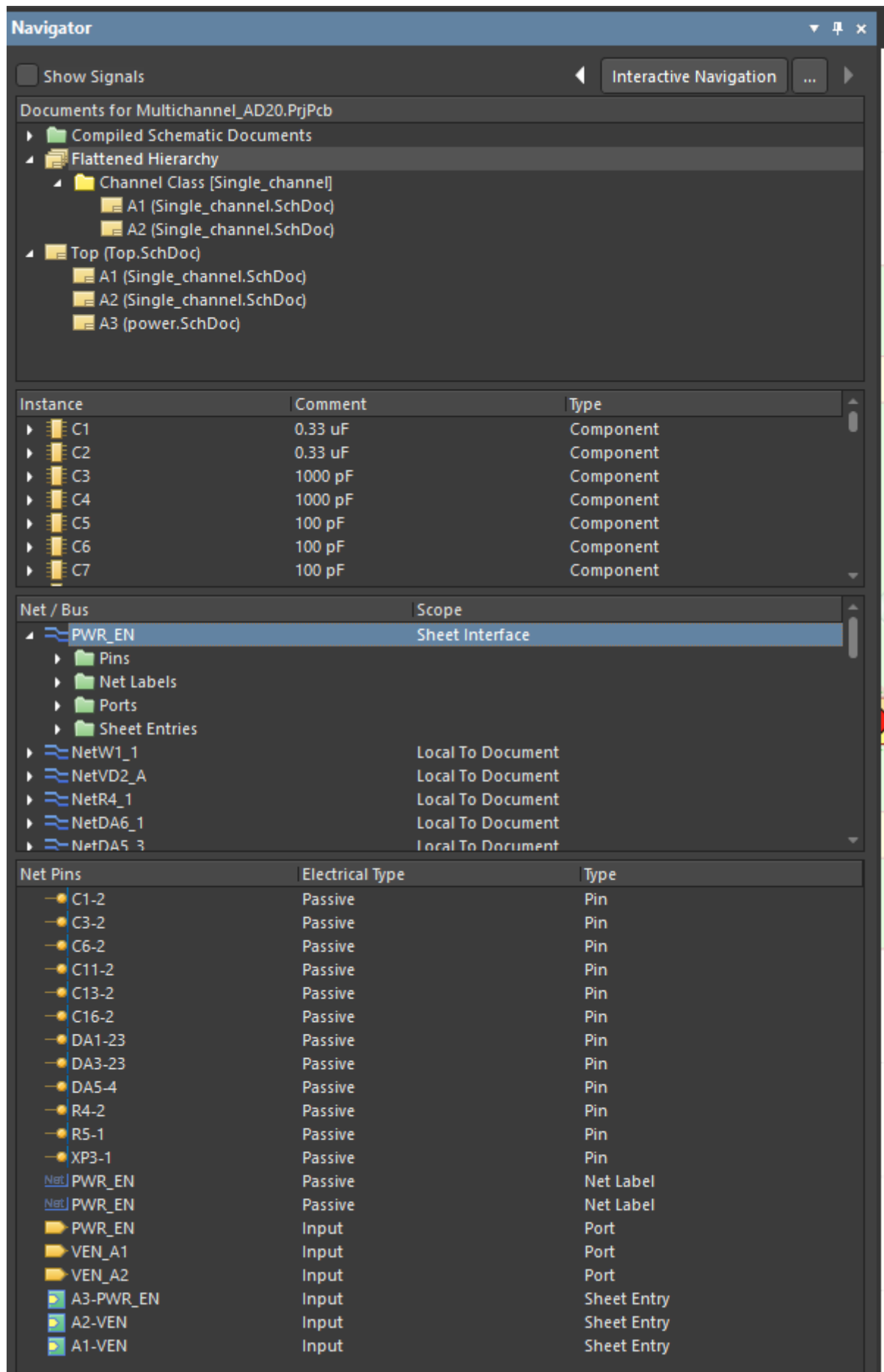


Как и в обычном случае, после компиляции проекта рекомендуется в панели Navigator проверить финальный состав схемного проекта.

### Проверка схемного проекта на глобальном уровне

После окончания составления схемы нужно проверить список цепей на глобальном уровне, в том числе, присутствуют ли все компоненты; соединены ли нужные цепи, а ненужные разделены; правильно ли отработала иерархия и имена цепей соответствуют ожидаемому и пр.

Для этого можно пользоваться панелью Navigator, на которой при выбранном списке Flattened Hierarchy можно контролировать глобальный список компонентов и цепей. Этот же список передается в топологию при прямом ЕСО.



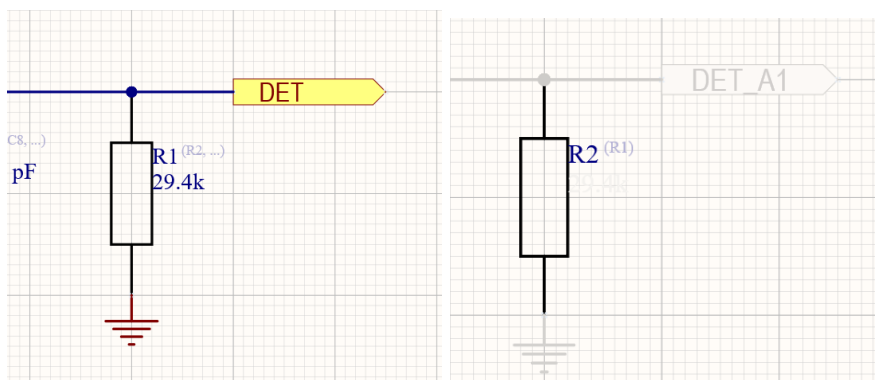
Поясним некоторые ранее принятые решения при определении стиля иерархии и к чему может привести, если от них отойти.

1. Настройка Net Identifier Scope = Hierarchical (Sheet entry  $\leftrightarrow$  port connections, power ports global).

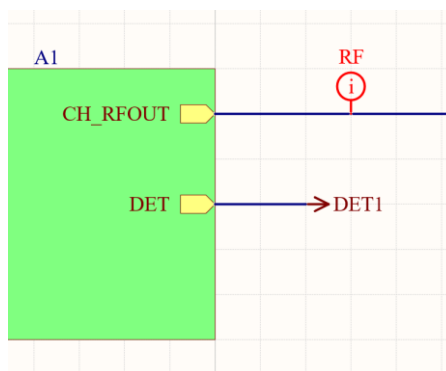
Ранее мы установили эту настройку в иерархическую. В том же списке можно выбрать Strict Hierarchical (Sheet entry  $\leftrightarrow$  port connections, power ports local) – строгая иерархическая. В этом случае, в пределах каждого канала для объединения цепей можно пользоваться Power Port, между каналами эти цепи соединяться не будут (и тогда схема ближе к отображению по ЕСКД), но тогда разобьется глобальная цепь земли (также задаваемая как Power Port) и цепи за пределы канала выходят только через порты.

Именно поэтому, при Net Identifier Scope = Hierarchical (Sheet entry  $\leftrightarrow$  port connections, power ports global) для соединения цепей в пределах канала можно пользоваться только метками цепи Net Label, а Power Port использовать только для глобальных цепей.

2. Цепи, имеющие метку цепи на верхнем уровне, переопределяют ее, даже если она определена в подсхеме (в соответствии с настройкой Higher Level Names Takes Priority). В примере в канале цепь выхода детектора с усилителя имеет исходное имя DET (берётся из имени порта). Но при компиляции, на верхнем уровне для каждого из каналов определено свое имя DET1 и DET2. Т.е. проходит переименование в общем списке цепей.







Вся информация об таких конфликтах имен и принятых решениях о финальном имени выводится в панели Messages как предупреждение.

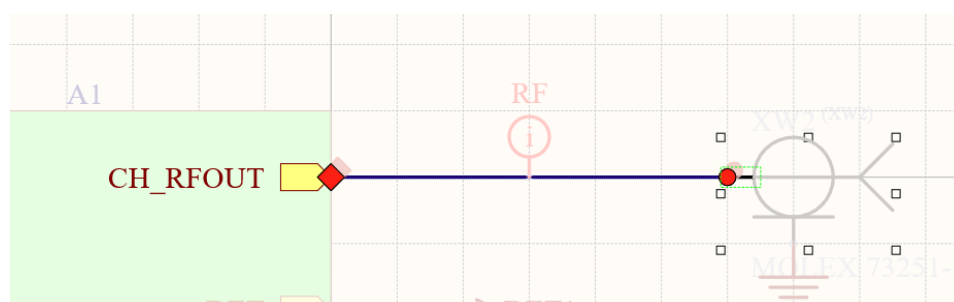
Messages						
Class	Document	Source	Message	Time	Date	No.
[Warning]	Top.SchDoc	Compiler	Nets Wire CH_B7 has multiple names (Net Label B7_A2, Net Label B7_A2, Net Label CH_B7, Net Lab	15:34:48	24.08.2020	16
[Warning]	Top.SchDoc	Compiler	Nets Wire DET1 has multiple names (Port DET_A1, Power Object DET1, Power Object DET1)	15:34:48	24.08.2020	17
[Warning]	Top.SchDoc	Compiler	Nets Wire DET2 has multiple names (Port DET_A2, Power Object DET2, Power Object DET2)	15:34:48	24.08.2020	18
[Warning]	Top.SchDoc	Compiler	Nets Wire PWR_EN has multiple names (Net Label PWR_EN, Net Label PWR_EN, Port PWR_EN, Port	15:34:48	24.08.2020	19

Details

- Nets Wire DET1 has multiple names (Port DET\_A1, Power Object DET1, Power Object DET1)
- Wire NetXP3\_2
- Port DET
- Power Object DET1
- Power Object DET1

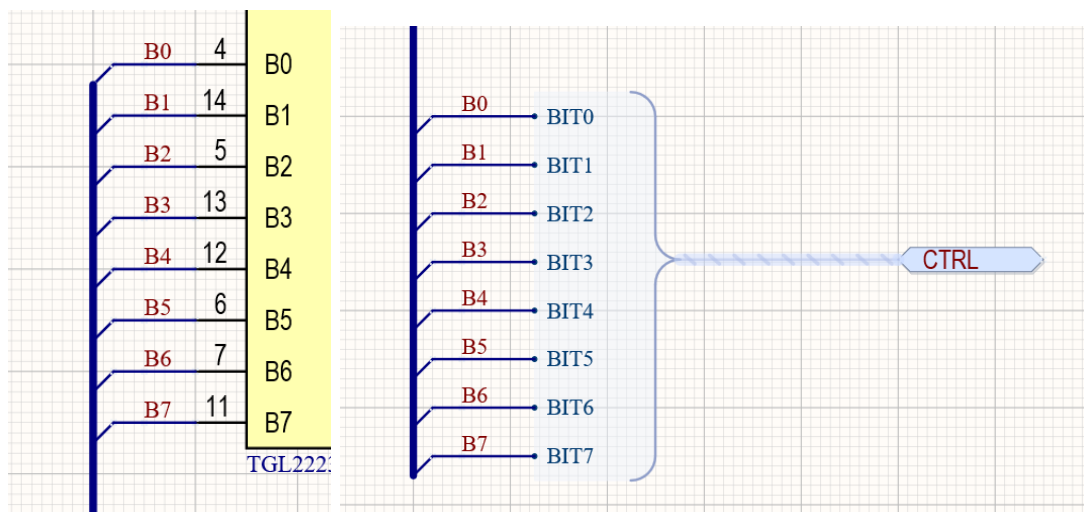
3. Цепи, имеющие определение имени только в подсхеме, получают к имени цепи суффикс позиционного обозначения этой подсхемы. И если на верхнем уровне цепь имени не имеет, то имя пробрасывается наверх.

CH_RFOUT_A1		Sheet Interface
C10-2		Passive
XW2-1		Passive
Ports		
Sheet Entries		

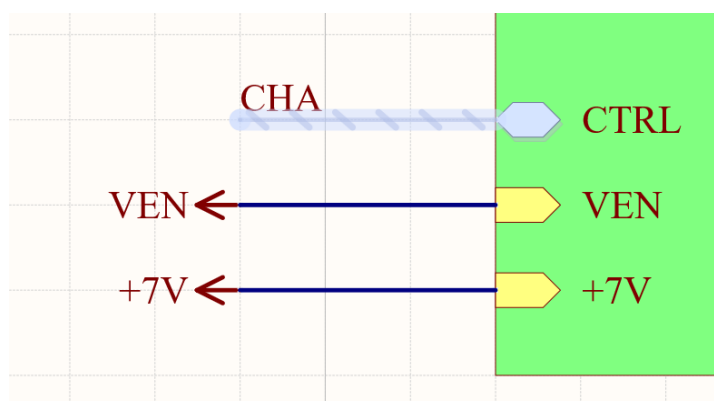


4. Если в канале шина используется только как графический элемент (не имеет своей метки цепи), то имена цепей обрабатываются аналогично показанному выше. Поясним на примере цепями управления аттенуатором.

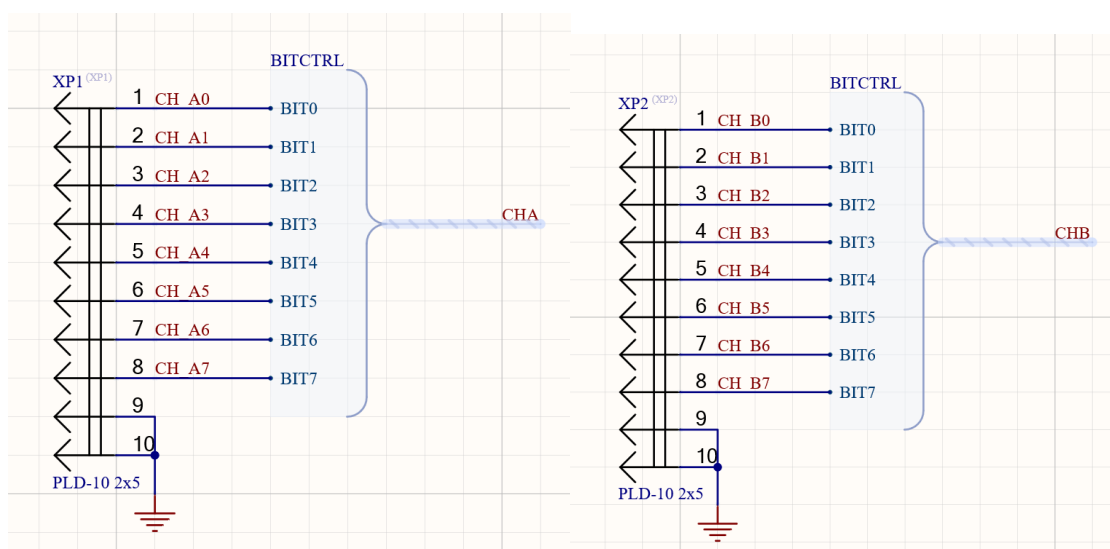
У аттенуаторов в канале управляющие входы помечены метами цепи В0, В1 и т.д. Далее они заведены в шину и в другом месте эта шина аналогично разобрана. На шине нет своей метки цепи вида В[0..7], и поэтому она служит исключительно как графический элемент.



Затем индивидуальные цепи заходят в жгут в точки входа BIT0..BIT7. На верхнем уровне жгут выведен из блока и имеет метку цепи CHA для соединения жгута в пределах схемы (для первого канала).



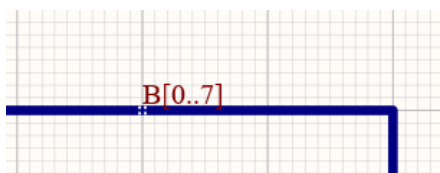
У нужного разъема этот жгут разобран обратно на составляющие, но теперь имена управляющих цепей заданы с помощью меток цепи в имена вида CH\_A0.. CH\_A7 для первого канала и CH\_B0.. CH\_B7 для второго.



С учетом правил иерархии, получится, что в глобальном списке цепей, цепи управления аттенюатором первого канала будут иметь имена CH\_A0.. CH\_A7 для первого канала и CH\_B0.. CH\_B7 для второго.

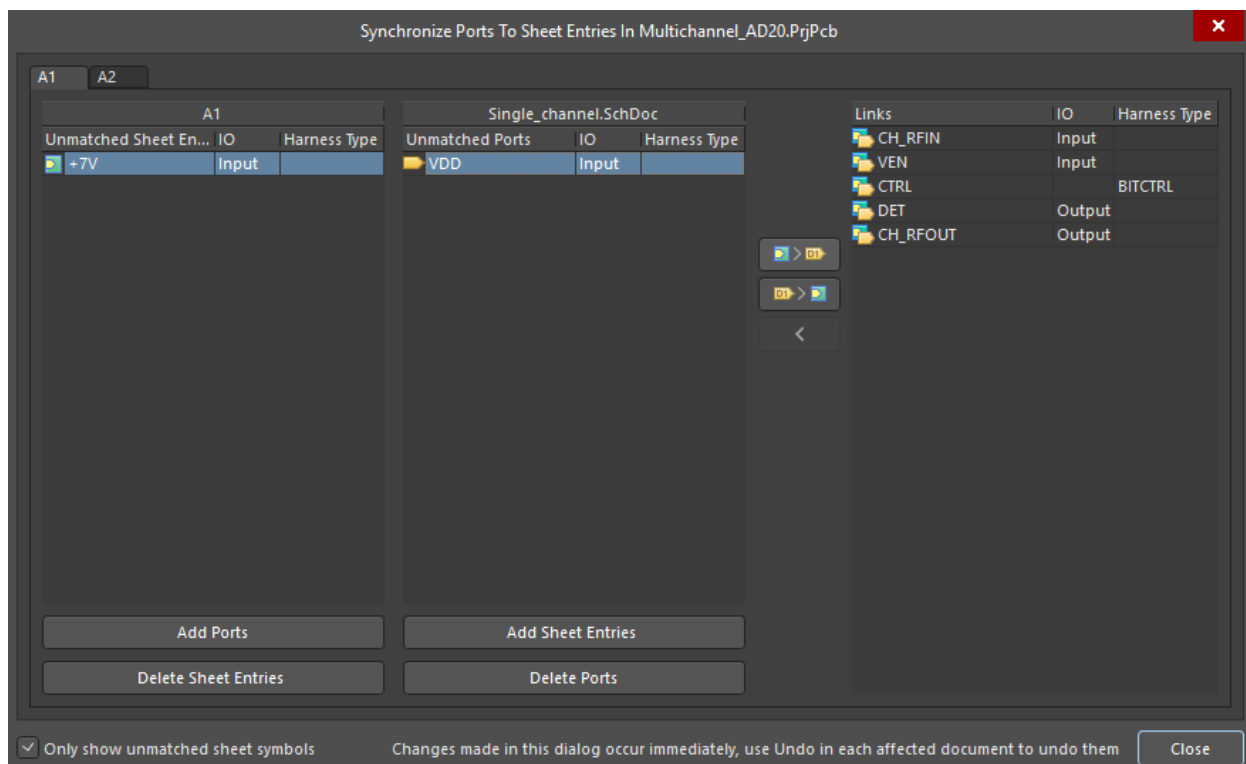
Net / Bus	Scope
CH_RFIN_A1	Sheet Interface
CH_B7	Sheet Interface
CH_B6	Sheet Interface
CH_B5	Sheet Interface
CH_B4	Sheet Interface
CH_B3	Sheet Interface
CH_B2	Sheet Interface
CH_B1	Sheet Interface
CH_B0	Sheet Interface
CH_A7	Sheet Interface
CH_A6	Sheet Interface
CH_A5	Sheet Interface
CH_A4	Sheet Interface
CH_A3	Sheet Interface
CH_A2	Sheet Interface
CH_A1	Sheet Interface
CH_A0	Sheet Interface

Однако, если в канале дать имя шине в формате B[0..7] (как определяется шина, это может быть нужно для соединения шины в разных местах одного листа схемы), то при компиляции приоритет имени будет иметь имя шины. И на глобальном уровне цепи будут объединены в шины и иметь имена вида B0\_A1, B0\_A2 и т.д.



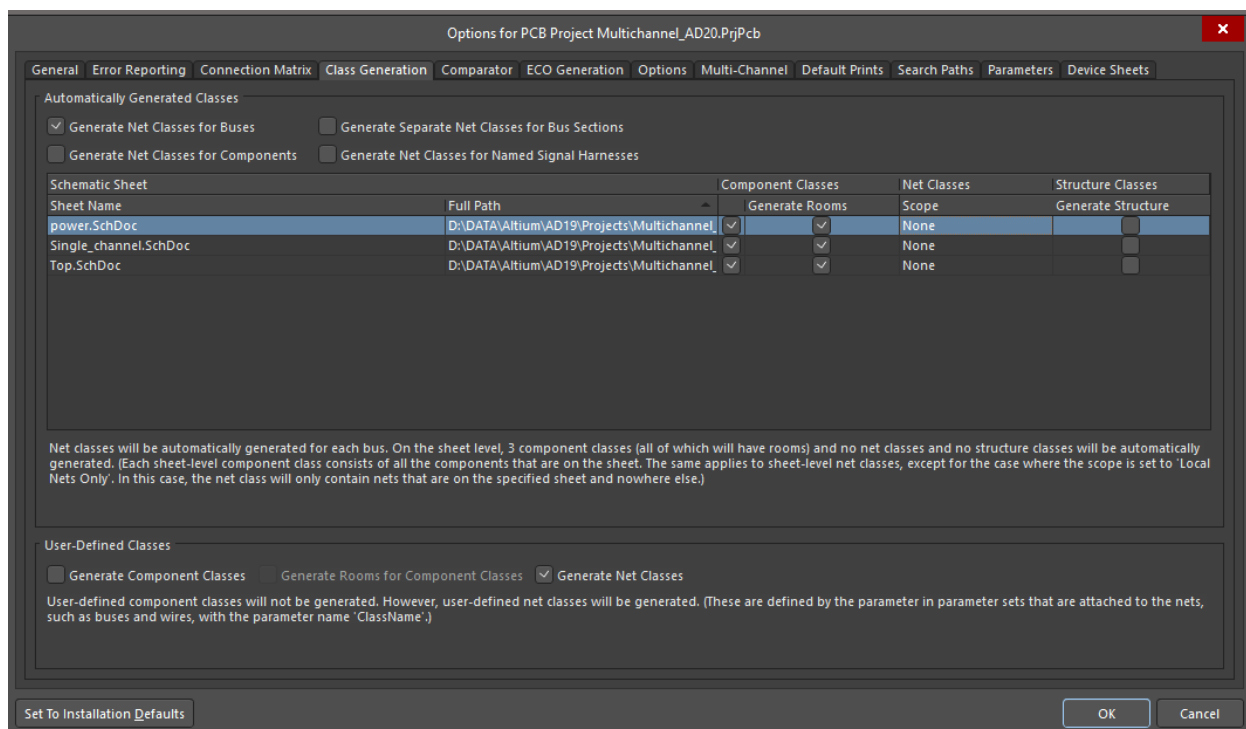
Net / Bus	Scope
B[0..7]_A1 Bus	Local To Document
B[0..7]_A2 Bus	Local To Document
B0_A2	Sheet Interface
B1_A2	Sheet Interface
B2_A2	Sheet Interface
B3_A2	Sheet Interface
B4_A2	Sheet Interface
B5_A2	Sheet Interface
B6_A2	Sheet Interface
B7_A2	Sheet Interface
PWR_EN	Sheet Interface

5. Если при работе с подсхемами возникла необходимость изменить число или имена выводов из подсхем, то после изменения подсхемы (изменив порты) или символа блока (изменив Sheet Entries) можно по команде Design – Synchronize Sheet Entries and Ports привести их соответствие.



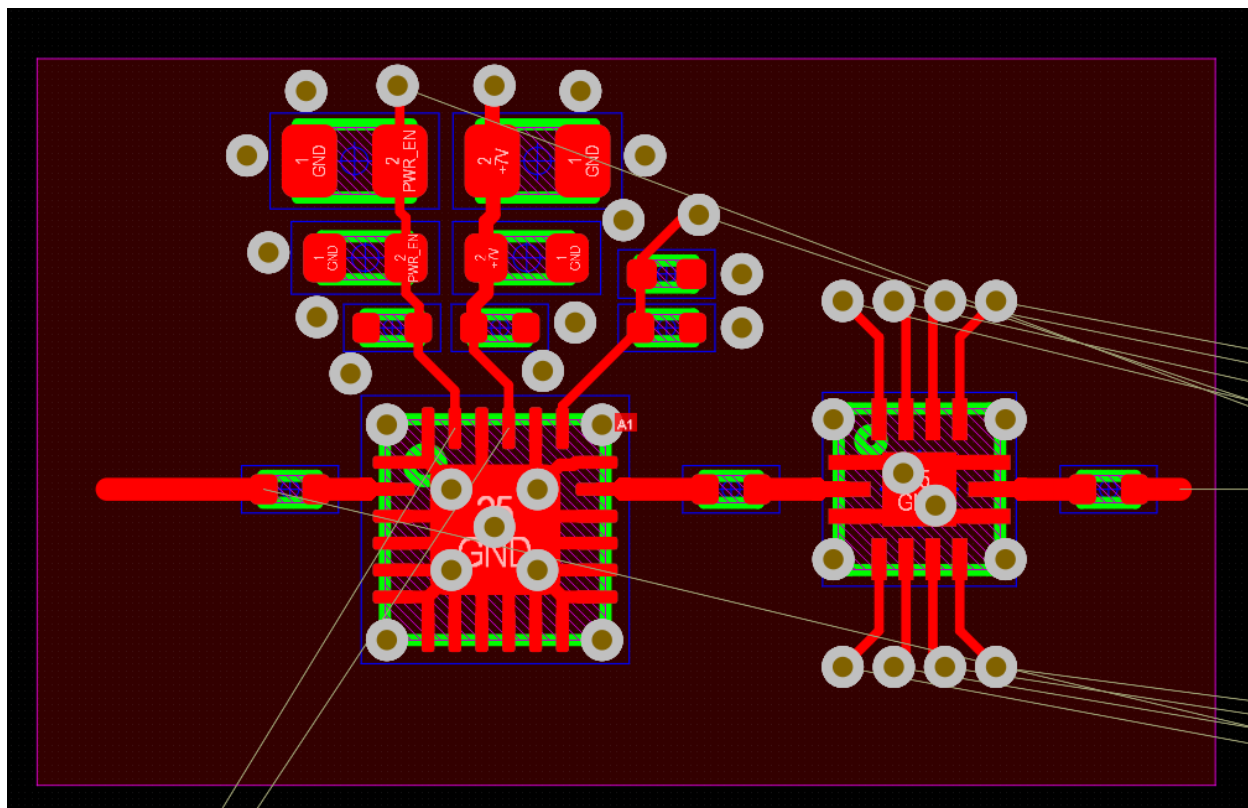
## Разводка одного канала.

Чтобы при прямом ЕСО в топологии создавались комнаты для каждой подсхемы, в том числе на каналы, нужно чтобы в настройках на проект Project – Project Options – Class Generations стояли галки в столбце Generate Rooms.



Комната первого канала получит имя A1, второго A2.

Далее надо в рамках одного канала надо развести одинаковые части. В разводке лучше оставить висящими участки, которые должны выходить за пределы канала.



Мы знаем, что часть цепей питания и управления придется уводить на третий слой (чтобы пересечь ВЧ-линии), поэтому для всех таких цепей мы сразу разместили переходные отверстия. При финальной разводке ненужные части просто можно будет удалить.

### Копирование разводки между каналами.

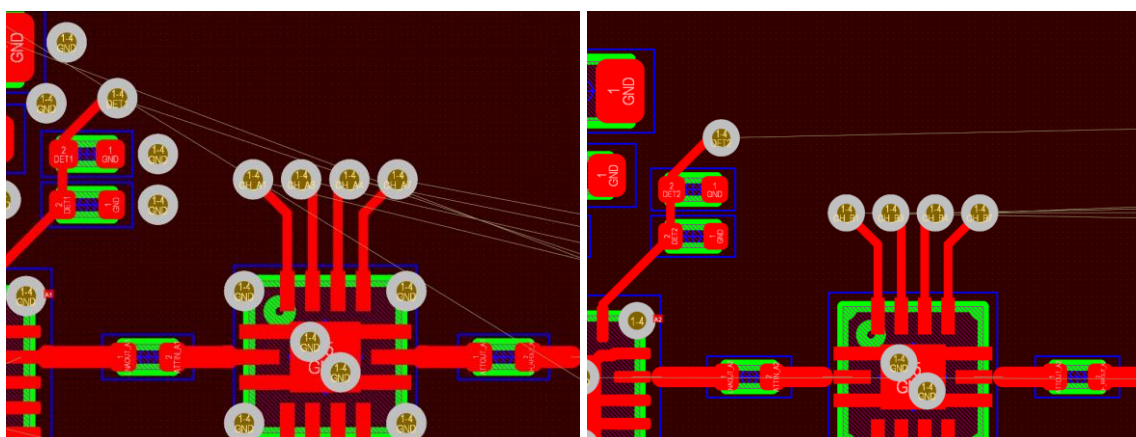
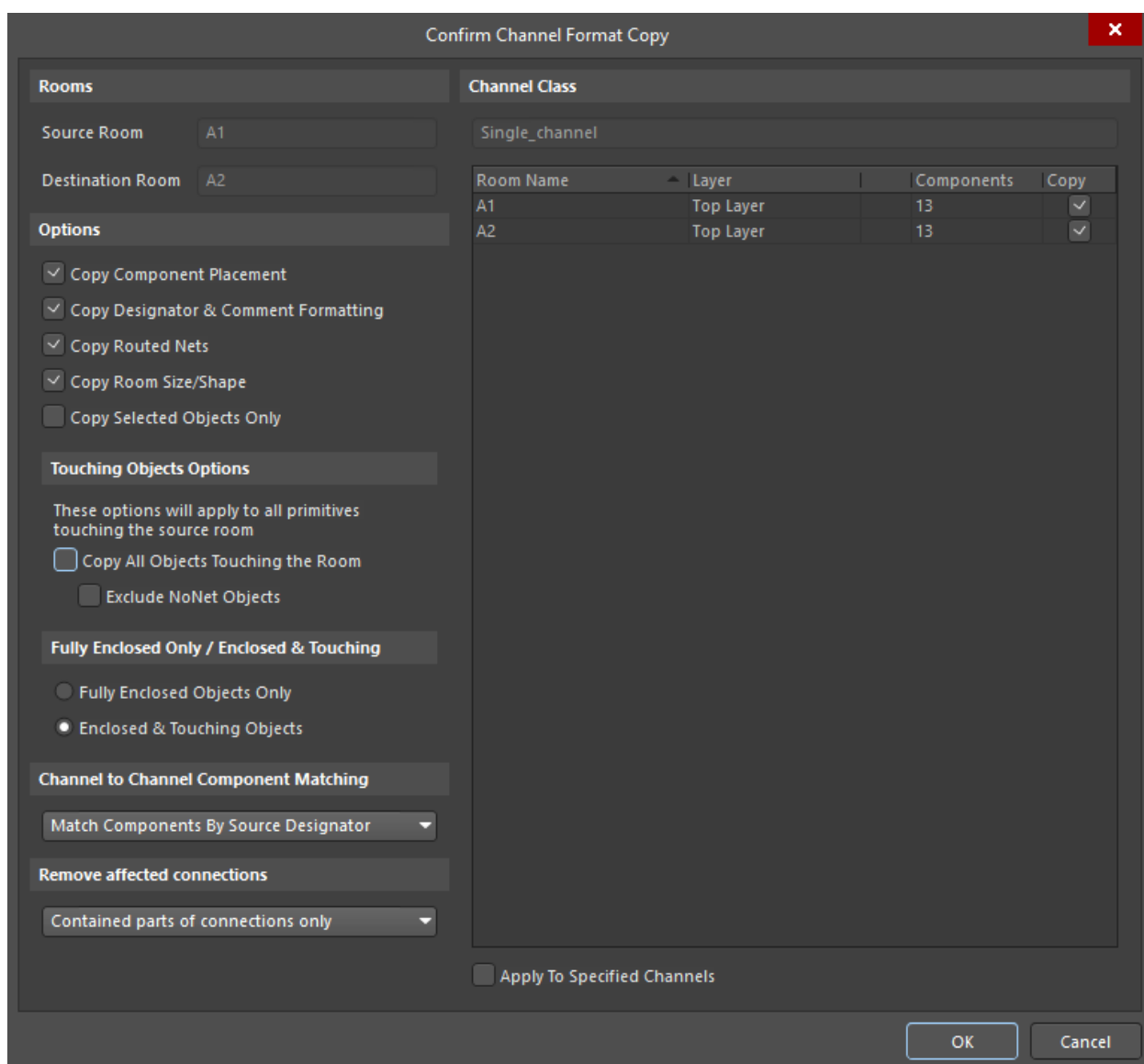
Можно предложить как минимум два способа копирования расположения компонентов и разводки между каналами.

#### 1. Копирование только с использованием Copy Room Formats.

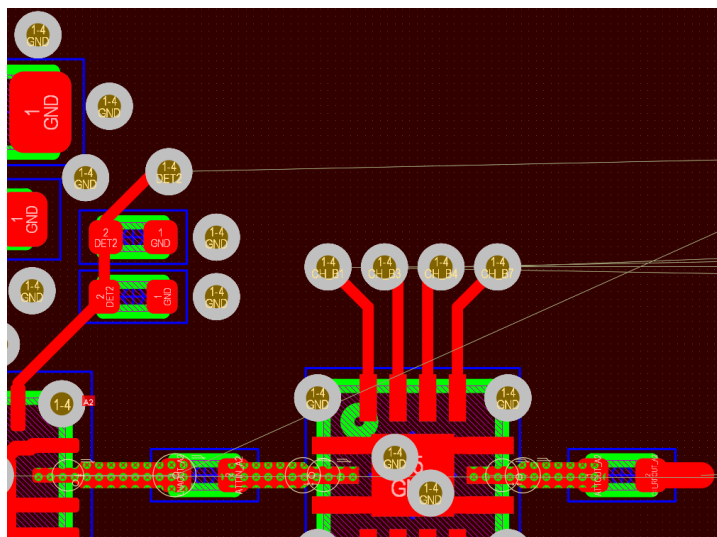
Работает только если подсхемы являются каналами.

По команде Design – Rooms – Copy Room Formats (D, M, C) можно скопировать размер комнаты, расположение компонентов и разводку из одного канала в другие. К сожалению, без проблем переносятся только расположение компонентов и основные примитивы разведенных цепей. Проблемы бывают при переносе висящих отверстий в общих цепях и регионах.

Если в настройках копирования снята галка Copy All Objects Touching the Room, то отверстия в общих цепях и регионы не перенесутся.

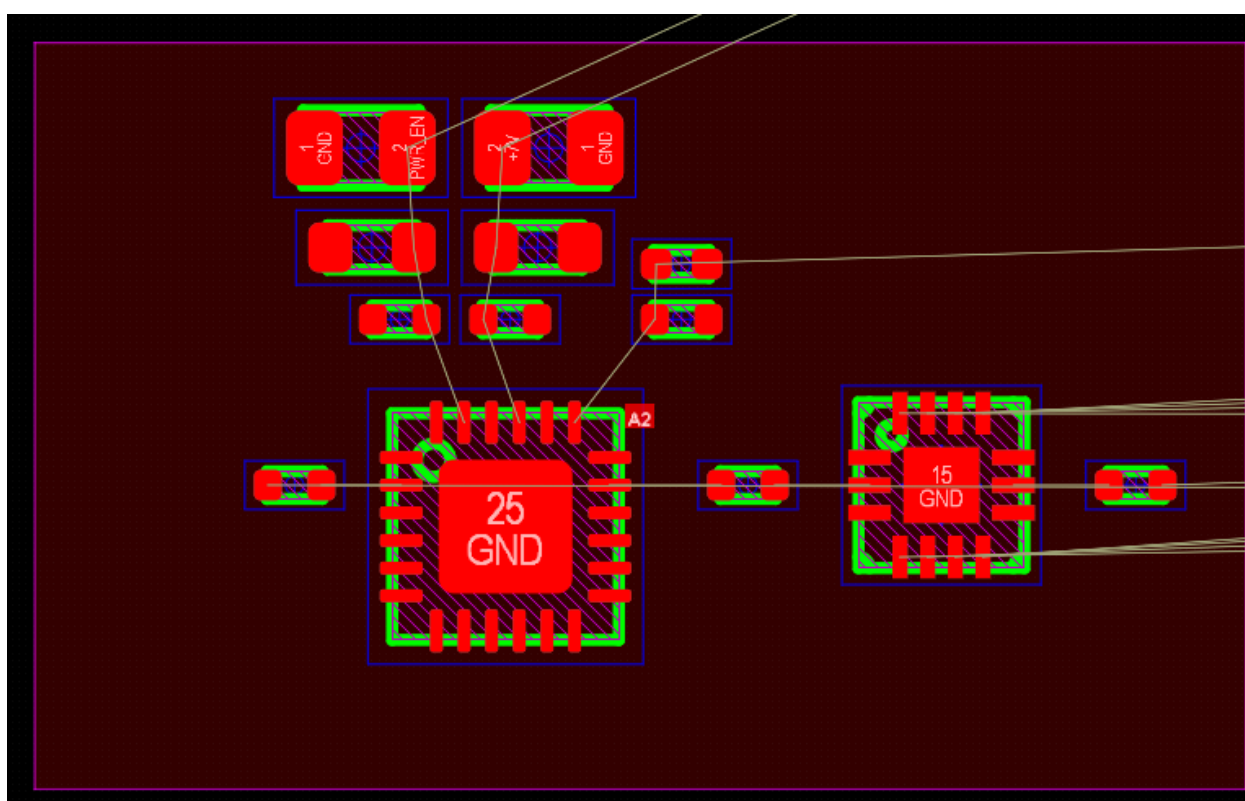


Если же эта галка стоит, то отверстия и регионы перенесутся, но некоторые регионы и цепи могут сохранить именования цепей из исходного канала и их руками надо будет перенести в правильные цепи.



2. Также можно предложить комбинированный способ копирования разведенной части между каналами.

- Сначала с помощью Copy Room Formats скопировать только размер комнаты и расположение компонентов (включены режимы Copy Component Placement, Copy Designator & Comment Formatting и Copy Room Size/Shape).



Чтобы не перебирать все составляющие разводки по одной, воспользуемся панелью PCB Filter и напишем фильтрующий запрос. Состоять он будет из трех пересекающихся условий (перечисленных через and):



1. Т.к. то, что нас интересует, находится в комнате A1, то первое условие `WithinRoom('A1')`

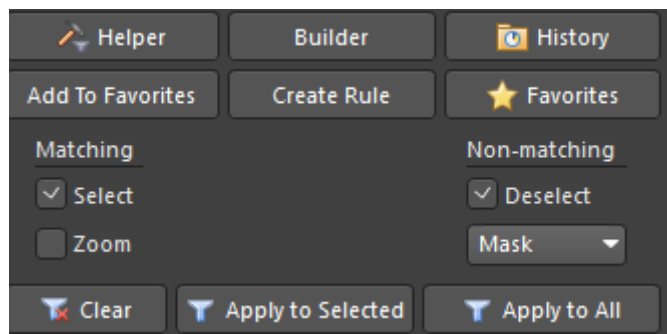
2. Т.к. нам нужно забрать все примитивы цепей и отверстия, то в скобках пишем `(isVia or IsArc or IsTrack or IsRegion)`. Также вместо этого перебора в большинстве случаев можно использовать `OnCopper`.

3. Но примитивы, из которых состоит графика компонентов нам не нужна, т.е. добавляем `not InAnyComponent`.

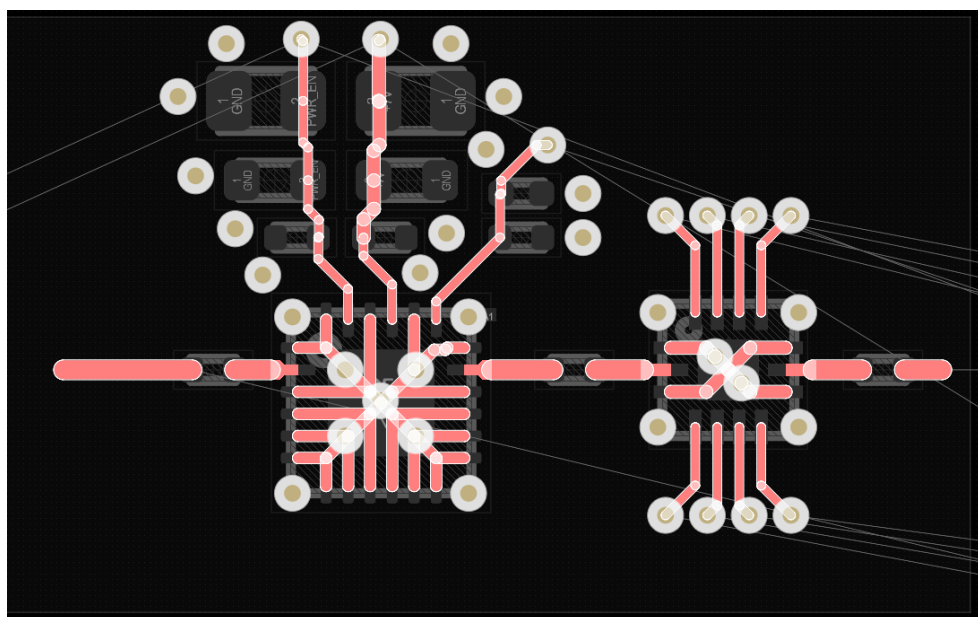
Общий синтаксис запроса получается следующий

`WithinRoom('A1') and (isVia or IsArc or IsTrack or IsRegion) and not InAnyComponent`

Установим, что при выполнении этого запроса выбирается подходящее, сбрасываются и маскируется неподходящее.

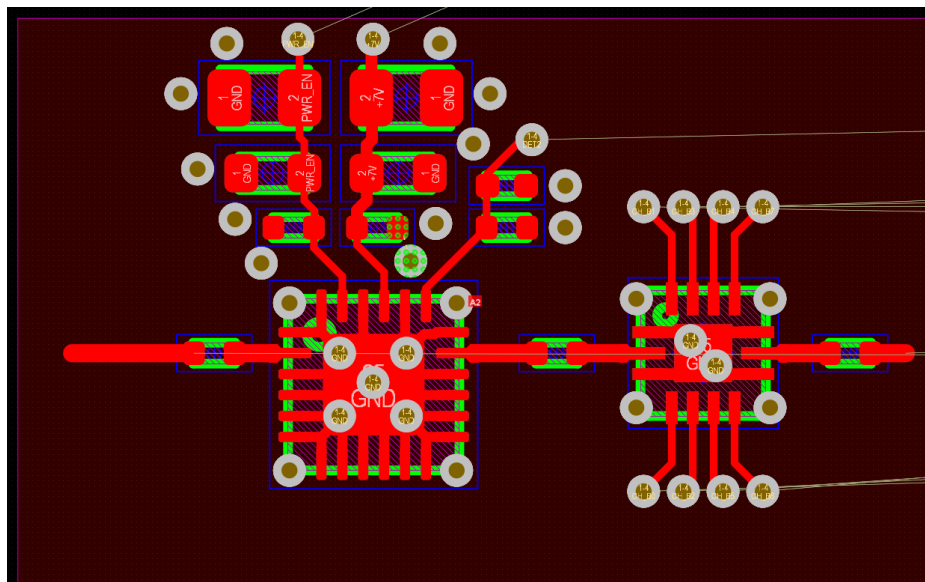


Нажимаем `Apply to All` и у нас оказываются выбраны необходимые части.

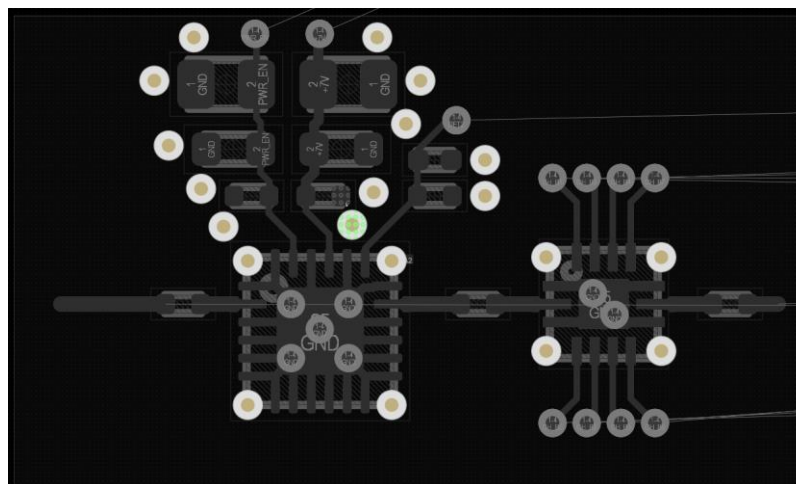




Копируем выбранное относительно какой-либо характерной точки (центра термопада attenuатора, например). Через Shift+C снимаем выделение и маскирование. И теперь добавляем во второй канал. Прimitives цепей при касании падов с нужными цепями переподключатся к ним. Однако оторванные цепи (в примере земляные отверстия) перейдут в NoNet.



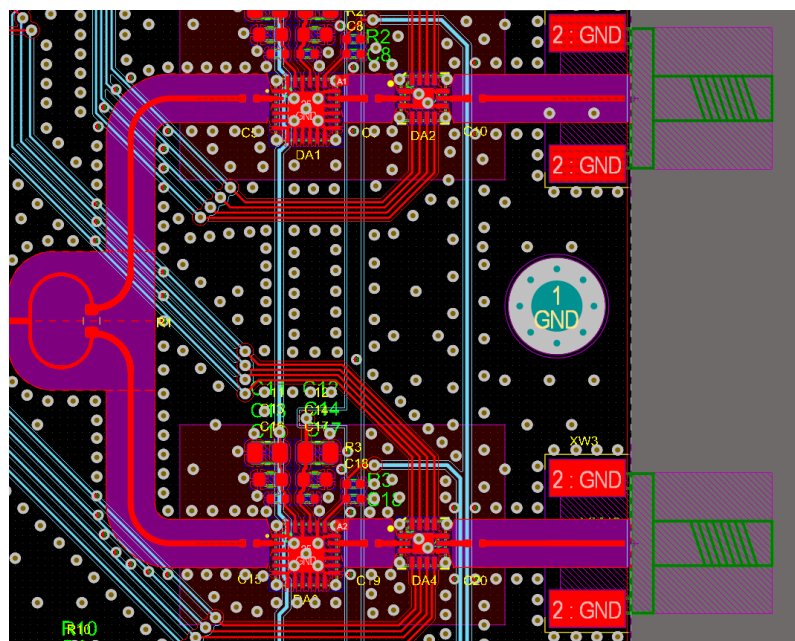
Выбираем отверстия без подключения по фильтру WithinRoom('A2') and isVia and not InAnyNet



И переносим в цепь GND. Копия разводки получена.

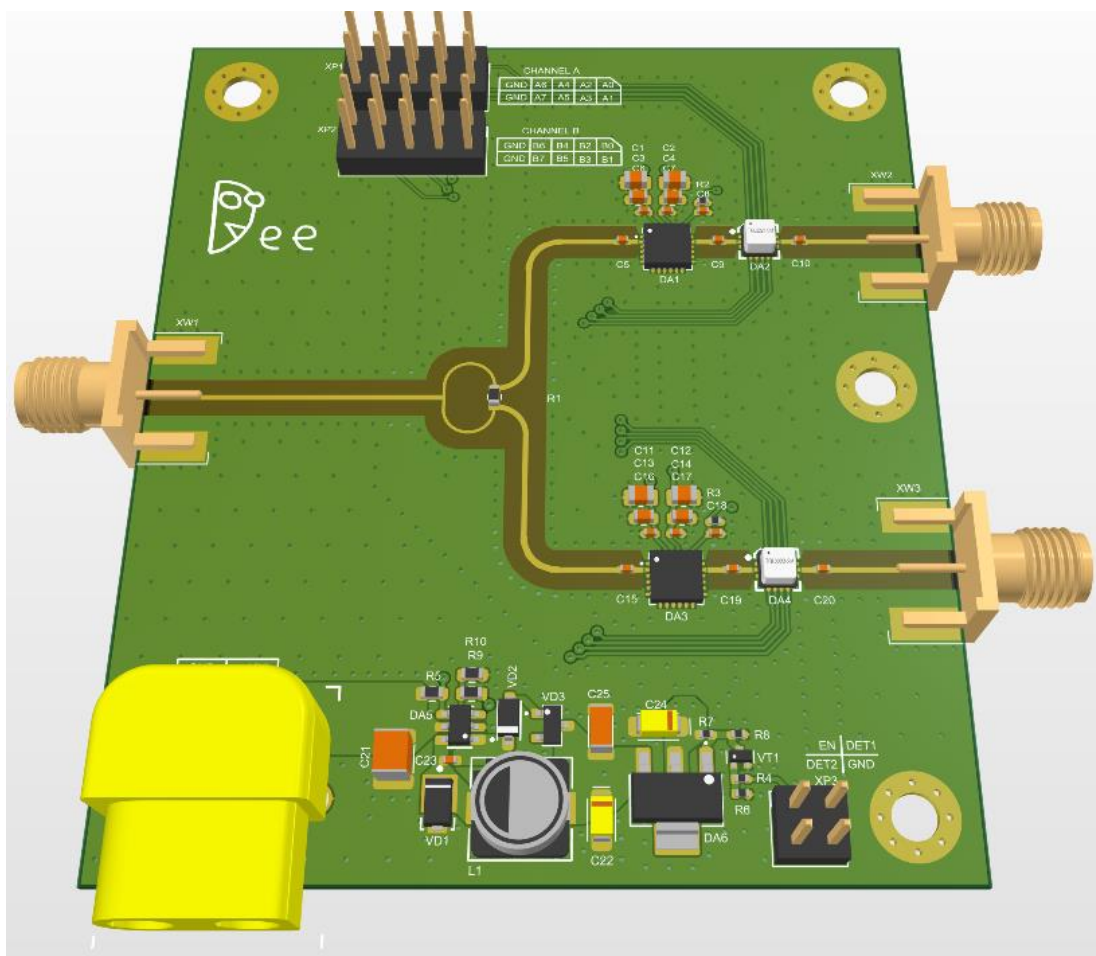
### Доразводка неповторяющихся частей

Доразведём оставшуюся часть по правилам разводки СВЧ-плат (на четырехслойной плате). Также удалим лишние отверстия на линиях питания и управления.



Скорее всего, при разводке неоднократно придется пользоваться копированием разведенного участка, не будем забывать пользоваться фильтрами PCB Filter и копированием выделенного участка.

Все, плата готова.



## Литература

1. Лопаткин, А. Проектирование печатных плат в Altium Designer. [Электронный ресурс] — Электрон. дан. — М. : ДМК Пресс, 2016. — 400 с. — Режим доступа: <http://e.lanbook.com/book/93565>

2. Лопаткин, А. Проектирование печатных плат в системе Altium Designer [Электронный ресурс] : учебное пособие / А. Лопаткин. — Электрон. дан. — Москва : ДМК Пресс, 2017. — 554 с. — Режим доступа: <https://e.lanbook.com/book/97334>

3. Суходольский В.Ю. Altium Designer: сквозное проектирование функциональных узлов РЭС на печатных платах: учеб. Пособие. - 2-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2014. – 560 с.

4. Желобаев А.Л. Методические указания к лабораторным работам по курсу «САПР Altium Designer»: М.:МИЭТ, 2019 – 104с.

### *Перечень ресурсов сети «Интернет»*

5. Репозиторий автора с учебной библиотекой  
<https://github.com/dee3mon/StudentsLibraryGIT>

6. Репозиторий автора с учебными материалами по Altium Designer  
<https://github.com/dee3mon/altium-methodic>

7. Тематический форум electronix.ru, раздел «Разрабатываем ПП в САПР - PCB development»,  
<https://electronix.ru/forum/index.php?showforum=17>, доступно после свободной регистрации

8. Сайт Eurointech, раздел «Учебные материалы»  
<http://www.eurointech.ru/education/selftraining/>

### *Каналы Youtube с видеоуроками по Altium Designer*

9. Официальный канал Altium Designer  
<https://www.youtube.com/channel/UCpCi8Hpe4nIg4qvy2vpCGNQ>

10. Канал Алексея Сабунина  
<https://www.youtube.com/user/SabuninAlexey>

11. Плейлист «Altium Designer» на канале Сергея Булавинова  
<https://www.youtube.com/playlist?list=PLgUwXvgNkHqJ3G5UoLGMfHJM2c-m4Afdx>

12. Канал официального представительства Altium Russia  
[https://www.youtube.com/channel/UCvZ\\_kyV4ATrQfjmtVpuj0LQ](https://www.youtube.com/channel/UCvZ_kyV4ATrQfjmtVpuj0LQ)
13. Плейлист «Altium Designer» на канале консультационного центра АМКАД  
<https://www.youtube.com/watch?v=PcStOG7sRqk&list=PLUk9KaCJSP-UAcH1uLu6mOQmDTmZGCND8>
14. Плейлист «Уроки Altium Designer» на канале разработчика Nordic Energy  
[https://www.youtube.com/playlist?list=PLUYH9oDZsrZ25Lv\\_HNp03AzZTBotulI\\_Ba](https://www.youtube.com/playlist?list=PLUYH9oDZsrZ25Lv_HNp03AzZTBotulI_Ba)
15. Канал Robert Feranec - автора образовательного сообщества Fedevel Academy <https://www.youtube.com/user/matarofe/featured>

**Разработчик:**

Ст. преподаватель института МПСУ Приходько Д.В.