Федеральное государственное автономное образовательное учреждение высшего образования «Национальный исследовательский университет «Московский институт электронной техники».

Институт микроприборов и систем управления имени Л.Н. Преснухина

Методические указания к выполнению курсового проекта

«Работа с дифпарами и выравнивание длин в Altium Designer»

По курсу
«Проектирование печатных плат»

Москва, Зеленоград

2021

Оглавление

Оглавление 2
Общая информация. 3
1. Имена цепей. 4
2. Объединение пары цепей в дифпары. 4
2.1. В схеме 4
2.2. В топологии 4
3. Классы цепей и дифпар. 5
3.1. В схеме. 5
3.2. В топологии 7
4. Правила. 8
4.1. В схеме 8
4.2. В топологии 9
4.3. Комнаты (Rooms). 11
4.4. xSignals 12
4.5. Использование профиля импеданса 16
5. Предварительная разводка линий. 23
5.1. Интерактивная разводка 23
5.2. Дифференциальная разводка 25
6. Выравнивание длин линий. 26
6.1. Выравнивание одиночной линии. 26
6.2. Выравнивание дифференциальных линий 28
7. Выравнивание учетом внесенных задержек 28
8. Генерация Fanout-ов у микросхем. 32
9. Использование перестановки (Pin/Part Swap) 36
9.1. Настройка правил перестановки в компонентах 36
9.2. Разрешение на перестановку в проекте 38
9.2. Вызов команд перестановки 40
Литература 41

Todo// дописать про бэкдрилы

Общая информация.

В Altium Designer присутствует несколько методов работы с выравниваем длин линий и дифпарами. Предполагается, что читатель знаком с таким понятием как дифференциальная линия, выравнивание линий и, исходя из чего и как рассчитываются ограничения на них. Рассматривается только реализация средствами Altium Designer. Также предполагается, что читатель знаком собственно с Altium Designer и понимает идеологию работы с ним, знает основные подходы к формированию схем и разводке топологий, а также привык к его интерфейсу и организации быстрых клавиш.

В отличие от некоторых других топологических САПР в Altium Designer правила на проект определяются в составе топологии. Нет отдельной сущности (редактора ограничений), в которой централизовано определяются все правила на проект. Исторически сложилось, что топологические ограничения вводятся при работе с топологией, однако в схеме присутствует инструменты (директивы) для задачи некоторых правил и классов. Если правильно выстроить маршрут работы, то в большинстве случаев определение правил и классов в топологии не приводит к проблемам.

Однако вполне возможна ситуация, когда схема, не знающая о существовании некоторых видов классов и правил (если они были определены на топологии), при прямой аннотации предлагает их удалить. Необходимо следить за такими ситуациями или корректно настроить формирование ECO. Нельзя бездумно соглашаться с ECO и нажимать на Execute не проверив изменения.

В общем виде этапы работы получаются следующие:

1. Именование цепей;
2. Создание классов;
3. Создание правил;
4. Предварительная разводка цепей;
5. Оптимизация топологии и схемы через перестановку
6. Выравнивание длин цепей.

Приведены возможные маршруты работы, состоящие из последовательных этапов. Также приведен способ задания дополнительных задержек и описание мастера генерации веерной разводки (Fanout).

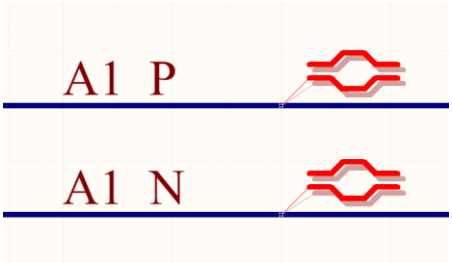
Материал написан для версии Altium Designer 19.1.8

1. Имена цепей.

Имена цепей всегда лучше иметь синхронизированными между схемой и топологией. Поэтому, несмотря на то, что имена цепей можно изменять в топологии, лучше имена цепей всегда изначально определять в схеме и через ECO переносить в топологию. В схеме имена присваиваются при установке метки имени цепи NetLabel (P, N).

2. Объединение пары цепей в дифпары.

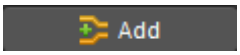
2.1. В схеме для определения дифпар, во-первых, имена цепей в дифпаре должны иметь постфиксы «_P» и «_N» (например, «A1_P» и «A1_N») и во-вторых, на каждую из цепей в дифпаре должна быть наложена директива Differential Pair (P, V, F).



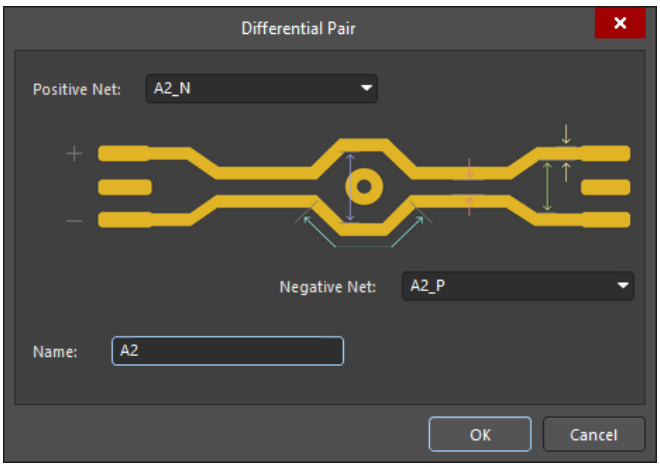
Тогда при прямой аннотации эти две цепи объединятся в одну дифференциальную цепь с именем без постффикса («A1» в примере).

2.2. В топологии. Если дифпары определяются в топологии, то постфиксы могут быть любыми или вообще можно обойтись без них, хотя удобный быстрый мастер по умолчанию настроен на постфиксы «_H» и «_L».

Для этого, необходимо вызвать панель PCB, перейти в список Differential Pairs Editor. И далее есть два метода.

2.2.а. По кнопке «Add» 

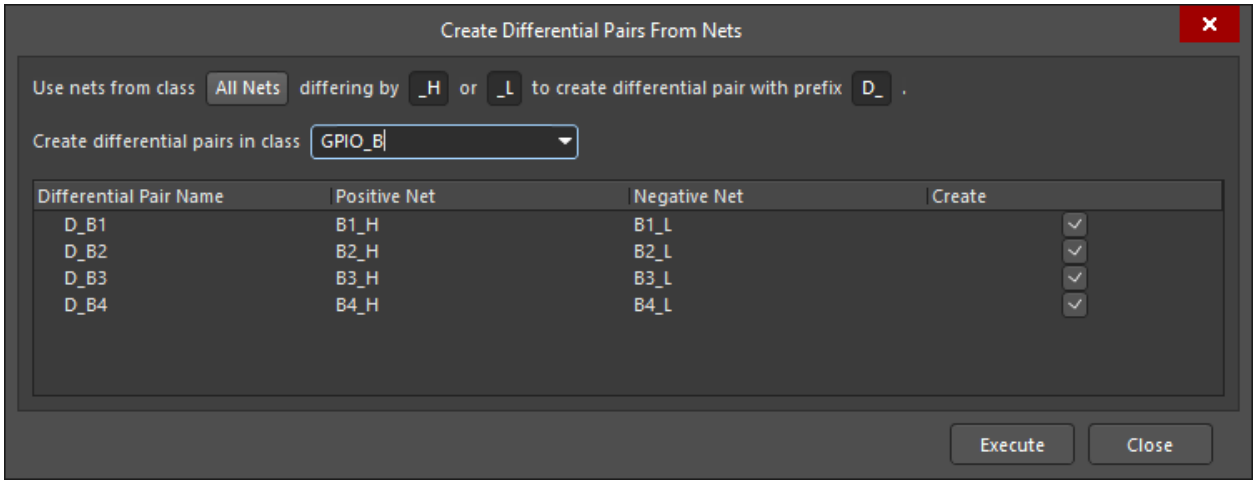
вызывается окно создания дифференциальной пары, в котором можно связать две любые линии.



Но это долго и имеет смысл, только если надо править считанное число дифференциальных линий.

2.2.б. В той же панели есть мастер «Create From Nets»

. Он отбирает все пары цепей из заданного класса цепей с заданными постфиксами (в примере «_H» и «_L») и объединяет их в дифпару с заданным префиксом (в примере «D_») и дополнительно добавляет их в заданный класс дифференциальных цепей.



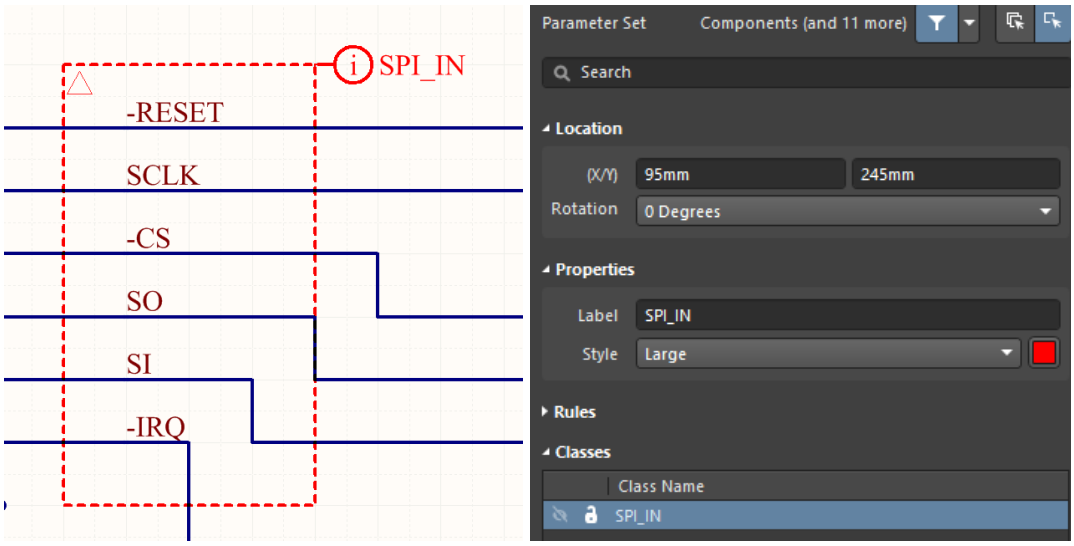
3. Классы цепей и дифпар.

Для более удобного создания правил нужно пользоваться классами.

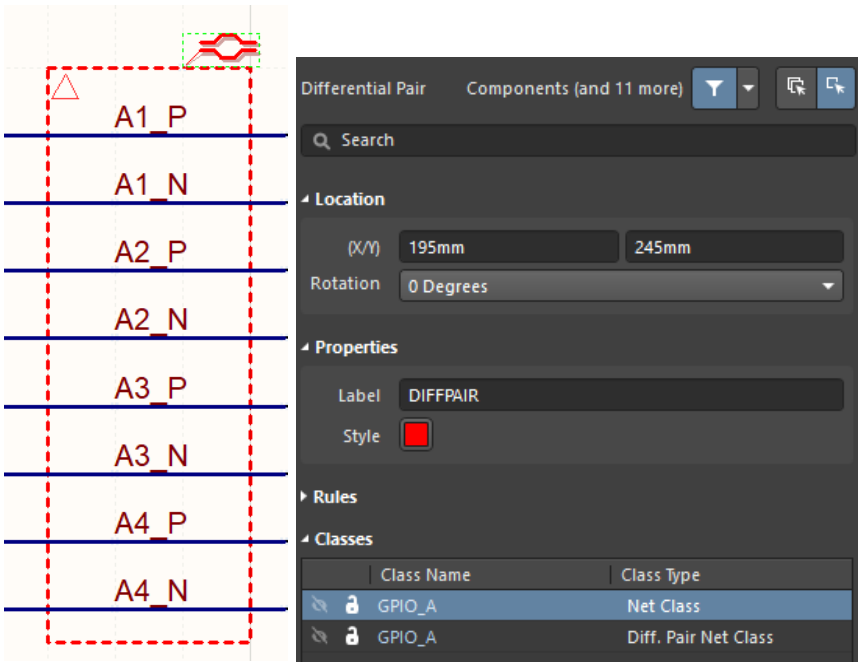
3.1. В схеме. Можно создавать как классы цепей, так и классы дифпар. В версиях Altium Designer до 19 можно было в схеме создавать только классы цепей.

Создание классов цепей делается с помощью директивы Parameter Set (P, V, M). Также существует директива Blanket (P, V, L), позволяющая создать групповое задание директив. Например, объединим группу

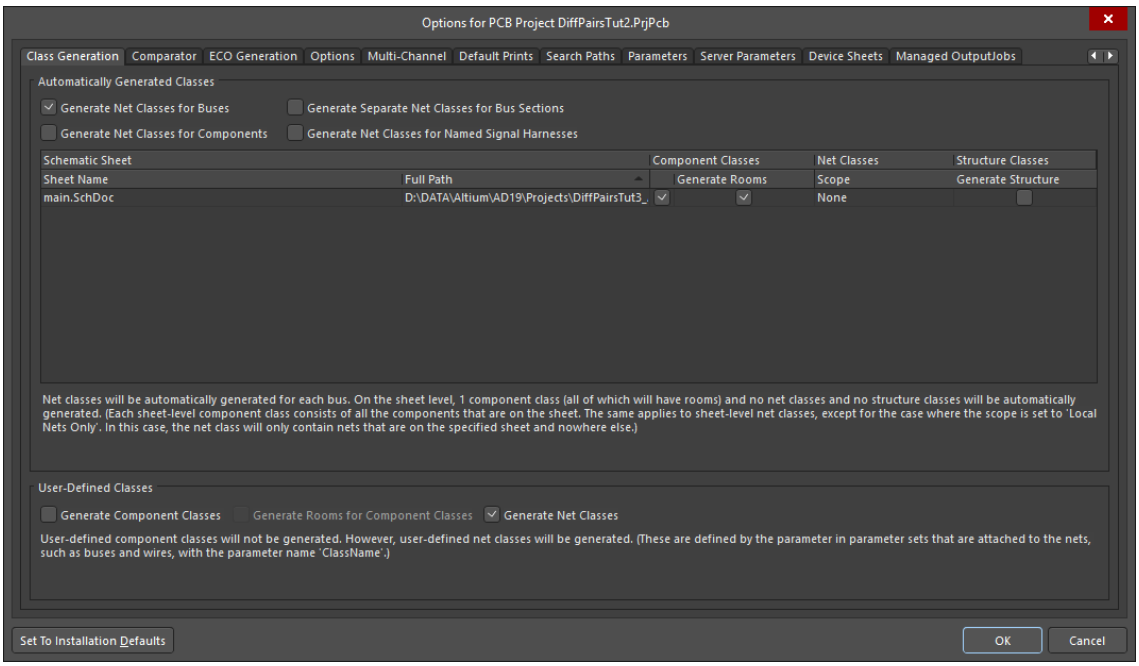
разноименных цепей в класс «SPI_IN». В свойствах директивы Label – это собственное имя директивы в схеме, имя класса цепей задается списке Classes. Классов можно назначить много.



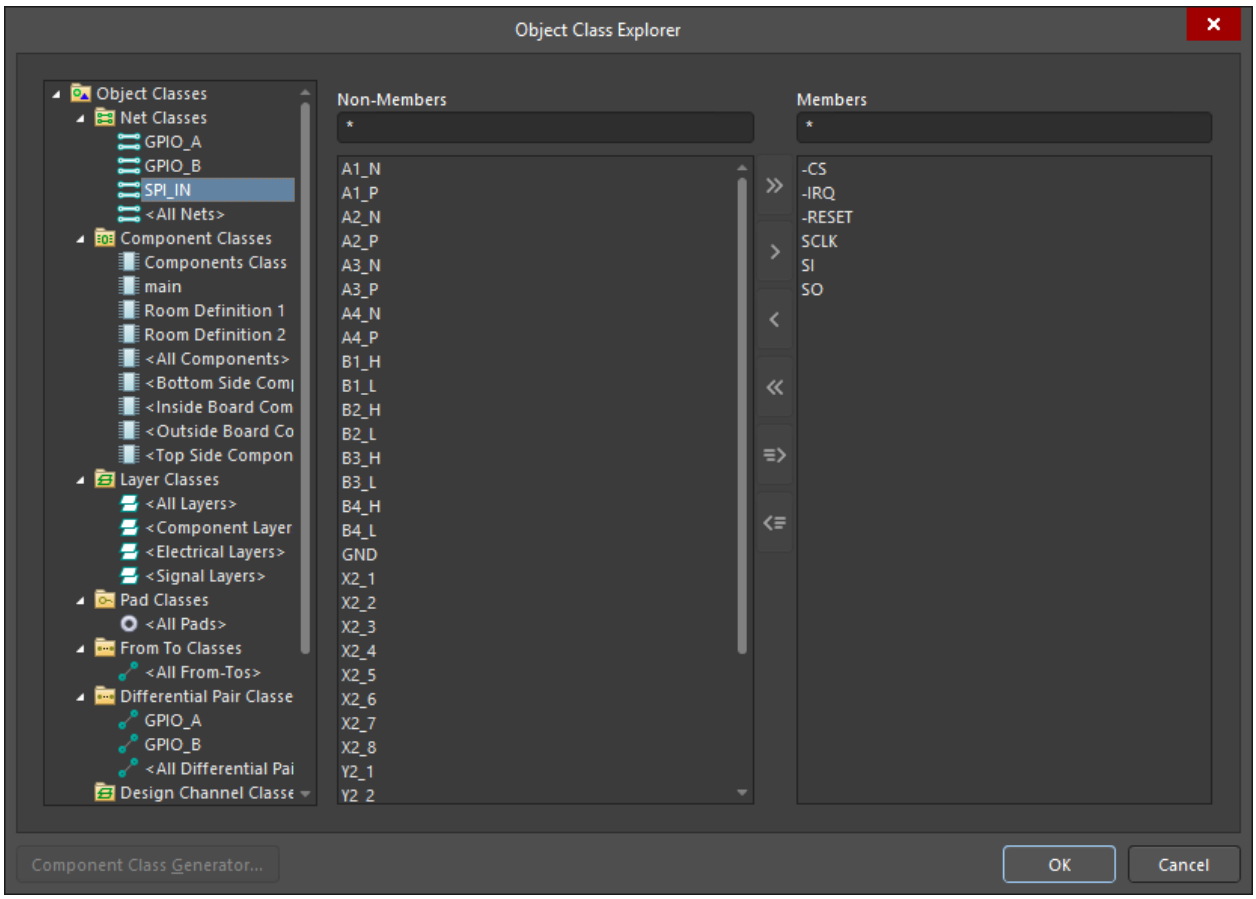
Также через Blanket можно одновременно объявлять группу цепей дифпарами и присваивать их к классу цепей и дифпар (но работает это только если придерживаться правила именования из п.2.1.).



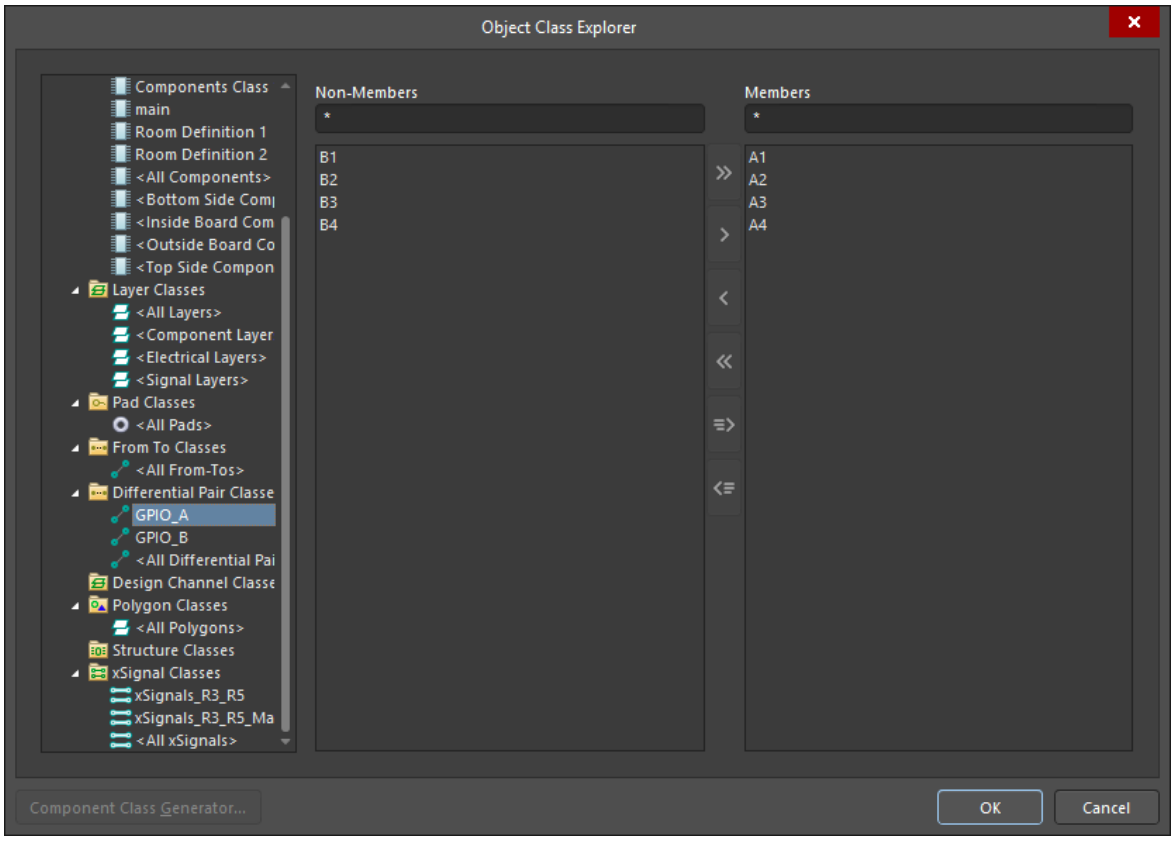
Чтобы классы цепей и дифпар переносились из схемы в топологию, надо чтобы в свойствах проекта по Project – Project Options на вкладке Class Generation в поле User-Defined Classes стояла галка Generate Net Classes.



3.2. В топологии. Создание классов цепей производится в меню Design – Classes (D, C). Все созданные классы цепей и входящие в них цепи находятся в списке Object Classes - Net Classes. Создание нового класса по ПКМ – Add Class. Любая цепь может входить в любое число классов. Внесение выбранной цепи в класс по «>», всех в списке по маске по «>>». Аналогично удаление из класса.



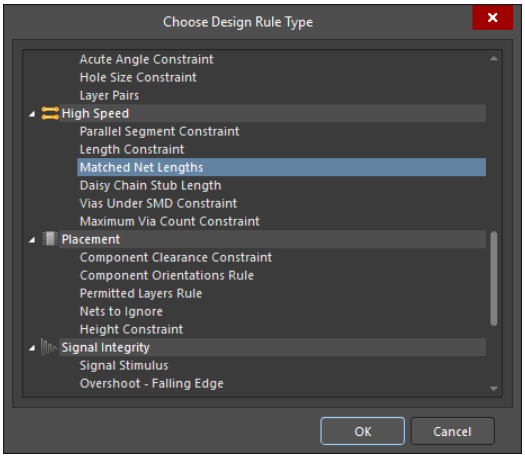
Аналогично, классы дифпар в списке Object Classes – Differential Pair Classes. В списке в данном случае будут не отдельные цепи, а дифпары.

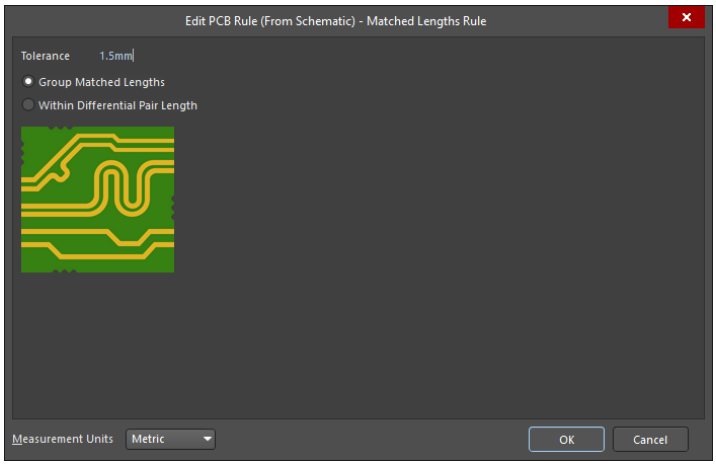


4. Правила.

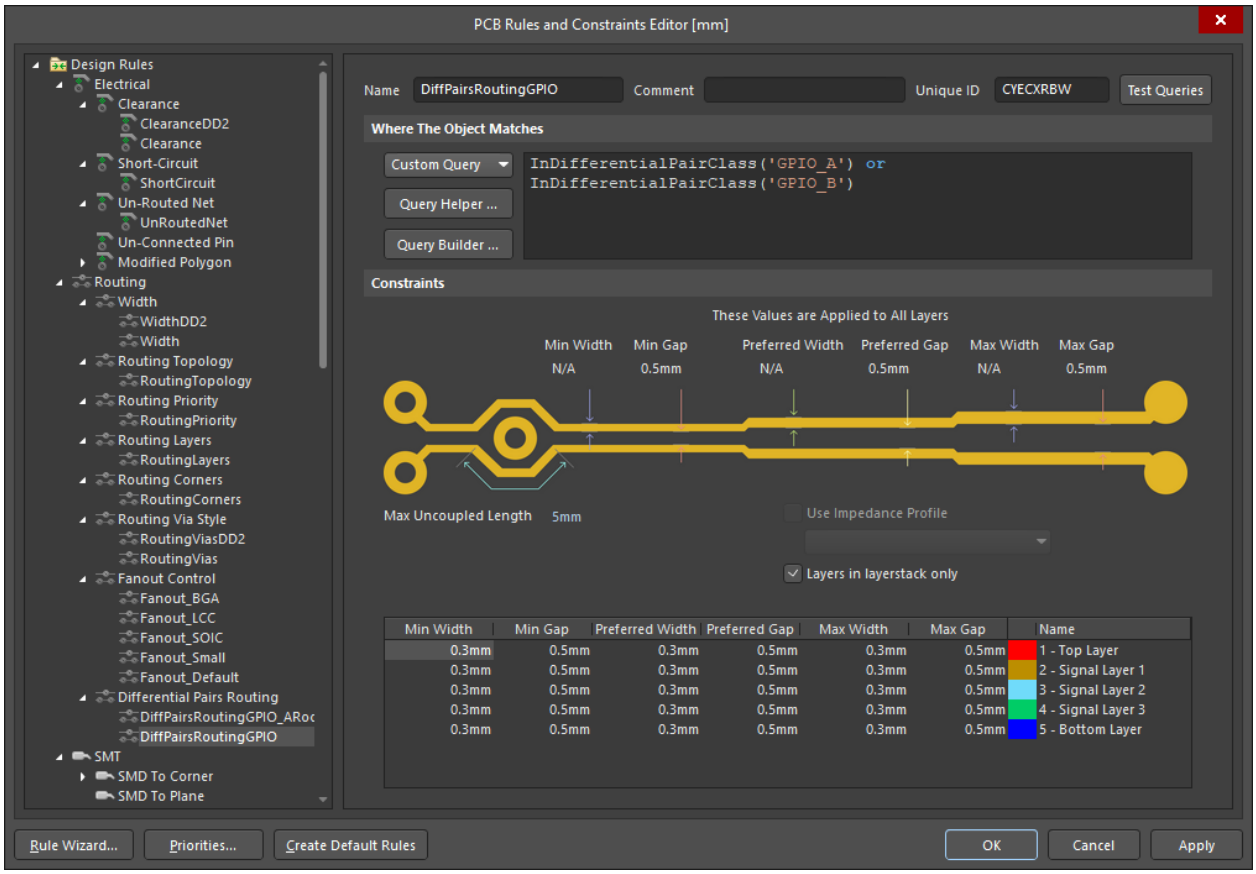
Создание собственно правил разводки. Могут включать в себя правила на ширины, зазоры между дифпарами, предельные длины, разрешенные соединения, правила выравнивания и пр.

4.1. В схеме. К любой директиве или в список параметров компонента можно прицепить правило. Для этого в свойствах директивы в группе Rules по кнопке Add, в открывшемся списке выбираем тип правила и задаем его (выравнивание длин в внутри группы с точностью 1,5мм в примере).

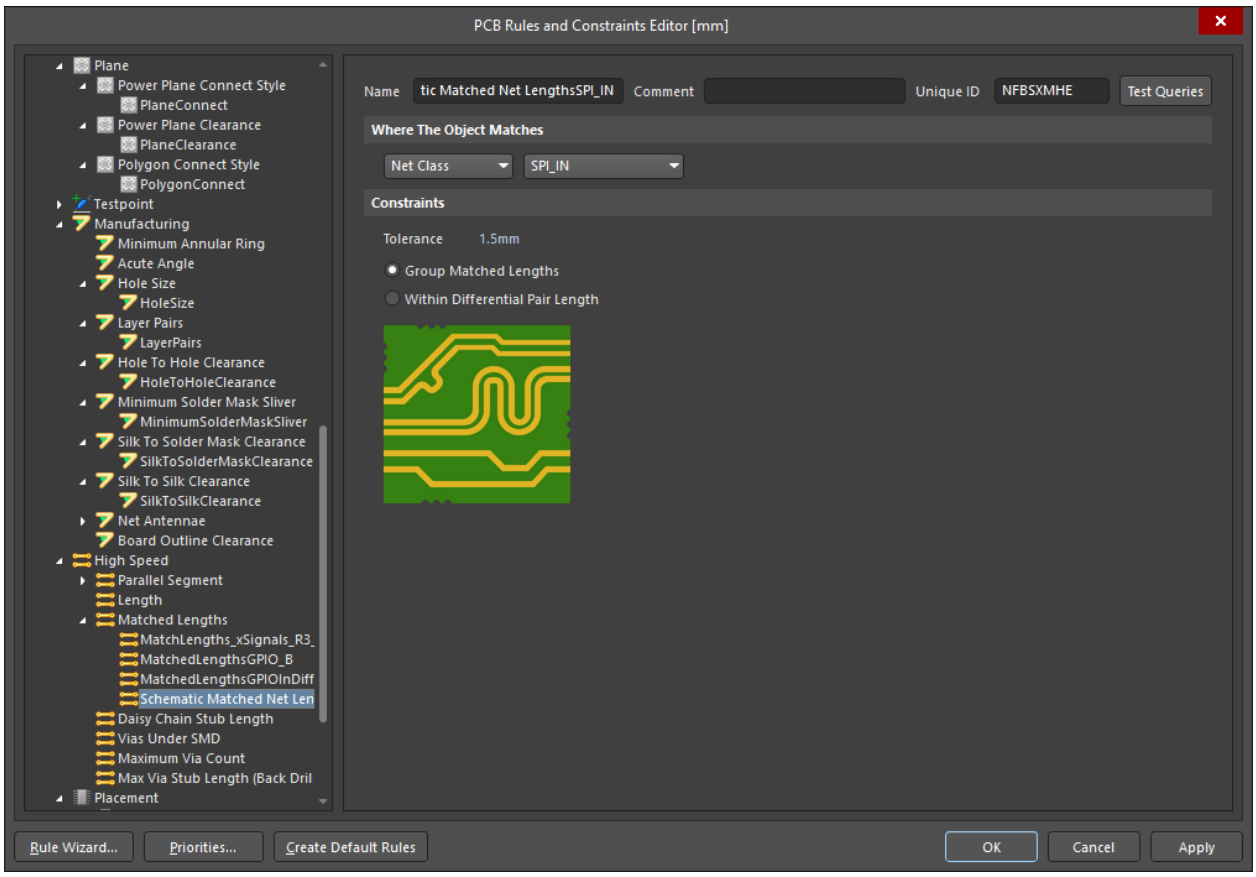


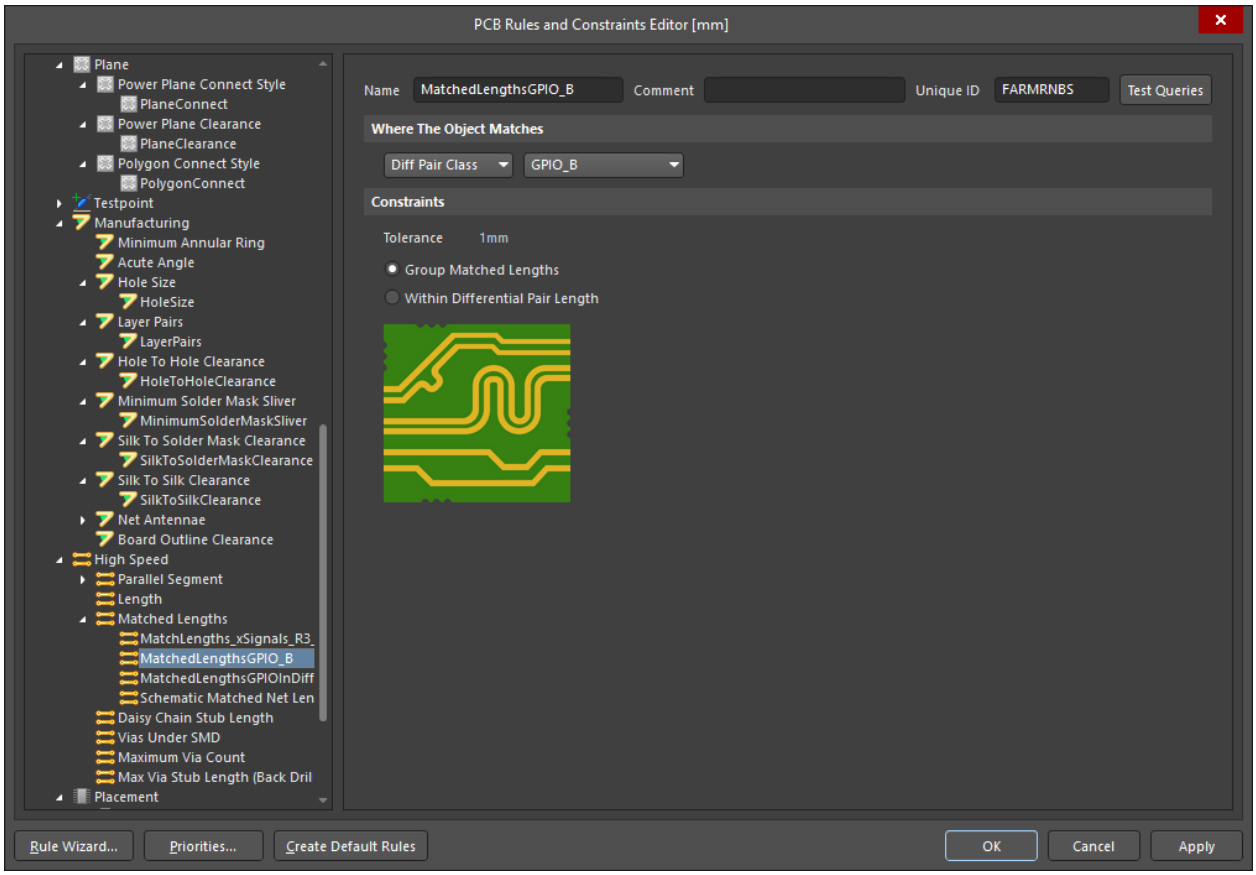


4.2. В топологии. Делается через окно Design – Rules (D, R). Общие правила зазоров линии берутся из правил Electrical - Clearance. Ширины и зазор между дифлиниями задается в группе правил Routing – Differential Pairs Routing. Такие виды правил лучше всегда присваивать на классы. Задаются ширины и зазор между дифпарамы (также можно для каждого слоя переопределить отдельно) и разбегающийся участок. Также существует задание геометрии через импеданс при существующем профиле импеданса. Также, несмотря на то, что можно задавать размеры в трех режимах (Min, Preferred и Max) существует рекомендация все три размера указывать одинаковыми, а для участков, где от этого размера приходится отходить, использовать дополнительные правила (например, через команды Rooms).



Правила выравнивания длин задаются в группе High Speed – Matched Length. Можно задать два типа выравнивания – внутри группы цепей (Group Matched Lengths) или между цепями внутри одной дифпары (Within Differential Pair Length).





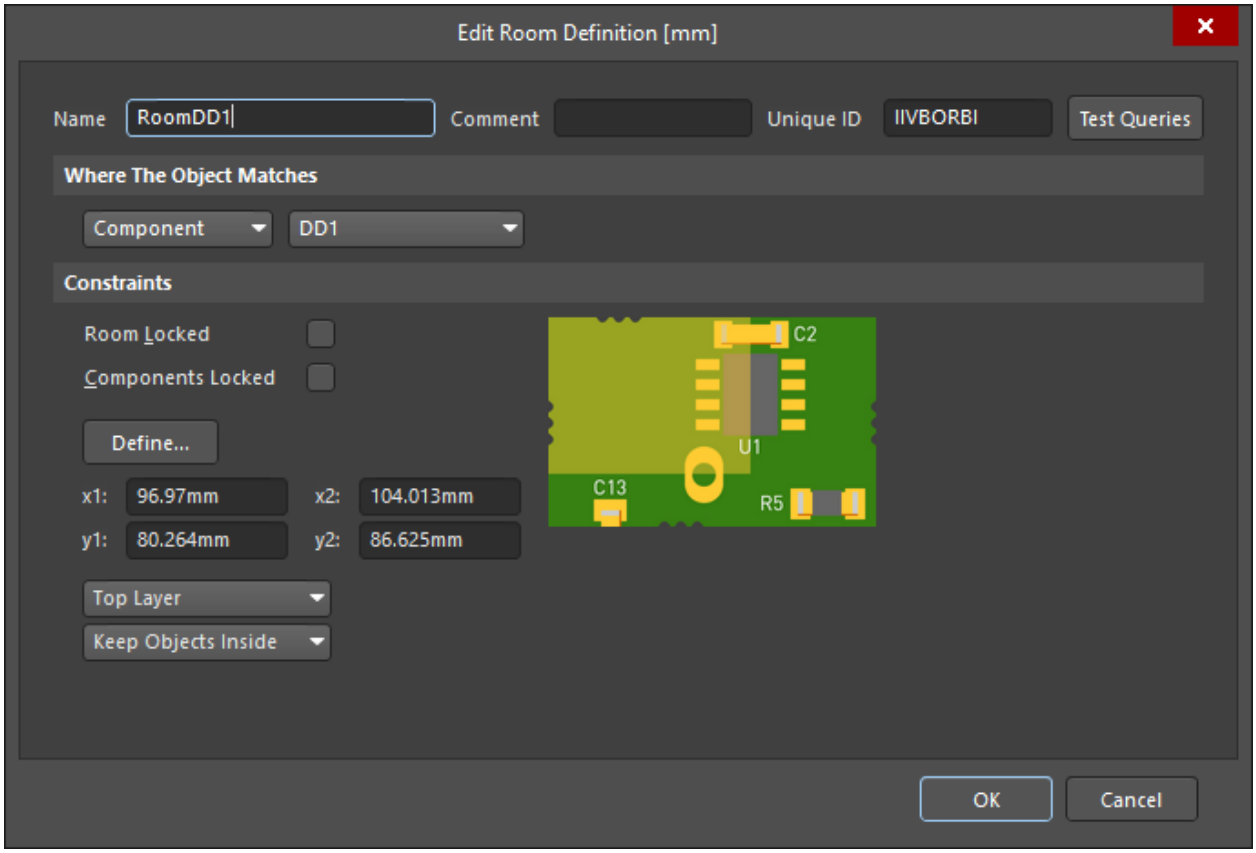
Кроме того, в разделе High Speed можно ограничить общую длину цепи (Length), разрешить или запретить ставить отверстия в падах (Vias Under SMD), задать минимальную длину сегментов, при которой линии начинают

считаться параллельными (Parallel Segment), ограничить длину отвода в Т-образной разводке (Daisy Chain Stub Length), ограничить число отверстий в цепи (Maximum Via Count).

Иные важные при цифровой разводке правила определяются в группе Routing, в том числе стиль разводки (Routing Topology), стили генерации Fanout-ов (Fanout Control), а также в группе SMT, в которой определяются минимальная длина прямого участка цепи от пада до первого угла (SMD To Corner), минимальная длина цепи от центра пара до заливки (SMD To Plane), максимальное отношение ширины цепи к ширине пада (SMD Neck-Down), разрешенные углы входа цепи в пад (SMD Entry).

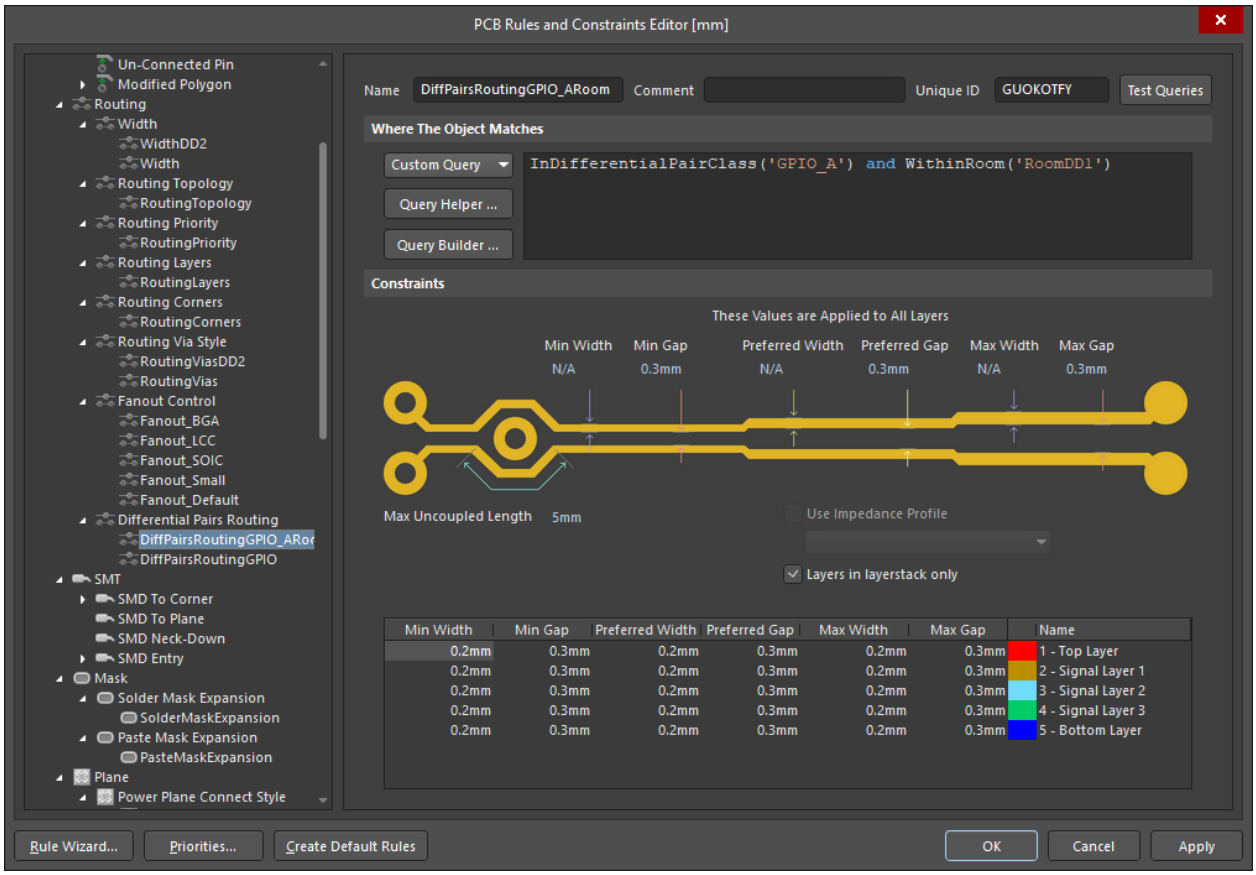
4.3. Комнаты (Rooms). Часто при выводе линий из-под компонентов (особенно BGA) невозможно соблюсти все правила по зазорам и ширинам. В этом случае можно воспользоваться инструментом «комната», которая является областью платы, в которой можно определить особые правила. Ставится комната по Design – Rooms – Place…

При задании свойств комнаты можно указать, какие части относятся к ней (что будет передвигаться вместе с комнатой) и дать ей осмысленное имя.

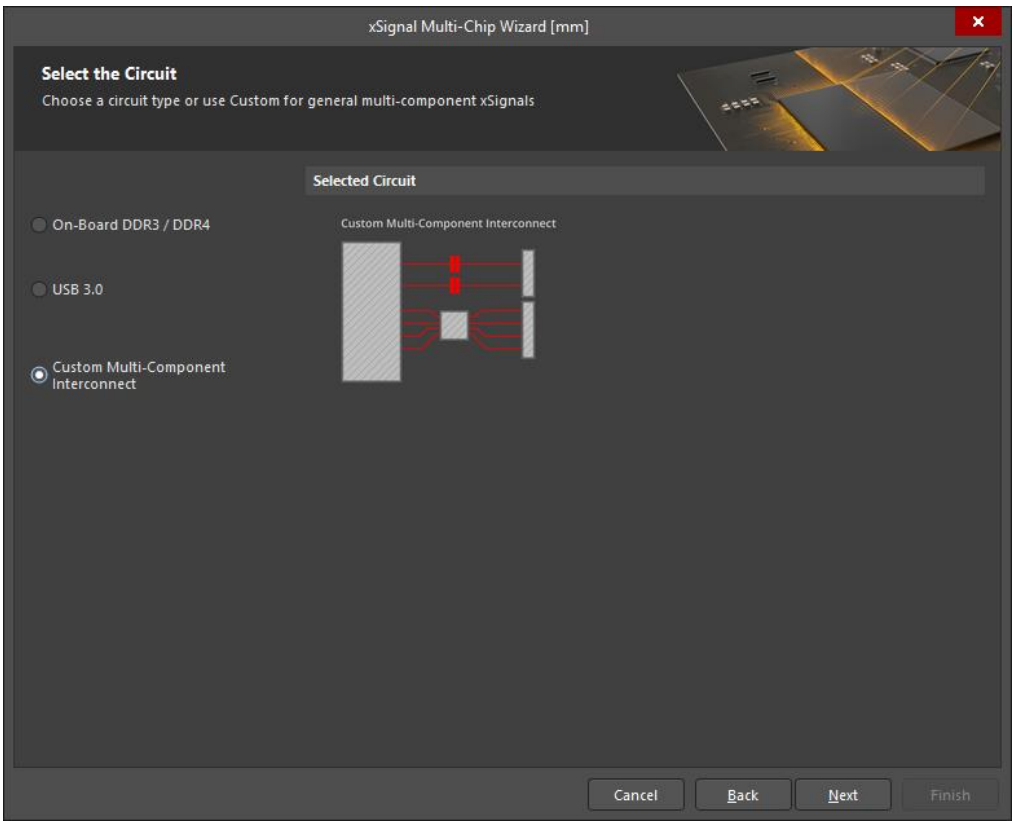


В этом случае при задании правил можно использовать запрос WithinRoom и написать особое правило, сдублировав основное с

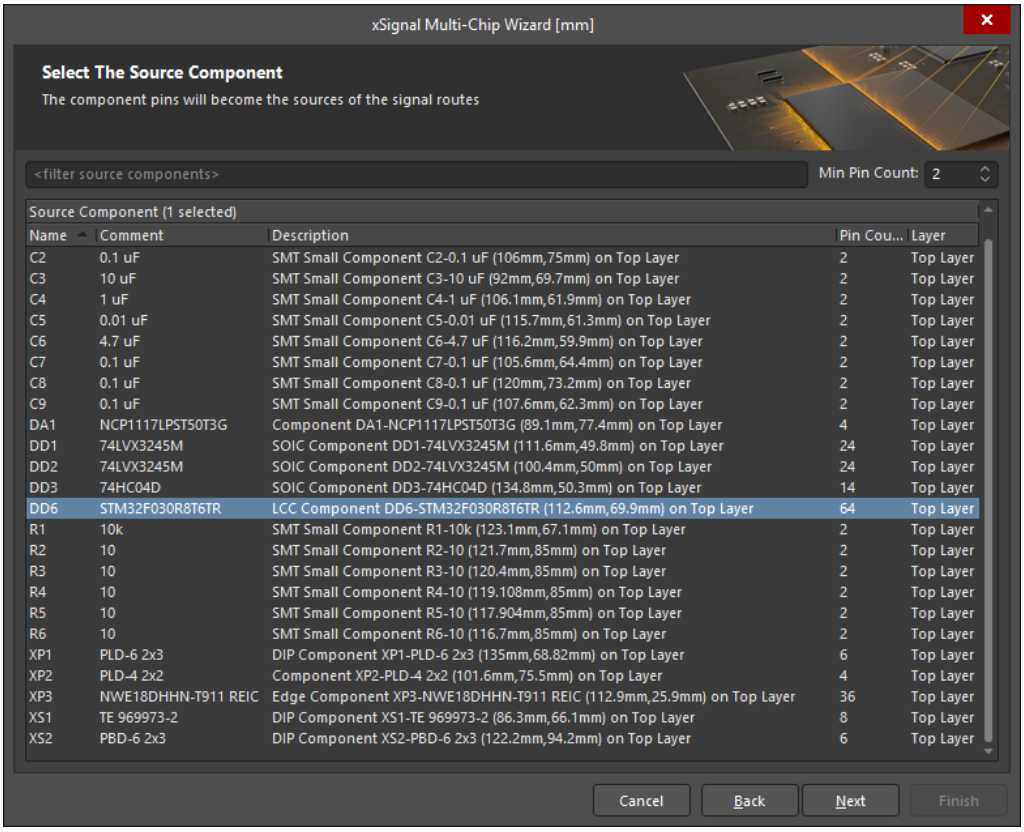
измененными размерами и запросом и поставив его в списке выше основного.



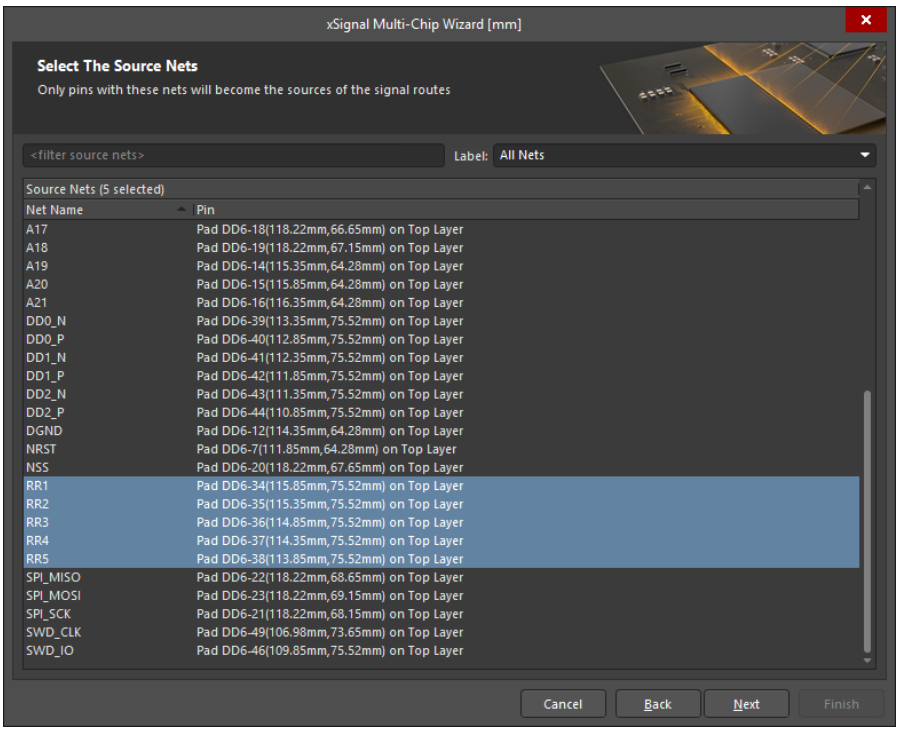
4.4. xSignals. Существует отдельная сущность, позволяющая быстро формировать правила для выравнивания. Запуск мастера формирования правил осуществляется по Design – xSignals – Run xSignals Wizard. На первом окне выбирается вид разводки. Для двух часто встречающихся типов топологий есть специальная ветка мастера (для USB3.0 и разводки памяти DDR3/DDR4). Для общих ситуаций используется Custom Multi-Component Interconnect.



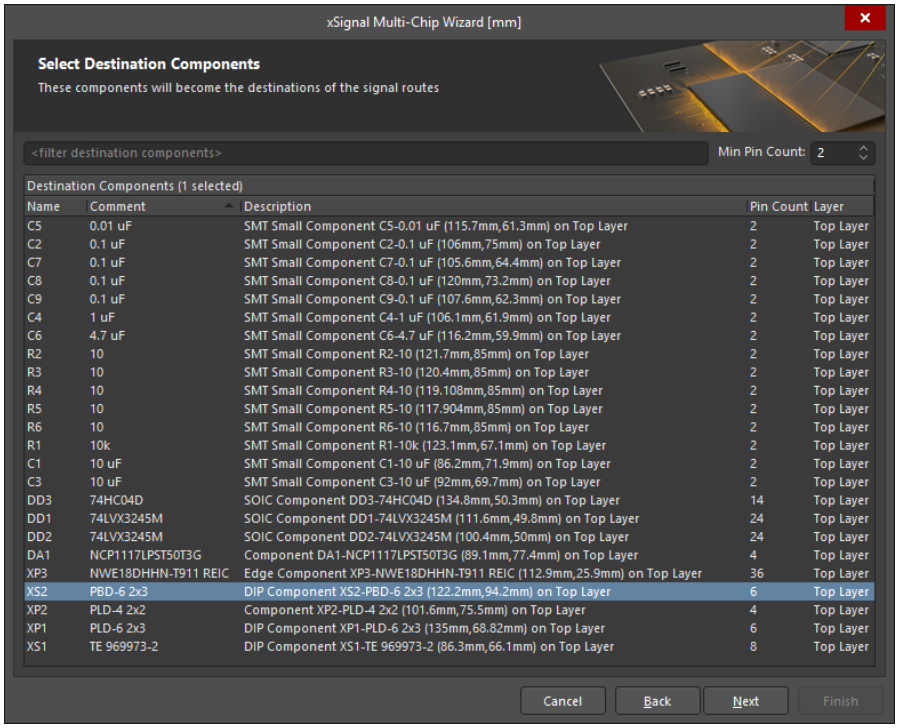
Далее выбирается источник сигнала.



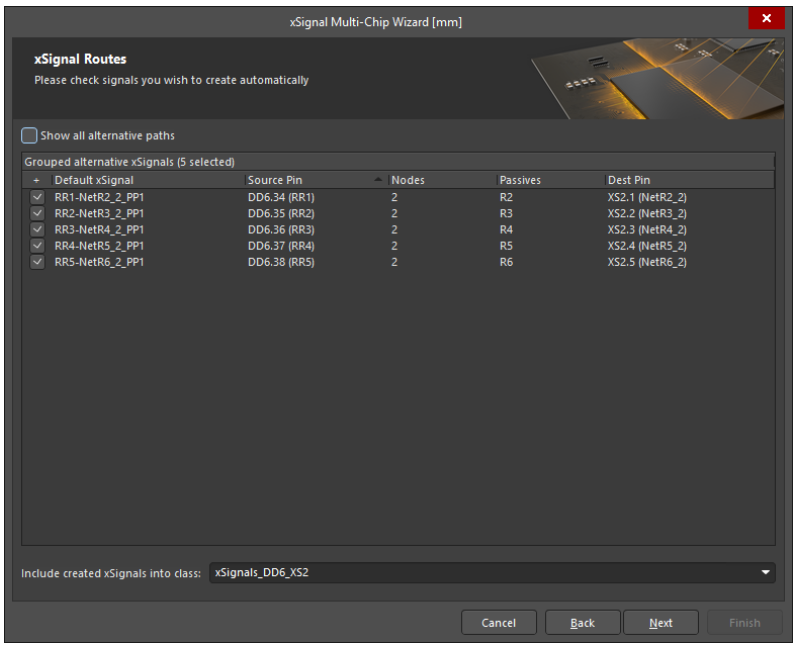
Далее цепи, которые подключены к источнику сигнала и которые надо будет выравнивать.



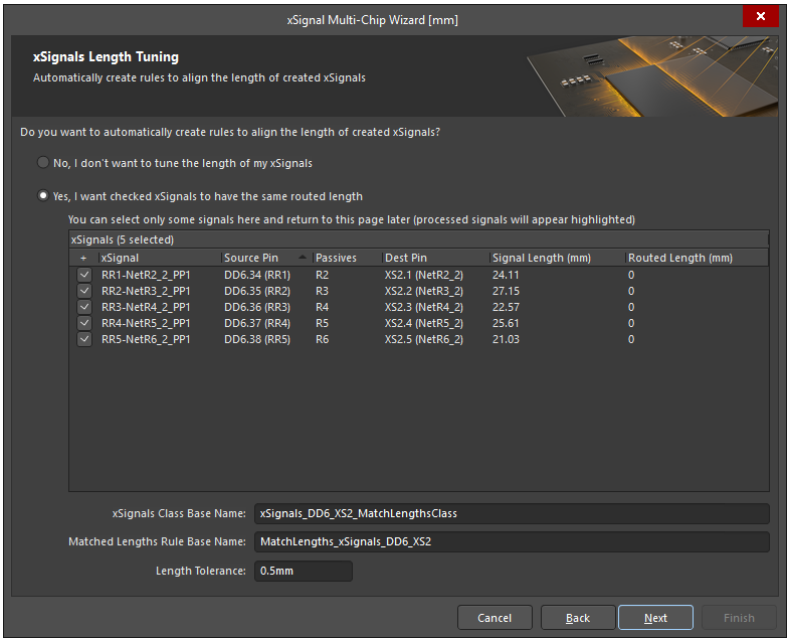
Конечные компоненты цепей.



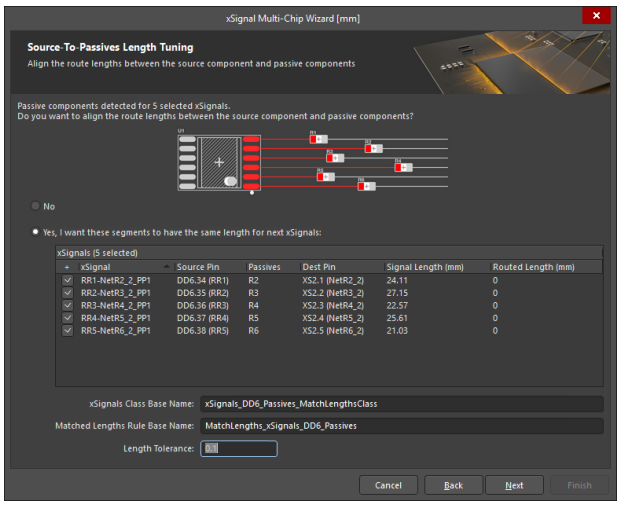
Мастер найдет возможные пути и предложит их. Также предложит имя класса xSignals, в который будет идти запись.

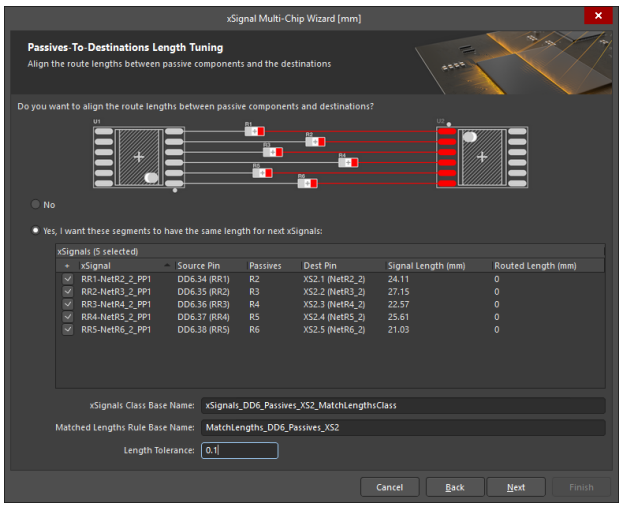


Далее поочередно указываются, какие выравнивания надо будет задавать (вместе с именем создаваемых классов и правил). Сначала на общую длину.

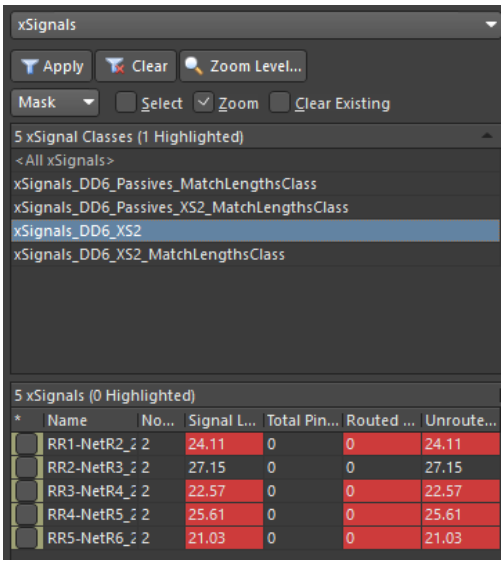


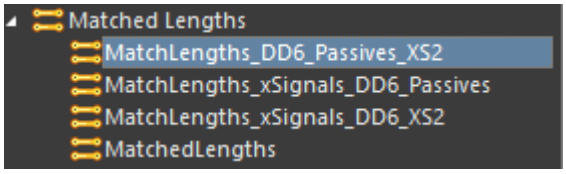
И затем на отдельные участки цепей





Создастся несколько классов xSignals (панель PCB, вкладка xSignals) и правила, приложенные к ним.





4.5. Использование профиля импеданса

При задании правил ширин и зазоров, в том числе дифференциальных линий, можно использовать инструмент «Профиль импеданса» (появилось с версии Altium Designer 19). Для использования такого инструмента необходимо сначала задать актуальный стек платы.

Редактор стека платы задается через вызов в редакторе печатных плат команды Design – Layer Stack Manager. По умолчанию в нижней части доступны три вкладки (Stackup – собственно стек, Impedance – задание профилей импеданса, Via Types – определение типов и диапазонов отверстий).

Продвинутые возможности включаются из меню Tools – Features (печатная электроника Printed Electronics, гибко-жесткие платы Rigid/Flex, обратное высверливание Back Drills).

Печатная электроника (Printed Electronics) предполагает уход от концепции слоев диэлектриков, разделение пересекающихся цепей происходит за счет генерации (печати на экструдере) диэлектрических патчей (Dielectric Patterns).

У гибко-жестких (Rigid/Flex) плат в редакторе стека появляется возможность определить несколько именованных стеков (для каждой части гибко-жесткой платы).

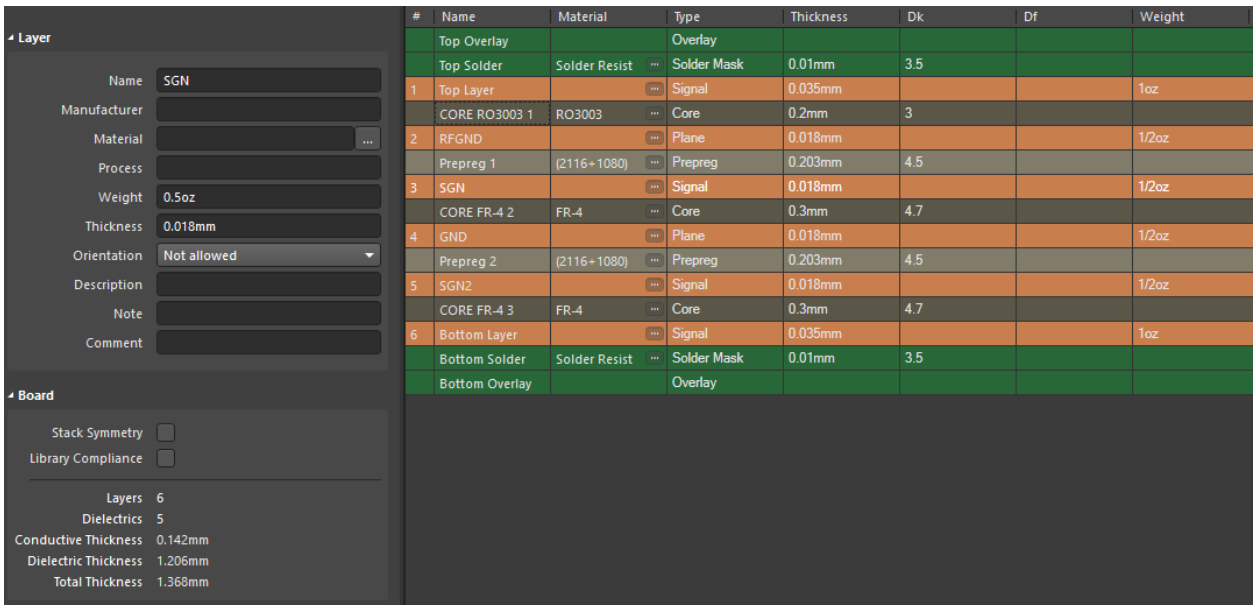
Обратное высверливание (Back Drills) позволяет задать диапазоны обратного высверливания для удаления лишних столбиков металла в переходных отверстиях для высокоскоростных цепей.

В качестве примера зададим стек гибридной шестислойной печатной платы, выполненной методом попарного прессования, построенная на трех ядрах (первое RO3003 толщиной 0,2мм и ε=3, второе и третье – FR-4 толщиной 0,3мм и ε=4,7), препрег – 2113+1080 толщиной 0,203мм и ε=4,5). Толщина металлизации на внешних слоях 35мкм (из-за двойной металлизации), на внутренних – 18мкм. Слои металлизации 2 и 4 объявим сплошной заливкой типа Plane. Доступные диапазоны отверстий – 1-6, 1-2, 3-4 и 5-6. Металлизированные слои назовем Top Layer (верхний слой, 1), RFGND (земля для ВЧ-линий, слой 2), SGN (слой для линий управления, слой 3), GND (слой земли 4), SGN2 (дополнительный слой для линий управления и основной для питания, слой 5), Bottom Layer (часть цифровой разводки и земляная заливка, нижний слой 6).

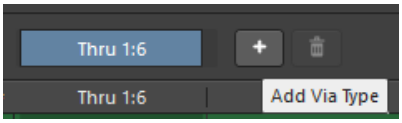
На вкладке Stackup определим стек. Т.к. стек не является симметричным, то в панели Properties в группе Board надо снять галку Stack Symmetry. В основном окне по ПКМ – Add Layer добавляются металлизированные и диэлектрические слои.

Каждому слою в поле Name надо дать уникальное имя. Если используемый материал сохранен в базе Material Library (Tools – Material Library), то его можно вызвать из базы по кнопке ... в поле Material.

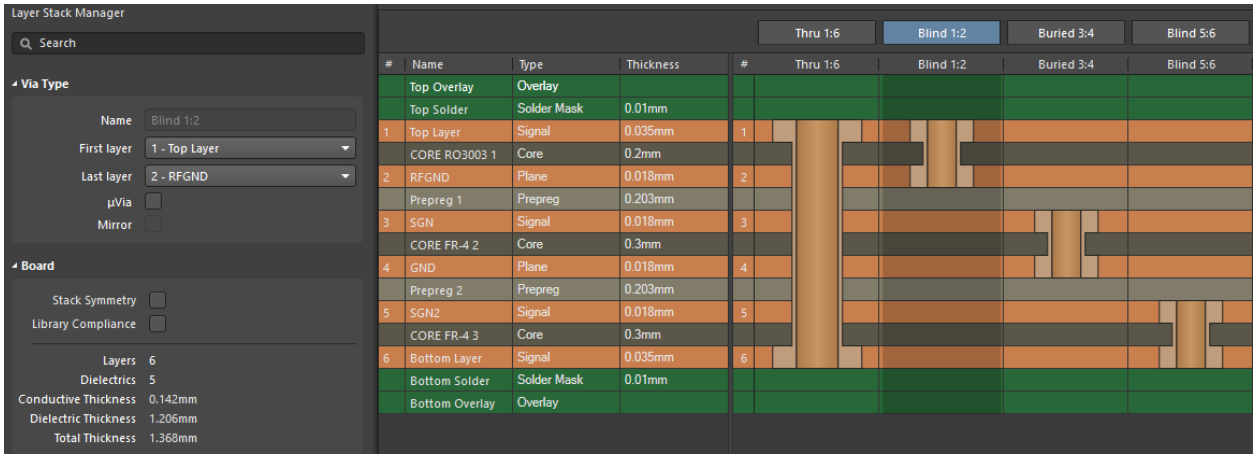
Слоям металлизации 2 и 4 установим тип Plane, остальным Signal.



На вкладке Via Types определим диапазоны отверстий. По умолчанию присутствует сквозное отверстие 1-6. Добавление по кнопке +.

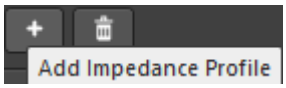


При выборе отверстия в панели Properties в группе Via Types отображается имя текущего отверстия и диапазон. Также отверстие можно объявить как микровиа (галочка uVia в свойствах).

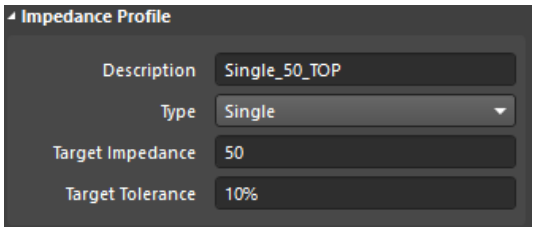


На вкладке Impedance определим два профиля – 50Ом только на верхнем слое Top Layer и дифференциальный на 100 Ом на слоях Top Layer, SGN, SGN2 и Bottom Layer.

Профиль создается по кнопке +.



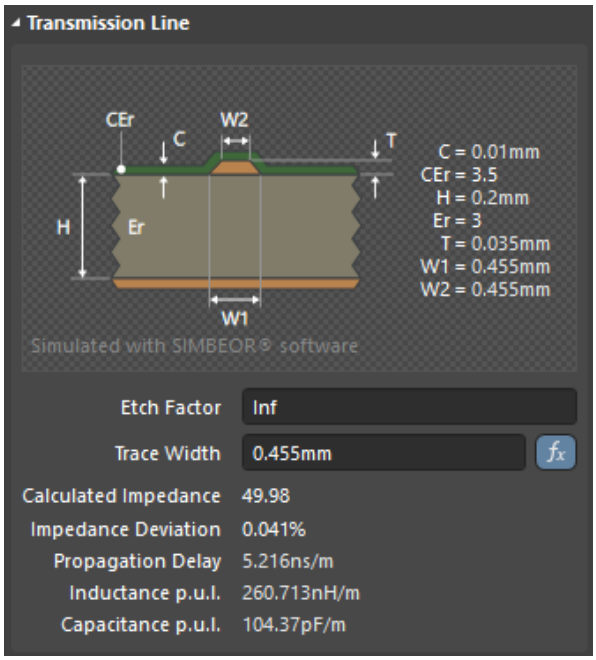
В панели Properties в группе Impedance Profile задаётся имя профиля (Single_50_Top), тип одиночная линия (Type - Single), значение импеданса (Target Impedance = 50) и его допустимую точность (Target Tolerance = 10%).



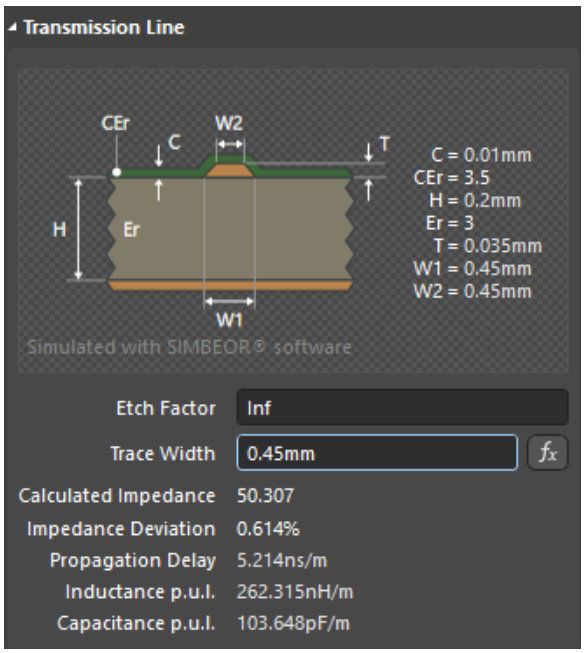
В основном окне галочкой отмечается, в каких слоях профиль импеданса определен. Разрешим профилю Single_50_TOP работать только в верхнем слое Top Layer.

В полях Top Ref и Bottom Ref указывается, какие из слоев сверху и снизу являются опорными (земляными). Автоматически добавляются соседние слои, но их можно переопределить. Для верхнего слоя верхнего опорного слоя нет, нижним опорным является RFGND. Эти данные используются только при расчете волнового сопротивления; следить за неразрывной землей необходимо разработчику при трассировке самостоятельно.

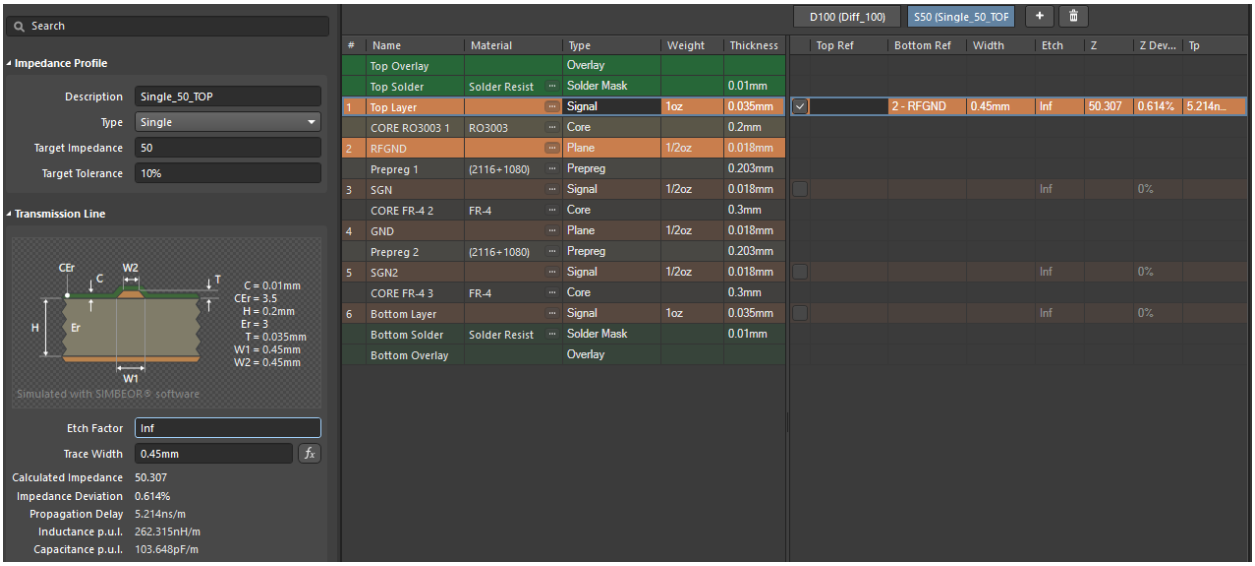
При выборе текущего слоя в панели Properties появляется группа Transmission Line, в которой рассчитывается ширина линии в текущем слое для заданного импеданса (Trace Width). Дополнительно можно задать коэффициент протрава (Etch Factor) отличный от Inf. Значение ширины рассчитывается автоматически при подсвеченной кнопке fx.



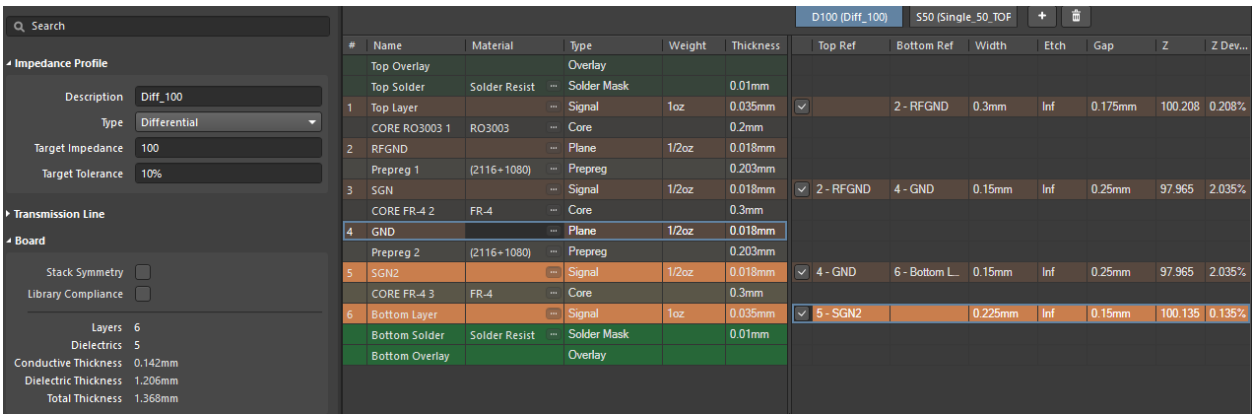
Полученное значение можно вручную округлить (вбив цифру в поле Trace Width), тогда кнопка fx погаснет; при этом все связанные значения пересчитаются, и можно оценить, допустимо ли данное округление. Шаг округления на текущем состоянии технологических норм (осень 2019) стоит брать порядка 25мкм.



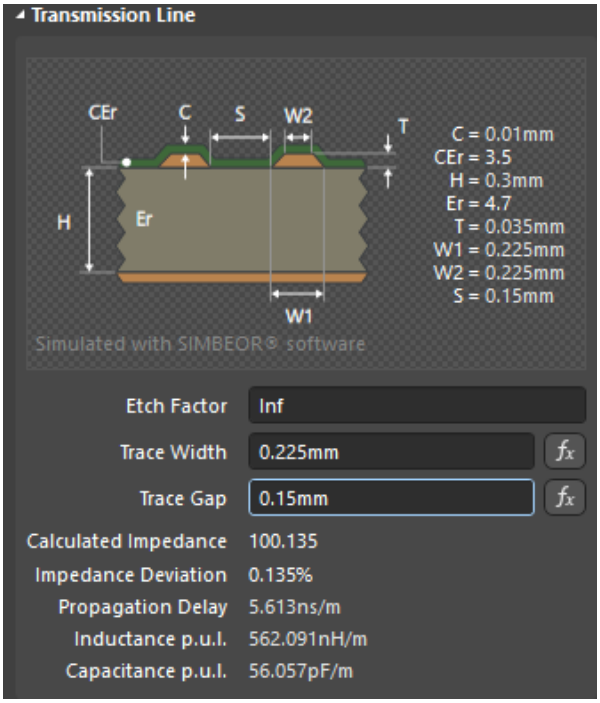
В общем поле приведена краткая информация о ширине линий на каждом слое, а также иная справочная информация. Также при выборе конкретного слоя подсвечиваются соседние опорные слои.



Создадим второй профиль Diff_100. Дифференциальный, на 100 Ом с точностью 10%, с разрешенными слоями Top Layer, SGN, SGN2 и Bottom Layer. Опорные слои соседние.



Дифференциальное сопротивление дифпары на заданном стеке определяется шириной каждой линии (Trace Width) и зазором между ними (Trace Gap). Здесь для ***каждого из используемых слоев*** нужно найти баланс между занимаемым линией местом (зазор и ширина линий лучше поменьше), технологическими ограничениями выбранного производителя (минимальный зазор и минимальная ширина), допустимыми потерями (уменьшение ширины линий значительно увеличивает погонные потери) и при этом уложиться в 100 Ом с заданной точностью. На данном этапе, возможно придется даже изменять стек платы (в первую очередь, толщины диэлектриков).

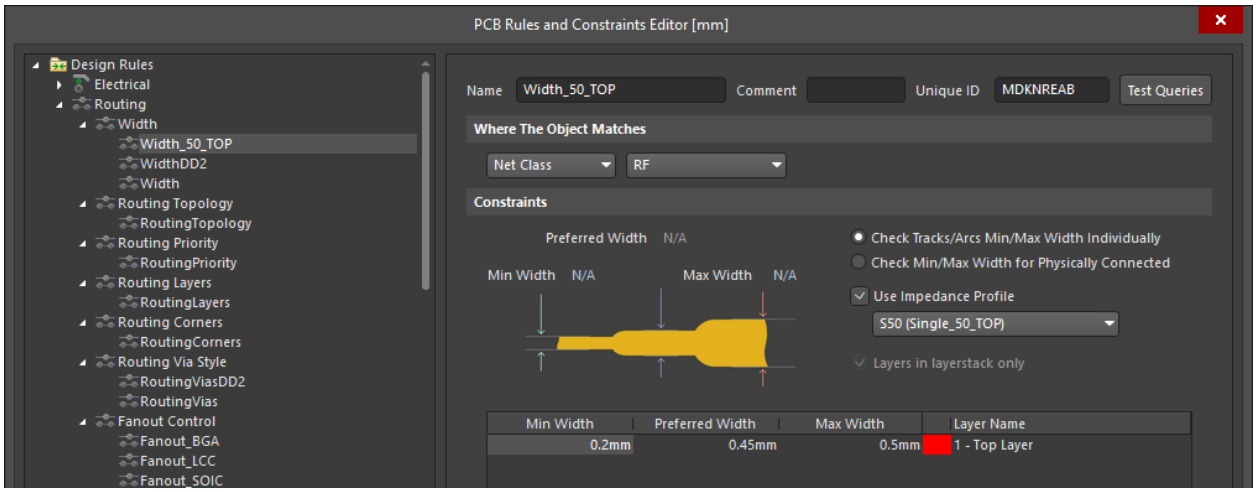


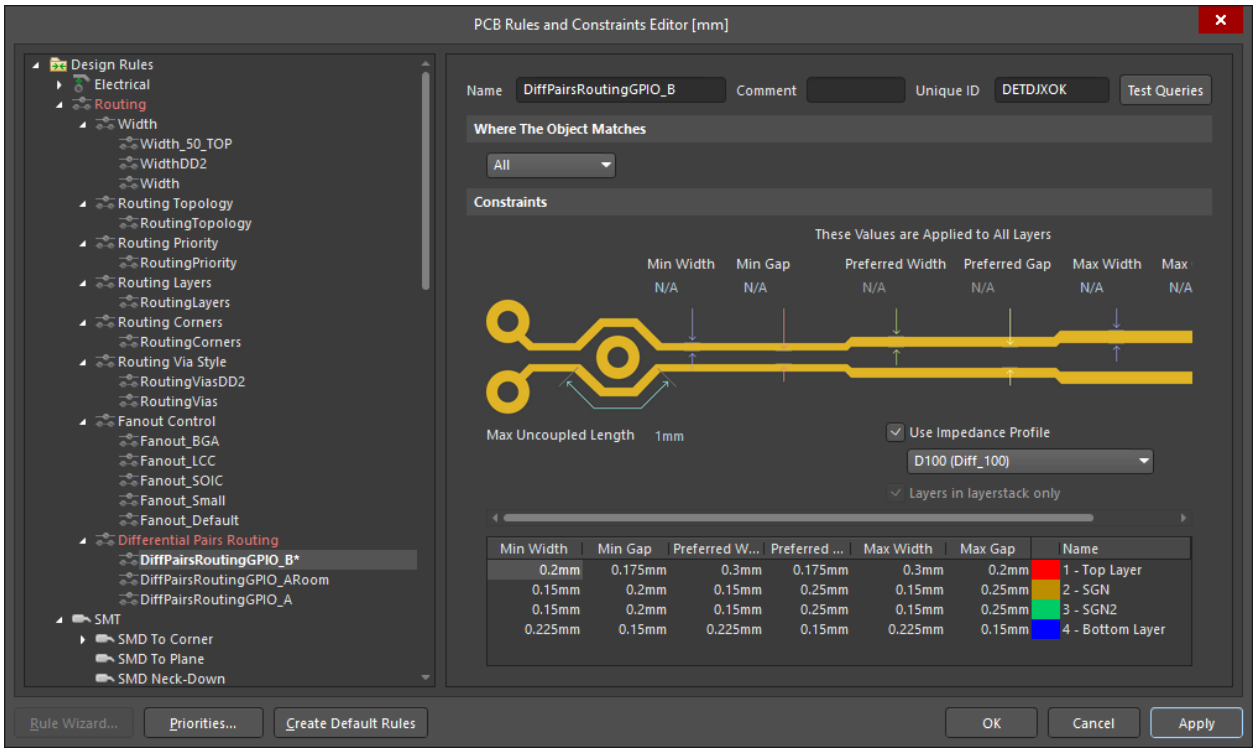
На текущем стеке в слое Top Layer остановимся на параметрах ширина дифлинии/зазор 0,3мм/0,175мм; в слоях SGN и SGN2 - 0,15мм/0,25мм; на слое Bottom Layer – 0,225мм/0,15мм.

Данные расчеты стоит проверить в каком-нибудь стороннем САПР.

После окончания задания стека его надо сохранить. Также данный стек можно сохранить как шаблон по File – Save Template As.

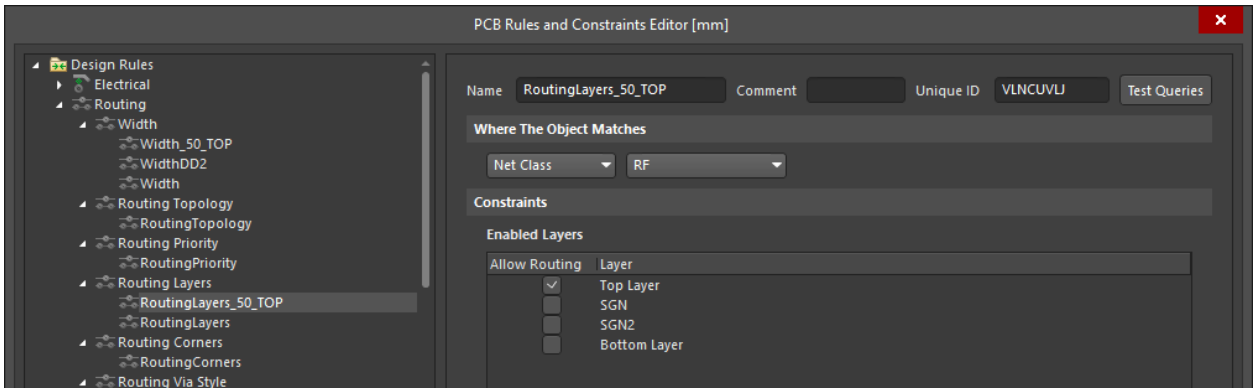
Теперь в правилах типа Routing – Width и Routing – Differential Pairs Routing можно не вручную вбивать размеры, а сослаться на профиль импеданса (галочка Use Impedance Profile и выбрать подходящий). Как элемент дополнительного контроля, будут доступны только слои, разрешенные в профиле импеданса. Из ширин и зазоров можно будет изменить только мин и макс, а вот базовые (Preferred) будут жёстко загружены из профиля импеданса.





При этом надо учесть, что если цепь перейдет на слой, для которого не определен профиль импеданса, то правила будут браться из других правил

ширин ниже по приоритету. Задать, какие цепи на каких слоях могут разводиться можно с помощью правил Routing – Routing Layers.



5. Предварительная разводка линий.

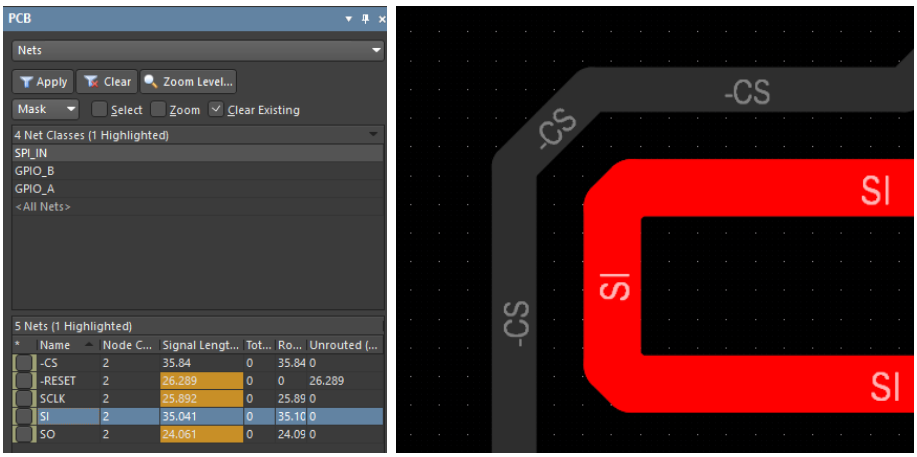
5.1. Интерактивная разводка. Обычная разводка называется интерактивной и проводится по команде Route – Interactive Routing (U, T или Ctrl+W).

При интерактивной разводке удобно контролировать длины разведенных и неразведённых участков, если открыть панель PCB, перейти в список Nets и отфильтровать по классу цепей.

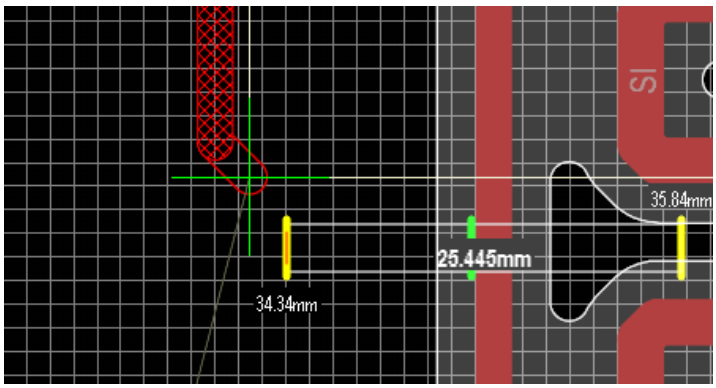
Для каждой из цепей в таблице кроме всего прочего показываются Routed Length - длина разведенных частей цепи, Unrouted - оценка по Манхеттену длины неразведенной части (Manhattan, вертикальное плюс горизонтальное расстояние), Signal Length - общая сигнальная длина (с учетом изменения длины на углах, поворотах, наикоротейшего пути внутри падов и полигонов) разведенной и неразведенной частей. Правила выравнивания длин работают с сигнальной длиной.

Если существуют правила на длину или выравнивание, то длина Signal Length может подсвечиваться двумя цветами: желтый – правила на длину близки к выполнению, красный – правила далеки от выполнения.

Также в этой панели PCB можно затенить (Dim) или наложить маску (Mask) на все остальные цепи, кроме текущей рабочей. Если просто затенить, то остальные цепи станут черно-белыми, но их можно будет выбирать (если конечно они не заблокированы или не применены какие-нибудь фильтры из панели PCB Filter). При использовании маски выбираться будет только текущая цепь, остальные трогать не получится. Сброс всех фильтров затенения через Shit+C.

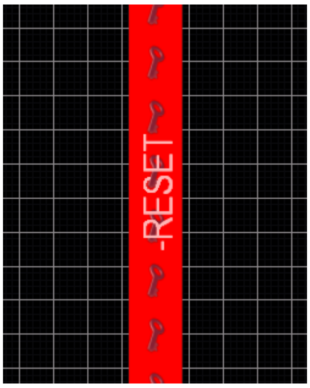


Во время интерактивной разводки можно включить или выключить индикатор, показывающий, текущую длину и границы по правилам по Shift+G.

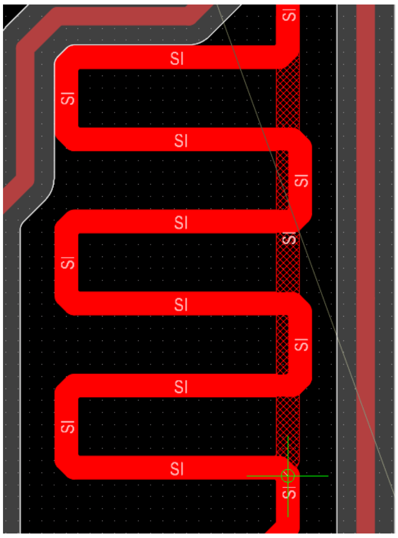
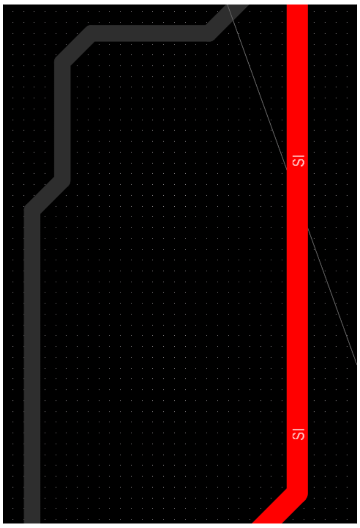


Также, при первоначальной разводке уже можно по Shift+A включить выравнивание длины аккордеоном (меандром). Настройка параметров выравнивания производится по клавише Tab, а также по другим быстрым клавишам, узнать которые можно нажав «`» (тильда). Более подробно в разделе 6.1.

Также, часто бывает необходимо зафиксировать разведенную цепь, так, чтобы ее не могли сдвигать другие цепи при разводке. Т.к. цепь состоит из разнородных примитивов (track, arc, fill, polygon и пр.), чтобы не перебирать их всех по одному можно нажать Edit – Select – Net (S, N) и ЛКМ по цепи или ЛКМ по цепи и два раза Tab, выберутся все составляющие цепи. Далее открыв панель Properties щелкнуть по замку в группе Location. Поверх всех участков заблокированной цепи появятся символы ключиков (в зависимости от настройки Preferences – PCB – Board Insight Display группа Show Locked Texture on Objects).



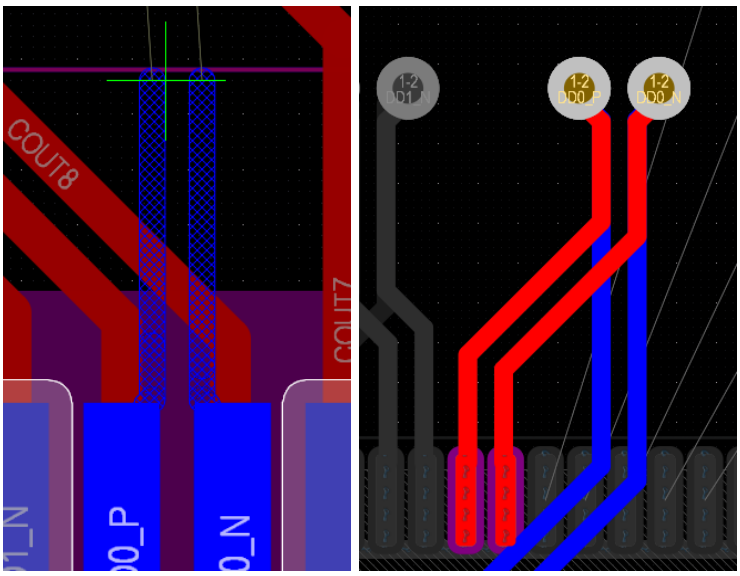
У интерактивной разводки обычно включен режим Loop Removal (удаление петель, включается и выключается по Shit+D). Его довольно просто можно использовать для удаления выравнивания (и вообще неудачно проложенного участка цепи). ЛКМ в начале участка, который надо перепроложить, прокладываем новую трассу и ЛКМ в конце. Старая трасса между двумя этими точками удаляется.

Если же вся цепь проложена неудачно и ее надо удалить, то можно воспользоваться командой из группы Route – Un-route - Net (U, U, N) и ЛКМ по цепи.

5.2. Дифференциальная разводка проводится по Route – Interactive Differential Pair Routing (U , I).

При начале нужно также просто ЛКМ на одну из цепей дифпарой и вести как при обычной разводке. Точка, за которую тянется дифпара – это приблизительно середина между дифпарой.



Аналогично интерактивной разводке, по клавише «`» (тильда) можно вызвать список быстрых клавиш, а также по Tab вызвать настройки.

При выходе из зоны действия особых правил (при использовании комнаты, например) автоматически произойдет перенастройка размеров разводимых линий.

6. Выравнивание длин линий.

6.1. Выравнивание одиночной линии. В Altium Designer поддерживается выравнивание только аккордеоном (меандром) с применением инструмента Route – Interactive Length Tuning (U, R). После вызова надо ЛКМ по редактируемой линии в точке, откуда можно добавлять аккордеон. Движением курсора вдоль выравниваемой линии указывается, на какой части линии будет создаваться аккордеон. Фактически при добавлении аккордеона создается прямоугольная область, в котором его можно разместить.

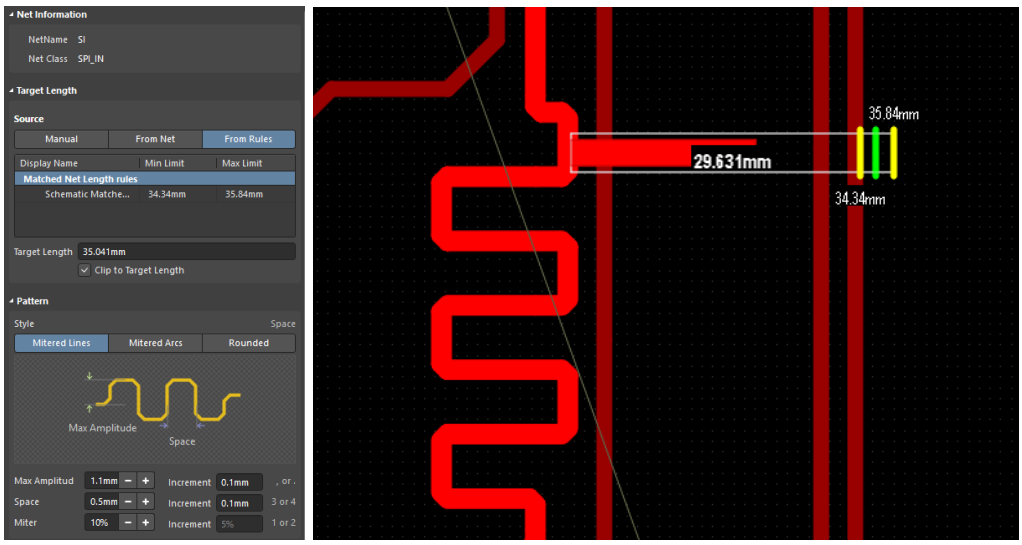
По клавише Tab открываются все текущие настройки создания аккордеона, которые включают в себя:

- Область Target Length, в которой определяется, какая будет длина у выравниваемой цепи и откуда брать это значение.

- Стиль поворотов аккордеона (Pattern - Style)

- Максимальная амплитуда (Max Amplitude) и шаг изменения амплитуды (Amplitude Increment)

- Зазор между ветвями (Gap) и шаг изменения зазора (Gap Increment)



Во время создания можно пользоваться быстрыми клавишами:

Пробел и Shift+Пробел – циклический перебор стиля аккордеона;

Y – отзеркалить аккордеон относительно линии;

«,» - уменьшить амплитуду аккордеона на шаг Amplitude Increment;

«.» - увеличить амплитуду аккордеона на шаг Amplitude Increment;

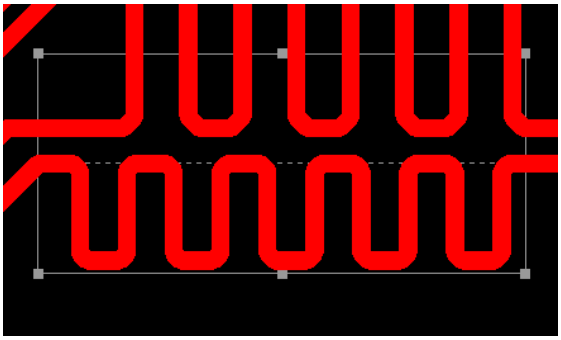
1 – уменьшить срез или радиус поворота;

2 - увеличить срез или радиус поворота;

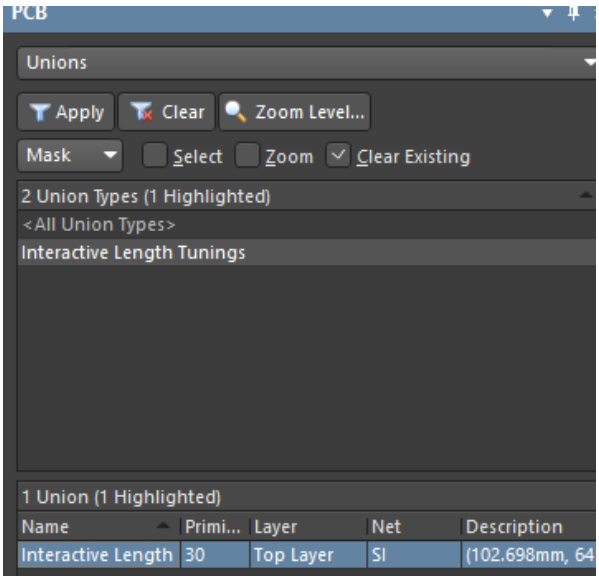
3 - уменьшить зазор аккордеона на шаг Gap Increment;

4 - увеличить зазор аккордеона на шаг Gap Increment;

После окончания создастся объединение Union типа Interactive Length Tuning, который можно двигать, менять ему границы и определения.



Все созданные аккордеоны перечислены в панели PCB в списке Unions при выборе типа Interactive Length Tunings.



Как и любое объединение, аккордеон можно превратить в обычные примитивы цепи по команде Tools – Convert – Explode Length Tuning to Free Primitives (T, C, дальше выбирать) или ПКМ – Unions – Explode Length Tuning to Free Primitives.

6.2. Выравнивание дифференциальных линий.

Выравнивание внутри пары дифлиний проводится аналогично п.6.1.

Для выравнивания общих длин дифпар используется инструмент Route - Interactive Diff Pairs Length Tuning (U, P). В отличие от инструмента Interactive Length Tuning, он не создает особого объекта, а использует примитивы. Управление и настройки аналогичны инструменту Interactive Length Tuning.

7. Выравнивание учетом внесенных задержек

В Altium Designer возможно выравнивание линий с учетом внесенных задержек через внесение длины Pin Package Length в свойства выводов отдельных компонентов. Необходимость в этом может возникнуть в таких случаях как:

- присутствуют большие цифровые устройства, внутри которых длины от выводов корпуса до выводов кристалла могут сильно различаются (например, в BGA-корпусах такое встречается часто). Эти различия длин обычно приводятся производителем компонента, часто в табличном формате.

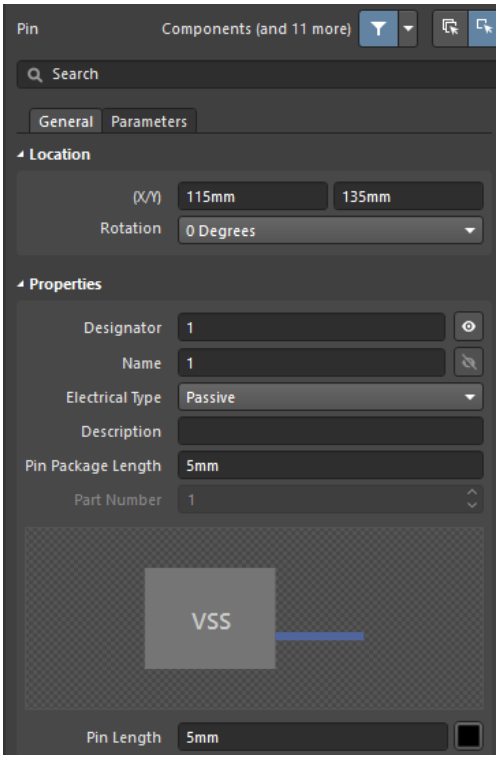
- устройство состоит из нескольких плат и известно, что на разъем приходит несколько сигналов и часть из них задержана относительно друг друга.

Вносить эти задержки можно как в библиотеке компонентов, так и на схеме, и в топологии. При этом надо учитывать, что Altium Designer поддерживает внесение задержек только в виде длин, временные задержки не поддерживаются. Соответственно, если задержки вызваны корпусом компонента и этот компонент используется на типовом стеке подложки, то может имеет смысл эти задержки внести в библиотеку. Если же конфигурация задержек уникальна для данного узла, то задержки надо пересчитать в длины и внести в один из компонентов такой группы цепей (обычно это источник группы сигналов).

При внесении задержек на уровне схемы или уровне топологии ECO корректно отрабатывает как прямую, так и обратную аннотации. Однако надо быть аккуратным при обновлении компонента из библиотеки (как в схеме, так и в топологии), значения Pin Package Length сбрасываются в значения по умолчанию.

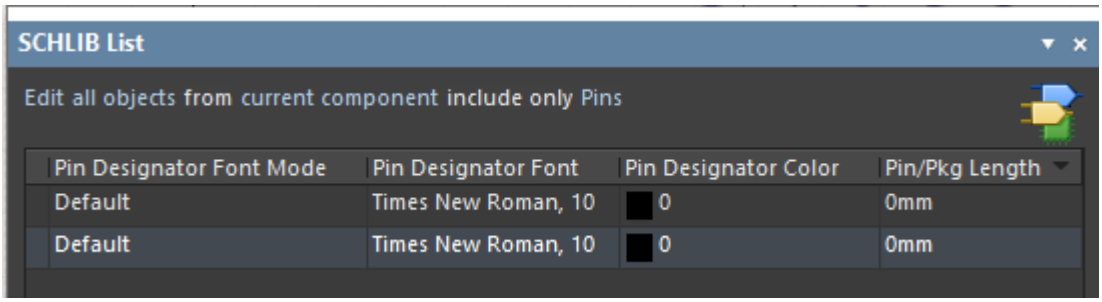
Как уже было сказано, задаются задержки при задании свойства вывода Pin Package Length, причем поддерживаются и отрицательные значения.

При создании УГО компонента в свойствах вывода задавать свойство Pin Package Length.

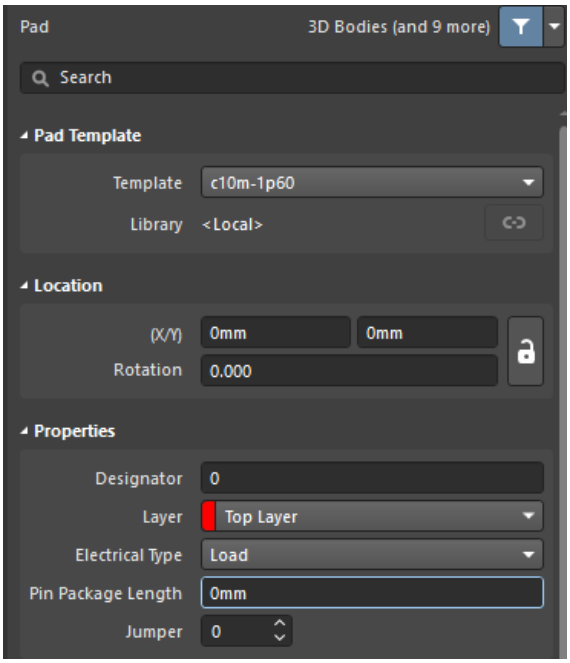


Также с помощью панели SCHLIB List и инструмента Parameter Manager возможно групповое изменение. Выбираем режим изменение (Edit),

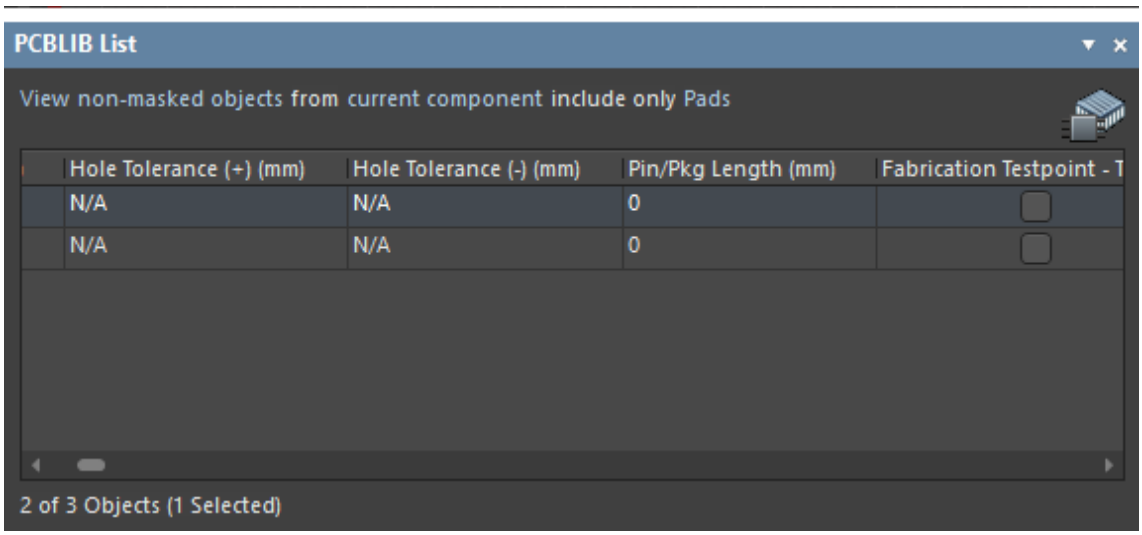
все объекты (all objects) из текущего компонента (current component) типа выводы (pins).



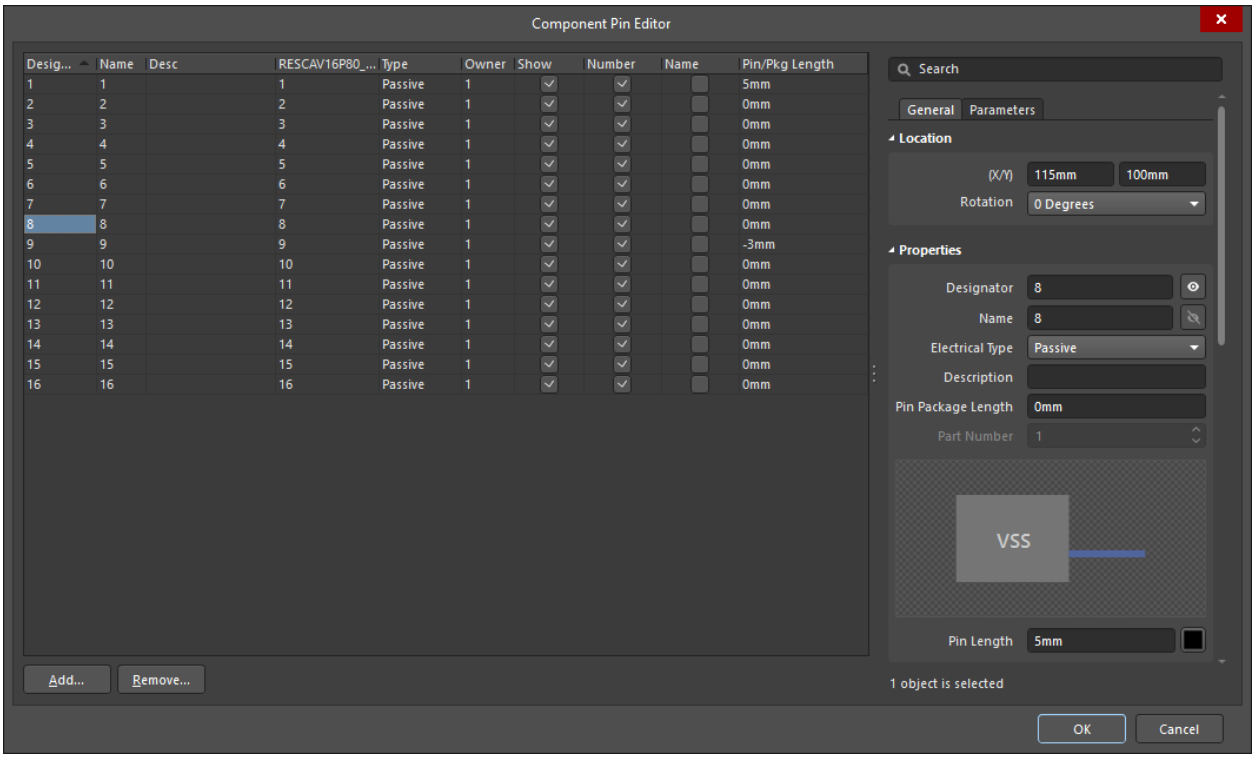
Аналогично при создании посадочного места можно для каждого пада указывать Pin Package Length.



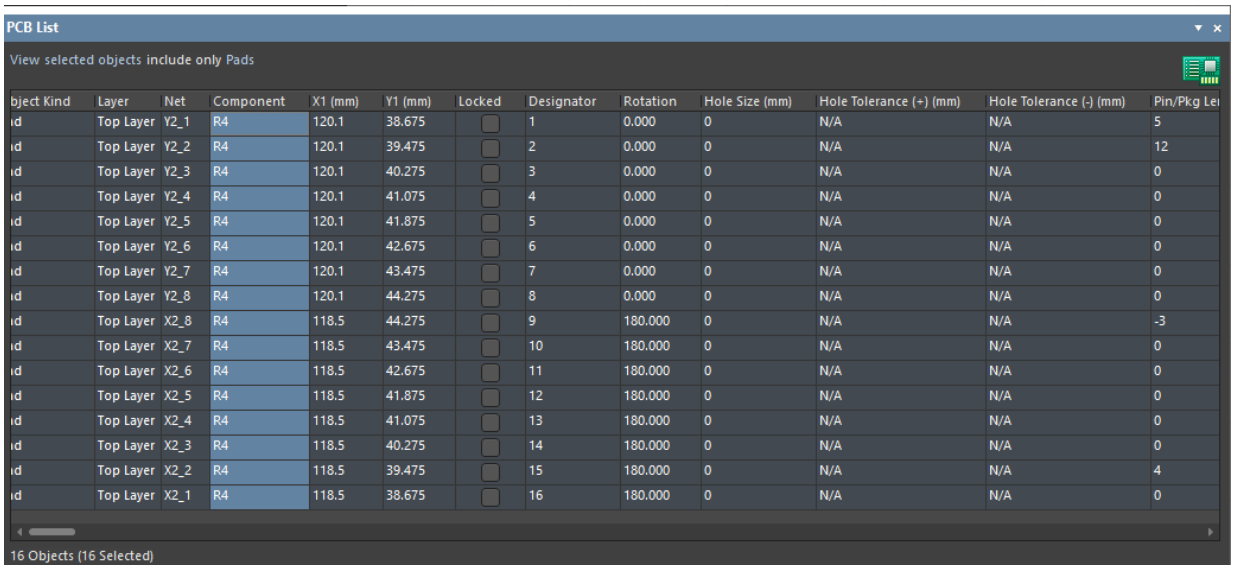
С помощью панели PCBLIB List возможно групповое изменение заданного свойства.



Для того чтобы на схеме задавать задержки, необходимо зайти в свойства компонента на вкладке Pins и щелкнуть по Edit Pins. . Откроется окно Component Pin Editor, позволяющее групповое изменение свойств выводов.



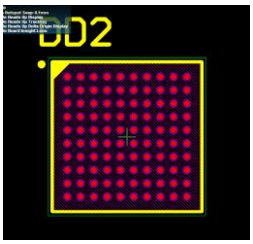
На топологии работа возможна как индивидуально с каждым падом, так и группой на панели PCB List. Необходимо дополнительно отфильтровать по позиционному обозначению компонента.



При разводке в списках Nets и xSignals есть столбец Total Pin/Package Length, показывающий суммарную задержку всех падов в текущей цепи. Она учитывается при расчете Signal Length, на которую ориентируются правила.

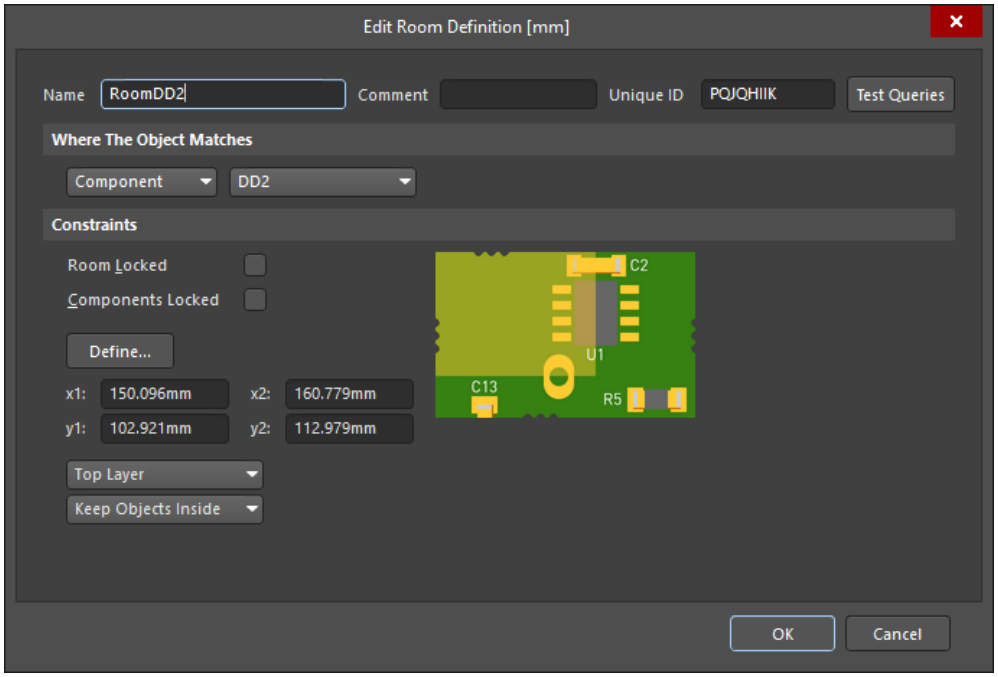
8. Генерация Fanout-ов у микросхем.

В Altium Designer присутствует мастер генерации веерной разводки выводов от плотноупакованных микросхем (Fanout). Покажем, как создать такую разводку для микросхемы LPC1765FET100 в корпусе типа BGA с шагом 0,8мм и размером пада 0,33мм.



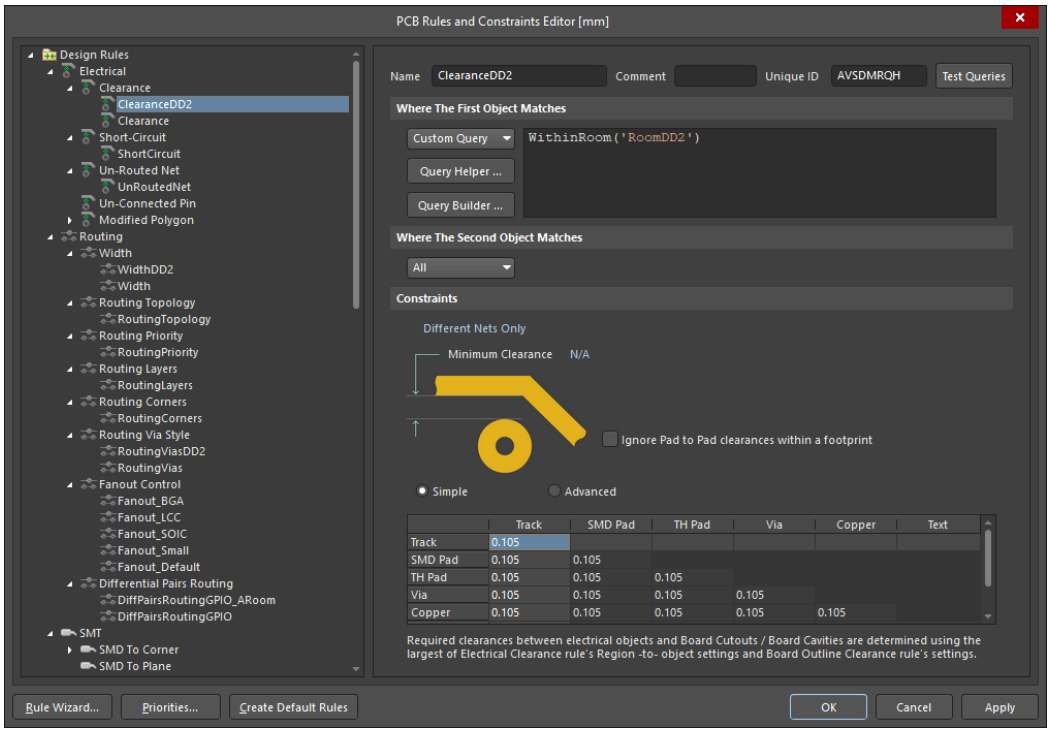
Как правило, цепи веерной разводки делаются с более высоким классом точности, чем основная разводка платы. Т.е. в общем случае, веерная разводка нарушает общие правила проекта, при этом эти цепи присутствуют только под конкретной микросхемой (или вблизи). Т.е. удобно воспользоваться комнатой, в которой определены правила только для веерной разводки, и комната размером с компонент.

Выбираем компонент и по Design – Rooms – Create Rectangle Room from selected components (D, M, T) создаем комнату размер в размер с компонентом. Переименуем ее в понятное имя, т.к. для нее надо будет писать правила с использованием конструкции WithinRoom().

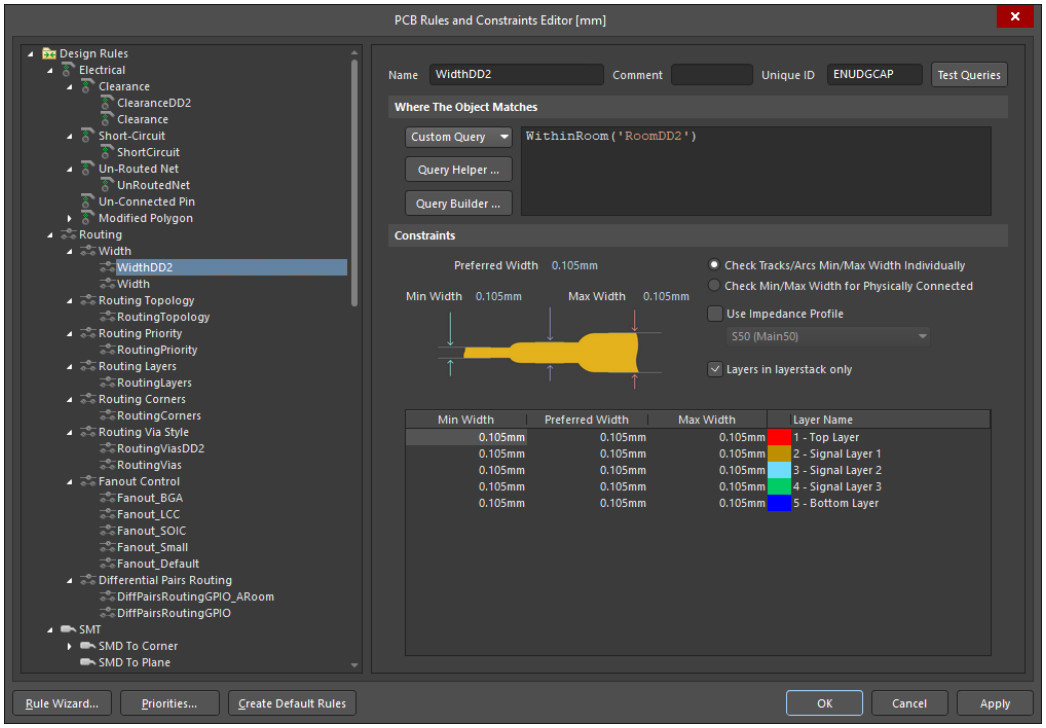


Правила размеров и зазоров возьмем рекомендованные из документации производителя. Нужно четыре правила:

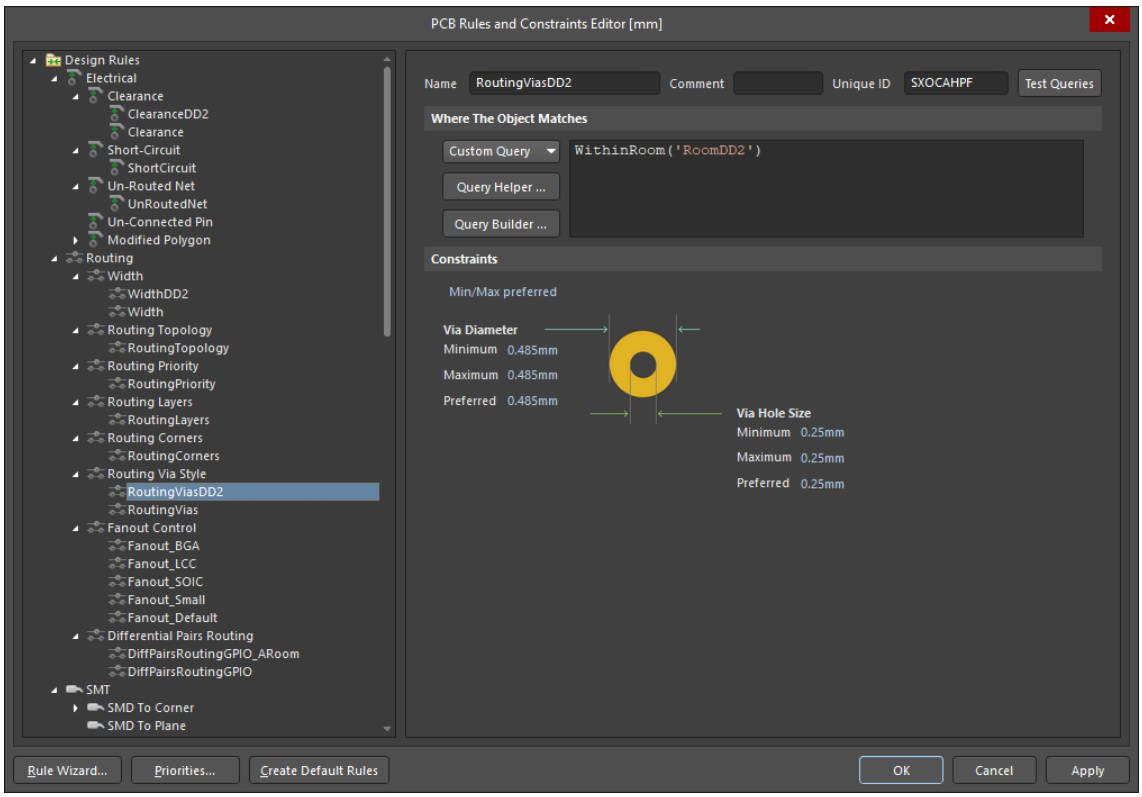
1. Минимальный зазор (0,105мм)



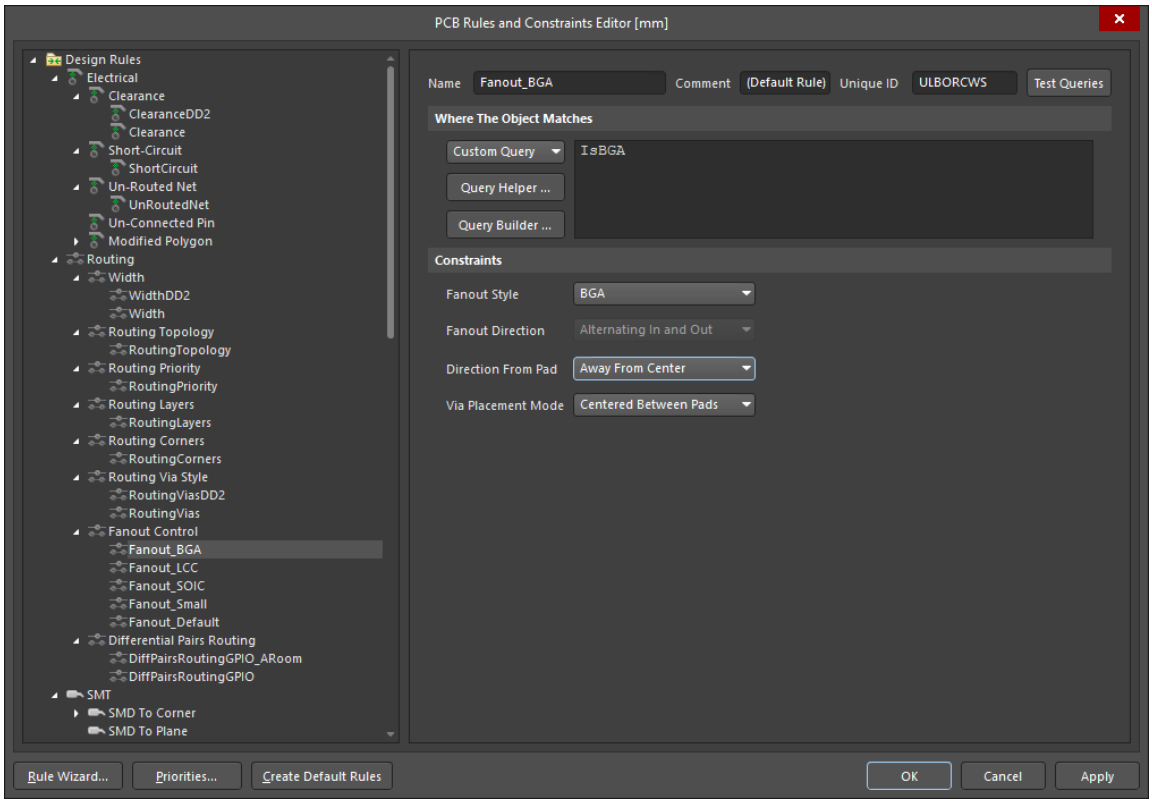
2. Ширина линии (0,105мм)



3. Размер отверстий под микросхемой (0,485мм/0,25мм)

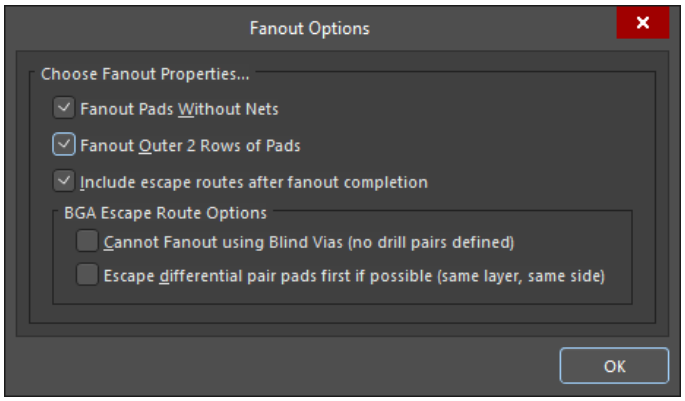


4. Стиль веерной разводки (Routing – Fanout Control). Для нашей микросхемы укажем BGA с выходами от центра.

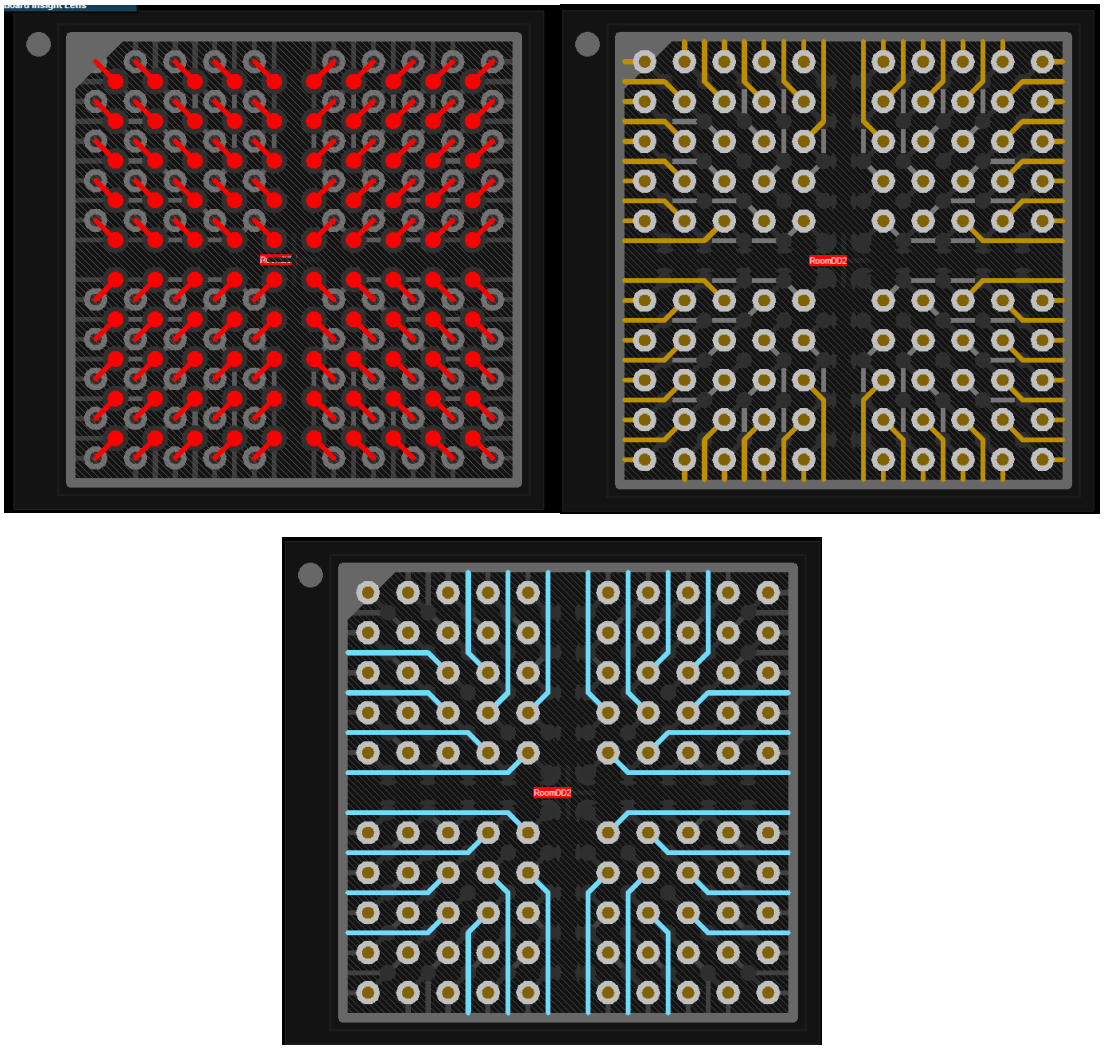


Теперь вызываем собственно мастер. Он вызывается по Route- – Fanout – Component и ЛКМ по компоненту.

Если расположение компонентов позволяет, то на верхнем слое можно вывести линии от двух крайних рядов (снятая галка Fanout Outer 2 Rows of Pads), а можно указать уход вглубь всех цепей.



По результатам работы мастера создается веерная разводка выводов на нескольких слоях, в примере хватило трех слоев.



9. Использование перестановки (Pin/Part Swap)

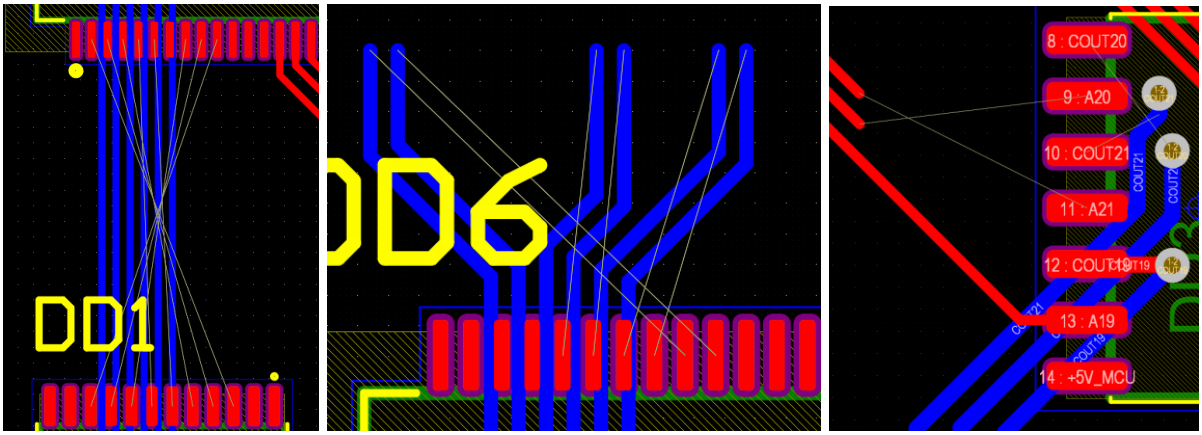
Altium Designer поддерживает перестановку одиночных выводов, дифференциальных пар и секций.

Перестановка одиночных и дифференциальных выводов работает в режиме замены пинов в УГО компонента, либо через замену меток цепи.

Перестановка секций работает через изменение номера секции в УГО компонента и поэтому возможна только для многосекционных компонентов.

Покажем перестановку одиночных и дифференциальных выводов на примере микроконтроллера STM32F030R8T6TR, а перестановку секций на примере логики И-НЕ 74HC04D.

Чтобы перестановки работали, надо чтобы цепи не были разведены до конца (остались незаведённые пади или одиночные участки цепей со стороны компонента, в котором определена перестановка).



Для применения инструмента перестановки надо сначала настроить перестановку в компоненте (можно как в библиотечном компоненте, так и только в рамках текущего проекта) и разрешить перестановку и ее тип в текущем проекте.

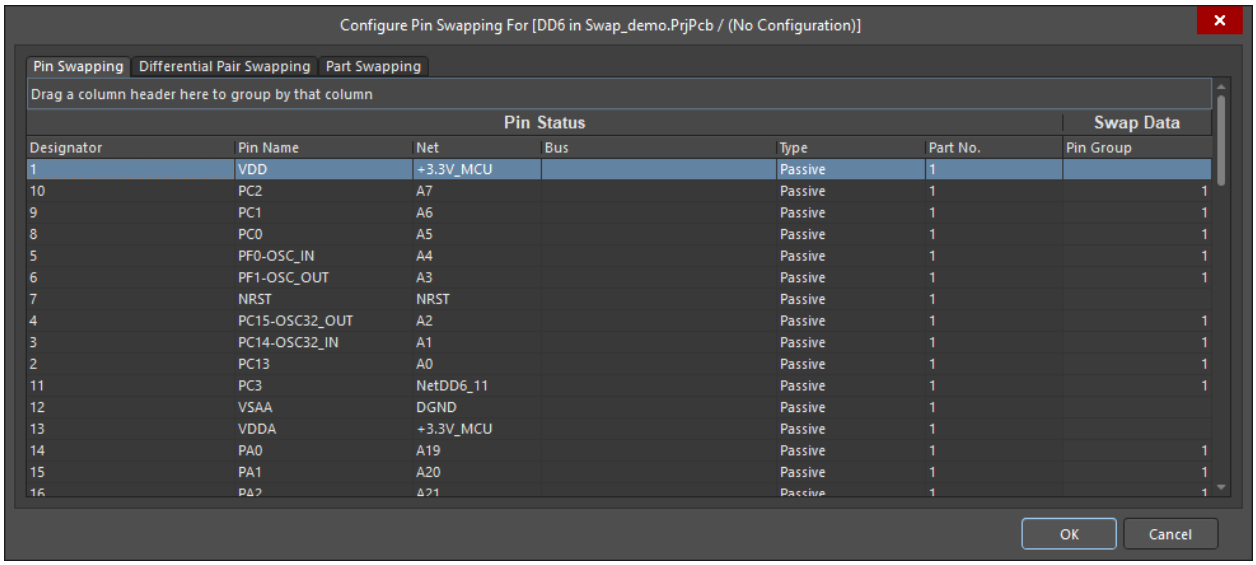
Основные команды перестановки вызываются в редакторе топологии по Tools - Pin/Part Swapping.

9.1. Настройка правил перестановки в компонентах

Сначала надо настроить перестановку выводов в компоненте. Для этого вызываем меню Configure Swapping Information (в редакторе схем по Tools – Configure Pin Swapping; в редакторе топологии по Tools – Pin/Part Swapping - Configure). В открывшемся окне выбираем желаемый компонент и по кнопке

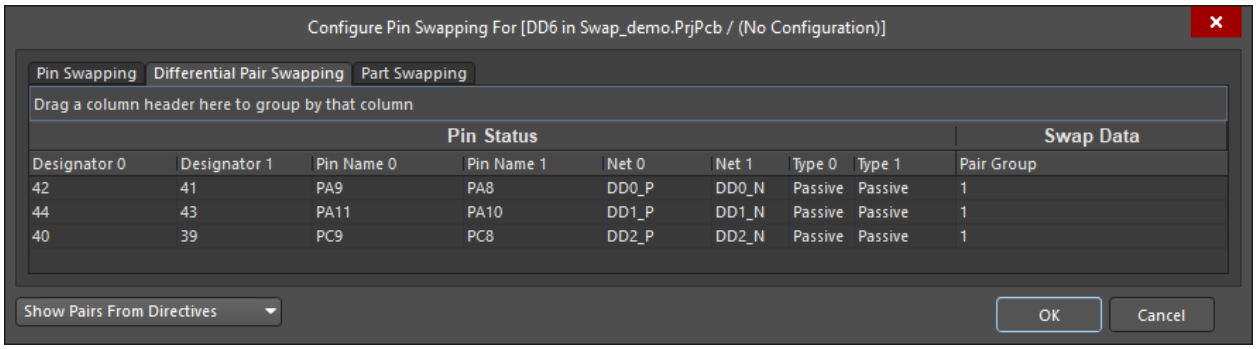
Configure Component переходим к настройкам перестановки данного компонента.

На вкладке Pin Swapping в столбце Pin Group назначается группа, в пределах которой можно свободно переставлять одиночные выводы. Группу можно называть как числом, так и строкой. Пусть все используемые IO-выводы (кроме назначенных для внешнего SPI и программирования по SWD) можно свободно переставлять. Назначим им всем одну группу «1».



Designator	Pin Name	Net	Bus	Type	Part No.	Pin Group
1	VDD	+3.3V_MCU		Passive	1	
10	PC2	A7		Passive	1	1
9	PC1	A6		Passive	1	1
8	PC0	A5		Passive	1	1
5	PF0-OSC_IN	A4		Passive	1	1
6	PF1-OSC_OUT	A3		Passive	1	1
7	NRST	NRST		Passive	1	
4	PC15-OSC32_OUT	A2		Passive	1	1
3	PC14-OSC32_IN	A1		Passive	1	1
2	PC13	A0		Passive	1	1
11	PC3	NetDD6_11		Passive	1	1
12	VSAA	DGND		Passive	1	
13	VDDA	+3.3V_MCU		Passive	1	
14	PA0	A19		Passive	1	1
15	PA1	A20		Passive	1	1
16	PA2	A21		Passive	1	1

На вкладке Differential Pair Swapping настраиваются перестановки дифпар. Аналогично, указывается, в пределах каких групп дифпар их можно менять местами. В нижней части окна можно по списку ограничить видимость только определенными в проекте дифпарами (Show Pairs From Directives).

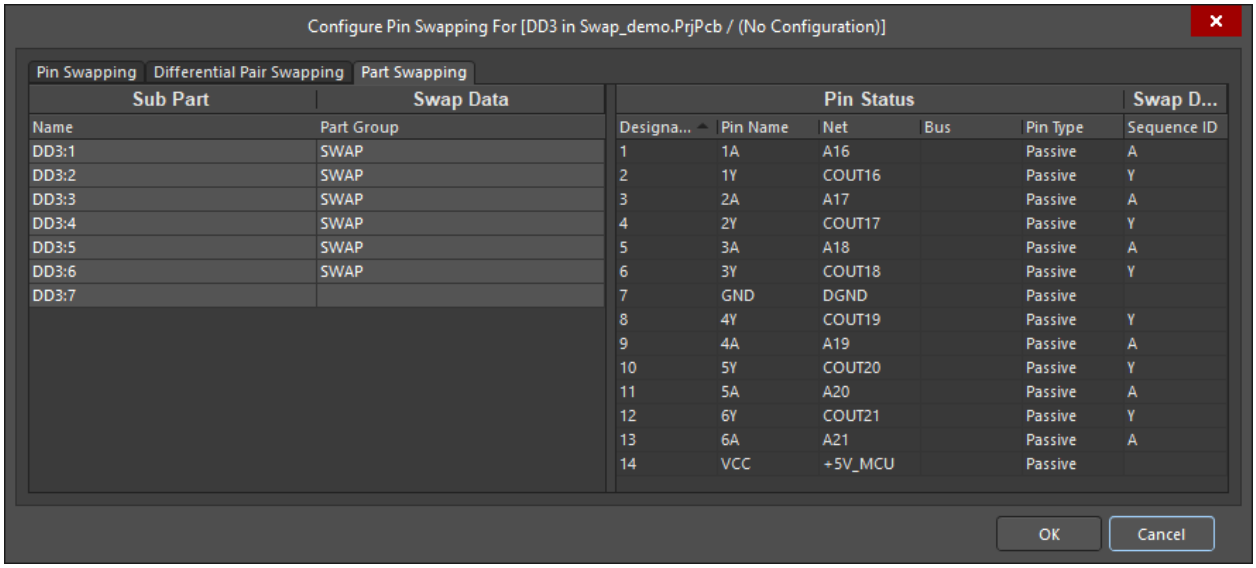


Designator 0	Designator 1	Pin Name 0	Pin Name 1	Net 0	Net 1	Type 0	Type 1	Pair Group
42	41	PA9	PA8	DD0_P	DD0_N	Passive	Passive	1
44	43	PA11	PA10	DD1_P	DD1_N	Passive	Passive	1
40	39	PC9	PC8	DD2_P	DD2_N	Passive	Passive	1

При этом перестановка двух выводов в пределах одной дифпары должна определяться на вкладке Pin Swapping.

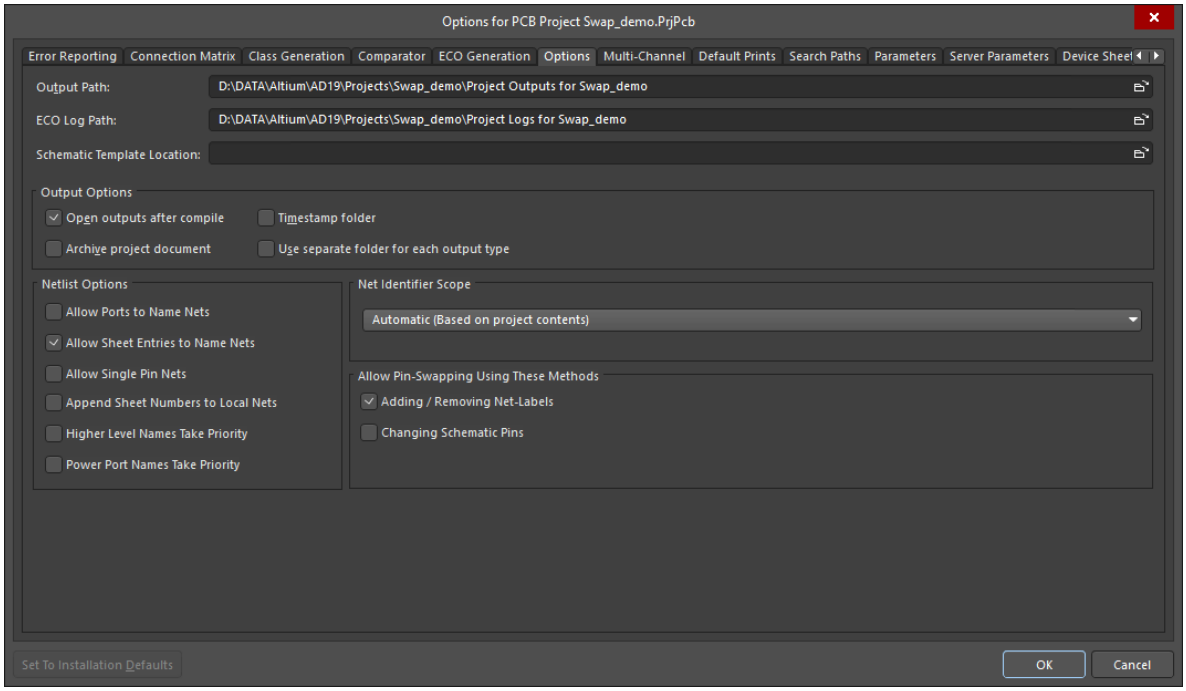
Для компонента 74HC04D настроим перестановку секций. Делается это на вкладке Part Swapping. Здесь нужно провести две настройки – указать, какие секции можно менять между собой (столбец Swap Data в левой части),

и в какие выводы переходят эквивалентные выводы в разных секциях (столбец Sequence ID в правой части). У 74HC04D секции 1-6 можно менять между собой (группа «SWAP»), причем входы и выходы помечены как «A» и «Y» (т.е. при перестановке секции пин 1A должен замениться на 2A, 3A и т.д.). Секции 7 (в которой питание и земля) не разрешено переставляться.

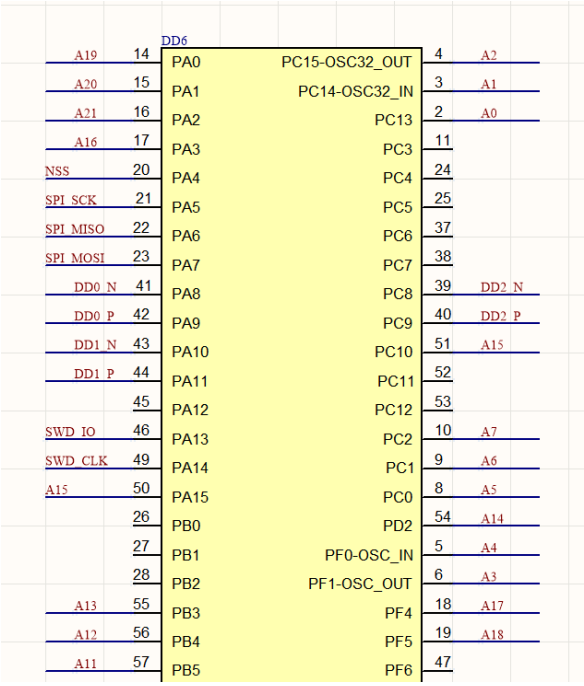


9.2. Разрешение на перестановку в проекте

Чтобы разрешить перестановку в проекте надо указать две настройки. По Project – Project Options на вкладке Options в группе Allow Pin-Swapping Using These Methods нужно указать, каким образом будет задаваться перестановка в схеме. Доступно два метода – через изменение меток цепи (Adding/Removing Net-Labels) и через изменение пинов в УГО (Changing Schematic Pins).



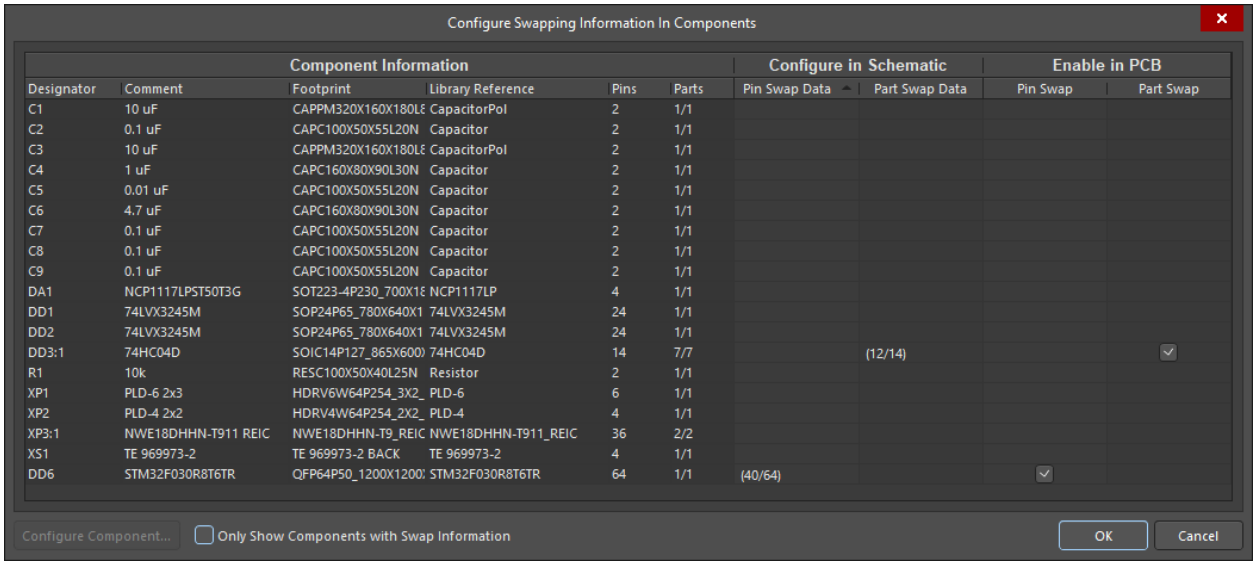
При использовании перестановки через изменение меток цепи схема должна быть построена на установке меток цепи (Net Labels) на оборванных цепях. При перестановке метки цепи будут просто меняться местами.



При использовании перестановки через изменение пинов так строить схему не обязательно, но УГО будет меняться относительно базового из библиотеки (выводы будут меняться местами).

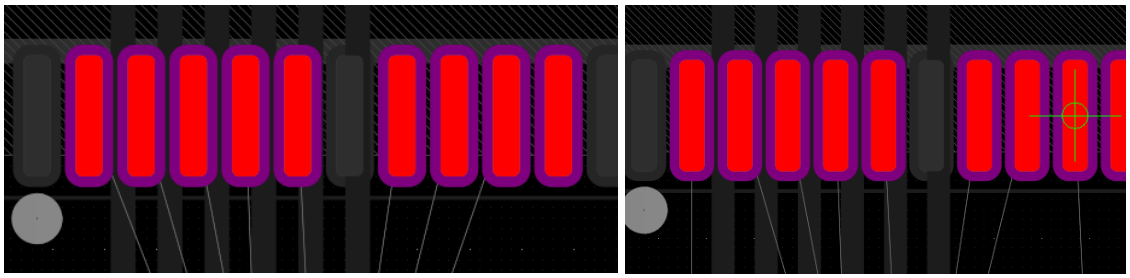
При перестановке секций будут просто меняться номера секций (Part) в пределах одного УГО компонента.

Также в редакторе топологии по Tools – Pin/Part Swapping – Configure нужно указать какому компоненту какой тип перестановки в текущем проекте разрешен (галочки в столбце Enable in PCB).

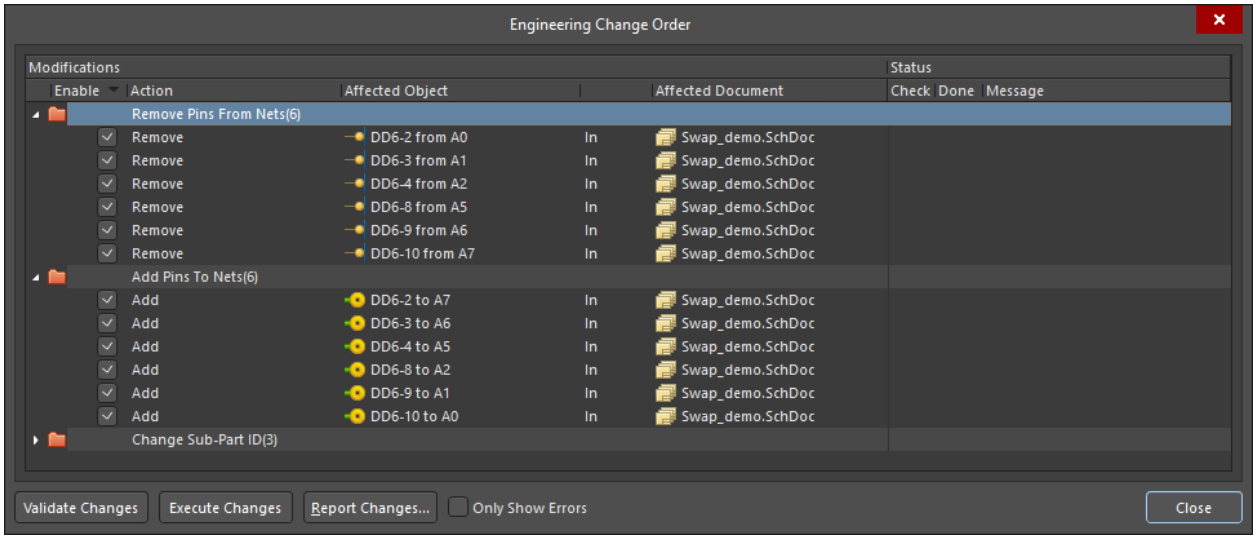


9.2. Вызов команд перестановки

Вызов перестановки одиночных выводов проходит по Tools – Pin/Part Swapping – Interactive Pin/Net Swapping. Далее со стороны компонента, в котором определена перестановка одиночных выводов по ЛКМ сначала выбирается первый и второй вывод, который надо переставить (или оборванные висящие цепи). При этом будут подсвечены цепи, с которыми можно работать.



По окончании перестановки надо обязательно перенести изменения в схему по Design – Update Schematics…



Аналогично, перестановка дифпар делается по Tools – Pin/Part Swapping – Interactive Differential Pin/Net Swapping, а секций по Tools – Pin/Part Swapping – Interactive Part Swapping.

Их также после перестановки надо перенести через обратную аннотацию в схему.

Литература

1. Лопаткин, А. Проектирование печатных плат в системе Altium Designer [Электронный ресурс] : учебное пособие / А. Лопаткин. — Электрон. дан. — Москва : ДМК Пресс, 2017. — 554 с. — Режим доступа: https://e.lanbook.com/book/97334

2. Суходольский В.Ю. Altium Designer: сквозное проектирование функциональных узлов РЭС на печатных платах: учеб. Пособие. - 2-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2014. – 560 с.

3. Желобаев А.Л. Методические указания к лабораторным работам по курсу «САПР Altium Designer»: М.:МИЭТ, 2019 – 104с.

Перечень ресурсов сети «Интернет»

4. Репозиторий автора с учебной библиотекой https://github.com/dee3mon/StudentsLibraryGIT

5. Репозиторий автора с учебными материалами по Altium Designer https://github.com/dee3mon/altium-methodic

6. Тематический форум electronix.ru, раздел «Разрабатываем ПП в САПР - PCB development», https://electronix.ru/forum/index.php?showforum=17, доступно после свободной регистрации

7. Сайт Eurointech, раздел «Учебные материалы» http://www.eurointech.ru/education/selftraining/

Каналы Youtube с видеоуроками по Altium Designer

8. Официальный канал Altium Designer https://www.youtube.com/channel/UCpCi8Hpe4nIg4qvy2vpCGNQ

9. Канал Алексея Сабунина https://www.youtube.com/user/SabuninAlexey

10. Плейлист «Altium Designer» на канале Сергея Булавинова https://www.youtube.com/playlist?list=PLgUwXvgNkHQJ3G5UoLGMfHJM2c-m4Afdx

11. Канал официального представительства Altium Russia https://www.youtube.com/channel/UCvZ_kyV4ATrQfjmtVpuj0LQ

12. Плейлист «Altium Designer» на канале консультационного цента АМКАД https://www.youtube.com/watch?v=PcStOG7sRqk&list=PLUk9KaCJSP-UAcH1uLu6mOQmDTmZGCND8

13. Плейлист «Уроки Altium Designer» на канале разработчика Nordic Energy https://www.youtube.com/playlist?list=PLUYH9oDZsrZ25Lv_HNp03AzZTBotulIBa

14. Канал Robert Feranec - автора образовательного сообщества Fedevel Academy https://www.youtube.com/user/matarofe/featured

Разработчик:

Ст. преподаватель института МПСУ Приходько Д.В.