Федеральное государственное автономное образовательное учреждение высшего образования «Национальный исследовательский университет «Московский институт электронной техники».

Институт микроприборов и систем управления имени Л.Н. Преснухина

Методические указания к выполнению курсового проекта

«Работа с ВЧ-объектами в Altium Designer»

По курсу
«Проектирование печатных плат»

Москва, Зеленоград

2021

Оглавление

Оглавление 2
Общая информация 2
Соображения о хранении полосковых компонентов 4
Прямое введение регионов в разводку 4
Создание полоскового ВЧ-компонента 5
Соединение полосковых компонентов с падами компонентов 15
Поворот ВЧ-линии 21
Заливка 24
Земляные отверстия 37
Паяльная маска 45
Профиль импеданса 49
Правило ширины ВЧ-линии 54
Правило проверки неразрывности земли Return Path 56
Автоматическое генерирование плавных переходов (Teardrop) 58
Переопределение стиля термобарьера 61
Обратный перенос в ADS для моделирования 63
Литература 72

Общая информация

В Altium Designer нет специализированных приемов для работы с ВЧ-разводкой, например, в виде отдельного расширения в виде библиотеки полосковых компонентов, соответствующих стандартным полосковым компонентам в ВЧ-САПРах, или быстрой онлайн связи между Altium Designer и ВЧ-САПРом. Используются стандартные для Altium Designer подходы и примитивы. В зависимости от сложности требуемой ВЧ-разводки, принято пользоваться одним из следующих исторически сложившихся приемов:

- На схеме полосковые ВЧ-устройства не обозначаются никак; в топологии рисуются с помощью регионов (Solid Region) или через импорт DXF/DWG, Gerber, ODB++ или иных промежуточных форматов. Это довольно простой способ, однако при любом изменении топологии можно совершить кучу ошибок. Прием подходит для самых простых случаев, в том числе, когда надо правильно соединить линии разной толщины или вывод пада с ВЧ-линией, например.

- Через создание полоскового компонента. На схеме он представлен стандартным УГО, обозначающим его функцию; посадочное место либо рисуется вручную (в простых случаях) или через импорт геометрии. Это более надежный способ избежать ошибок, однако в связи с отсутствием в Altium Designer параметрических полигонов даже для самых простых ситуаций (длина и ширина простого полоска, например), то при малейшем изменении полоскового ВЧ-компонента необходимо править или импортировать полосковый компонент заново. Кроме того, надо придерживаться некоторых правил создания и применения такого компонента (как УГО, так и посадочного места).

- Если полосковый компонент должен накладываться на пад какого-либо другого компонента (согласующая цепь на входе микросхемы усилителя, предварительно рассчитанное в ВЧ-симуляторе подключение к транзистору, резистор в развязанном кольцевом делителе, блокировочный конденсатор в разрыве или аналогичные ситуации), то по сравнению с обычным полосковым компонентом необходимо провести дополнительные манипуляции.

Также при ВЧ-разводке необходимо правильно использовать повороты ВЧ-линий, делать плотную земляную заливку, размещать земляные отверстия в земляной заливке и контролировать паяльную маску.

Для анализа разведенной платы целиком, ее можно перенести обратно в ВЧ-симулятор и проанализировать ее ЕМ-анализом, чтобы учесть влияние всей разводки.

Отдельная задача при разработке ВЧ-плат – плотная совместная работа с конструкторами корпусов конечного устройства. В том числе, разбиение платы на ячейки меньше критических размеров, разработка рамки и корпуса устройства и пр. Описание приемов и особенностей такой работы выходит за пределы данного методического указания.

В учебной библиотеке StudentsLibrary [6] в файле УГО Microstrip.SchLib и файле посадочных мест Microstrip.PCBLib находятся несколько готовых примеров полосковых компонентов.

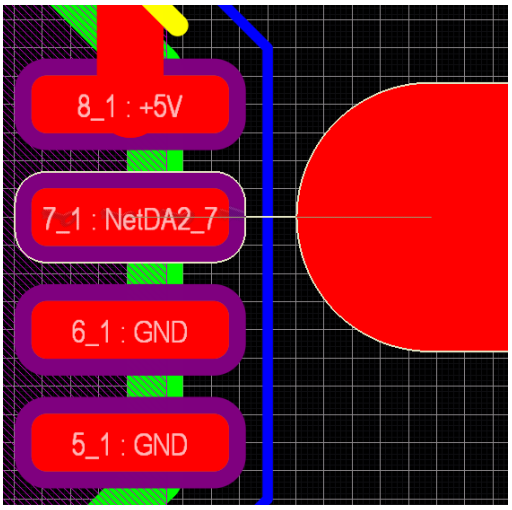
Материал подготовлен для версий Altium Designer 20.1.14 и Keysight Advanced Design System 2020.

Соображения о хранении полосковых компонентов

Очевидно, что полосковые компоненты не являются универсальными для различных проектов (в отличие от обычных дискретных компонентов), так как рассчитываются и проектируются по конкретному техническому заданию на заданную ВЧ-подложку с определённой толщиной ВЧ-диэлектрика в фиксированный частотный диапазон с заданными частотными характеристиками и пр. С учетом того, что Altium Designer может неоднозначно отрабатывать ошибки с дублирующимися названиями УГО и посадочных мест в подключенных библиотеках (находит первое подходящее по имени вхождение и не сообщает, что есть дублирование), стоит либо разработать сложносоставную систему наименования (например, включающую в себя тип полоскового компонента; подложку, на которую рассчитан компонент; составные части ТЗ, позволяющие однозначно идентифицировать полосковый компонент среди других, как уже существующих, так и возможных новых), либо хранить полосковые компоненты в отдельных библиотеках и подключать их только по необходимости (в том числе, можно не создавать отдельный библиотечный проект, а в составе проекта печатной платы иметь библиотеку УГО SchLib и посадочных мест PCBLib).

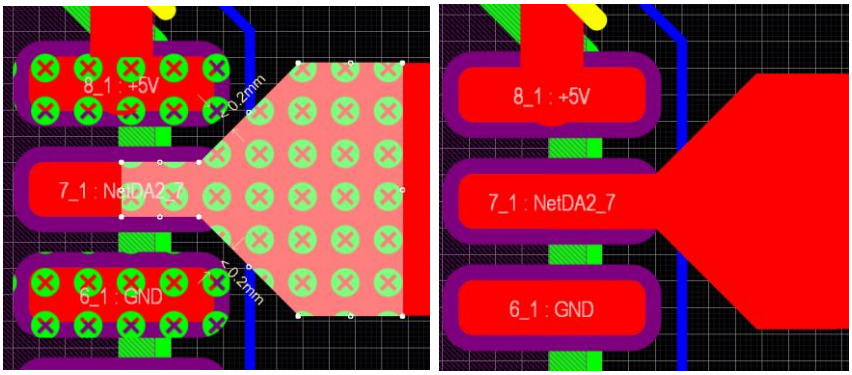
Прямое введение регионов в разводку

Пусть необходимо соединить пад (шириной 0,25мм) с ВЧ-линией (шириной 1,2мм) через 45-градусный переход. ВЧ-линия подведена к паду как можно ближе, чтобы не нарушать правило по зазорам 0,2мм.



Переход создадим с помощью региона Solid Region (создание по команде Place - Solid Region или P, R). Первую точку ставим в середину нижней части пада, вторую точку в нижний правый угол пада, третью в

нижнюю точку ВЧ-линии по вертикальной оси подключения, четвертую в верхнюю точку ВЧ-линии по вертикальной оси подключения (нажатием на Пробел и Shift+Пробел меняем режим прокладки линии, так чтобы был 45 градусный уклон), пятую в верхний правый угол пада (здесь также возможно надо будет менять режим прокладки линии), шестую точку в середину верхней части пада, по ПКМ заканчиваем создание региона.

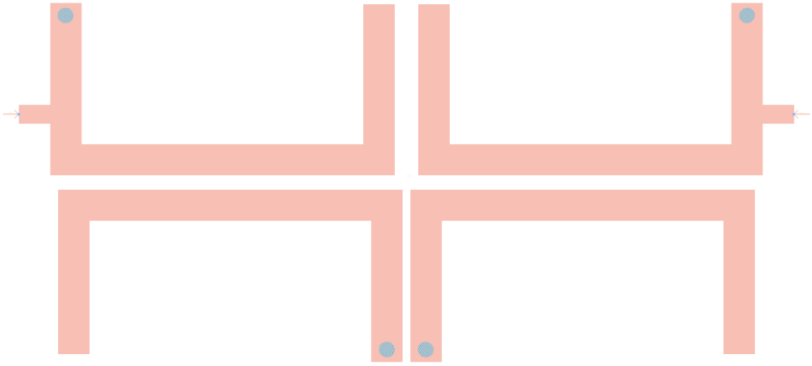


Регион автоматом получит имя цепи и соединение с ней. При создании мы нарушили зазор 0,2мм (отмечено зелеными крестиками), исправим это. Выделяем наклонные ребра и сдвигаем их вправо, пока нарушение не уйдет. Переход готов.

Можно частично защитить регион от случайного редактирования, если его добавить в объединение (можно в состоящее только из этого региона) по Tools – Convert – Create Union from selected objects. В этом случае, редактирование региона через перетаскивание точек работать не будет, регион будет только перетаскиваться целиком.

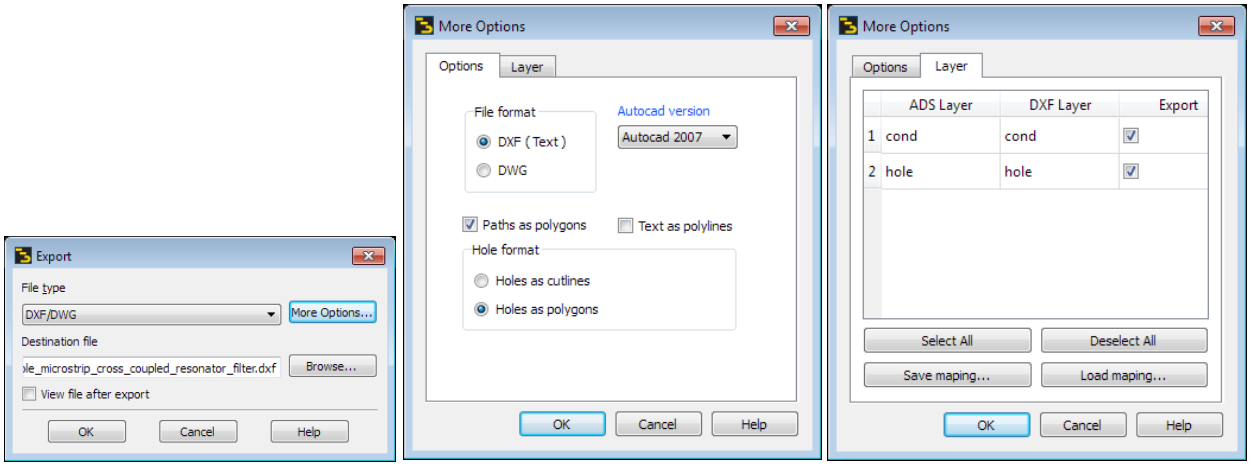
Создание полоскового ВЧ-компонента

Пусть в ADS спроектирован фильтр на укороченных микрополосковых U-резонаторах с закороченными концами (голубым обозначены отверстия на землю). Фильтр имеет центральную частоту 1,25 ГГц, полосу 75МГц и спроектирован на подложке RO3003 толщиной 0,5мм.

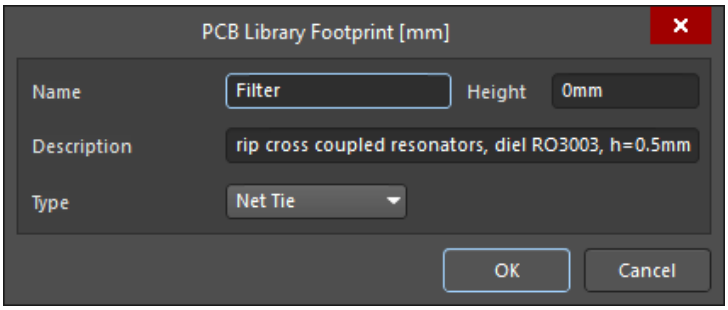


По команде File - Export экспортируем топологию в формат DXF.

** В Altium Designer в редактор посадочных мест можно импортировать только геометрию в формате DXF/DWG (AutoCAD). Если промежуточный формат другой, то нужно создать временный файл платы (PCBDoc), импортировать геометрию в временный файл PCBDoc, и потом скопировать в редактор посадочных мест.*



В Altium Designer создаем новое посадочное место Filter, сразу заполним ему необходимую справочную информацию. В поле Description впишем «Bandpass filter, Fc 1.250GHz, BW 75 MHz, type - four pole microstrip cross coupled resonators, diel RO3003, h=0.5mm». Тип посадочного места нужно ставить Net Tie, т.к. возможна закоротка выходов друг с другом по постоянному току.



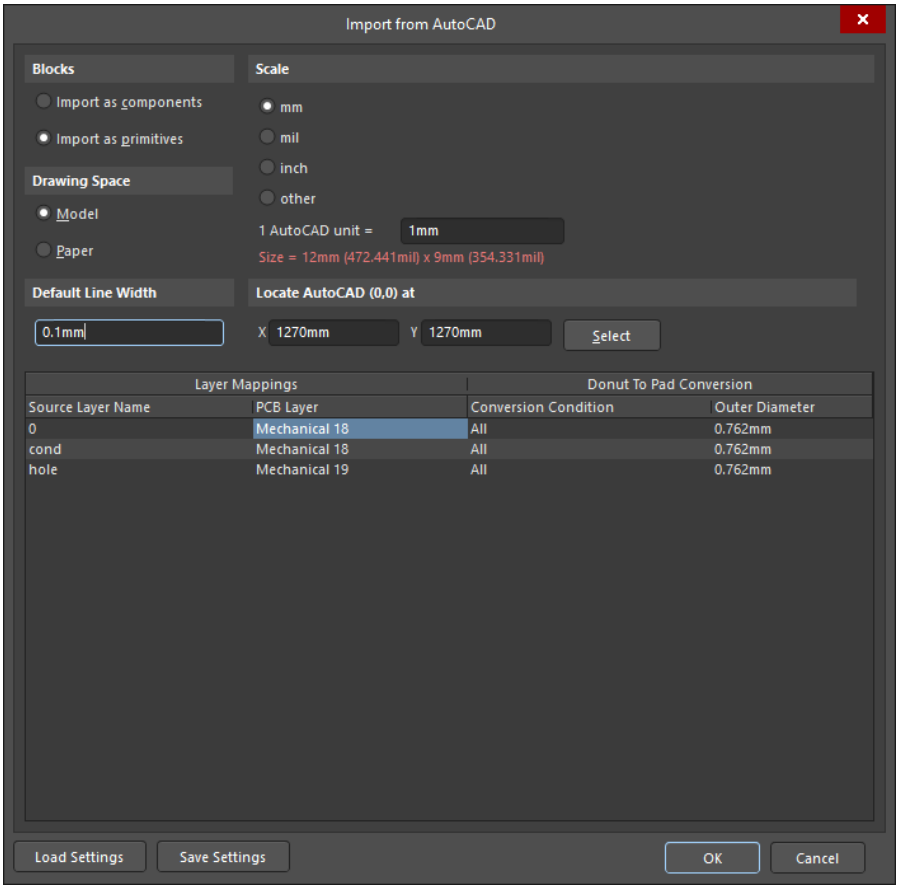
Запускаем импорт File – Import - AutoCAD, в окне выбираем созданный ранее dxf-файл. Откроется окно настроек импорта. Укажем единицу чертежа – мм, также настроим соответствие слоев. Слой cond из ADS (металлизация на верхнем слое) перенесем во временный слой Mechanical 18. Слой hole из ADS (переходные отверстия) перенесем во временный слой Mechanical 19.

Со слоем 0 возможна ситуация, что несмотря на то, что в нем в DXF ничего нет, его все равно надо импортировать, иначе процедура импорта

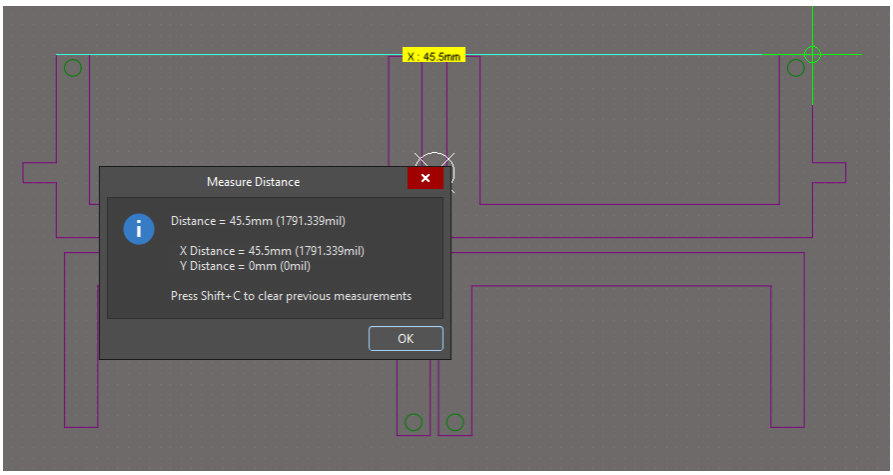
может не отработать. В этом случае импортируем его в тот же временный слой Mechanical 18.

Также возможна ошибка, что импорт происходит только в парные слои (Component Layer Pairs в понятиях AD20), несмотря на то, что одиночные слои объявлены и используются.

Центр импорта (по кнопке Select) зададим в центре посадочного места компонента.



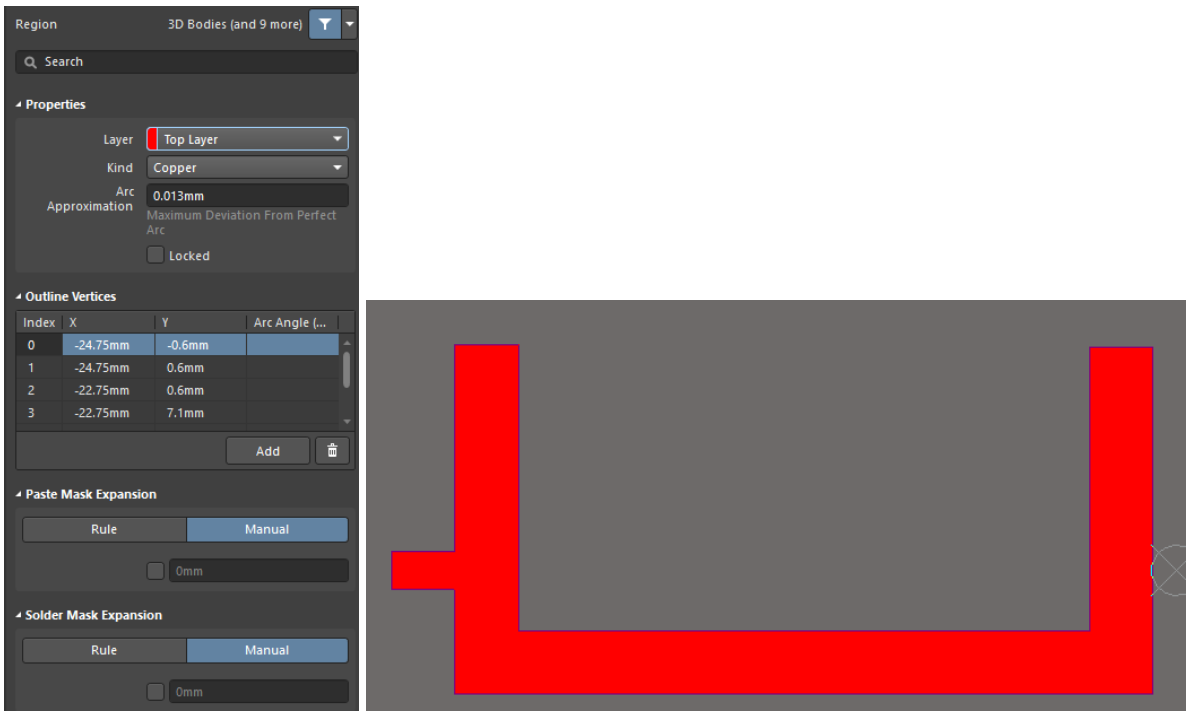
DXF переносит полигоны как контура. Проверим размеры импортированной топологии. Вызываем линейку по Ctrl+M и измеряем ширину по верхним резонаторам, она должна быть 45,5мм. Чтобы работала привязка к объекту, перейдем в слой Mechanical 18, в котором у нас сейчас геометрия полосков.



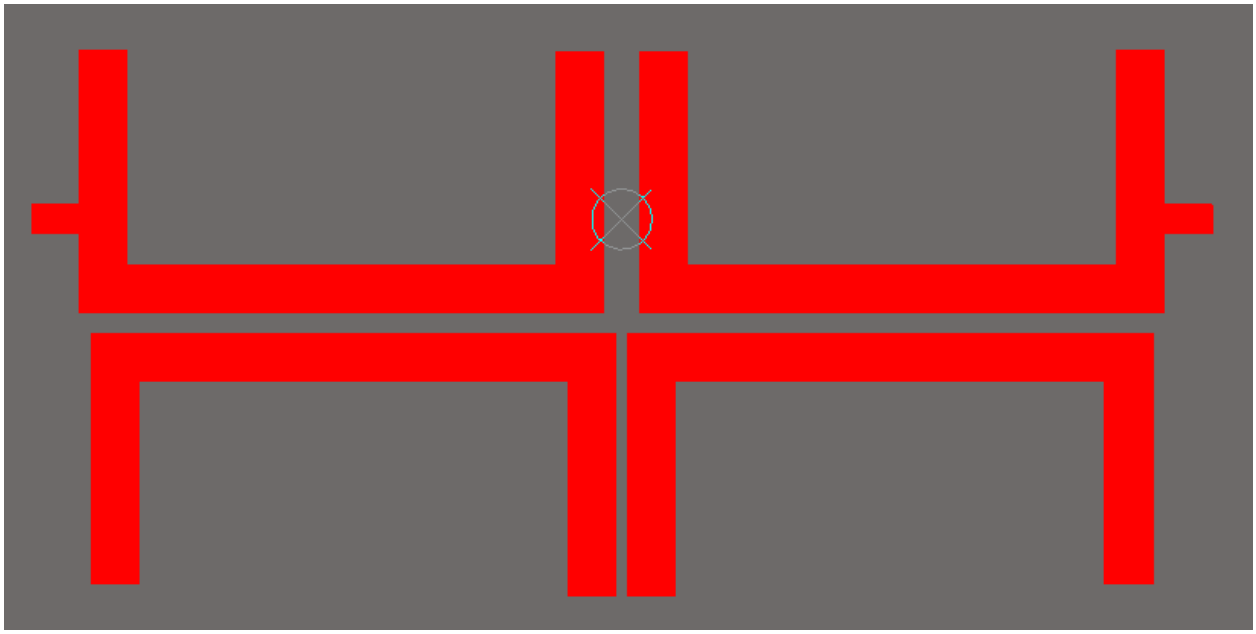
Измерения показывают, что перенос прошел корректно.

Теперь надо превратить импортированные полилинии в регионы. Перейдём в слой Mechanical 18 и отключим остальные (или уйдем в режим Single Layer Mode, Shift+S). Выбираем рамкой линии, формирующие левый верхний резонатор и по команде Tools – Convert - Create Region from Selected Primitives создаем регион.

Выберем его, войдем в его свойства (двойной ЛКМ или ПКМ - Properties) и перенесем в слой Top Layer. Линии, из которых этот регион был сформирован, нам они больше не нужны, удаляем их.



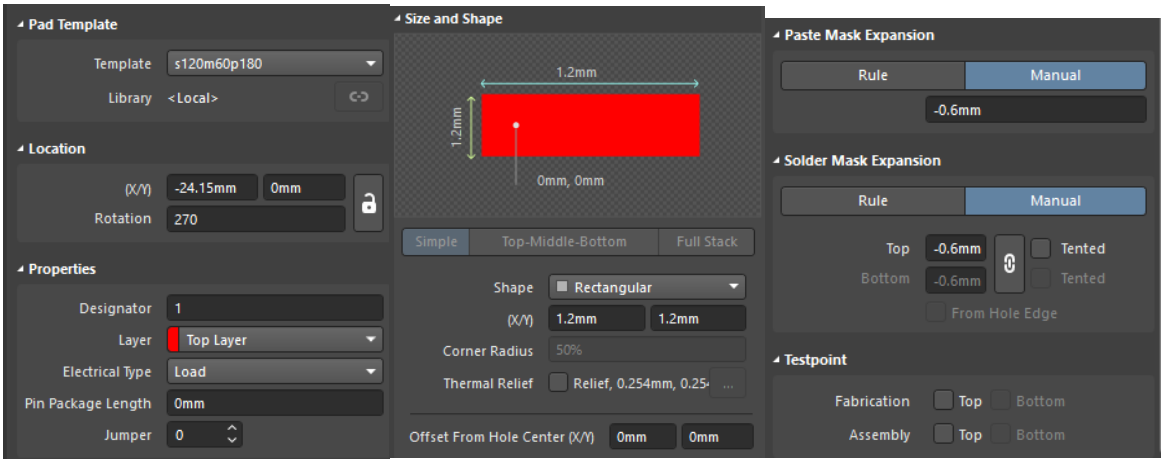
Повторим для остальных резонаторов.



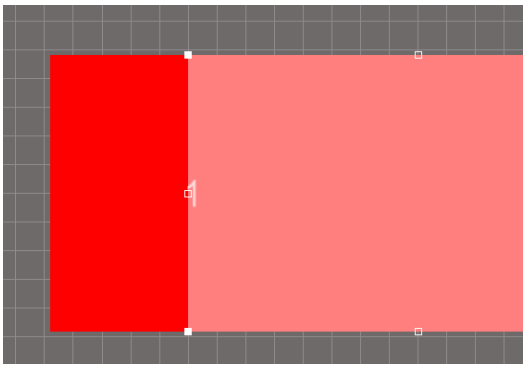
Следующий этап – создание падов входа и входа. Ширина 50 Омной ВЧ-линии для данной подложки 1,2мм, создадим два квадратных пада со стороной 1,2мм в точках подключения.

По команде Place - Pad (P, P) создаем пад. Не ставя его, вызываем настройки по клавише Tab. Ставим ему номер 1, размещение на слое Top Layer, тип прямоугольник 1,2мм х 1,2мм. В настройках привязки отключим привязку к сетке и включим привязку к объектам. Так его можно будет привязать к середине входа.

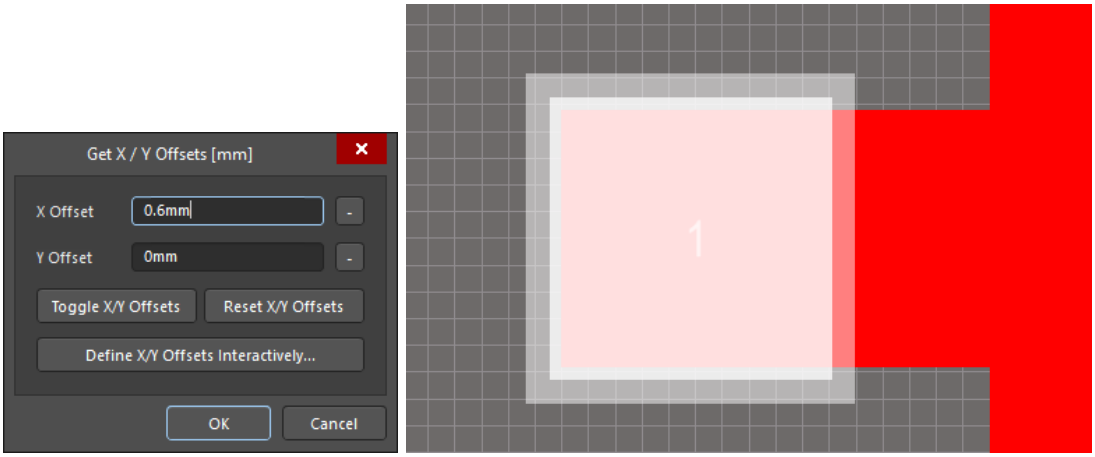
Также на пад в полосковом компоненте не наносится паяльная паста (Solder Paste) и этот пад не должен формировать вырез в паяльной маске (Solder Mask). Для Paste Mask Expansion и Solder Mask Expansion включаем режим Manual и задаем отрицательное значение в половину меньшего размера пада -0,6мм.



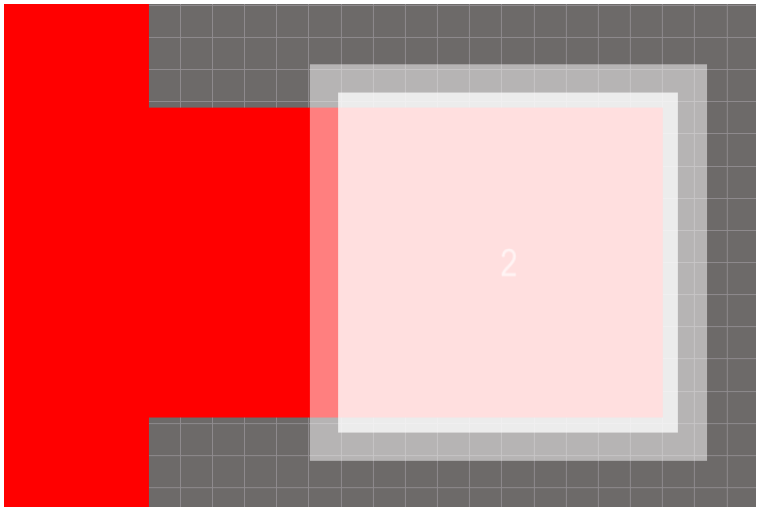
Размещаем пад в центре левой линии входа.



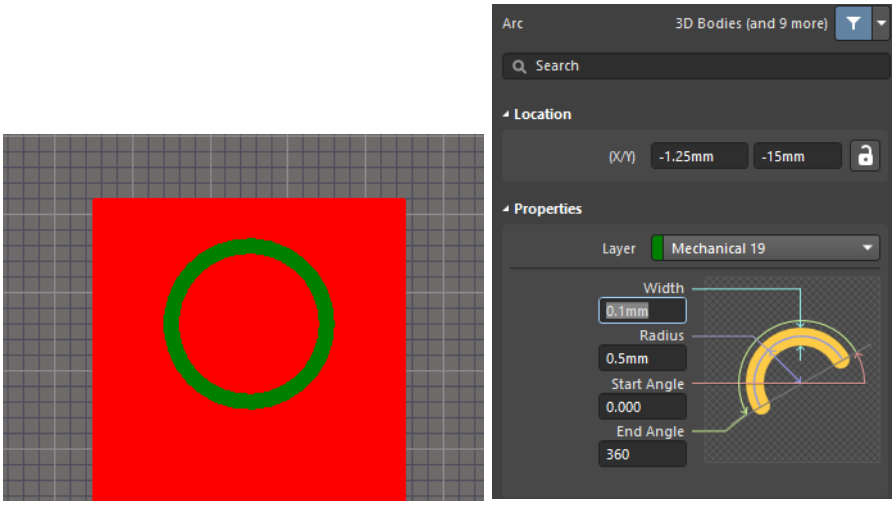
Сместим его на 1,2мм/2 = 0,6мм вправо, чтобы он полностью оказался внутри региона. По команде Edit – Move - Move Selection by X,Y.. в открывшемся окне ставим X Offset 0.6mm.



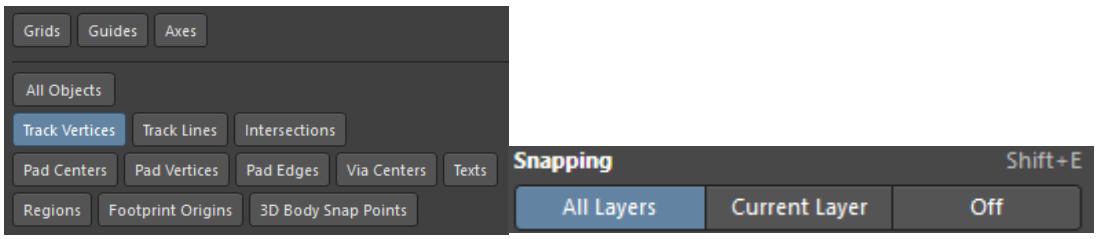
Теперь разместим правый пад с помощью копирования. Выбираем левый пад, копируем по Ctrl+C, выбираем опорную точку (например, середину левой линии), по Ctrl+V начинаем вставлять в правой точке, по Пробел провернем и разместим относительно правой линии выхода. После этого меняем ему номер на 2.



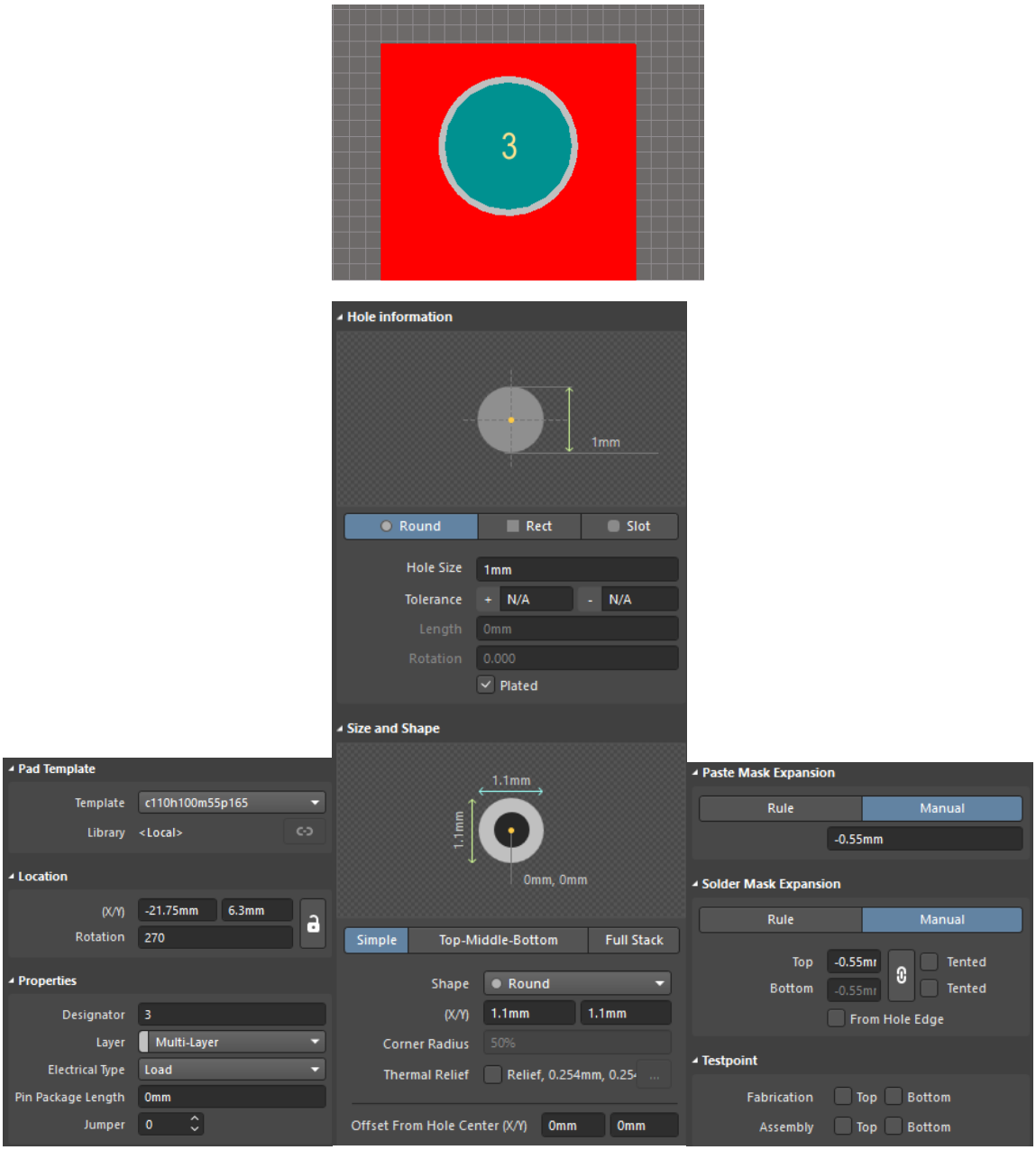
Теперь разместим отверстиям на землю на концах резонаторов. Просто разместить отверстия (VIA) не получится, т.к. им необходимо подключить их к цепи земли. Для них надо определить пад с отверстием, номер у всех будет 3. Включаем слой Mechanical 19, в который были импортированы отверстия. Если зайти в свойства импортированных отверстий, то можно увидеть, что они импортированы как полные дуги (Arc) с радиусом 0,5мм. Там же можно посмотреть координаты центров окружностей.



В настройках привязки настроим привязку к точкам линий/дуг (Track/Arc Vertices) и отключим привязку к сетке. Также включим привязку во всех слоях (циклически Shift+E)

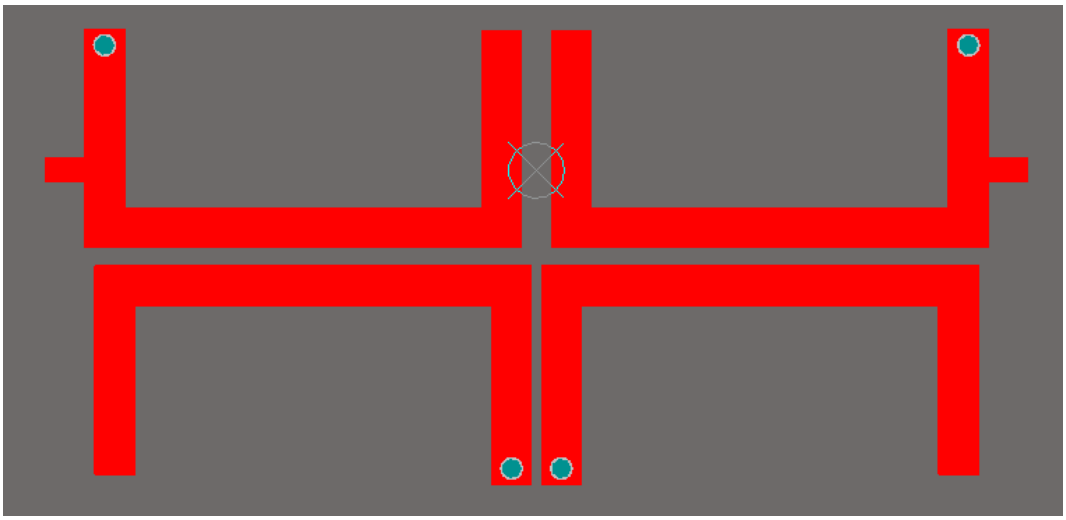


Создаем пад с номером 3, слой Multi-Layer, диаметр отверстия 1мм, металлизированное, металлизация – круг диаметром 1,1мм и размещаем его в центр окружности. Также вручную задаем для паяльной маски и пасты размер в -0,55мм, чтобы на поясок отверстий не наносилась паяльная паста и не формировался вырез в паяльной маске.



Аналогично повторяем для всех остальных отверстий, не забывая проверять номер пада (должен быть 3).

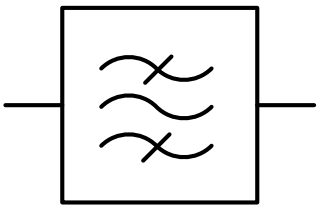
Импортированную из DXF геометрию на временных слоях удаляем.



Строка с позиционным обозначением «.Designator» не нужна, т.к. полосковые компоненты фактически являются металлизацией платы и в сборочный чертёж не идут. Также никакая иная геометрия, включая шелкографию, границы размещения и пр. в посадочном месте полоскового компонента, как правило, не нужна (за исключением возможных меток в информационных слоях, мы для него используем Top Courtyard). Вырезы в окружающей металлизации и паяльной маске чаще правильнее формировать на плате, т.к. они определяются, в том числе, компоновкой платы и получающейся разводкой.

Посадочное место готово.

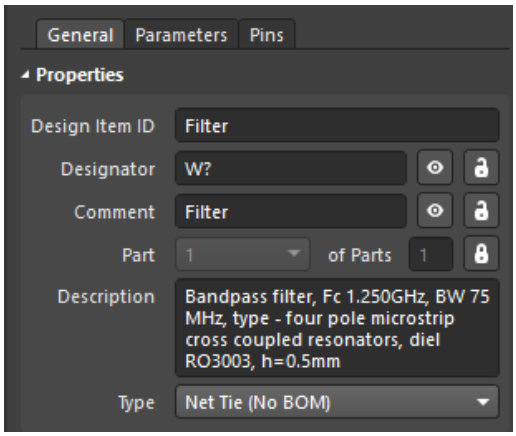
Теперь подготовим УГО. В соответствии с ГОСТ 2.737-68 «Устройства связи» полосовой фильтр обозначается как показано ниже.



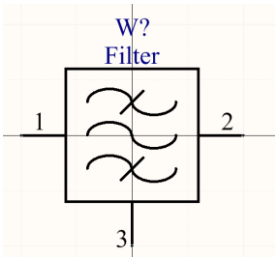
Позиционное обозначение по ГОСТ 2.710-81 «Обозначения буквенно-цифровые в электрических схемах» может быть Z «Устройства оконечные, фильтры: общее обозначение» или W «Линии и элементы СВЧ; общее обозначение». Кроме того, надо добавить подключение к земле.

Создаем УГО, назовем его Filter, с описанием «Bandpass filter, Fc 1.250GHz, BW 75 MHz, type - four pole microstrip cross coupled resonators, diel RO3003, h=0.5mm», позиционное обозначение по умолчанию W?. Параметры в общем случае не нужны. Компонент он долен быть Net Tie, т.к. может быть

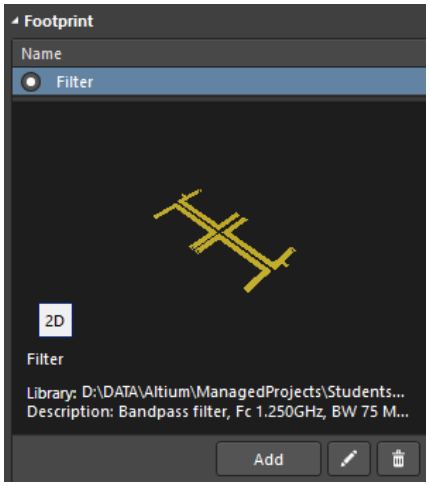
закоротка между выводами по постоянному току. В зависимости от того, нужен ли компонент в перечне элементов или нет, можно конкретизировать до Net Tie (In BOM) или Net Tie (No BOM).



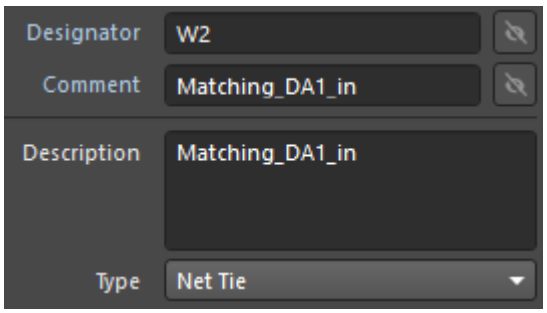
Рисуем УГО и размещаем пины входа и выхода как обычно. У пинов показывать будем только номер. Также, для подключения к цепи земли добавим еще один пин, смотрящий вниз.



После этого к компоненту привязываем созданное ранее посадочное место. Полосковый компонент готов.



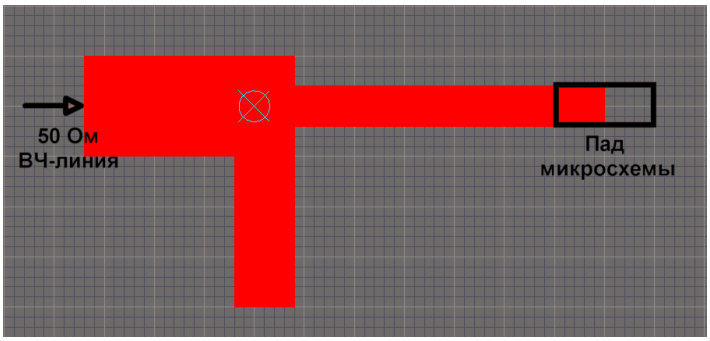
При установке на плате и в чертежах Draftsman надо следить, чтобы позиционные обозначения и комментарий не показывались.



Соединение полосковых компонентов с падами компонентов

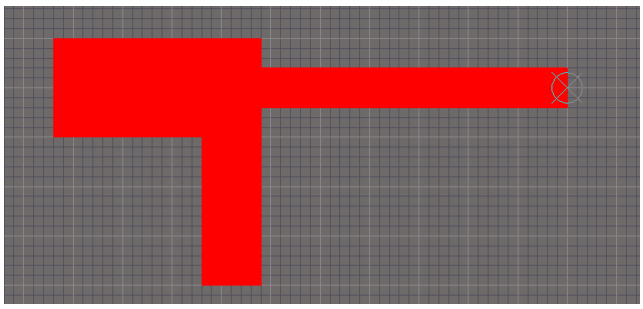
В отличие от обычных компонентов, полосковые согласующие цепи должны подключатся сразу к паду микросхемы\транзистора\иного компонента, а не через какую-то дополнительную линию. Согласующие цепи можно рисовать сразу в плате регионом (или импортировать через DXF\DWG), в этом случае никаких дополнительных к примеру «Прямое введение регионов в разводку» действий проводить не надо, но в этом случае надо очень аккуратно контролировать эти участки при любом перерасчёте или изменении геометрии платы. Или можно внести согласующие цепи в проект как отдельные компоненты, тогда каждая цепь контролируется отдельно и меньше возможностей запутаться. Но надо провести некоторые дополнительные операции.

Пусть у нас посчитана согласующая цепь и она импортирована в редактор посадочных мест как регион. Черным показаны места подключения ВЧ-линии и пада микросхемы.

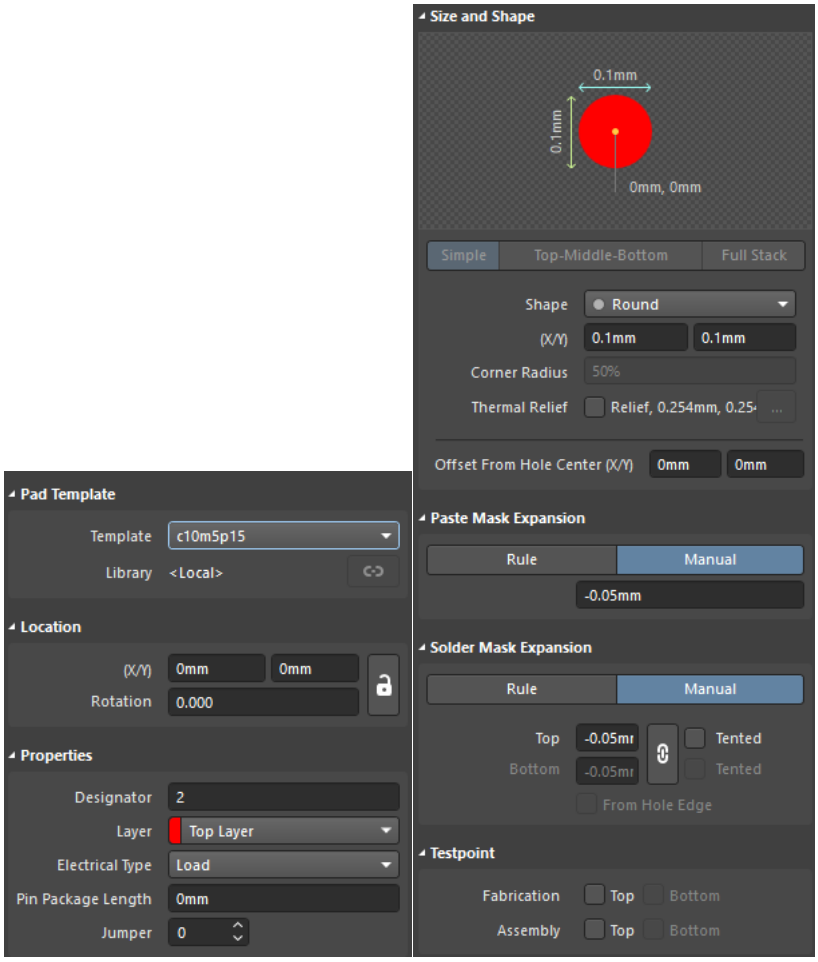


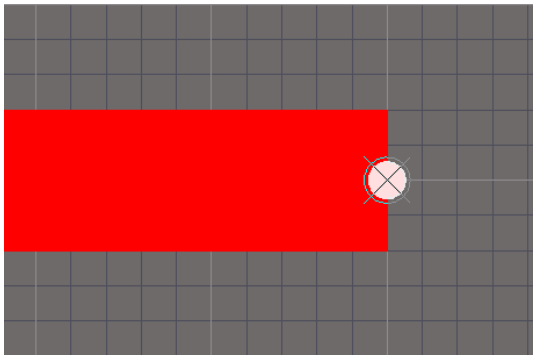
При создании посадочного места согласующей цепи дополнительно к примеру «Создание полоскового ВЧ-компонента» надо сделать следующее:

1. Центр координат согласующей цепи лучше разместить в той точке, где будет соединение с центром пада микросхемы. Обычно это середина выходной линии. При расположении компонента на плате курсор привязывается к центру посадочного места, так будет проще позиционировать согласующую цепь к паду микросхемы. Переместить центр координат посадочного места можно по команде Edit - Set Reference - Location.

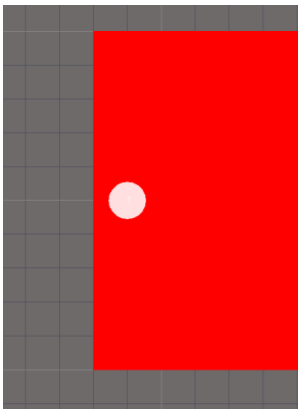


2. Пад согласующей цепи, смотрящий на пад микросхемы лучше сделать маленького размера (например, круглый с радиусом 0,1мм) и разместить его в середине линии, смотрящей на пад микросхемы (т.е. по координатам 0,0). Также указываем Paste Mask Expansion и Solder Mask Expansion для паяльной маски и пасты в -0,05мм.

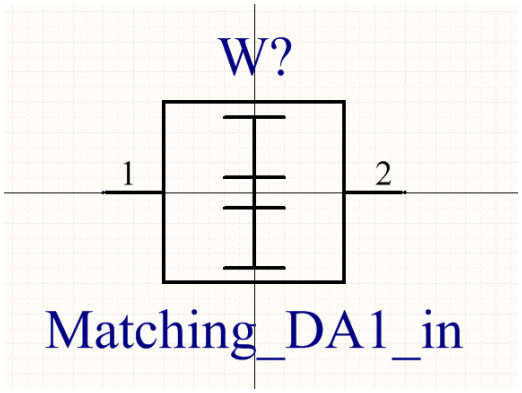




3. Пад смотрящий на ВЧ-линию на краю ставить не стоит (при проверках будет вылетать нарушение правила Net Antennae), он должен быть внутри металлизации.

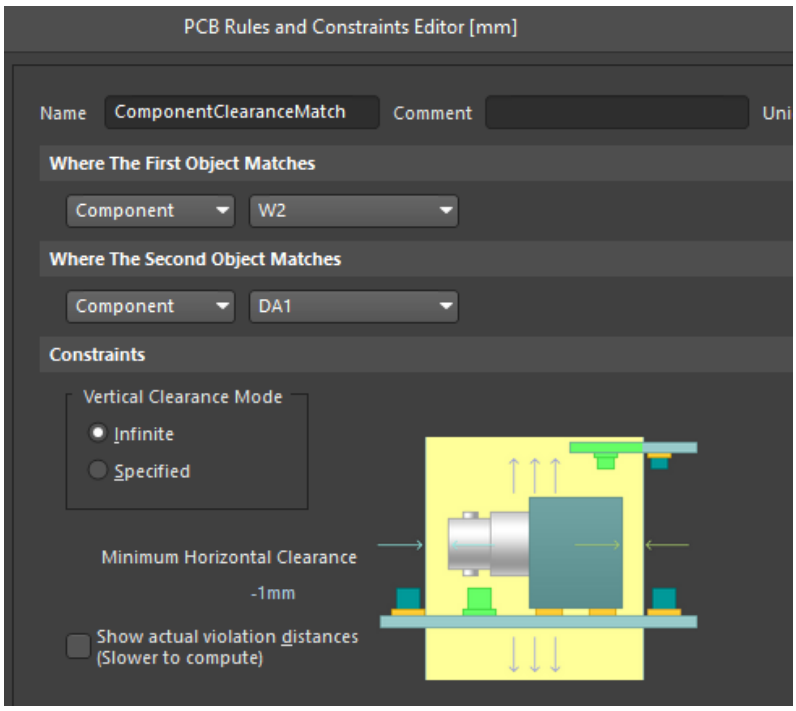


4. Подготовим согласующей цепи УГО. По «ГОСТ 2.737-68 ЕСКД. Обозначения условные графические в схемах. Устройства связи» это будет «Четырехполюсник согласующий», позиционное обозначение по ГОСТ 2.710-81 «Обозначения буквенно-цифровые в электрических схемах» может быть W «Линии и элементы СВЧ; общее обозначение». Согласующая цепь является несимметричным компонентом, поэтому включаем отображение номеров выводов в УГО.



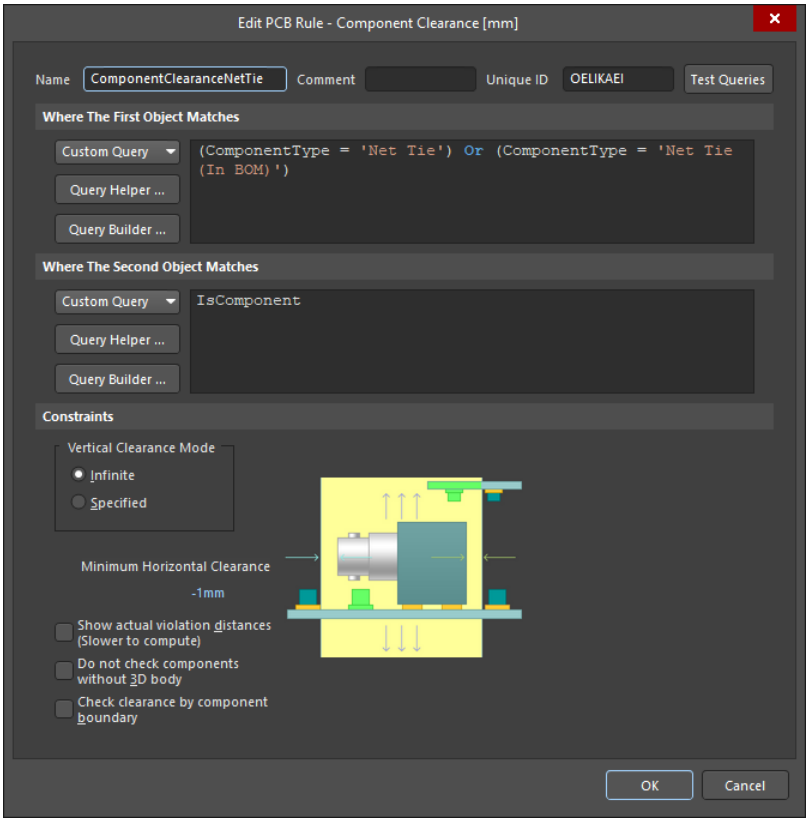
Так же, как и в примере «Создание полоскового ВЧ-компонента», тип компонента и посадочного места должен быть Net Tie (No BOM) или Net Tie (In BOM).

5. При работе на плате надо подготовить правило типа Placement\Component Clearance, разрешающее согласующей цепи и микросхеме накладываться друг на друга. В примере-проекте согласующая цепь имеет позиционное обозначение W2, микросхема DA1. Зазор надо указать отрицательным и достаточно большим (в примере достаточно –1мм). У этого правила приоритет должен быть выше, чем у базового правила зазоров между компонентами.

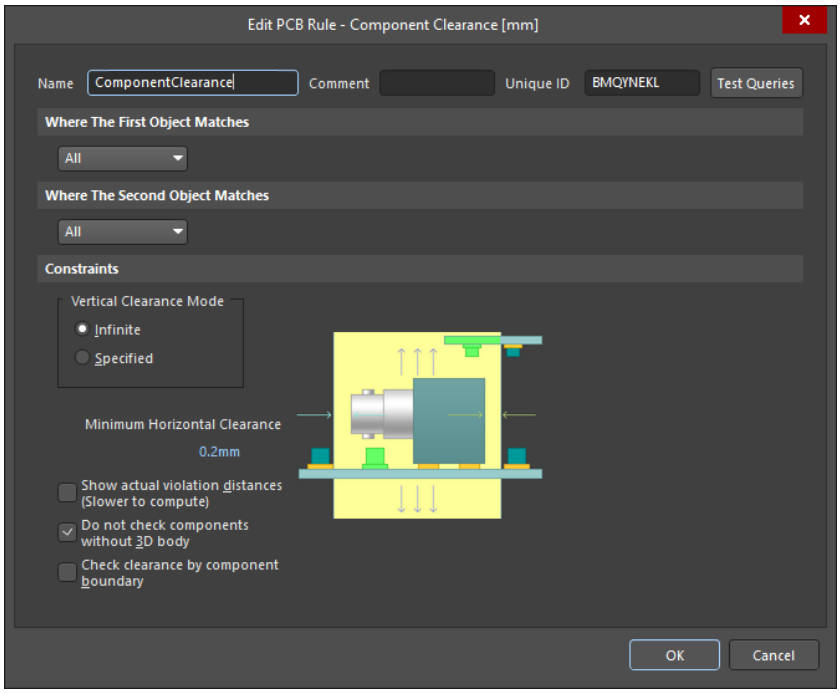


Если в проекте большое количество таких согласующих цепей, то лучше сначала определить класс компонентов через Design - Classes и применять правило уже к классу, а не отдельным компонентам.

Так же, т.к. полосковые компоненты делаются как правило типа Net Tie, то можно данное правило переписать как действующее только на них через выражение (ComponentType = 'Net Tie') Or (ComponentType = 'Net Tie (In BOM)').

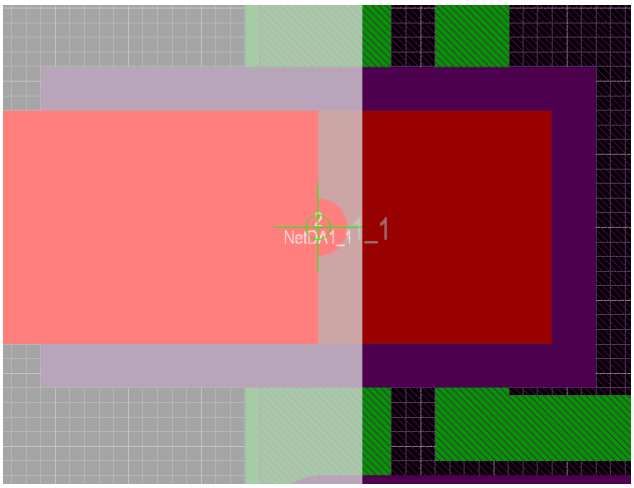


В последних версиях Altium Designer появилась дополнительная настройка в правиле типа Component Clearance, указывающая пропускать эту проверку для компонентов, не имеющих привязанного 3D-тела (галка Do not check components without 3D body).

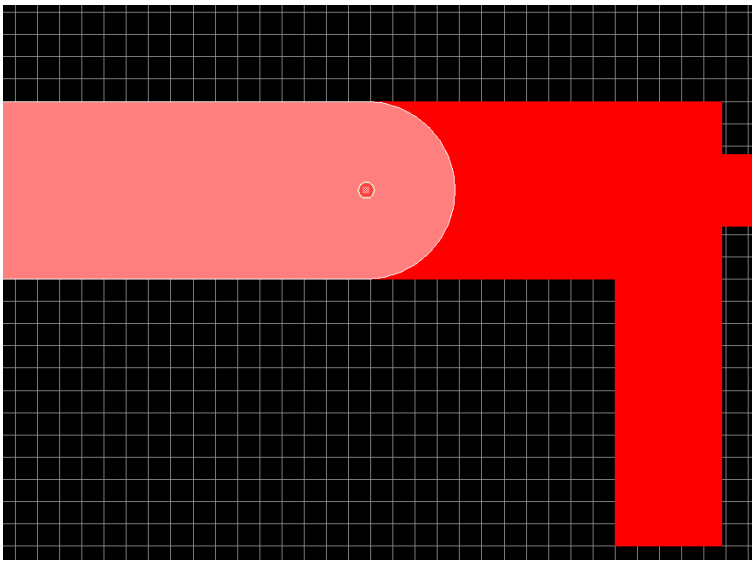


Т.к. полосковые компоненты в общем случае не имеют привязанных 3D-тел, с такой настройкой базовое правило Component Clearance позволит накладываться полосковым компонентам друг на друга и на обычные компоненты. Но, при этом нужно быть уверенным, что во всех обычных компонентах есть привязанные 3D-тела.

6. Теперь при размещении можно совместить выход согласующей цепи с падом микросхемы без нарушения правил. Тянуться согласующая цепь будет за точку выхода, при этом сработает привязка к центру пада микросхемы.



7. Подводка ВЧ-линии с другой стороны согласующей цепи возможна с помощью обычной разводки.

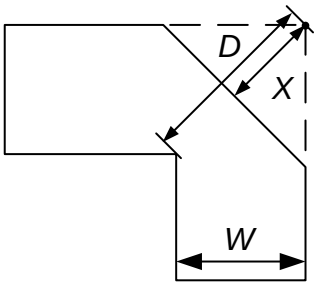


Внесение согласующей цепи как компонента готово.

Поворот ВЧ-линии

В отличие от обычной или цифровой разводки, если необходимо повернуть ВЧ-линию, то допустимы не все варианты. При стандартной разводке (Track 45) формируются повороты на 45°, которые не будут корректно работать на ВЧ. Обычно ВЧ-линии поворачивают на 90°, при этом используют прямой угол со срезом или дугу большого радиуса.

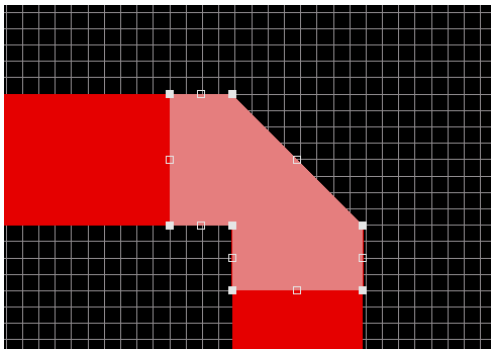
Предпочитаемо Срез компенсирует скачок волнового сопротивления, но коэффициент среза (*M*) необходимо считать.	**Возможно** Большой радиус поворота (*R*>3*W*) не создает значительного скачка волнового сопротивления
Нельзя Прямой угол создает скачок волнового сопротивления	**Нельзя** Малый радиус поворота (*R*<3*W*) создает скачок волнового сопротивления



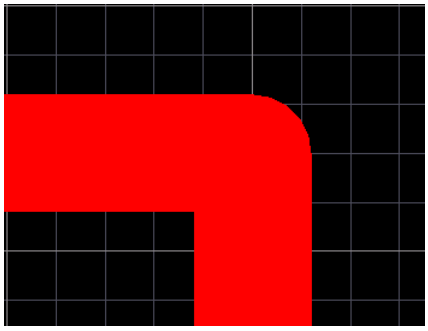
Известна серия проведенных 70-х годах XX-го века исследований, обнаружившее оптимальное значение среза $M = 0.52 + 0.65\exp\left(-1.35\frac{W}{H}\right)$, $M = X / D$, где W – ширина микрополоска, H – толщина подожки, M (может выражаться в единицах или в процентах) - доля диагонали, которую надо отрезать [1, 2].

В ВЧ-симуляторах как правило есть компоненты, которые считают оптимальный срез в зависимости от ширины линии и толщины подложки.

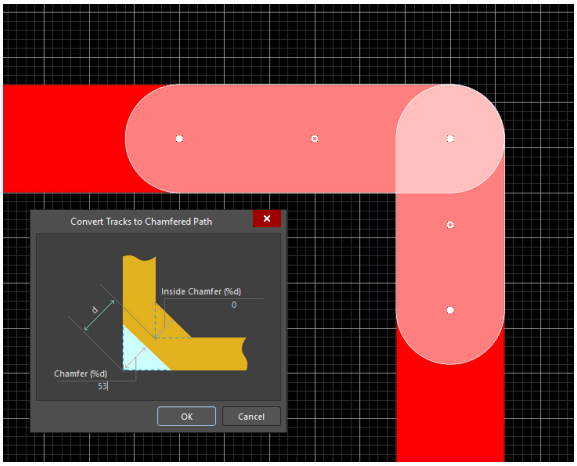
Срезанный 90° поворот можно создать как отдельный регион или компонент на основании рассчитанного в ВЧ-симуляторе.



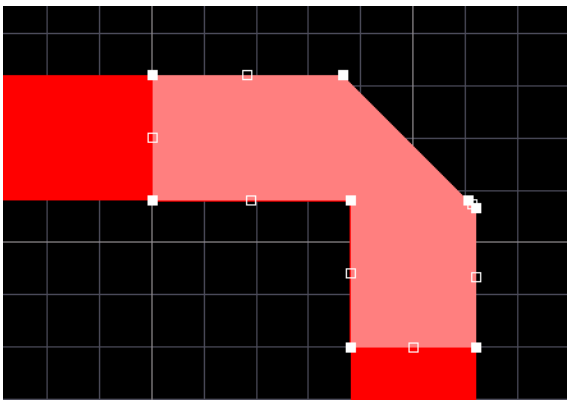
Также в Altium Designer есть инструмент превращения обычной 90/90 разводки в срезанный 90° поворот в виде региона. При обычной 90/90 разводке поворот получается в виде прямого угла со сглаженным дугой внешним углом – такое неприемлемо для ВЧ.



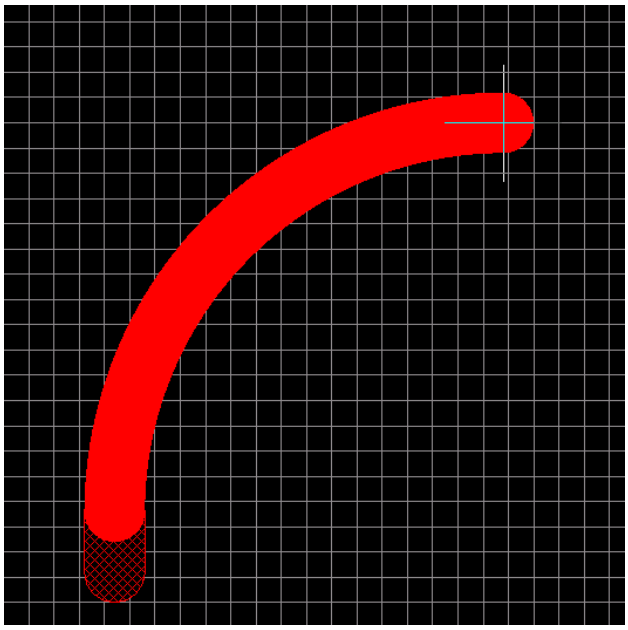
Срез проходит по команде Tools – Convert - Convert Selected Tracks to Chamfered Path при выбранных двух линиях на угле (линии на угле лучше отделить от остальных заранее). Процент среза Chamfer (%d) задается в процентах и соответствует *M* (в описании выше). Также можно нарастить металл внутри угла (Inside Chamfer), но в ВЧ-разводке такой прием, как правило, не применяется.



Линии на угле превращаются в регион.



Плавные повороты дугой можно создать штатными средствами Altium Designer. При интерактивной трассировке по Shift+Space перейти к режиму поворотов дугами (Line 90/45 With Arc или Line 90/90 With Arc), по клавишам «,» и «.» можно уменьшить или увеличить радиус дуги (Shift+«,» и Shift+«.» изменяют шаг дуги в 10 раз быстрее).



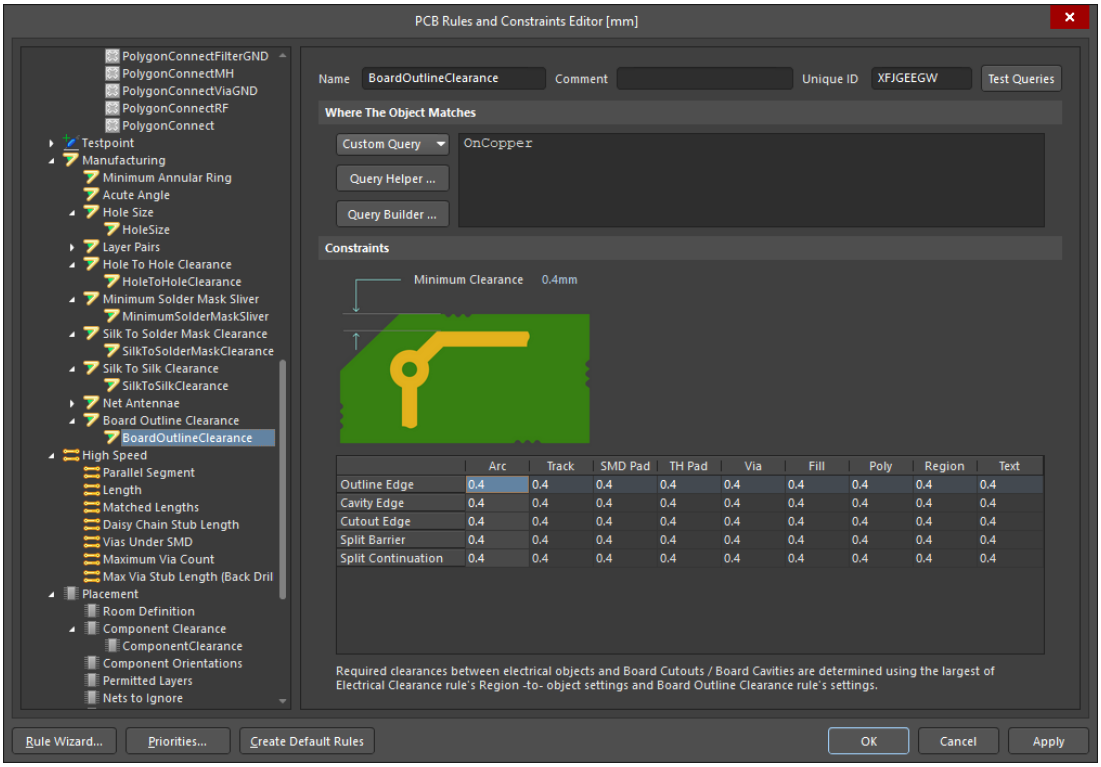
Если все-таки необходим поворот на произвольный угол (не 90°), то лучше пользоваться поворотом дугой большого радиуса; для срезанного угла неизвестна оптимальная конфигурация, ее надо отдельно подбирать в ВЧ-симуляторе.

Заливка

Для стабильной работы ВЧ-плат после основной разводки необходимо разместить земляную заливку на верхнем и нижнем слоях. Делается это с помощью объекта Polygon Pour. Он автоматически рассчитывает все необходимые зазоры. Покажем на примере двухслойной печатной платы.

Предварительно настроим правила поведения заливок (Design - Rules).

У нас уже должно быть правило, ограничивающее размещение элементов разводки относительно границ платы. Если его нет, создадим его. В разделе Manufacturing\Board Outline Clearance создадим правило, запрещающее размещать проводящий рисунок ближе 0,4мм к краям платы. Применяется это правило к объектам на слоях Top Layer и Bottom Layer.



Зазоры до цепей у объектов Polygon Pour берутся из общих правил зазоров (группа Electrical\Clearance), у нас в проекте стоит 0,2мм для всех типов проводящих рисунков.

Правила соединения земляной заливки с падами и отверстиями определяются правилом Electrical\Plane\Polygon Connect Style. Как правило, для земляных отверстий прямое соединение, для падов обычных компонентов через термобарьер.

Для падов компонентов, работающих с ВЧ, стиль соединения земляных выводов с земляной заливкой определяется исходя из следующих противоположных соображений:

- с точки зрения качества работы ВЧ лучше, если прямое соединение (стабильнее земля, меньше индуктивность выводов);

- с точки зрения монтажа лучше термобарьеры, т.к. в этом случае гораздо технологичнее монтаж.

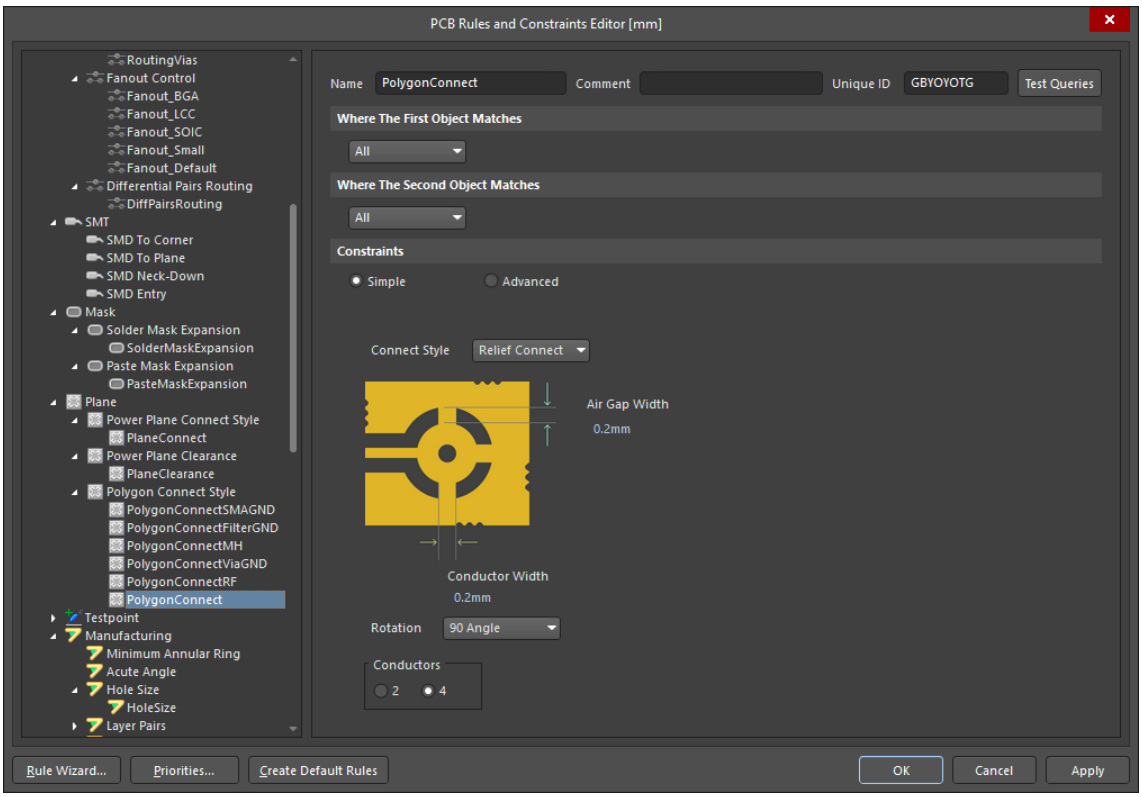
Соответственно, если определено, что ВЧ-компонент хорошо работает при земле через термобарьеры, то пользуются термобарьерами; если нет – то соединяют прямым соединением. В нашем проекте определён класс компонентов RF, чтобы можно было быстро переопределить необходимые правила.

Однако, при этом у полоскового фильтра отверстия на землю с нижней стороны должны иметь прямое подключение. Также земляные выводы боковых SMA-разъемов лучше присоединять к земле напрямую.

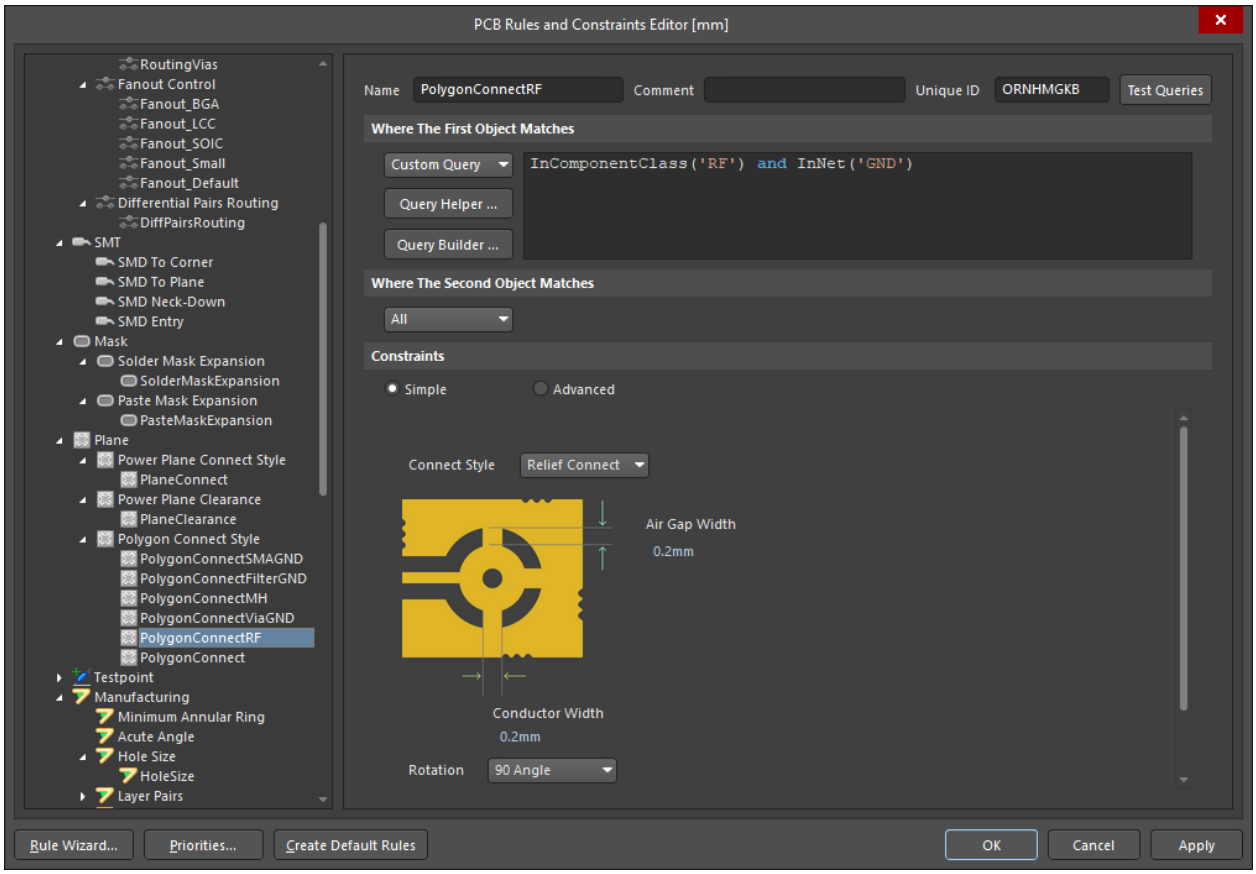
Также иногда для монтажных отверстий необходимо переопределить правила соединения с заливкой по отношению к обычным переходным отверстиям.

Отсюда можно выстроить следующую иерархию правил Plane\Polygon Connect Style:

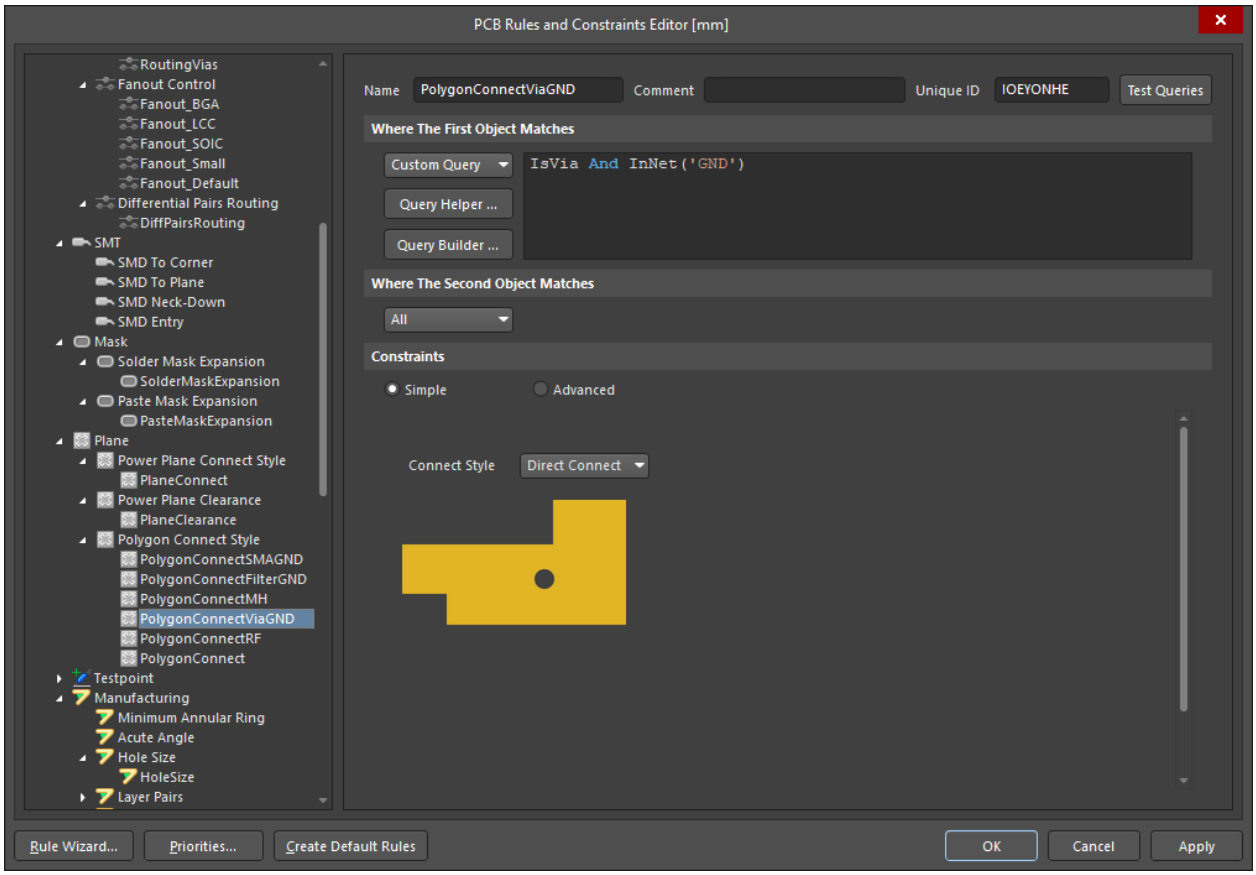
1. Нижнего приоритета базовое PolygonConnect с термобарьерами 0,2мм/0,2мм



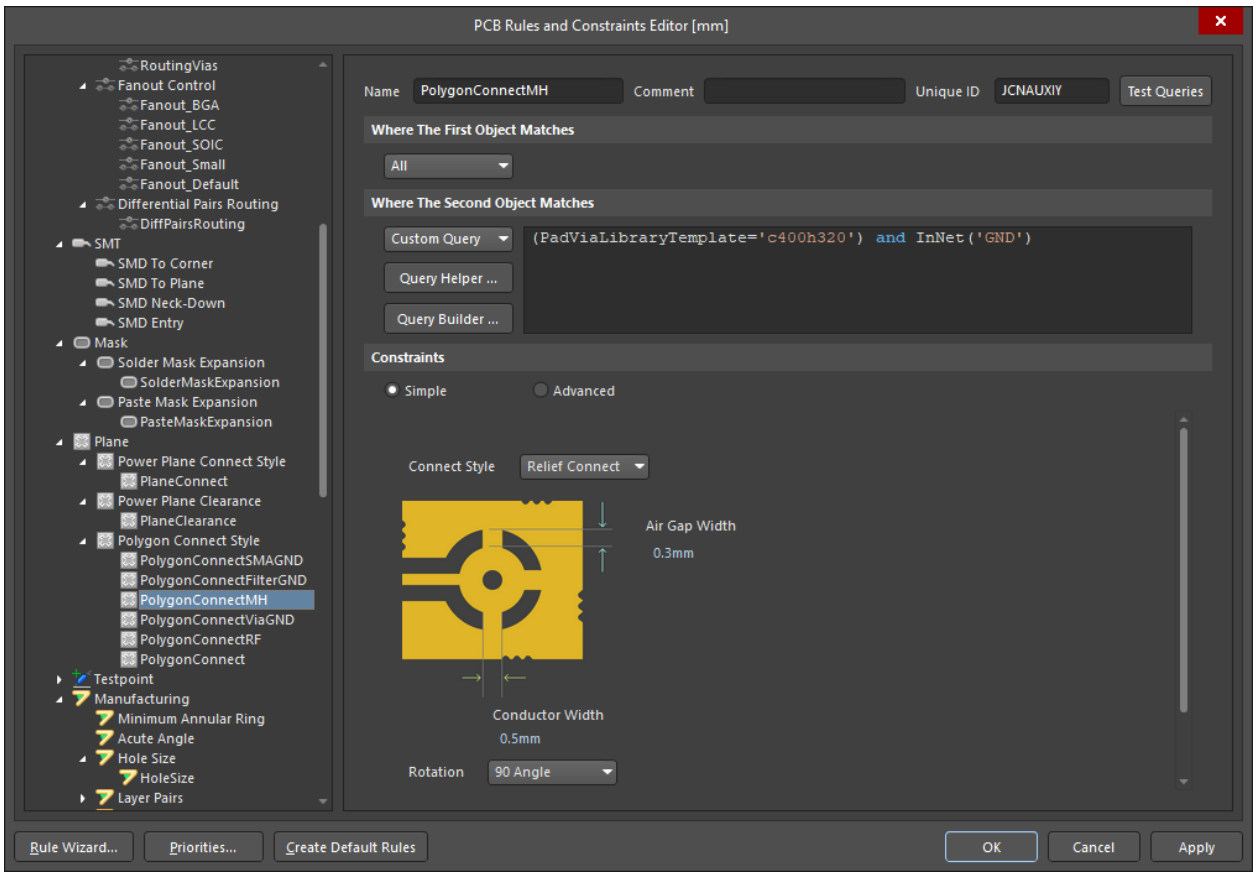
2. Выше него для падов компонентов из класса RF, подключенных к земле (определение InComponentClass('RF') and InNet('GND')), с термобарьерами 0,2мм/0,2мм



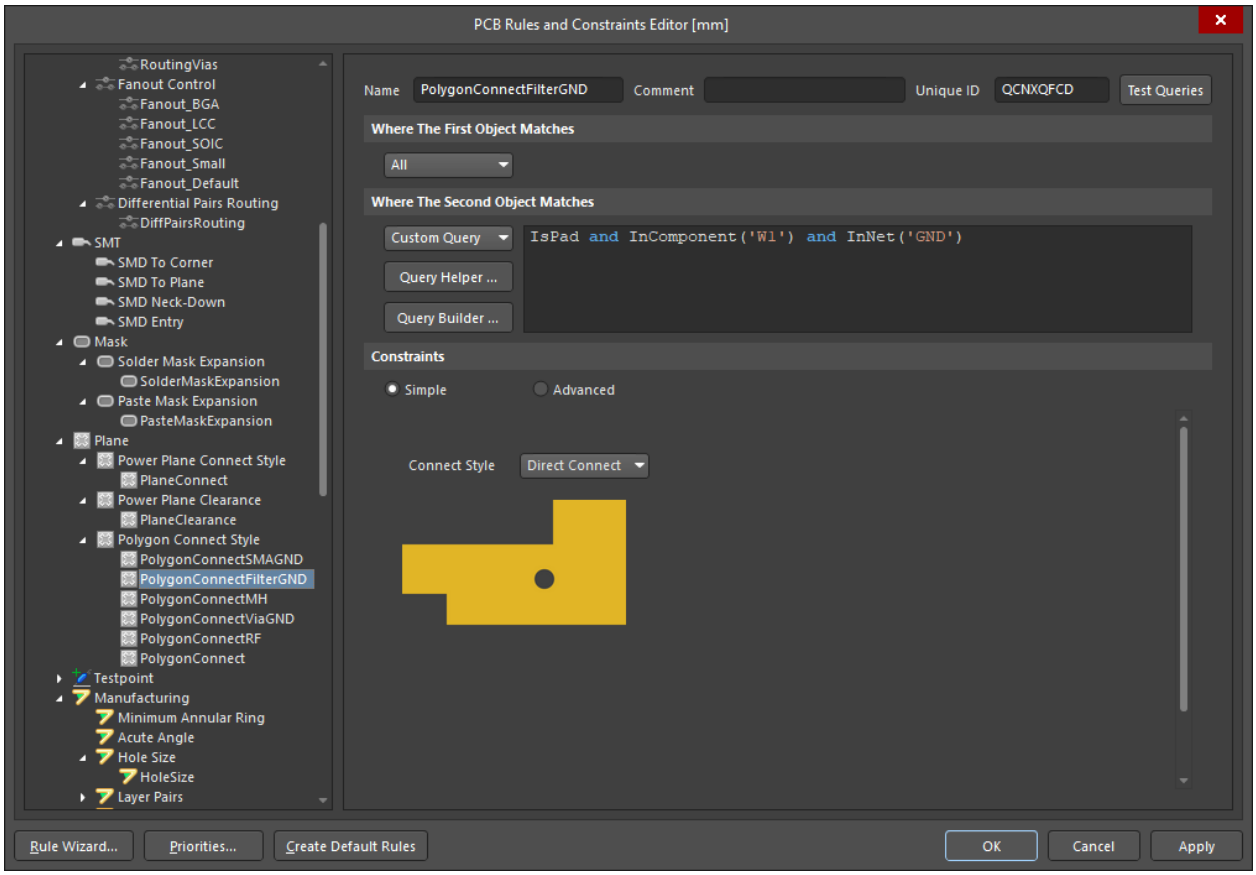
3. Выше него прямое соединение для переходных отверстий в заливке (определение IsVia and InNet('GND'))



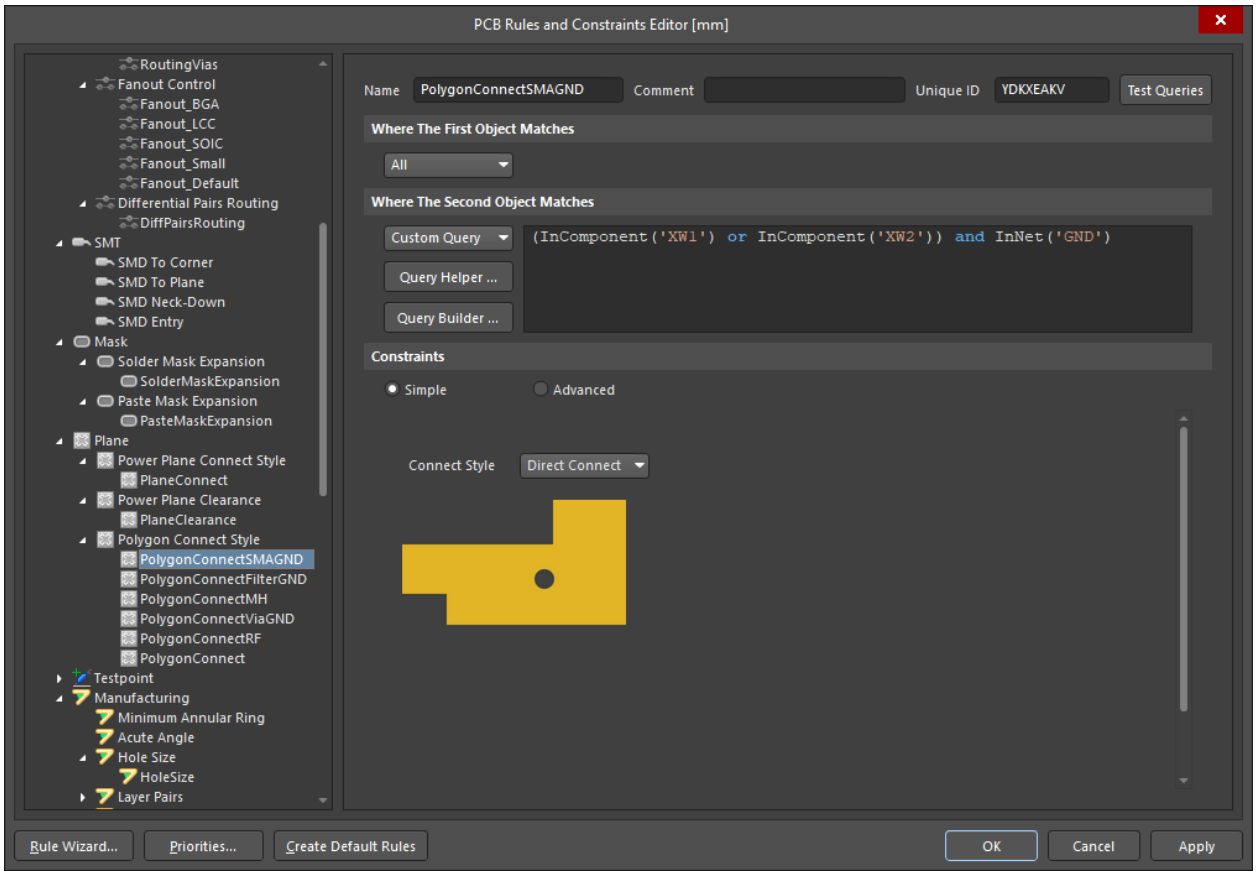
4. Еще выше уровнем, соединение с термобарьерами (0,5мм/0,3мм) для монтажных отверстий. В текущем проекте монтажные отверстия сделаны под винт М3, определены как свободные пады с определенным падстаком. Этот падстак можно посмотреть в определении в поле Pad Template. У нас он равен c400h320 (круглый, с диаметром 4мм, с отверстием диаметра 3,2мм). В других случаях этот падстак не используется, т.е. можно воспользоваться в определении выражением (PadViaLibraryTemplate='c400h320') and InNet('GND').



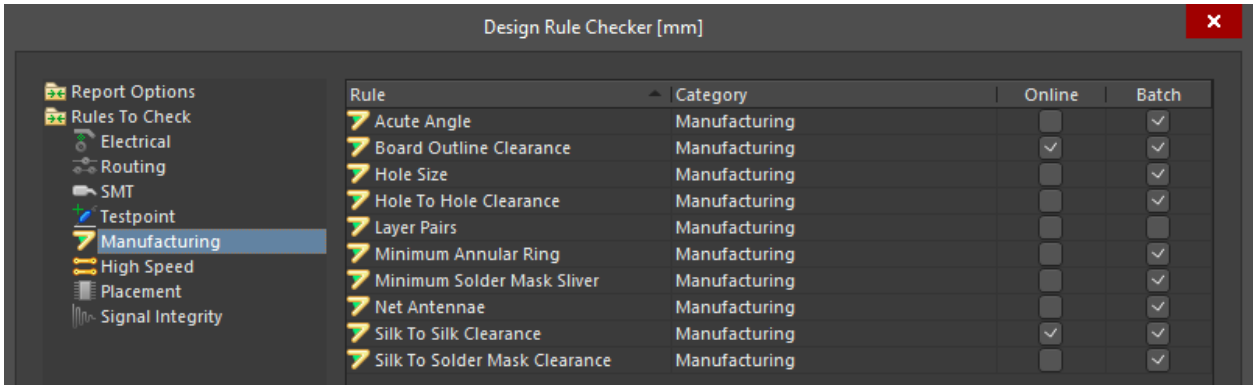
5. На уровень выше для прямого подключения земляных отверстий в нижнем слое в фильтре W1. Воспользуемся выражением IsPad and InComponent('W1') and InNet('GND').



6. Еще на уровень выше поставим правило для земляных выводов боковых SMA-разъемов. В плате их всего два, поэтому можно обойтись простым перечислением InComponent. Если бы их было больше, то лучше создать отдельный класс компонентов.

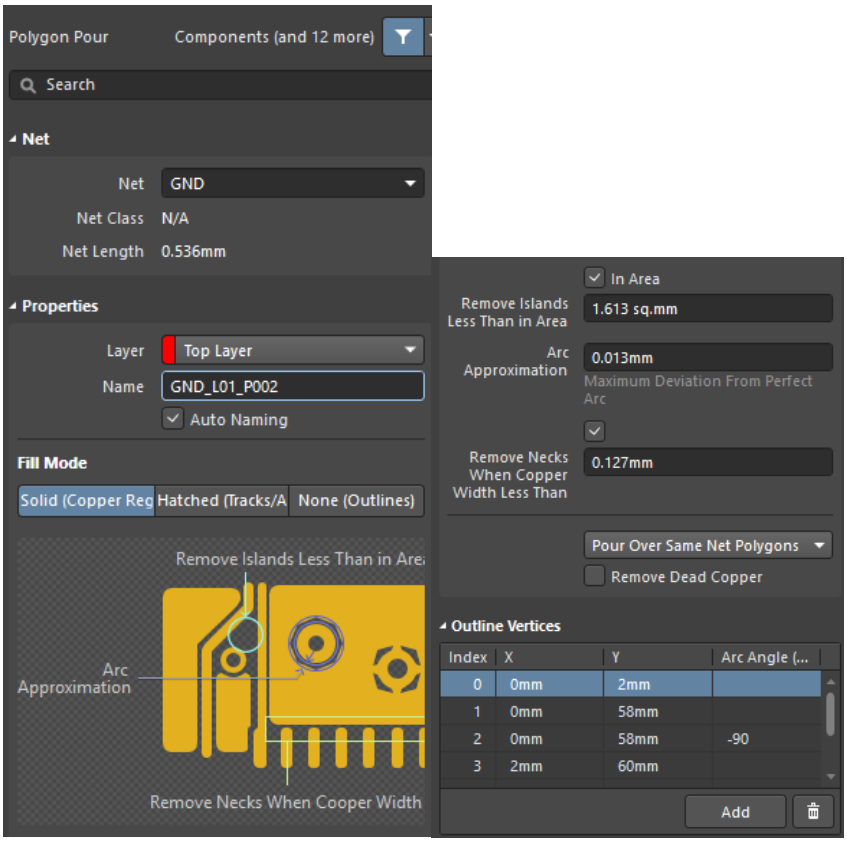


Также укажем, чтобы правило Manufacturing\Board Outline Clearance работало online, а не только по запросу DRC. Для этого в меню Tools - Design Rule Check у правил типа Manufacturing\Board Outline Clearance ставим галочку online.

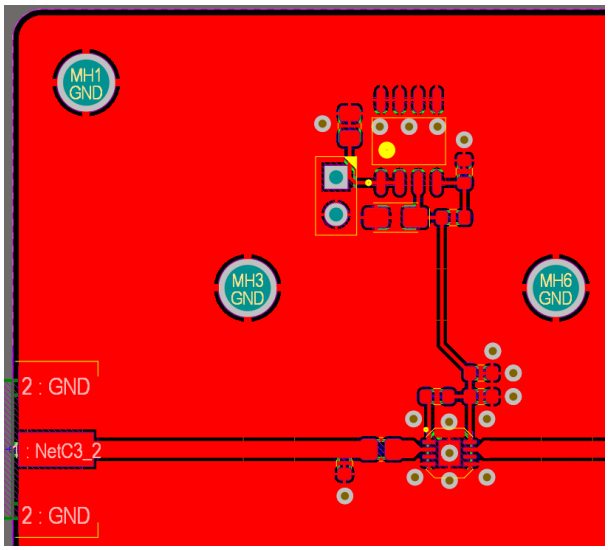


Теперь начнем размещать заливку. По команде Place - Polygon Pour (P, G) настроим параметры заливки: стиль заливки – сплошной (Solid), удаление островков с площадью менее 1,6мм^2, округление дуг с точностью 0,01мм, удаление мостиков меди шириной менее 0,2мм, заливка поверх всех

примитивов из одинаковой цепи Pour Over All Same Net Objects, заливка подсоединена к цепи GND и размещается в слое Top Layer.



Нарисуем область во всю плату. После завершения пройдет автоматический расчет заливки, в том числе зазор от края платы будет 0,4мм, от проводников других цепей 0,2мм, прямое соединение с переходными отверстиями в цепи GND, все заданные термобарьеры.

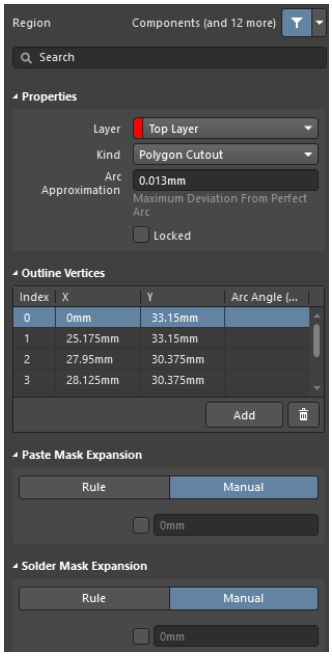


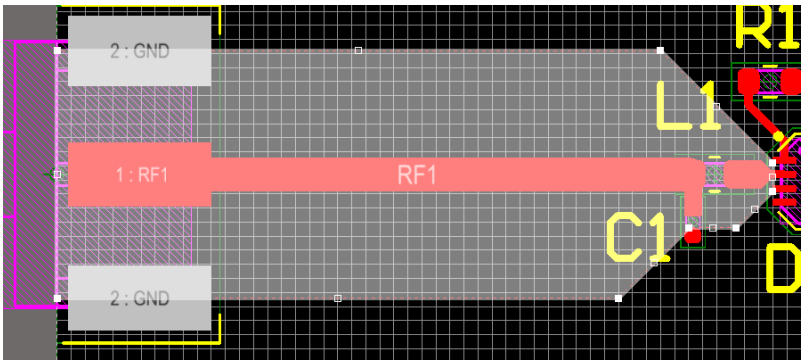
Во время разводки заливка часто визуально мешает, ее можно скрыть по команде ПКМ - Polygon Actions - Shelve Selected или Shelve All. Спрячем пока ее.

В текущем проекте ВЧ-дорожки на верхнем слое рассчитаны исходя из предположения, что в том же слое рядом нет ничего, в том числе земляной заливки. Практически это означает, что в заливке по отношению к ВЧ-дорожкам что должен быть отступ как минимум в 2-3 ширины ВЧ дорожки.

Покажем один из вариантов, как сделать вырез в заливке.

Создаем Solid Region, показывающий, где будет вырез в заливке. В свойствах ему укажем, что это должен быть Polygon Cutout в слое Top Layer.



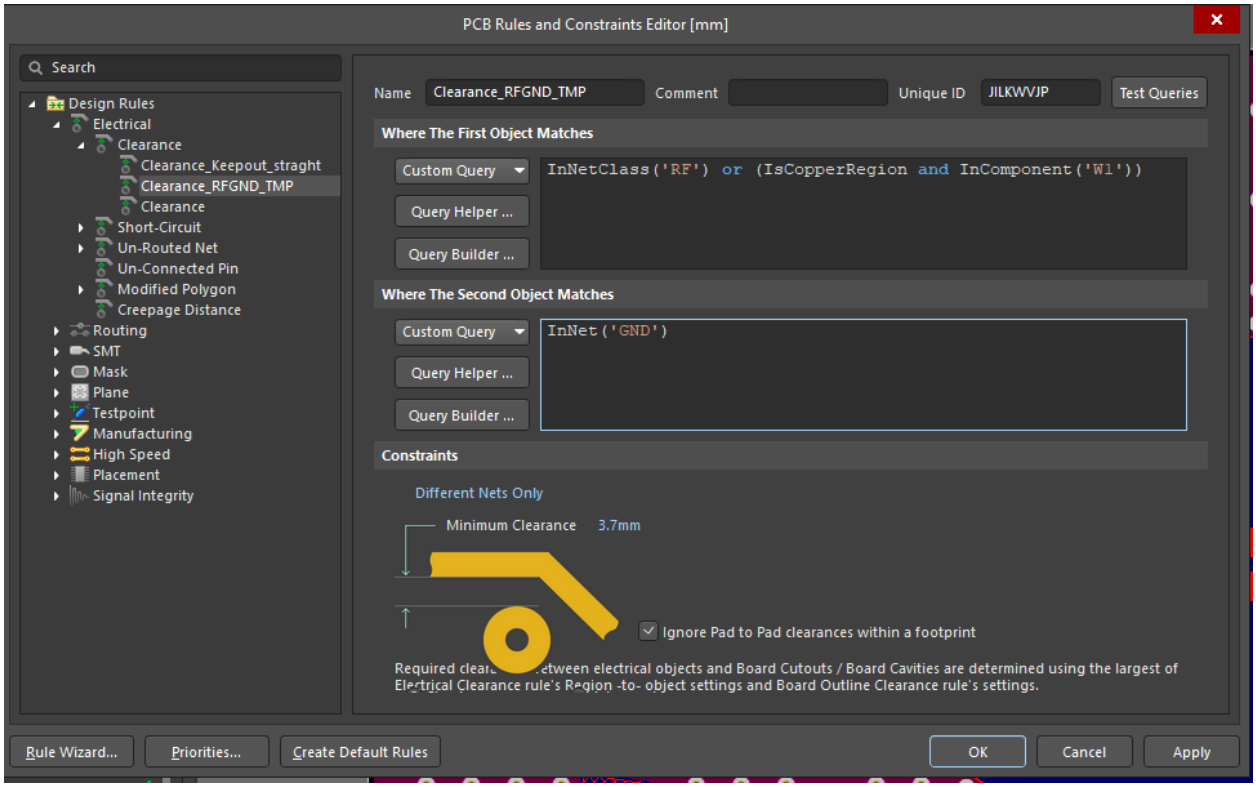


На сложных участках можно воспользоваться временным правилом для зазора, чтобы подготовить основу для выреза. Особенно это полезно на больших и сложных платах. Но это будет временный контур, оставить его как есть не получится, т.к. зазор работает по расстоянию и, например, невозможно определить скошенный на 45° переход к падам микросхем, или нормальный вырез по контуру полоскового фильтра в примере.

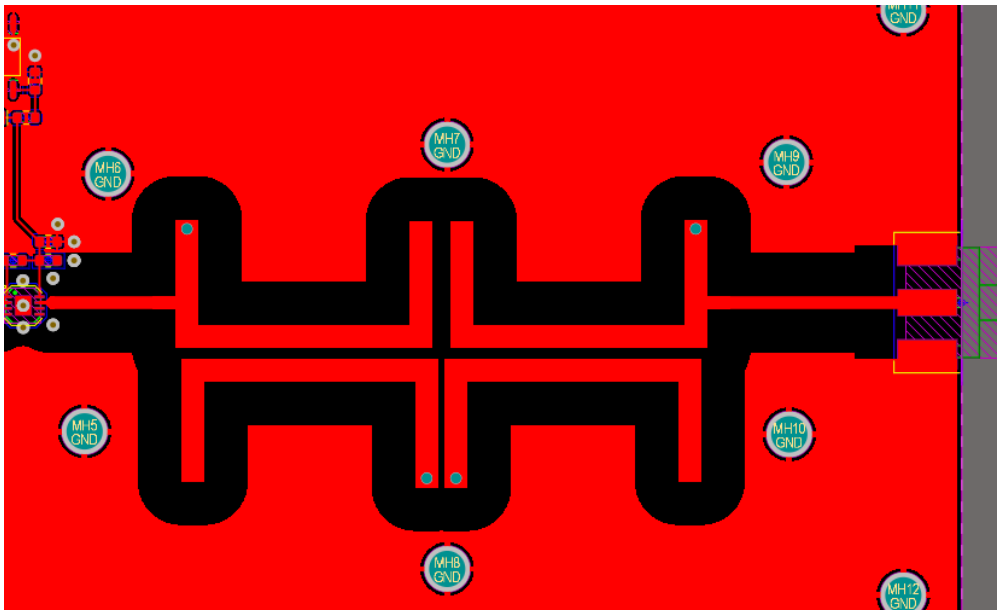
Возвращаем заливку на слое Top Layer по команде Tools - Polygon Pours - Restore 1 Shelved Polygon(s). По умолчанию заливки автоматом не пересчитываются (это дорогая операция на сложных платах), соответственно

она не учитывает вновь созданные зазоры. Запрос перерасчета заливки производится по команде ПКМ - Polygon Actions - Repour All или Repour Modified (T, G, A или M) .

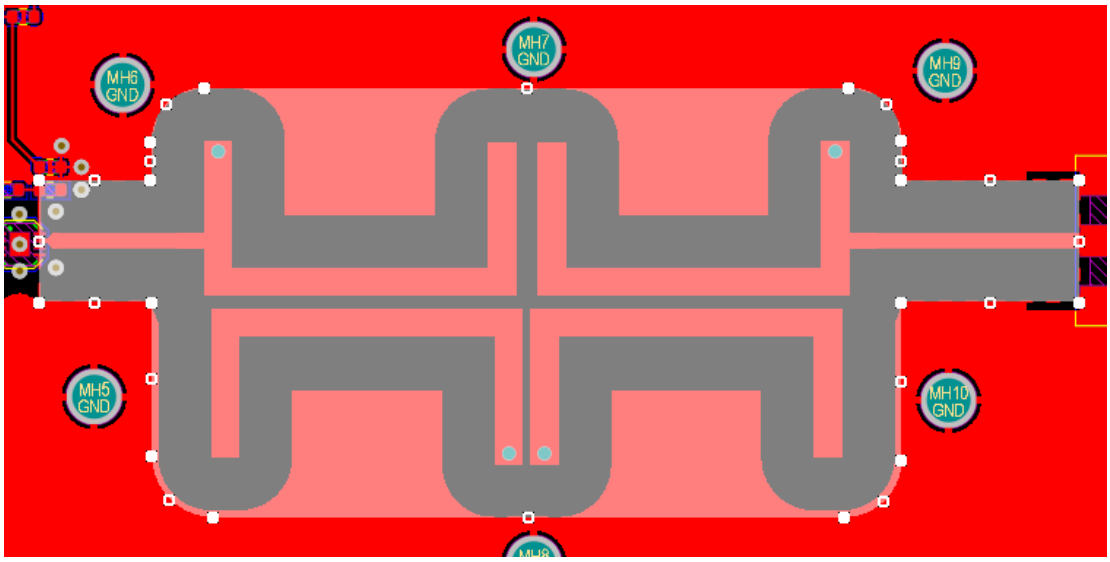
Зазор нужен от ВЧ-линий NetClass(‘RF’) и металлизации в фильтре (которая реализована регионами) (IsCopperRegion and InComponent('W1')) до заливки в верхнем слое, проще всего задать через цепь земли InNet('GND'). Подготовим временное правило Clearance_RFGND_TMP типа Electrical/Clearance. Зазор будет таким же, как у левой части 3,7мм.



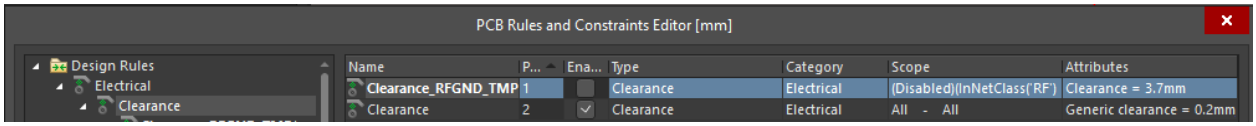
Временный вырез сформирован.



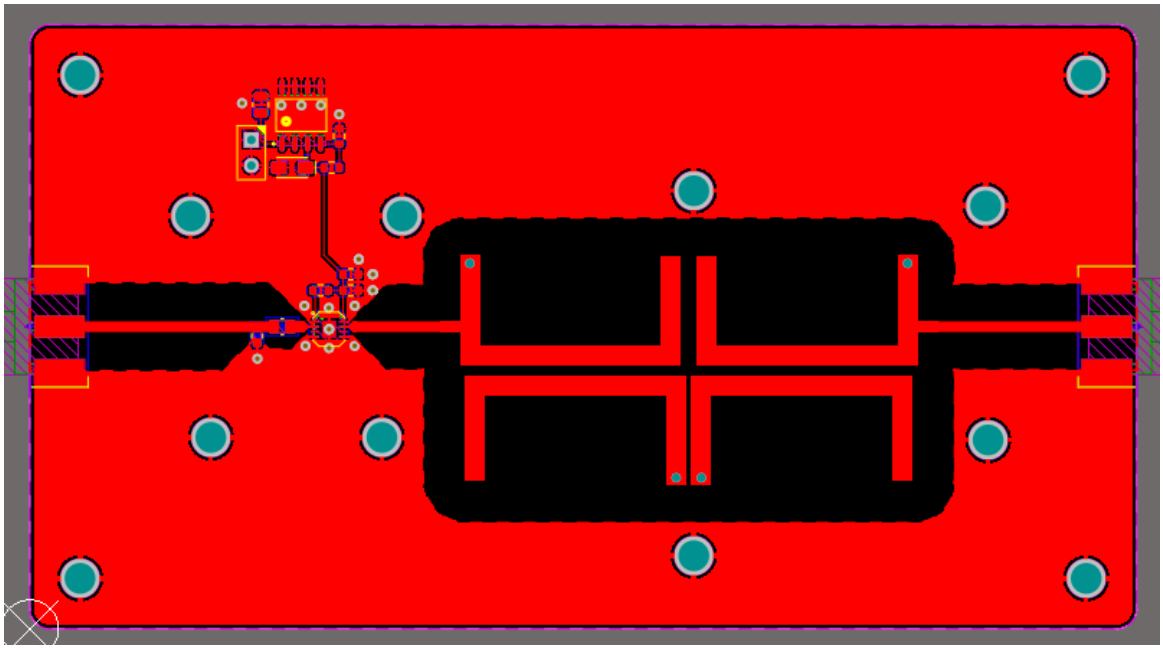
Видно, что оставлять его как есть нельзя, но можно на его основе сформировать вырез Polygon Cutout в слое Top. Аккуратно формируем контур по внешнему габариту фильтра с отступом. На углах делаем скругление.



Затем отключаем созданное ранее правило Clearance_RFGND_TMP, просто сняв галочку в списке правил. В списке его оставим на всякий случай на будущее.

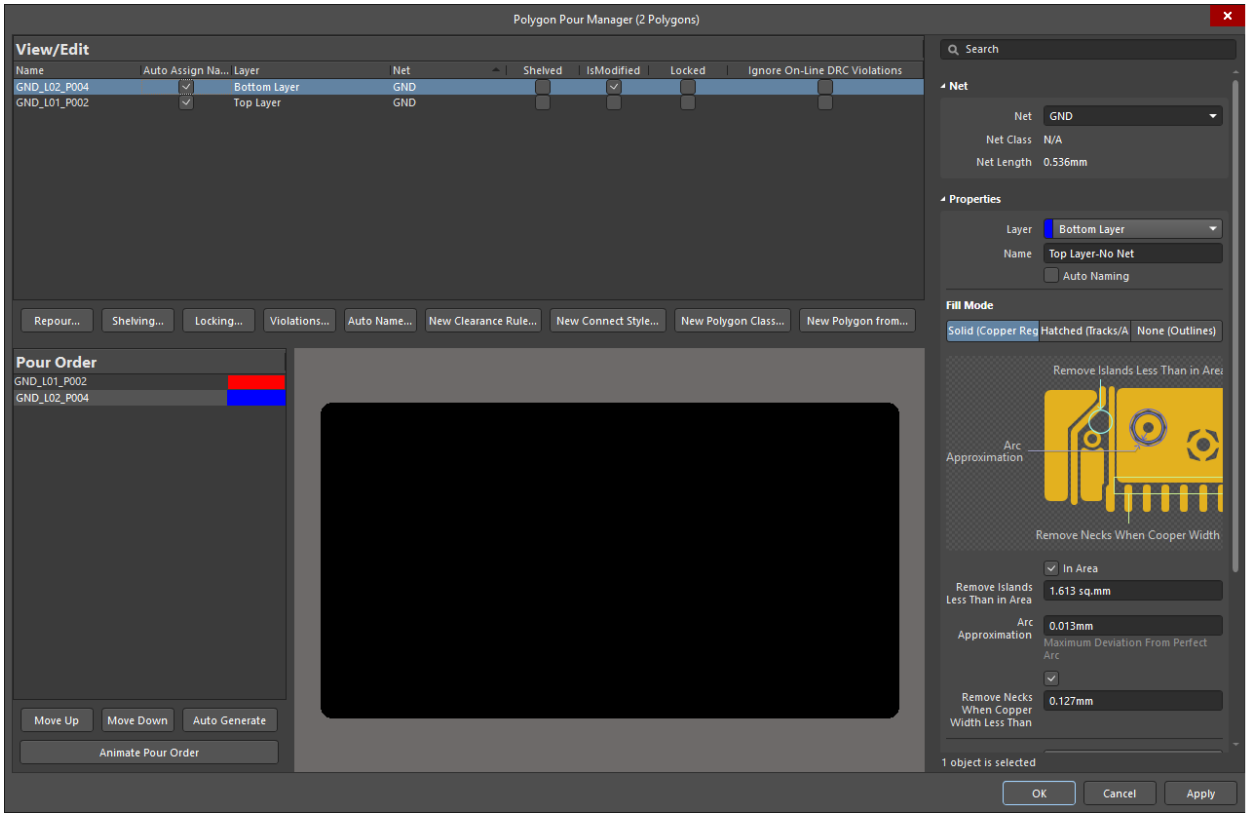


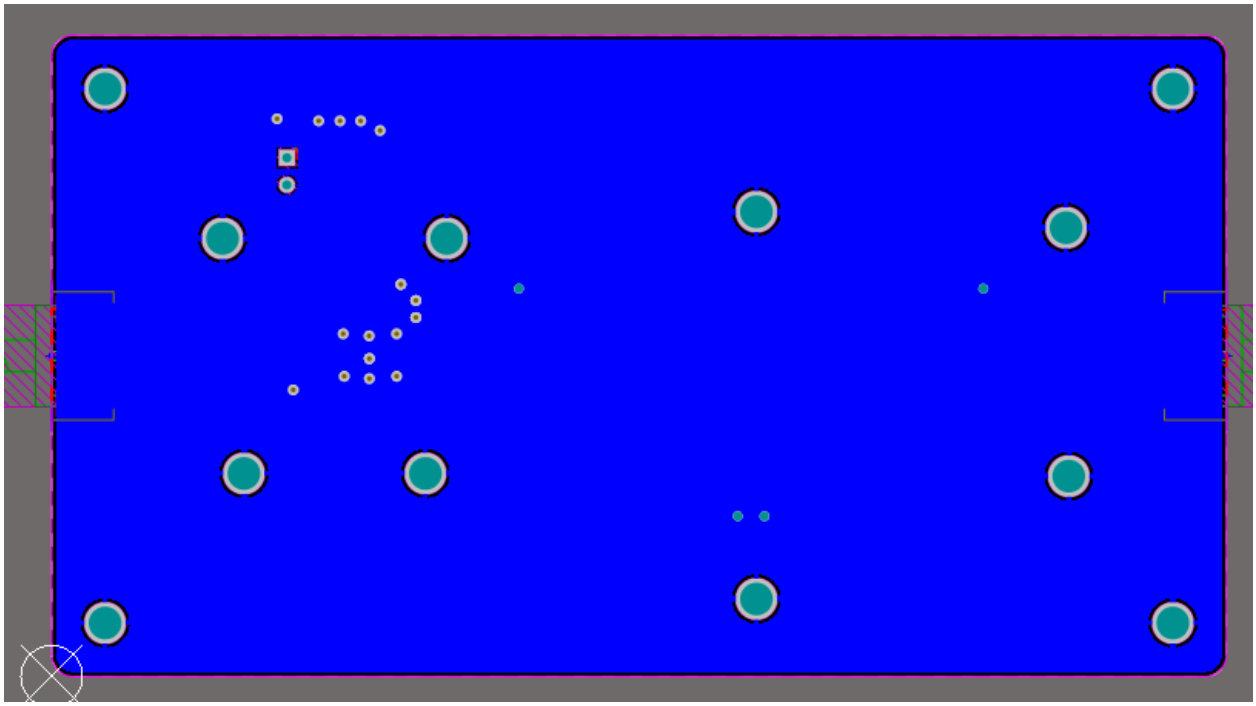
Обновляем заливку и вручную доправляем вырез, так чтобы сформировались нормальные скосы к микросхеме. Также следим, чтобы у ВЧ-разъемов не создавалась слишком близкая земля к ВЧ-паду и не создавалось заливки со стороны края платы.



Заливка на слое Top Layer готова.

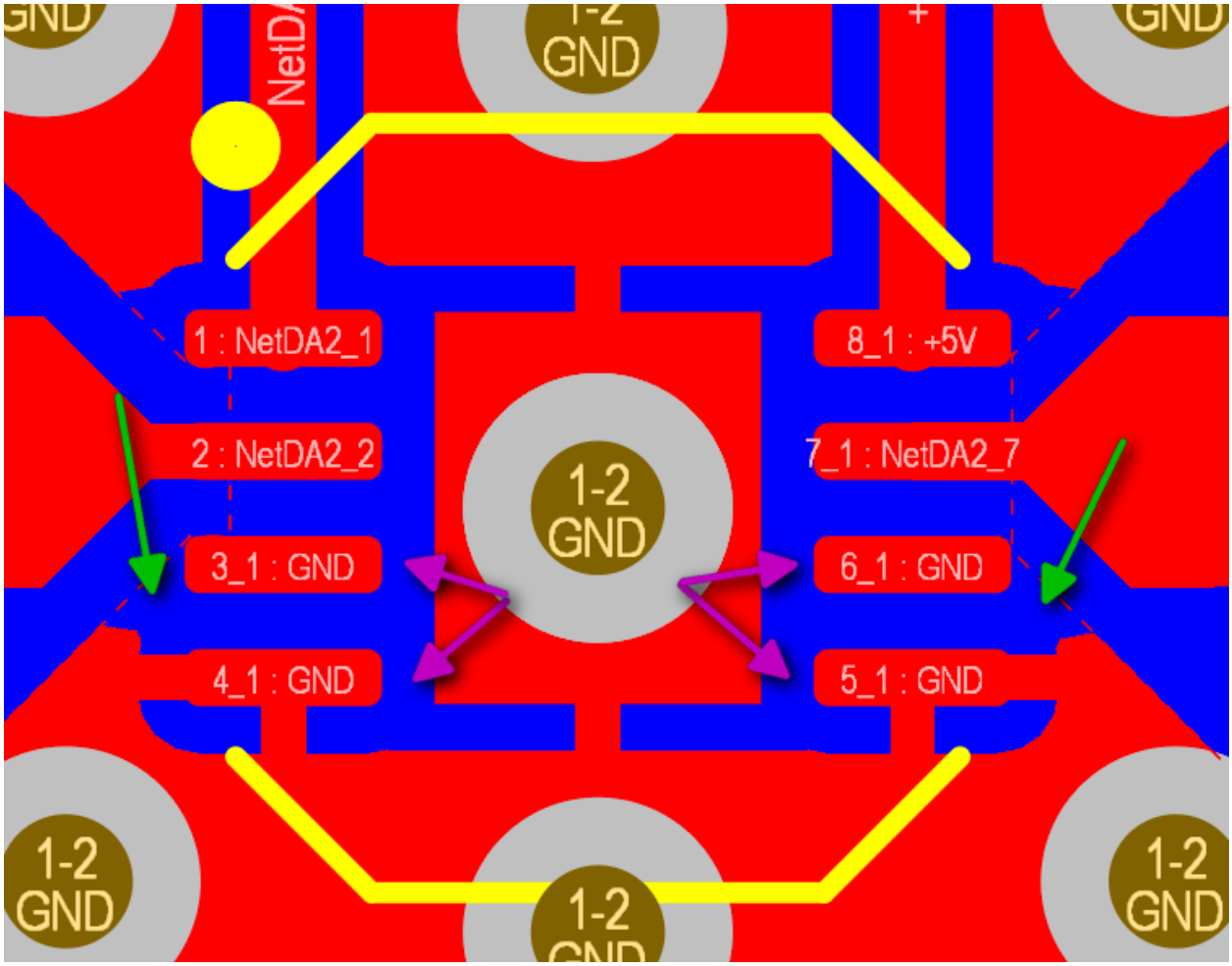
Аналогично (только без вырезов), надо создать заливку на слое Bottom Layer. Чтобы не рисовать весь внешний контур заливки, можно зайти в менеджер заливок по команде Tools – Polygon Pours – Polygon Manager и по ПКМ – Create New polygon From – Board Outline создать новый полигон с той же границей во всю плату, но на слое Bottom Layer.





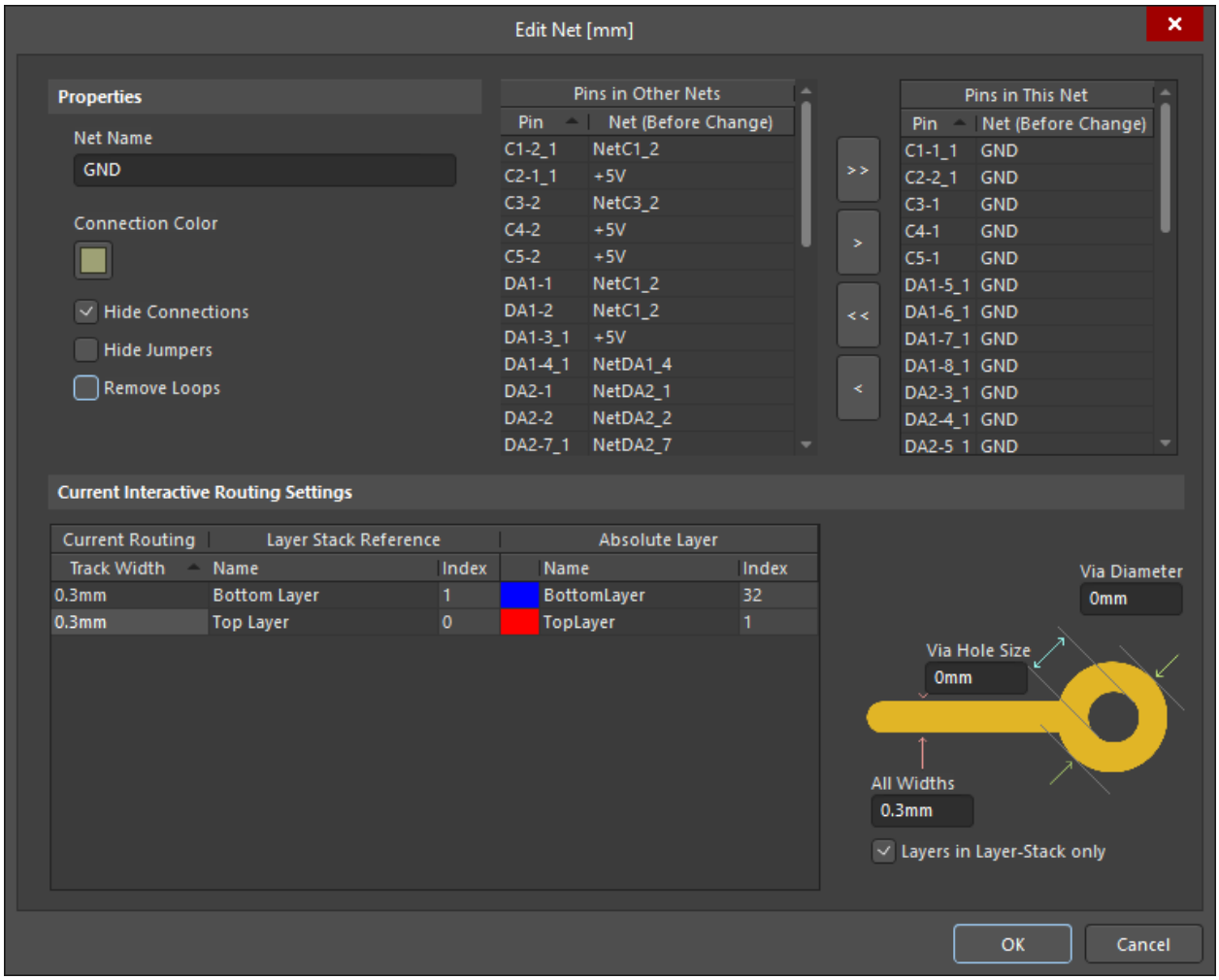
После того, как заливка отработала, необходимо ее проверить, в том числе нет ли ситуаций, когда заливка не смогла сформировать соединение с падами. Такое часто возможно при наличии термобарьеров в термопадах или вырезов в заливке. На плате такое место у микросхемы усилителя. На рисунке зелеными стрелками показаны земляные пады, которые не имеют соединения (при проверке правила Un-Routed Net такие ошибки найдутся).

Также есть рекомендация соединять земляные выводы с термопадом как можно плотнее и короче (места, где как вариант можно добавить связи, показаны фиолетовыми стрелками). С точки зрения правил и DRC отсутствие этих соединений не является ошибкой, поэтому их придется искать и добавлять вручную.

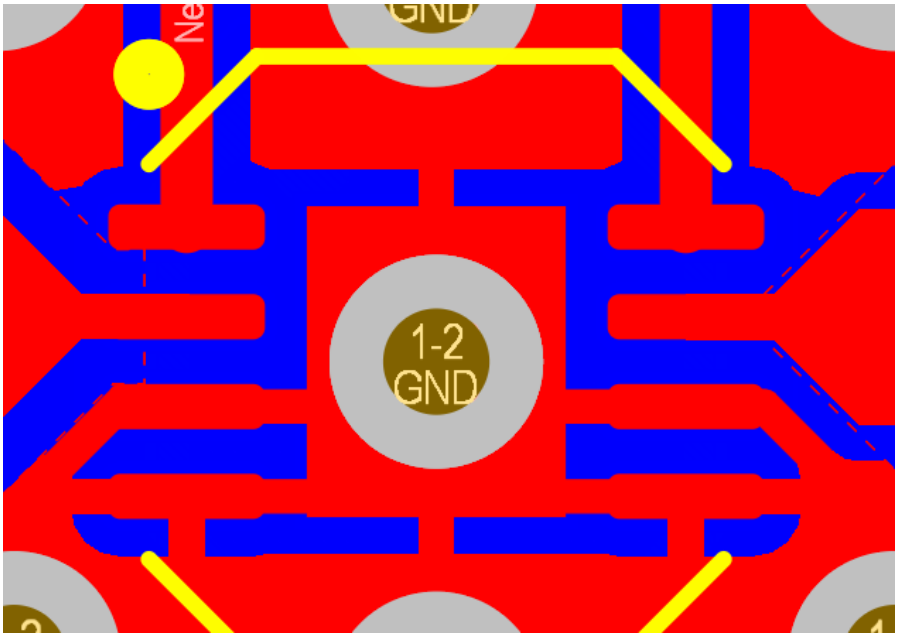


Здесь надо учесть следующий момент. Для прокладки цепей по умолчанию включен режим Remove Loops, который автоматически удаляет участки цепей, создающие кольца (что для большинства цепей является правильным решением). Но в цепи GND этот режим не даст сформировать сетку соединений, оставляя только один вариант прохода. Для прокладки оставшихся соединений отключим этот режим для цепи GND. В панели PCB

в списке Net в свойствах цепи GND снимем галку Remove Loops (или просто по SHIFT+D по время разводки).



Теперь в режиме интерактивной трассировки или просто линиями (Place - Line, P, L) создадим недостающую сетку.



Земляные отверстия

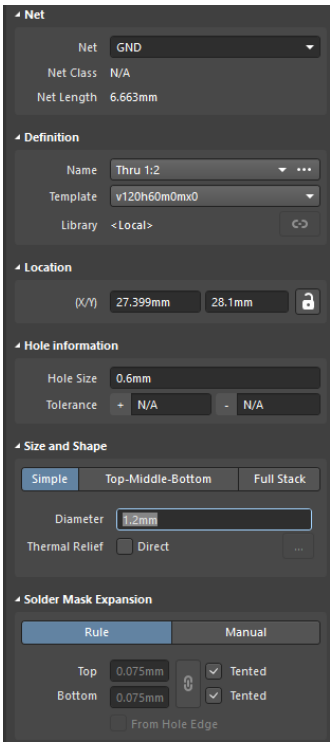
Разместим земляные отверстия для обеспечения стабильной земли на заливках. Размещение отверстий на ВЧ-платах обычно делается в несколько этапов:

1. Ставятся земляные отверстия в термопадах микросхем и вблизи земляных падов других компонентов. Эти земляные отверстия вообще стоит ставить еще на этапе черновой разводки (задолго до создания заливок), чтобы учитывать необходимое для отверстий место. Земля через длинную трассу землей по ВЧ вообще говоря не является (потенциал явно будет отличаться), поэтому земляные отверстия должны стоять как можно ближе к падам. Если вокруг пада по сторонам больше ничего нет, то стоит вообще ставить земляные отверстия со всех сторон.

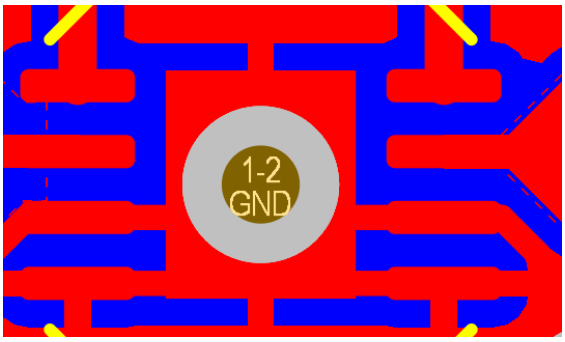
2. Размещаются земляные отверстия вдоль линий контура земляной заливки с малым шагом.

3. Размещаются земляные отверстия по оставшейся площади заливок с редким шагом. *Этот этап в некоторых школах разводки считается спорным и иногда опускается.*

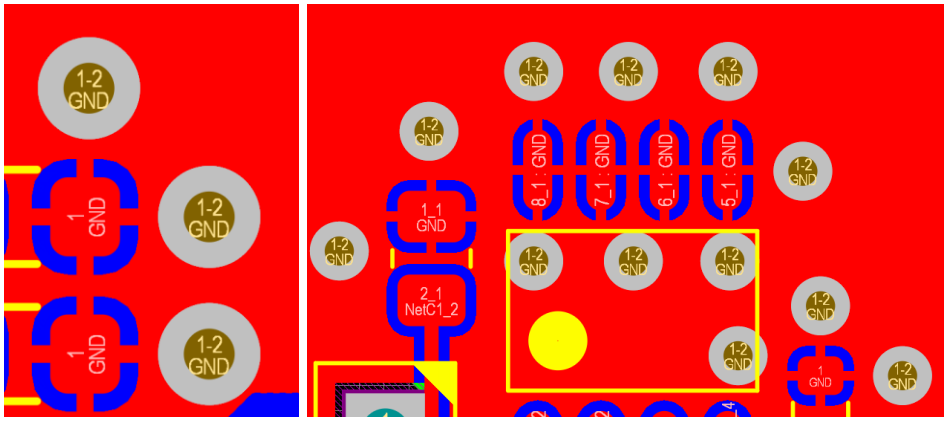
Сначала разместим отверстия вручную около падов, подключенных к земле и внутри термопадов (если этого не было сделано при ранее при разводке). Пусть отверстия будут 0,6/1,2мм, цепь GND, принудительное закрытие маской сверху и снизу.



Ставим в центре термопадов микросхем. Для этих отверстий свойство Tented можно не менять, свойства самого термопада выше в приоритете и правильные вырезы в маске будут сформированы. Если термопад большой, то ставим группы отверстий, например, 2x2 или 3x3 (на всю площадь термопада).

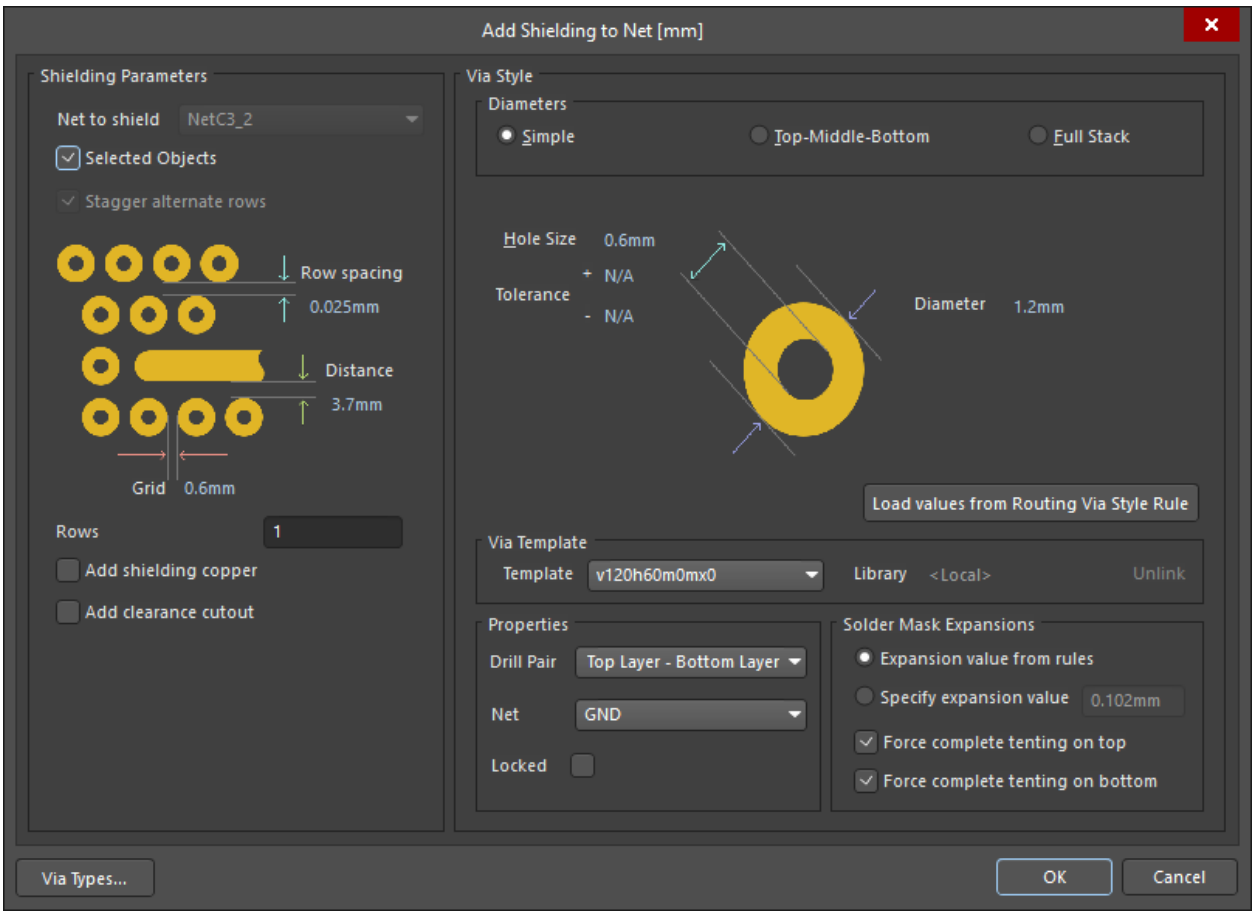


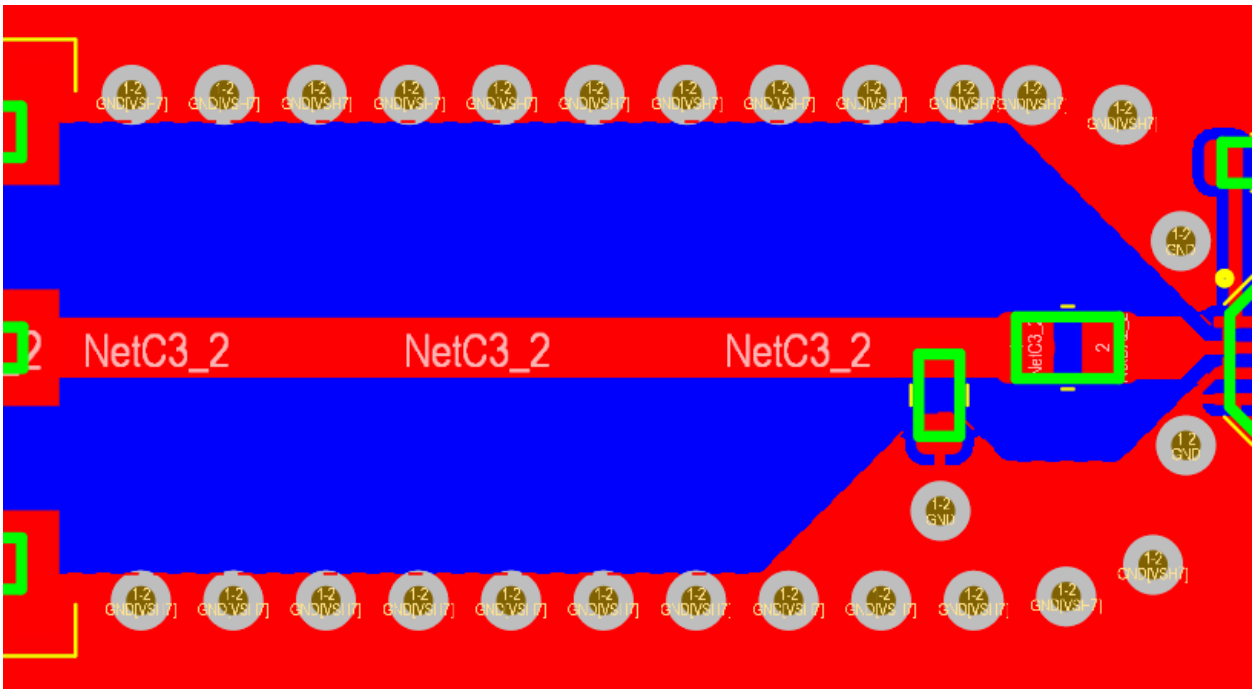
Также ставим около падов, которые должны быть подключены к земле.



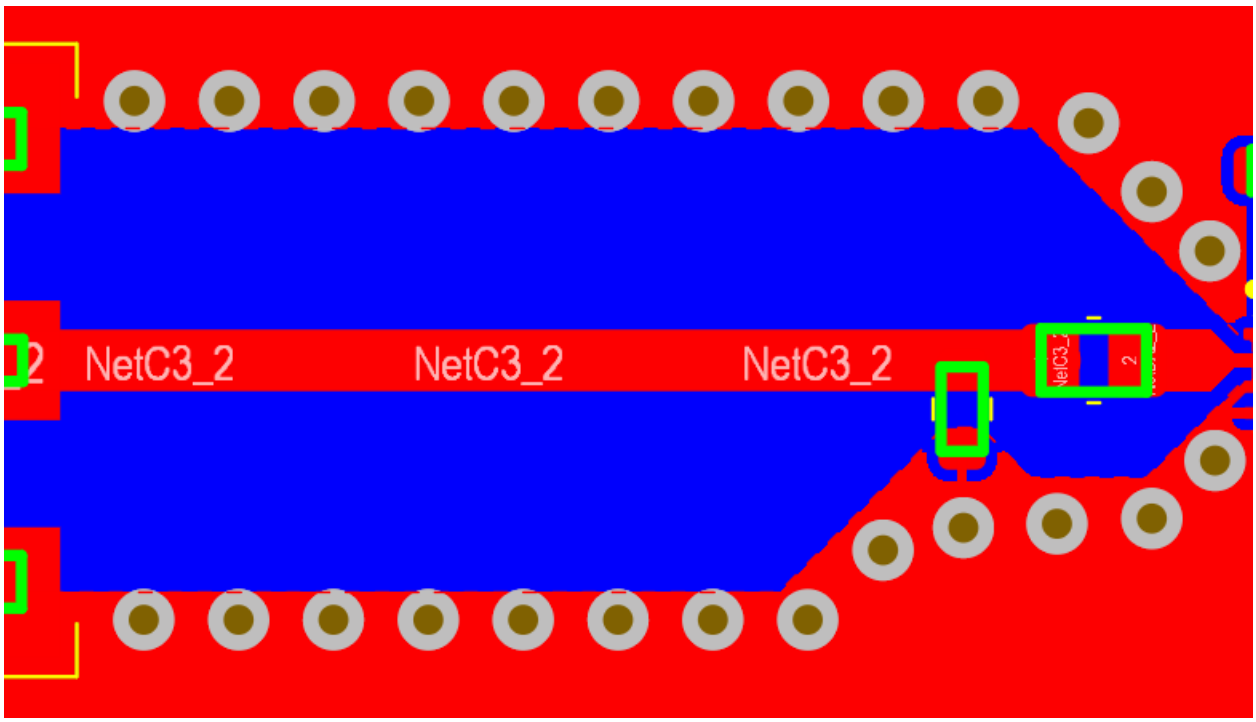
Затем проставим отверстия с малым шагом вдоль контура заливки. В Altium Designer нет мастера, позволяющего проставить отверстия вдоль контура полигона. Но для относительно простых участков (например, вдоль одной прямой цепи) можно воспользоваться мастером Via Shielding. Покажем на примере входной ВЧ-цепи. Выбираем ее и вызываем команду Tools - Via Stitching/Shielding - Add Shielding to Net.

В открывшемся окне настраиваем отверстия и параметры шага. Возьмем отверстия как в проекте (0,6мм/1,2мм, можно выбрать в списке Via Template, в котором будут все используемые или определенные в подключенных библиотеках падов и отверстий стили отверстий, в нашем случае v120h60m0x0). Пусть отверстия будут в один слой (Rows = 1), в цепи GND, с расстоянием между поясками 0,6мм, отстоящие от цепи на 3,7мм. Создавать полигоны (Add shielding copper) и вырезы в заливке (Add clearance cutout) не будем.





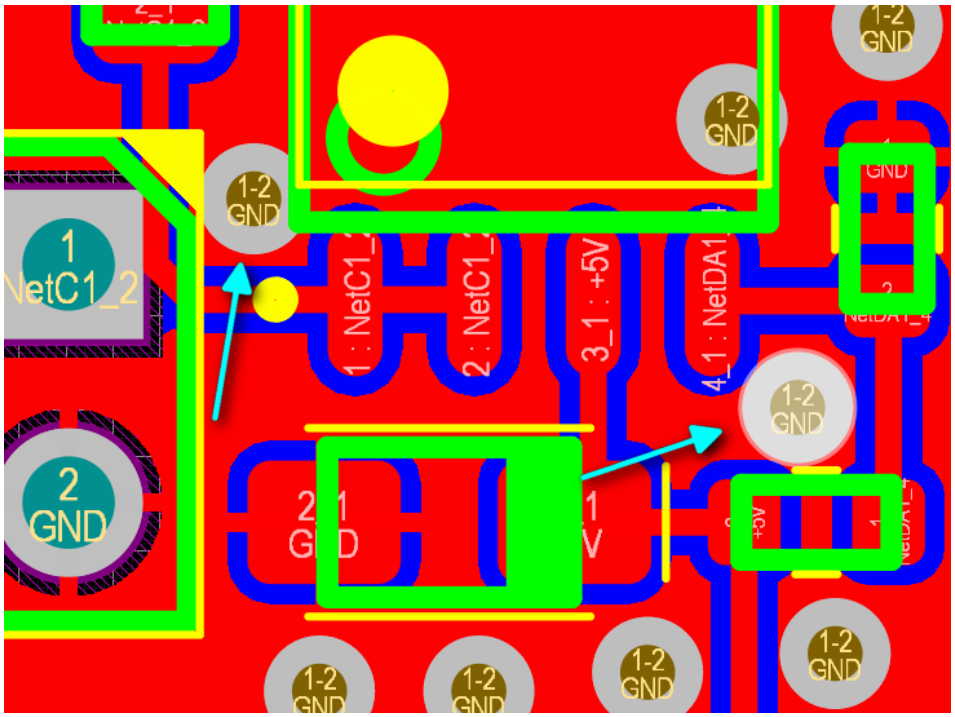
Сгенерированные отверстия входят в объединение типа Via Shieldings (панель PCB, в списке Unions). Мастер не всегда расставляет отверстия удобно и корректно, поэтому в составе данного объединения можно подправить расположение отдельных отверстий или разобрать его на индивидуальные отверстия (Tools – Convert – Break all objects Unions).



При ручной простановке большого числа земляных отверстий в заливках стоит пользоваться следующими соображениями и приемами:

- На больших длинах стоит ставить отверстия в более грубой сетке (в примере хорошо подходит сетка 0,1мм).

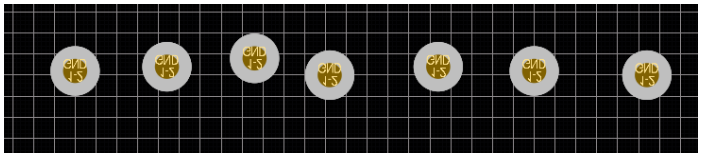
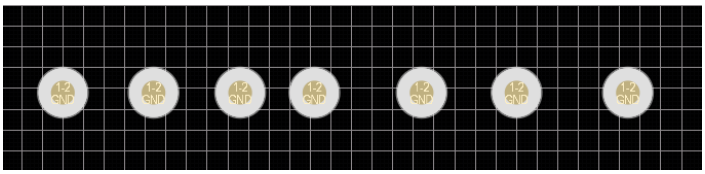
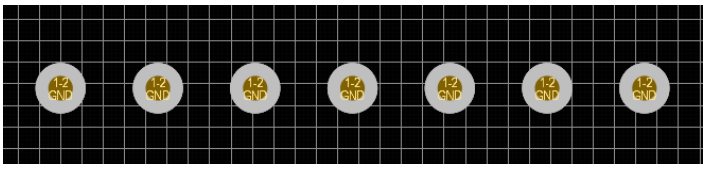
- Нельзя оставлять висящих (без земляного отверстия) кусочков заливки, особенно изолированных. Если есть участок, например, между другими цепями, падами или отверстиями, то туда нужно разместить отверстие (при возможности по правилам зазоров, естественно).



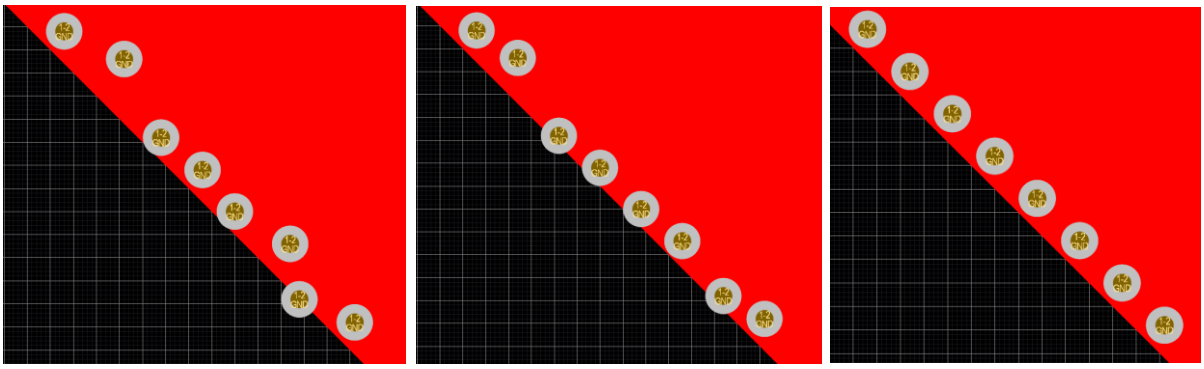
- чтобы не вымерять шаг при простановке на большие длины, можно воспользоваться одним из двух приемов (кроме вставки массива):

1. Скопировать хорошо проставленный набор отверстий относительно соседнего, а затем вставить относительно последнего проставленного:

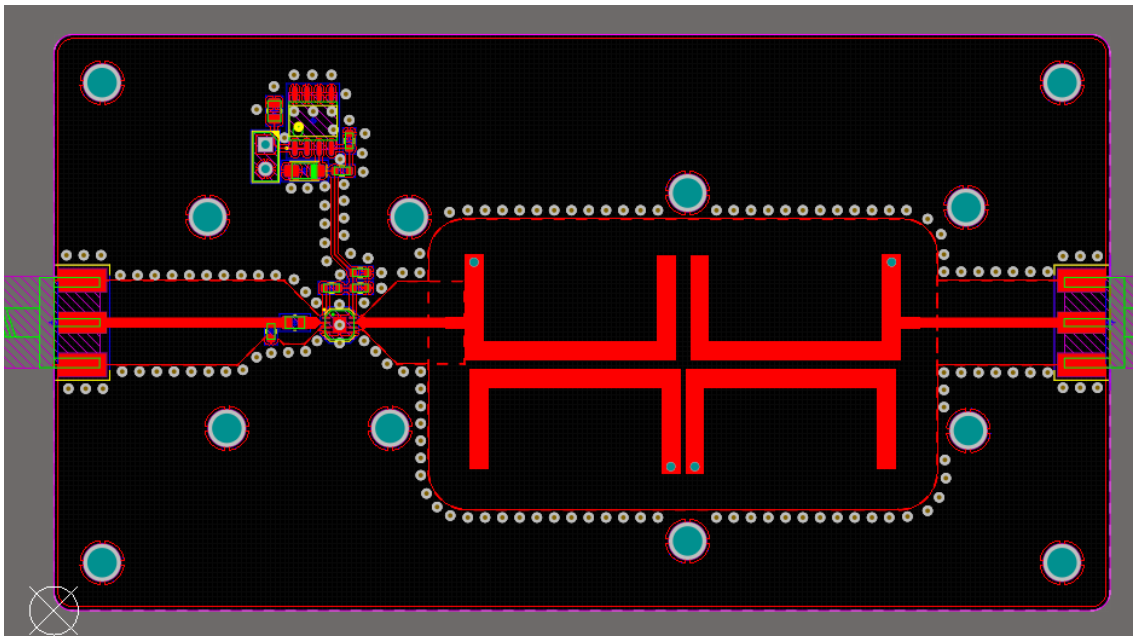
2. Поставить нормально в сетку первое и последнее отверстие, приблизительно нужное число между ними, и затем их выровнять с помощью команд выравнивания из меню Edit – Align (A, затем нужная опция), например:

Первое и последнее отверстия стоят в нужных местах, остальные приблизительно	
Align Vertical Centers относительно левого или правого отверстия – вся группа выровнена по высоте	
Distribute Horizontally – все отверстия распределены с одинаковым шагом в пределах между левым и правым	

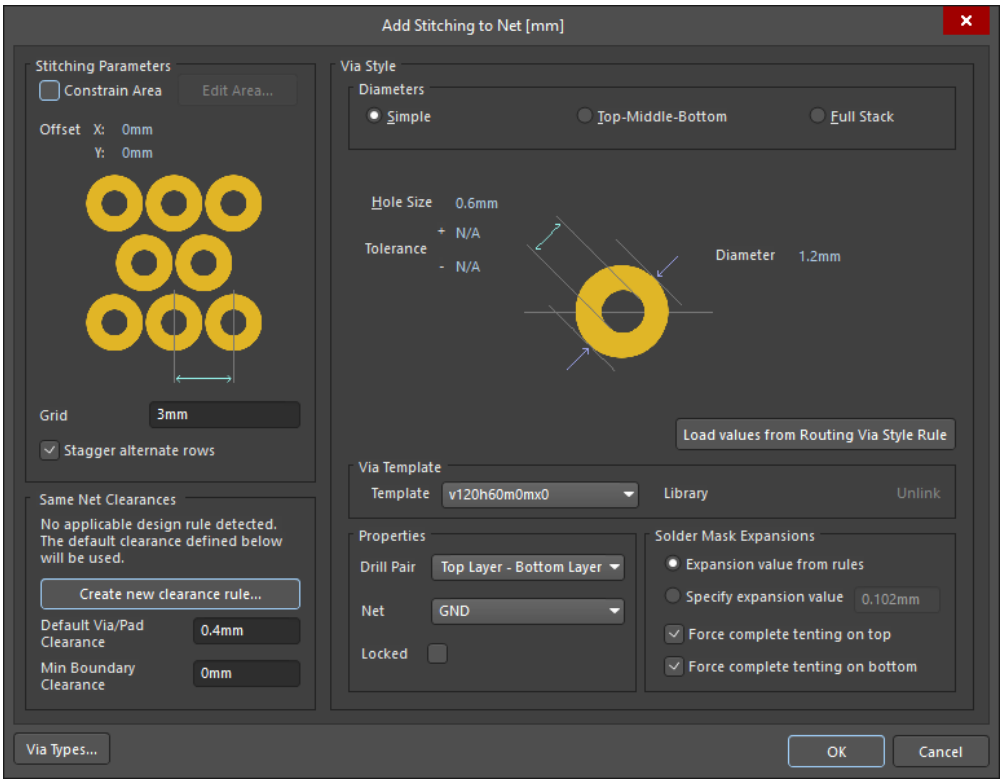
Такой прием удобен в том числе, и при проставке отверстий вдоль контура, идущего под углом. Первое и последнее отверстия стоят как надо, промежуточные приблизительно. Затем поочередно две команды из меню Align - Distribute Horizontally (A, D или CTRL+SHIFT+H) и Distribute Vertically (A, S или CTRL+SHIFT+V).



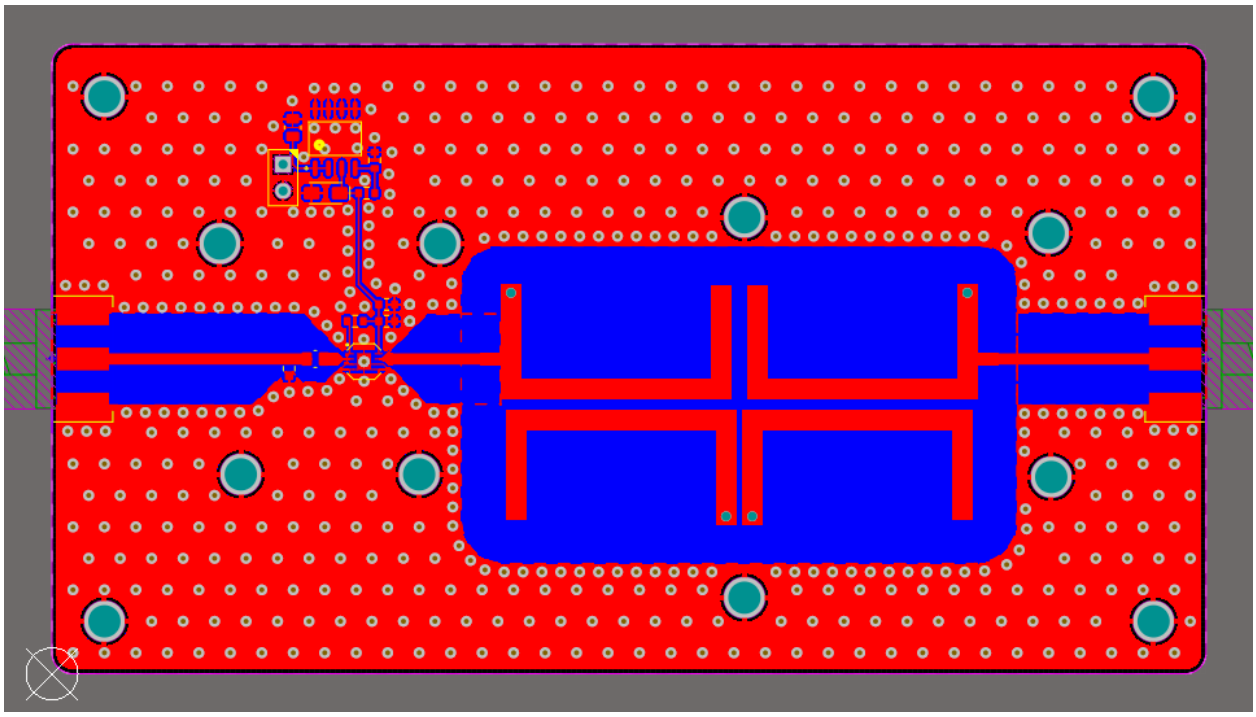
По завершению проставки земляных отверстий вдоль контуров земляной заливки, плата должна выглядеть приблизительно так (отображение заливки в режиме Draft):



Далее воспользуемся мастером Via Stitching для автоматического размещения отверстий по оставшейся площади земляной заливки с грубым шагом. По команде Tools - Via Stitching/Shielding - Add Stitching to Net откроется окно настроек мастера. Отверстия будем использовать те же 0,6мм/1,2мм, цепь GND, принудительное закрытие маской сверху и снизу, шаг сделаем 3мм, ряды со сдвигом.

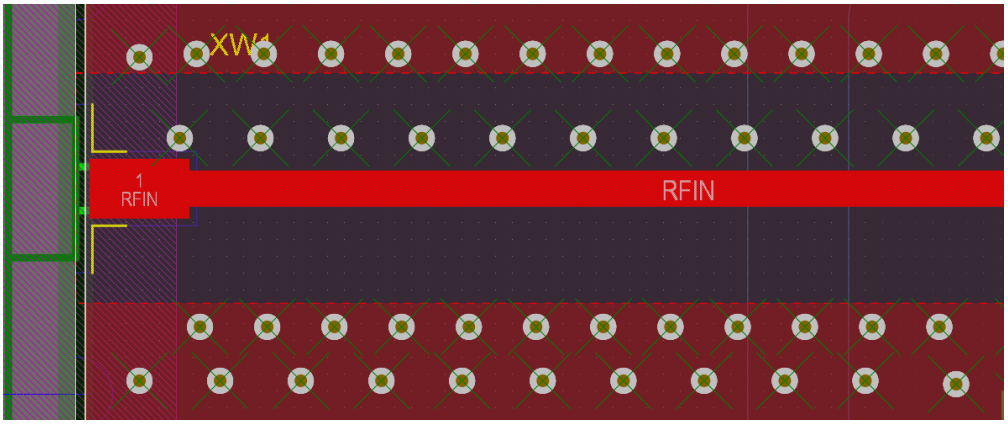


Также, как и результаты мастера Via Shieldings, сгенерированные отверстия входят в объединение типа Via Stitchings. Далее останется только проверить его и добавить или слегка подвинуть неудачно размещенные отверстия.



Для контроля мест, где мастерам Via Stiching/Via Shielding нельзя размещать переходные отверстия можно использовать зоны запрета. В двухслойной плате такой проблемы как правило не возникает, но для многослоек может быть актуально.

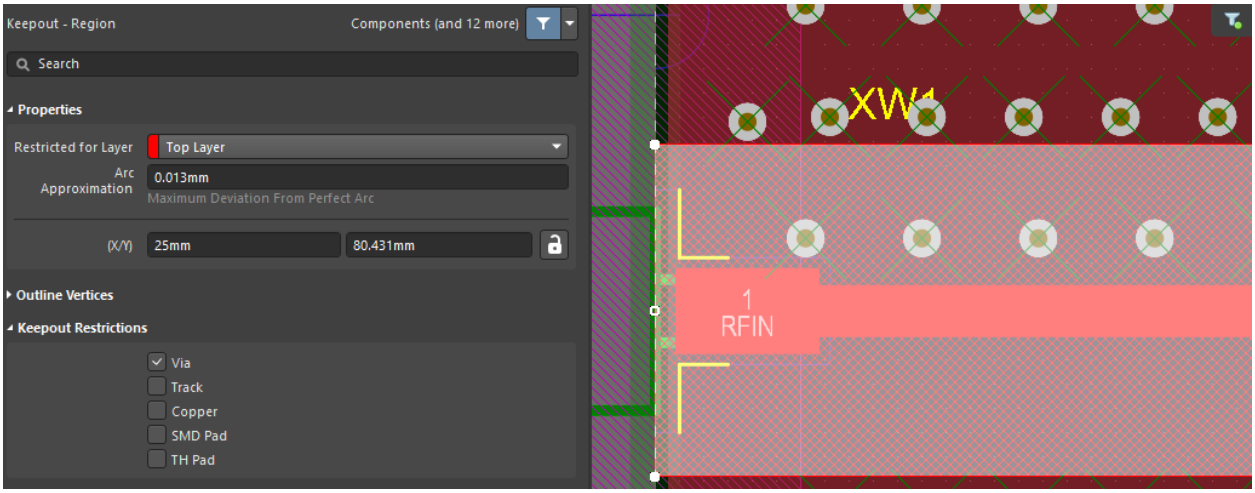
Например, пусть есть четырехслойная печатная плата со следующим стеком: верхний слой – ВЧ, второй слой ВЧ-земля, третий и четвертый слой – питание и управление с залитыми площадями. При создании мастером Via Stiching прошивки сквозными отверстиями земляных заливок, мастер может разместить переходные отверстия в зонах выреза металлизации на верхнем слое для того, чтобы соединить земли на втором, третьем и четвертом слоях.



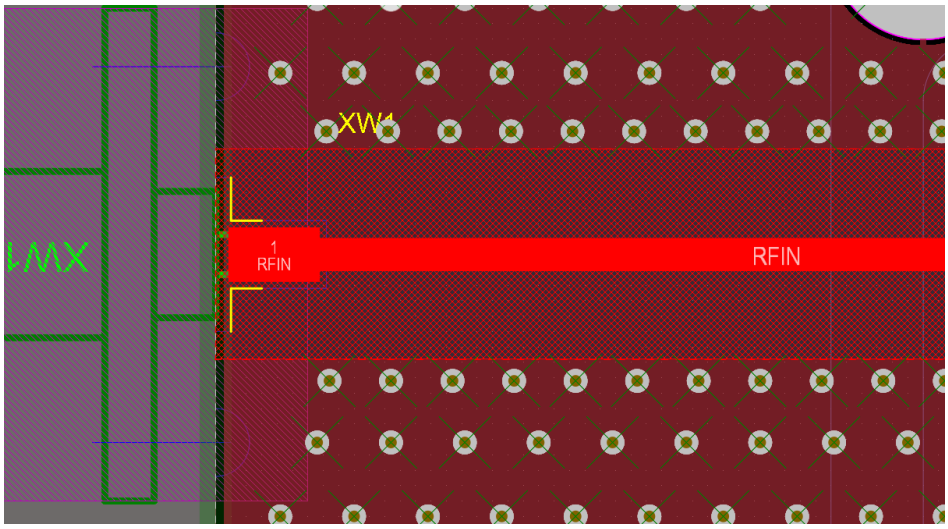
Для запрета размещения объектов в Altium Designer служат объекты типа Keepout. По форме Keepout могут быть линиями (Keepout Track), дугами (Keepout Arc), филами (Keepout Fill) и регионами (Keepout Region). Запрещать они могут размещение отверстий, цепей, заливок и регионов, сквозных и поверхностных падов. Размещен Keepout может быть на любом сигнальном слое (но не на слое типа Plane) или быть глобальным (на слое Keepout Layer).

Склонируем регион, задающий вырез в заливке, поменяем ему тип с Polygon Cutout на Copper и по Tools – Convert – Convert Selected Primitives to Keepouts (T, C, дальше выбрать) превратим его в Keepout Region. Регион будет отображен заштрихованным сеткой под 45°.

Нужно в его свойствах (панель Properties, группа Keepout Restrictions) указать, что запрещено в этом Keepout-е ставить только отверстия. Т.к. размещен он на слое Top Layer, то он запретит размещение отверстий в своих пределах только на верхнем слое.



После перегенерации Via Stiching отверстия расположены корректно и больше не попадают в зоны выреза металлизации на верхнем слое.



Паяльная маска

По умолчанию паяльная маска наносится на всю плату, за исключением тех мест, где надо паять, т.е. над падами посадочных мест. Также автоматом может вскрываться маска над металлизацией переходных и монтажных отверстий (определяется параметром Tenting при создании отверстий или правилами) в зависимости от того, нужно вскрывать маску или нет. Вообще, вскрытие маски зависит от наличия областей в слоях Top Solder и Bottom Solder при создании компонентов и топологии в целом.

Однако для ВЧ-дорожек вырез маски автоматически никак не генерируется, а ВЧ-дорожки покрытые маской могут работать неправильно. Кроме того, ВЧ-дорожки часто должны иметь возможность регулировки и настройки медными нашлепками или индием, а наличие паяльной маски такие операции не позволяет.

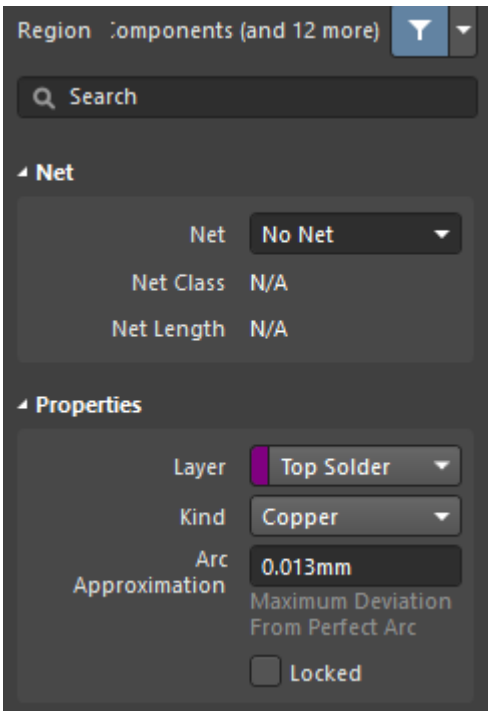
Также бывает необходимость вскрывать маску при необходимости электрического контакта с элементами конструкции и крепежа. Например, рамка, разделяющая ВЧ-плату на ячейки, должна иметь хороший электрический контакт с земляной заливкой. Т.е. по нижнему контуру рамки должен быть выполнен вырез в маске на плате (с запасом на точность). В другом распространенном случае, когда ВЧ-плата кладется в металлический корпус нижним слоем, то вообще на нижнем слое не должно быть маски (при этом надо следить чтобы не было закороток по корпусу между другими цепями).

Однако, если же ВЧ-дорожки посчитаны с влиянием слоя маски, то вскрывать ее над ВЧ-дорожками не надо.

Вырезы в маске создаются как заливки или регионы типа Copper в слоях Top Solder и Bottom Solder, причем эти слои негативные, т.е. все нарисованные области показывают вырезы, где маски не будет.

В нашем проекте вырезы в маске над ВЧ-дорожками и фильтром должны приблизительно повторять вырезы в земляной заливке. За исключением соображения, что при плотном монтаже SMT-компонентов все-таки необходимо оставлять масочный мостик, отделяющий пады от больших площадей металлизации и между компонентами.

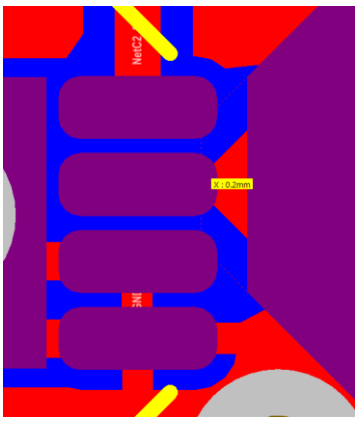
Скопируем вырезы из металлизации на входной и выходной части платы и перенесем их в слой Top Solder и выставим тип Coper (можно через Edit – Paste Special – Paste on Current Layer или через Ctrl+R с заменой параметров).



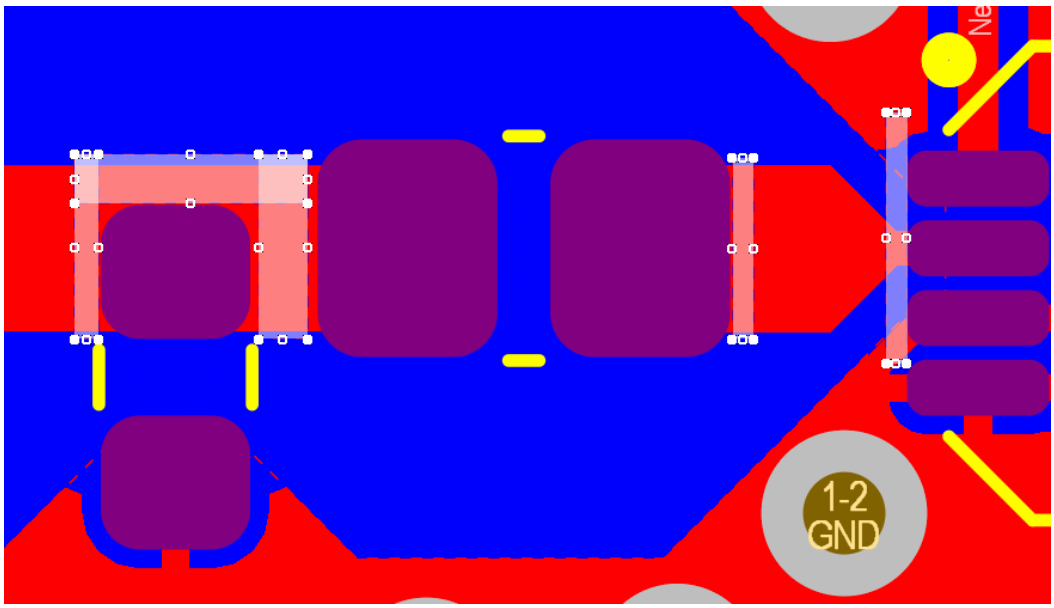
Для создания масочного мостика можно воспользоваться двумя способами – прямым редактированием региона выреза маски или превращением его в заливку и использованием вырезов в заливке.

Прямое редактирование региона выреза маски – это простой способ. Но, если в дальнейшем придется редактировать плату, то это может привести к ошибкам. Также невозможно создавать регионы с вырезанными внутренними областями.

В правой части (со стороны фильтра) у падов микросхемы подрежем вырез так, чтобы остался масочный мостик шириной не менее 0,15мм (как определен в нашем проекте).

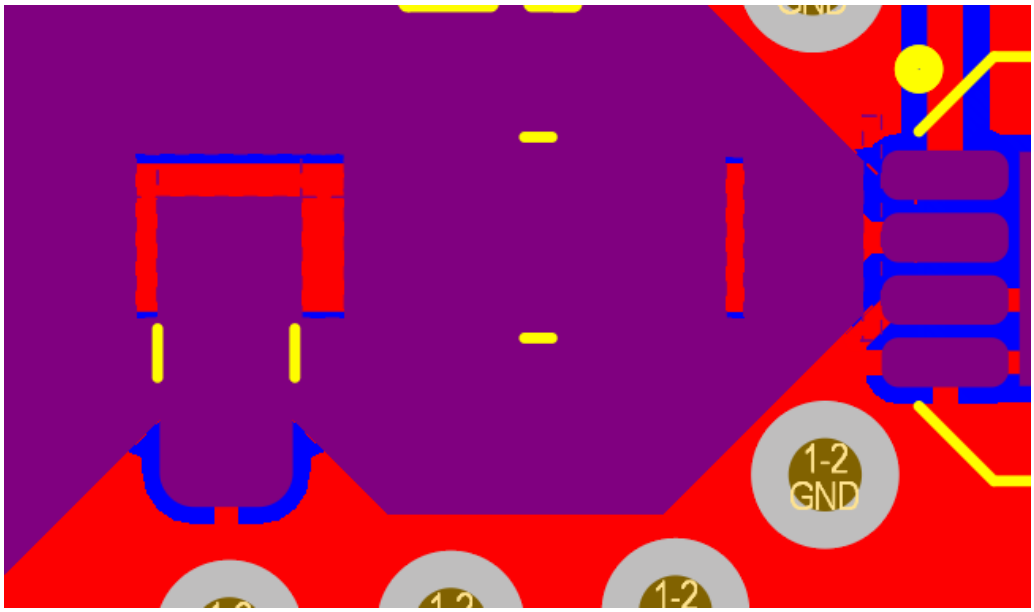


Со стороны входа сделаем вырез маски заливкой. Сначала добавим в слое Top Solder регионы типа Polygon Cutout, показывающих мостики маски.

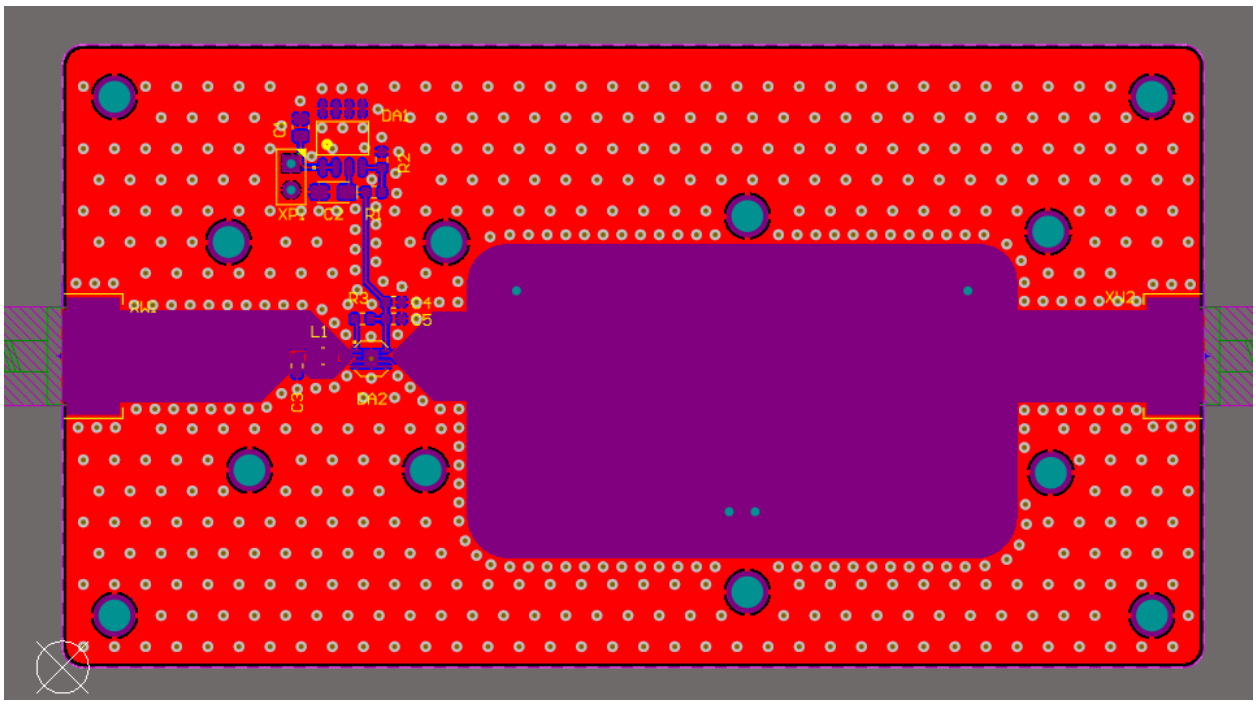


Со стороны входа превращаем регион в полигон (по команде Convert – Create Polygon From Selected Primitives). Если команда не отрабатывает, то можно скопировать список точек из региона через вкладку Outline Vertices.

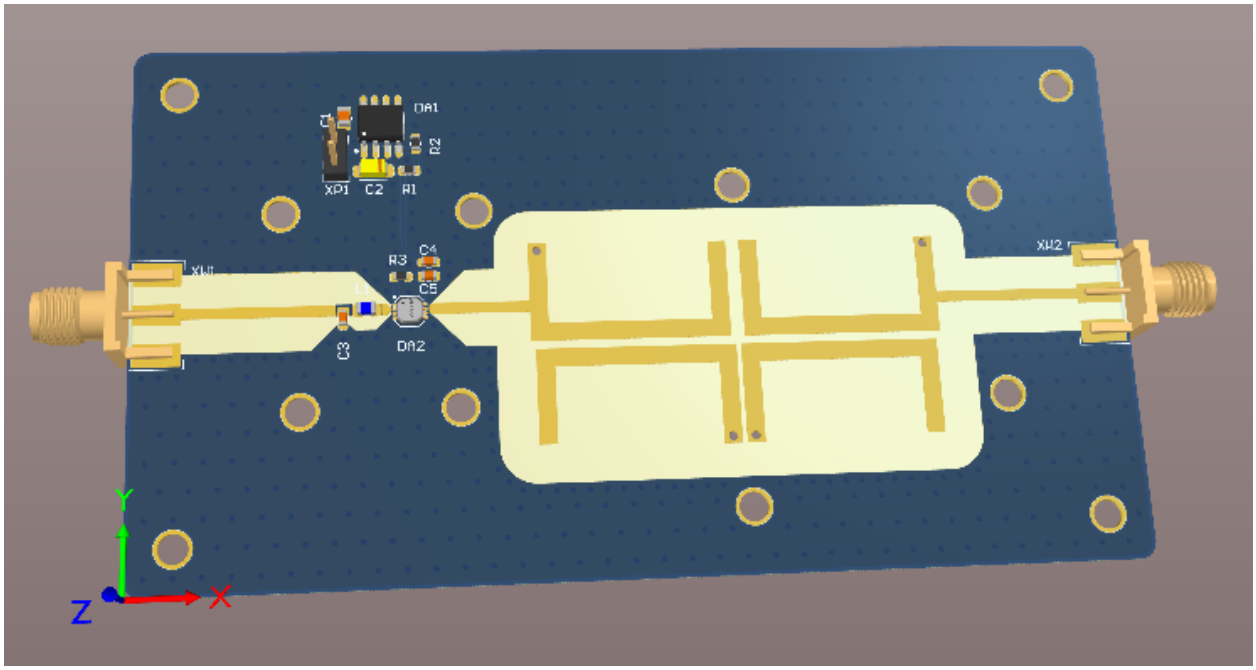
Перезаливаем заливку выреза маски и проверяем.



Маска готова.



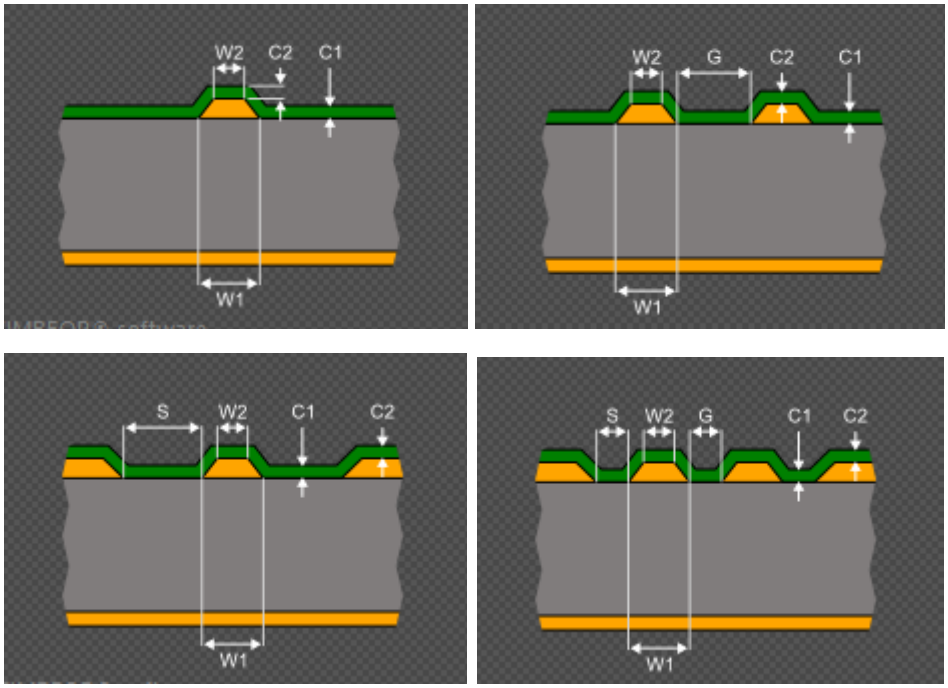
Плата готова, можно по 3D визуально проконтролировать ее вид.



Профиль импеданса

В Altium Designer начиная с версии 19 внедрили новый инструмент «Профиль импеданса» (Impedance Profile), позволяющий на основе заданного стека платы автоматически определять геометрические размеры линий передачи (ширину и зазоры) исходя из желаемого волнового сопротивления. Также рассчитываются такие параметры длинной линии, как погонная задержка, погонная индуктивность и погонная емкость. При этом поддерживаются несколько моделей шероховатости и задание коэффициента протрава (Etch Factor) для линий. Основой для расчета служит интегрированное ПО SIMBEOR®.

В версии Altium Designer 19 можно было задавать одиночную линию (Single) и дифпару (Differential) только «с дальней землей». В версии Altium Designer 20 ввели возможность задавать линии «с ближней землей» - одиночную копланарную линию (Single-Coplanar) и копланарную дифпару (Differential-Coplanar).



Для использования данного инструмента необходимо сначала задать актуальный стек платы.

Редактор стека платы задается через вызов в редакторе печатных плат команды Design – Layer Stack Manager. По умолчанию в нижней части доступны три вкладки (Stackup – собственно стек, Impedance – задание профилей импеданса, Via Types – определение типов и диапазонов отверстий).

Продвинутые возможности включаются из меню Tools – Features (печатная электроника Printed Electronics, гибко-жесткие платы Rigid/Flex, обратное высверливание Back Drills).

Печатная электроника (Printed Electronics) предполагает уход от концепции слоев диэлектриков, разделение пересекающихся цепей происходит за счет генерации (печати на экструдере) диэлектрических патчей (Dielectric Patterns).

У гибко-жестких (Rigid/Flex) плат в редакторе стека появляется возможность определить несколько именованных стеков (для каждой части гибко-жесткой платы).

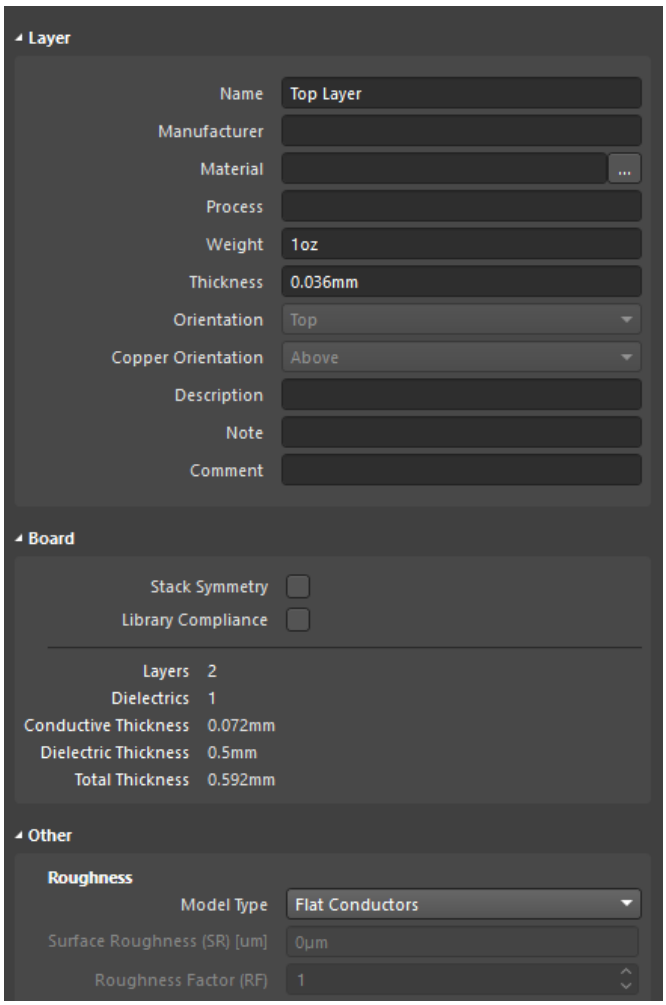
Обратное высверливание (Back Drills) позволяет задать диапазоны обратного высверливания для удаления лишних столбиков металла в сквозных переходных отверстиях для высокоскоростных цепей.

Зададим стек нашей двухслойной платы. Более сложный пример задания стека шестислойной гибридной платы приведен в методическом указании «Работа с дифпарами и выравнивание длин в Altium Designer», расположенном в github-репозитории автора [7].

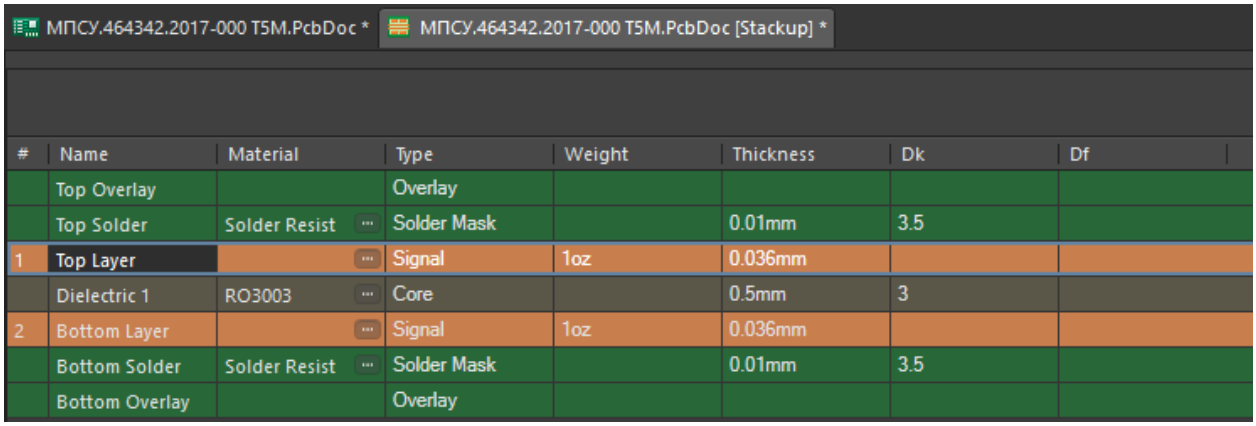
Плата двуслойная, диэлектрик RO3003 толщиной 0,5мм (ε=3). Металлизация толщиной 36 мкм.

Каждому слою в поле Name надо дать уникальное имя. Если используемый материал (включая толщину, не только электрические параметры) сохранен в базе Material Library (Tools – Material Library), то его можно вызвать из базы по кнопке ... в поле Material.

При выборе слоя в панели Properties показываются его полные свойства

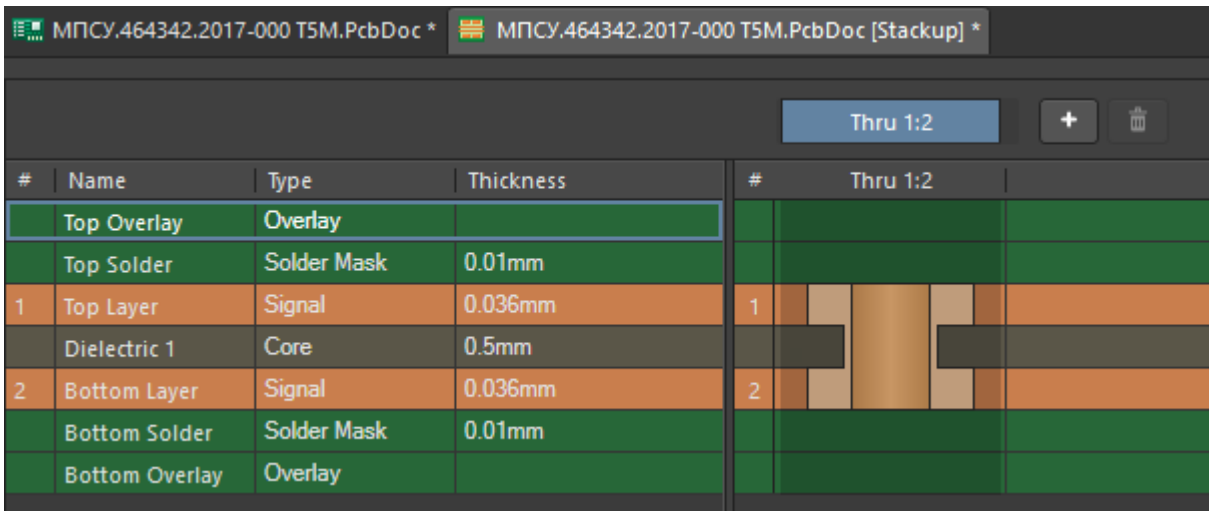


В группе Layer приводятся свойства текущего слоя. В группе Board сводная информация о всем стеке. В группе Other можно задать модель шероховатости (Roughness).



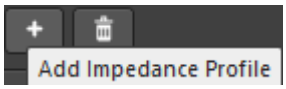
#	Name	Material	Type	Weight	Thickness	Dk	Df
	Top Overlay		Overlay				
	Top Solder	Solder Resist	Solder Mask		0.01mm	3.5	
1	Top Layer		Signal	1oz	0.036mm		
	Dielectric 1	RO3003	Core		0.5mm	3	
2	Bottom Layer		Signal	1oz	0.036mm		
	Bottom Solder	Solder Resist	Solder Mask		0.01mm	3.5	
	Bottom Overlay		Overlay				

На вкладке Via Types задаются диапазоны отверстий и типы допустимых в проекте отверстий (сквозные, глухие, слепые, микровиа). Т.к. у нас двуслойная плата на ВЧ-ядре, то остается только сквозное отверстие Thru 1:2, других типов на таком стеке не определишь.

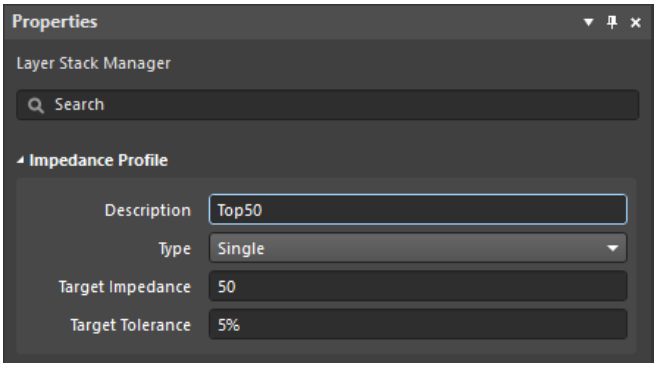


На вкладке Impedance задается собственно профиль импеданса. Определим один профиль Top50 (50 Ом одиночный, с дальней землей, только на верхнем слое Top Layer).

Профиль создается по кнопке +.



В панели Properties в группе Impedance Profile задаётся имя профиля (Top50), тип одиночная линия (Type - Single), значение импеданса (Target Impedance = 50) и его допустимую точность (Target Tolerance = 5%).



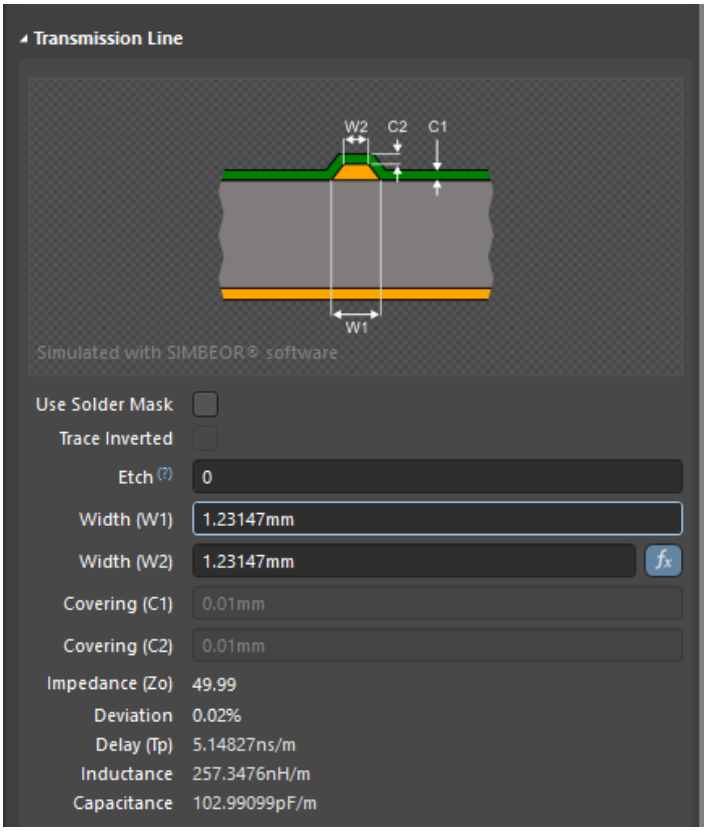
В основном окне галочкой отмечается, в каких слоях профиль импеданса определен. Разрешим профилю Top50 работать только в верхнем слое Top Layer.

В полях Top Ref и Bottom Ref указывается, какие из слоев сверху и снизу являются опорными (земляными). Автоматически добавляются соседние слои, но их можно переопределить. Для верхнего слоя верхнего опорного слоя нет, нижним опорным является Bottom Layer. Эти данные используются только при расчете волнового сопротивления; следить за неразрывной землей

необходимо разработчику при трассировке самостоятельно или с помощью правила типа ReturnPath.

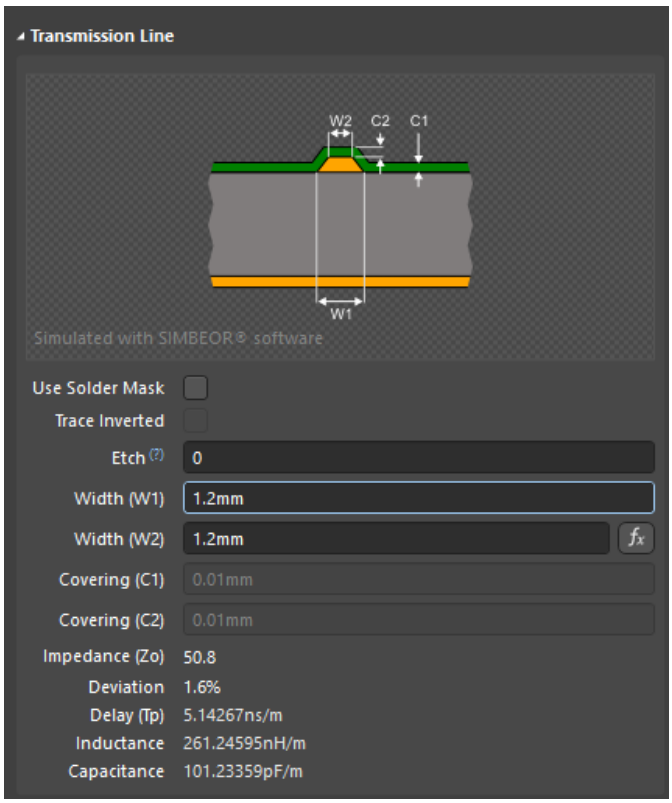
При выборе текущего слоя в панели Properties появляется группа Transmission Line, в которой рассчитывается профиль линии в текущем слое для заданного импеданса (W1 и W2). Дополнительно можно задать коэффициент протрава (Etch) отличный 0, т.е. задать трацепидовидность профиля. Значение ширины рассчитывается автоматически при подсвеченной кнопке f_x.

Также можно включить учет влияние маски (галка Use Solder Mask), если ВЧ-линии надо будет вести под маской. В нашем случае так делать не будем, ВЧ-линии на верхнем слое будут вскрыты от маски.

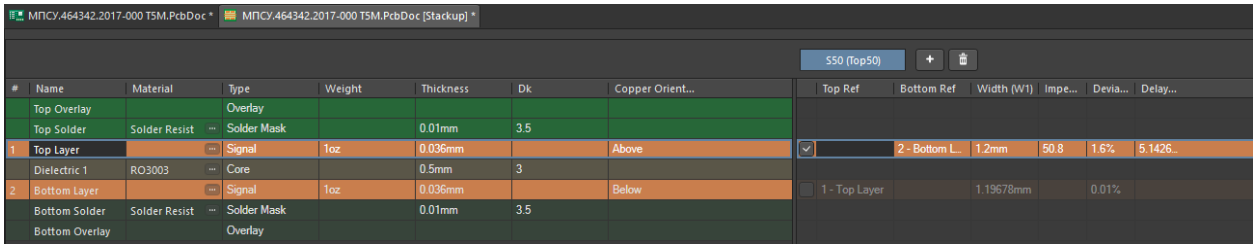


Полученное значение можно изменить вручную, тогда кнопка f_x погаснет; при этом все связанные значения пересчитаются, и можно оценить, допустимо ли данное округление. При выходе за допустимые пределы по импедансу, загорится символ !.

Шаг округления на текущем состоянии технологических норм (лето 2020) стоит брать порядка 25мкм. Округлим до 1,2мм (ошибка импеданса из-за округления не более 1,6%).



В общем поле приведена краткая информация о ширине линий на каждом слое, а также иная справочная информация. Также при выборе конкретного слоя подсвечиваются соседние опорные слои.



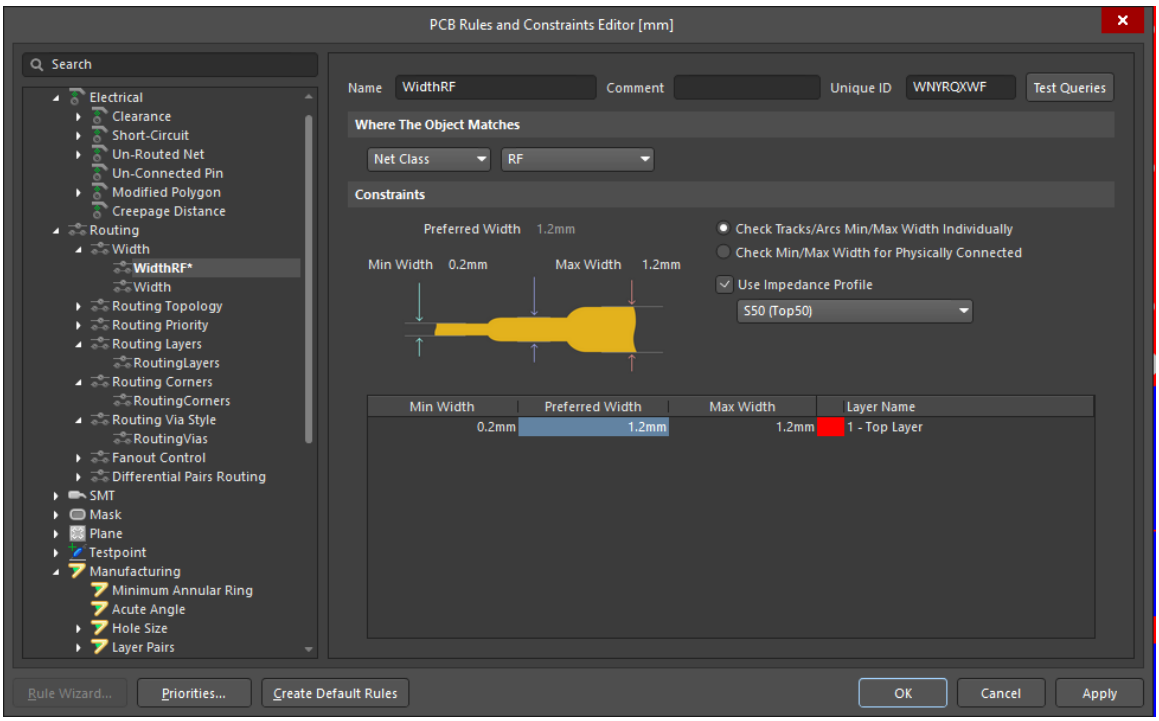
После окончания работы со стеком его надо сохранить.

Также данный стек, определенные в нем переходные отверстия и профили импеданса можно сохранить как шаблон по File – Save As.

Правило ширины ВЧ-линии

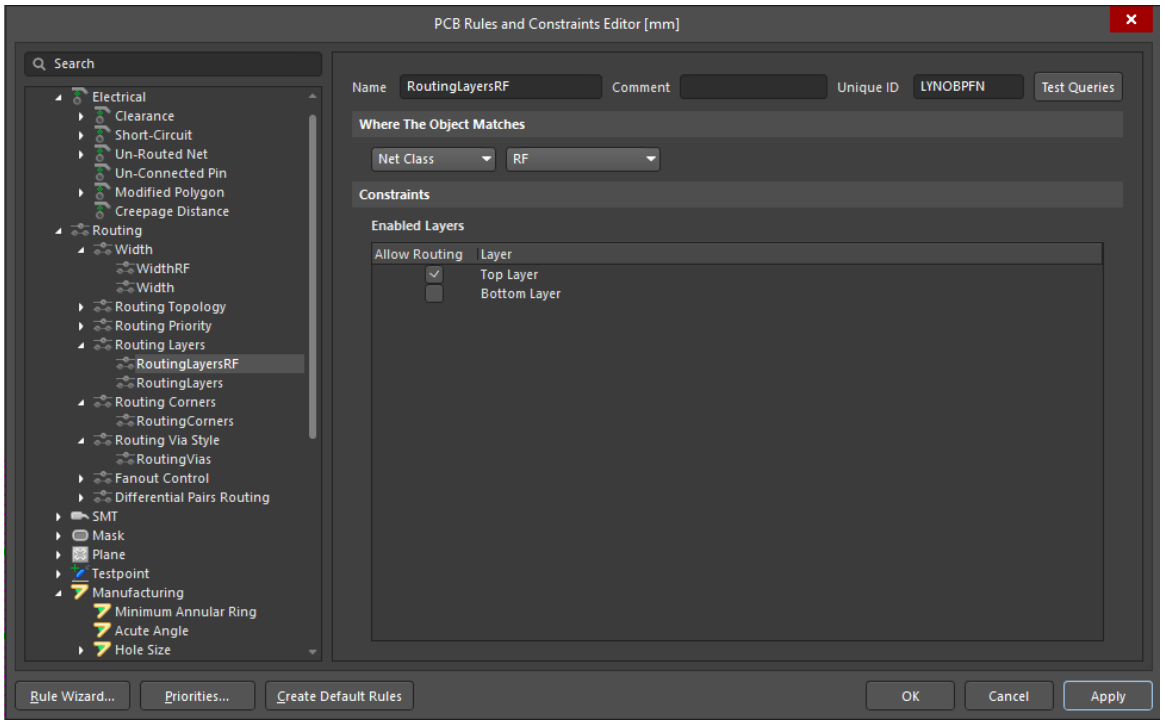
Для задания ширины ВЧ-линии вместо указания размера вручную, можно сослаться на определенный профиль импеданса.

В правиле типа Routing/Width с именем WidthRF (ширина ВЧ-линий на верхнем слое) укажем, что действует данное правило на класс цепей RF. И теперь можно сослаться на определенный ранее профиль импеданса Top50 (галочка Use Impedance Profile и выбрать в выпадающем списке).



Как элемент дополнительного контроля, будут подсвечены только слои, разрешенные в профиле импеданса. Из ширин можно будет изменить только мин и макс, а вот базовые (Preferred) будут жёстко загружены из профиля импеданса.

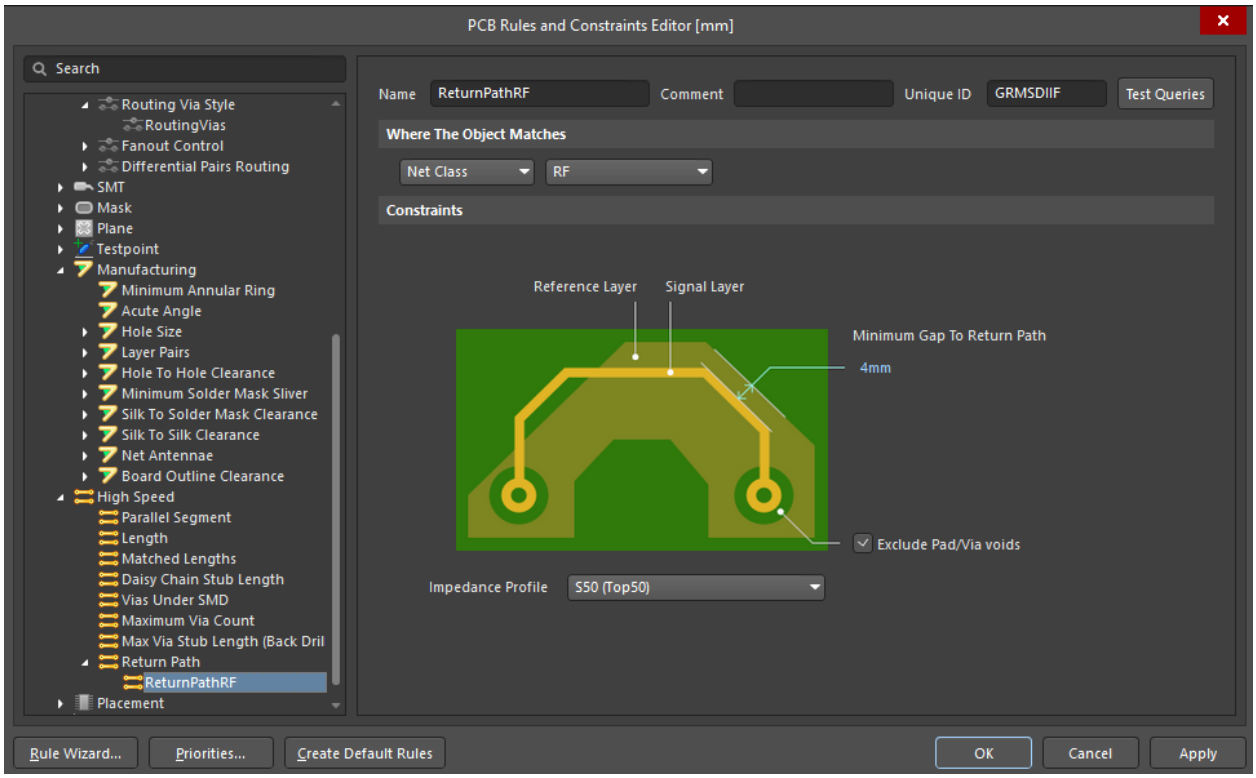
При этом надо помнить, что если при разводке цепь перейдет на слой, для которого не определен профиль импеданса, то правила будут браться из других правил ширин ниже по приоритету. Задать, какие цепи на каких слоях могут разводиться можно с помощью правил Routing – Routing Layers.



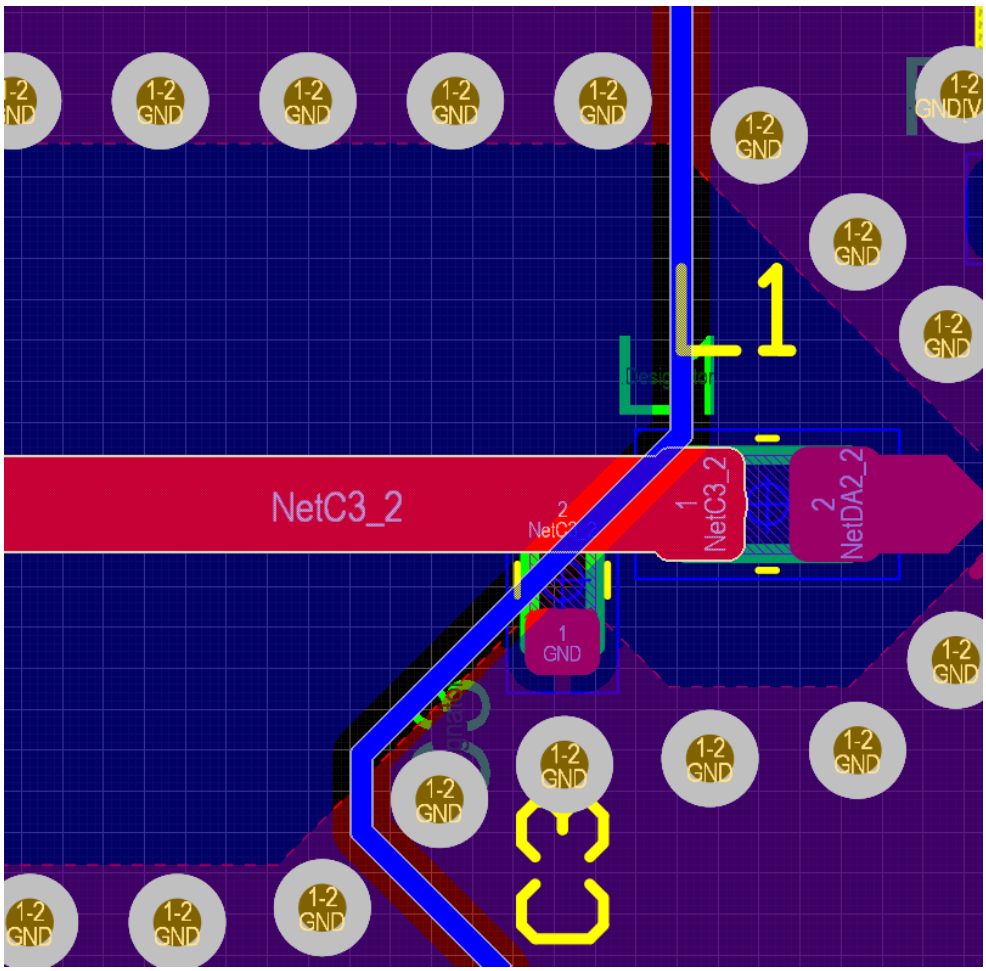
Правило проверки неразрывности земли Return Path

В версии Altium Designer 20 появилось новое правило, позволяющее контролировать неразрывность земли (опорного слоя в понятиях высокоскоростной разводки) для цепей, которые должны иметь заданный импеданс. Соответственно, данное правило работает только если определен профиль импеданса, из которого берутся опорные слои.

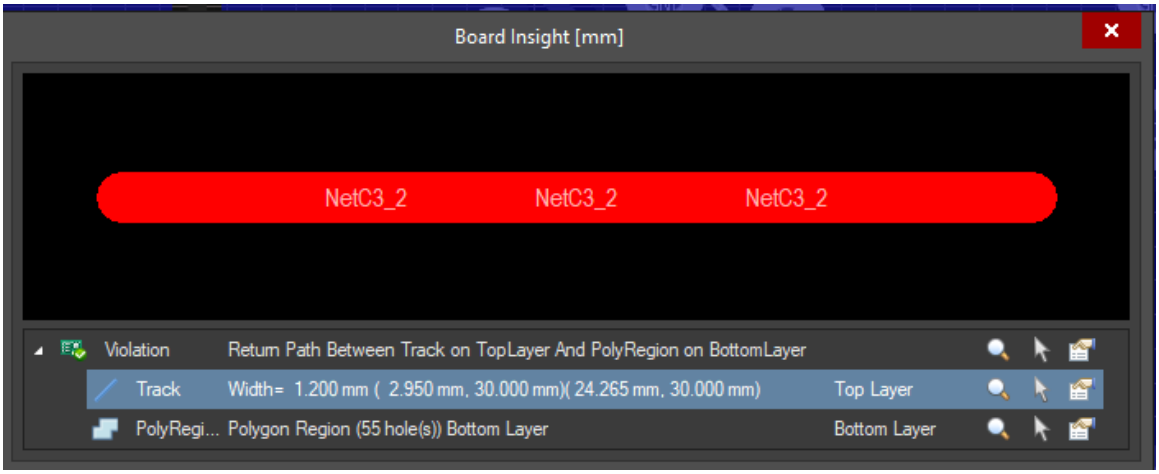
Данное правило находится в группе High Speed/Return Path. В нем задается, какой отступ от цепи до краев опорного слоя считается достаточным. Для полосковых линий обычно закладываются на правило 3W, т.е. три ширины ВЧ-линии, плюс место для переходных отверстий для сшивки верхних земляных полигонов и нижних. Для сложных полосковых компонентов (особенно полосковых фильтров) брать нужно больше.



Например, разорвем землю, т.е. проведем под ВЧ-линией (NetC3_2) на опорном слое другую цепь.



При проверке правила ReturnPath подсветится ошибка.



Также данное правило будет находить ошибку, если земля просто порезана на части, даже без других проведённых линий.

Однако есть несколько моментов, относящихся к неразрывности и качеству земли, за которыми на текущем этапе развития Altium Designer все еще надо следить вручную, в том числе:

- данное правило никак не следит, что полигон или заливка на опорном слое действительно принадлежат к нужной цепи земли, это оставлено на совесть инженера.

- данное правило работает по заданному расстоянию относительно цепи. Т.е. можно разорвать землю под термопадом большого компонента, например, и правило это как ошибку не найдет (при ВЧ-разводке такое иногда допустимо, но далеко не всегда).

- данное правило никак не позволяет следить за качеством земли, обеспечиваемым множеством переходных отверстий и сшивкой всех участков, в том числе изолированных или висящих на тонких линиях от основного земляного полигона.

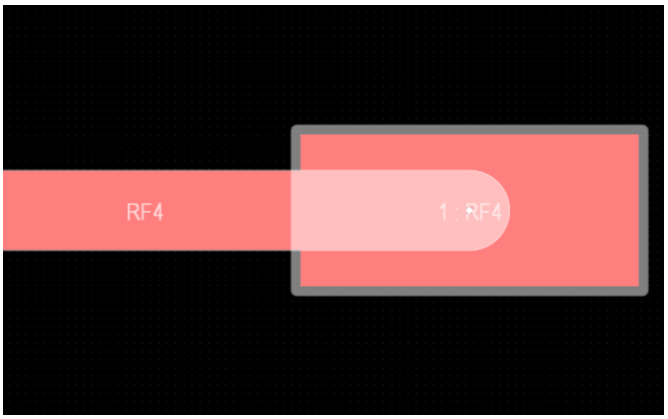
Автоматическое генерирование плавных переходов (Teardrop)

В Altium Designer присутствует мастер для генерации плавных переходов (Teardrop). Мастер генерации умеет генерировать сглаживающие переходы между линией и сквозным падом/отверстием, между SMD-падом и линией, между двумя линиями и на Т-образных пересечениях. Переход может быть в кривых или в прямых линиях.

Вызывается мастер по Tools – Teardrops (T, E). Чтобы сгенерировать плавный переход в конкретном месте, надо предварительно выбрать пару интересующих примитивов. Или можно сгенерировать плавные переходы для всех переходах в проекте, но это не слишком хорошо.

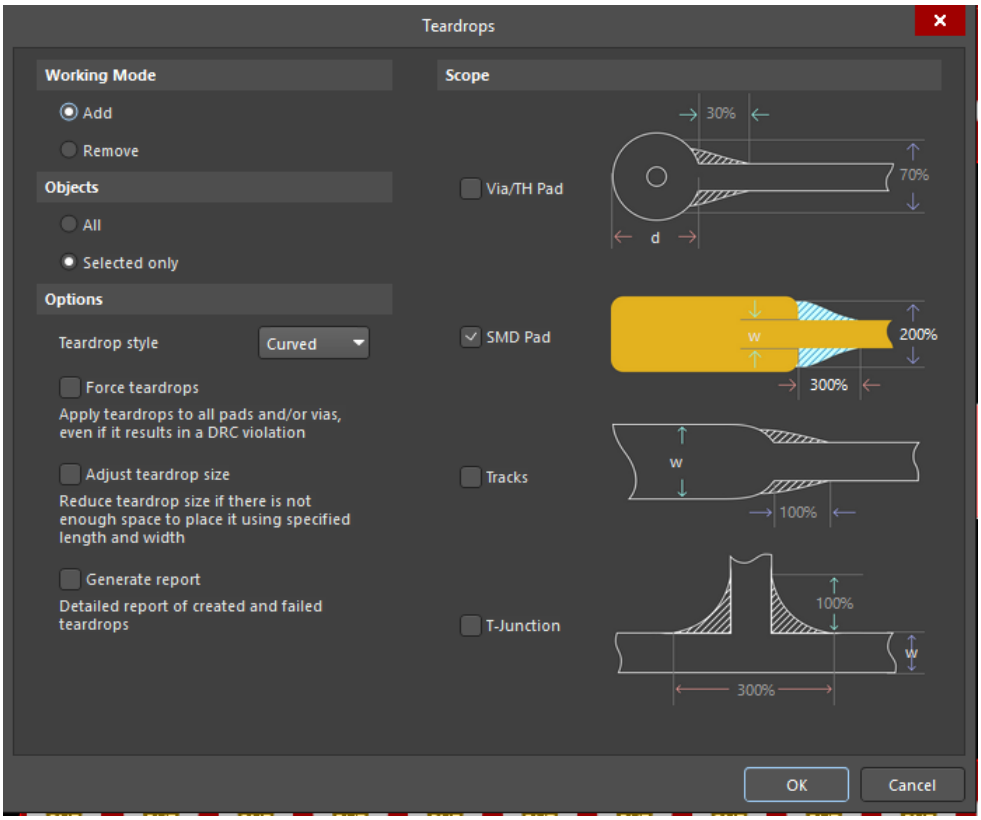
Покажем на двух примерах.

1. Пусть надо сгладить переход от ВЧ-дорожки шириной 1,2мм до ВЧ-пада шириной 2,3мм.

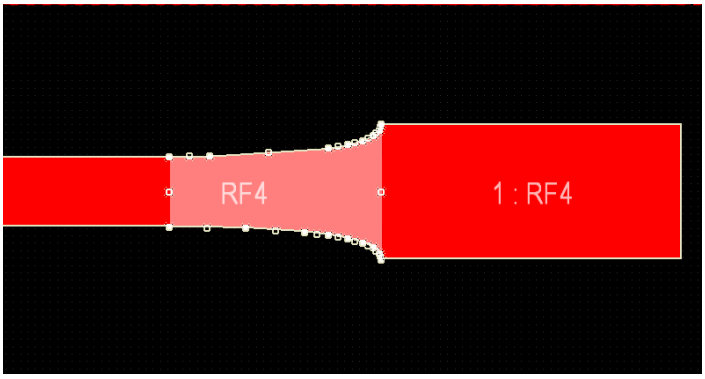


Предварительно выбираем их и вызываем мастер Teardrop. В окне указываем тип перехода (с SMD-пада на линию), стиль перехода (в кривых,

curved), относительные размеры (их указывают относительно ширины линии). В данном случае хорошо будут выглядеть выбранные размеры (300% по длине, 200% по ширине).

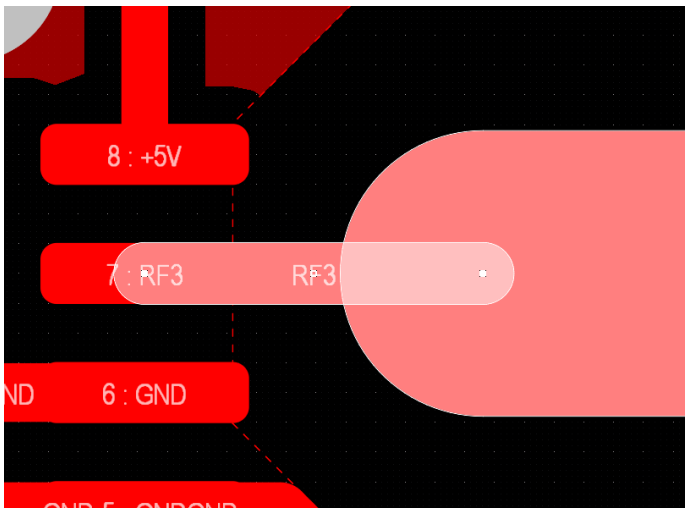


Добавлен плавный переход как регион в нужной цепи.

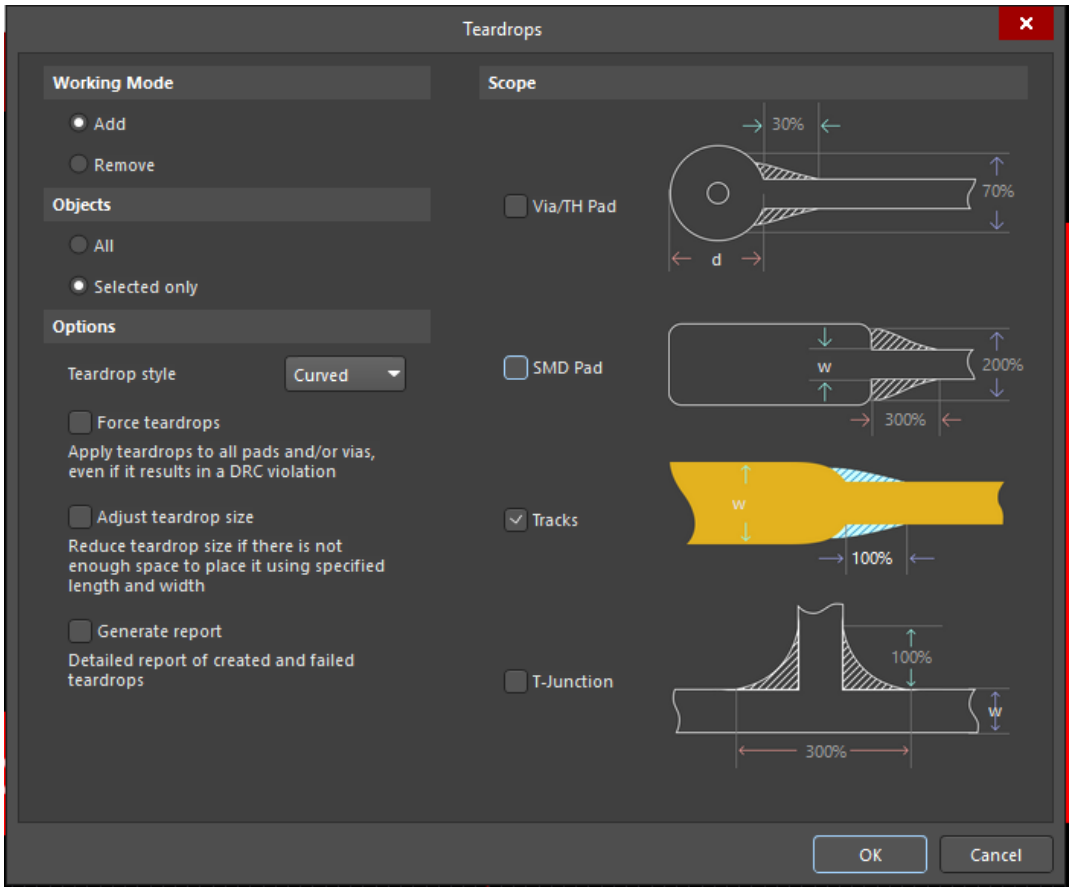


2. Пусть надо сгладить переход от узкого SMT-пада (0,26мм) до ВЧ-дорожки (1,2мм). Здесь чуть усложним исходник - доводим ВЧ-дорожку до ближайшего возможного положения перед падом и обязательно соединяем пад и ВЧ-дорожкой тонкой дорожкой с шириной, равной ширине пада (0,26мм).

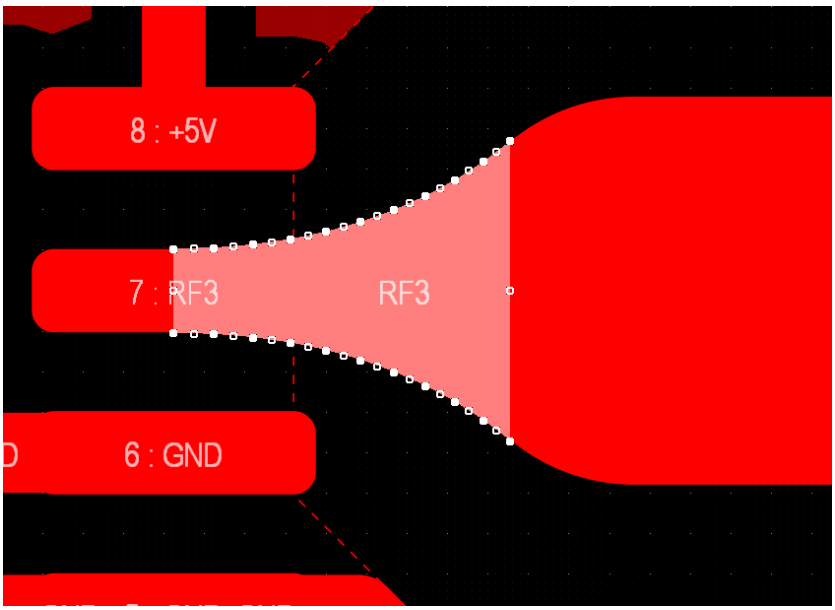
Предварительно выбираем обе линии (только их) и запускаем мастер Teardrop.



В окне указываем тип перехода (с линии на линию), стиль перехода (в кривых, curved), относительные размеры (их указывают относительно ширины тонкой линии). В данном случае хорошо будут выглядеть выбранные размеры (100% по длине).



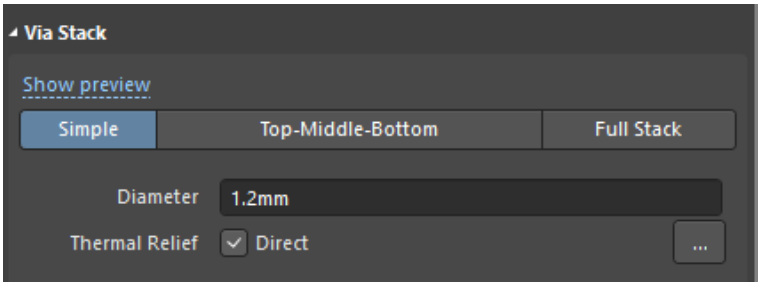
Добавляется плавный переход как регион в нужной цепи.



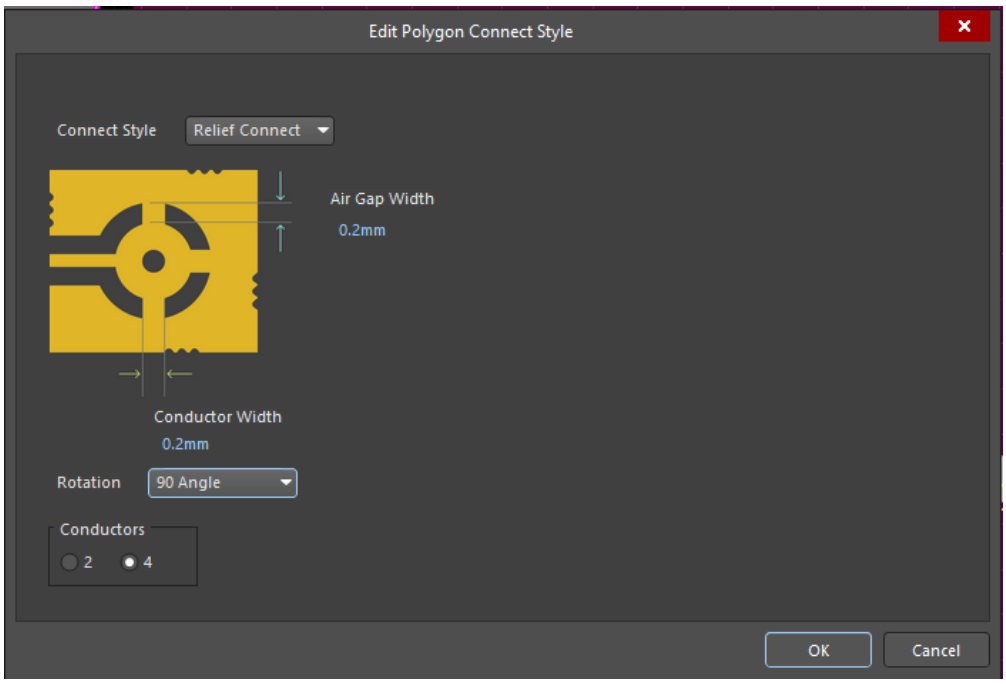
Переопределение стиля термобарьера

В последних версиях Altium Designer появилась возможность переопределить стиль соединения отдельных отверстий и падов с заливками в плате поверх определенных правилами Polygon Connect Style и Power Plane Connect Style.

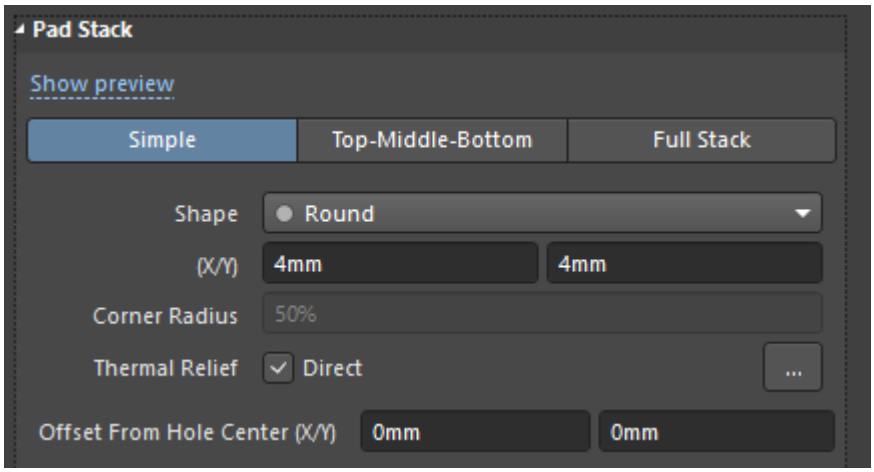
При выборе отверстия в панели Properties в группе Via Stack есть галка Thermal Relief.



Если ее установить, то можно индивидуально для отдельных отверстий задать нужный стиль соединения с заливками. Как и при определении правил доступны стандартные варианты – прямое соединение (Direct Connect), термобарьеры на 2 или 4 перемычки (Relief Connect) и без соединения (No Connect).



Аналогичная настройка для падов находится в панели Properties в группе Pad Stack.



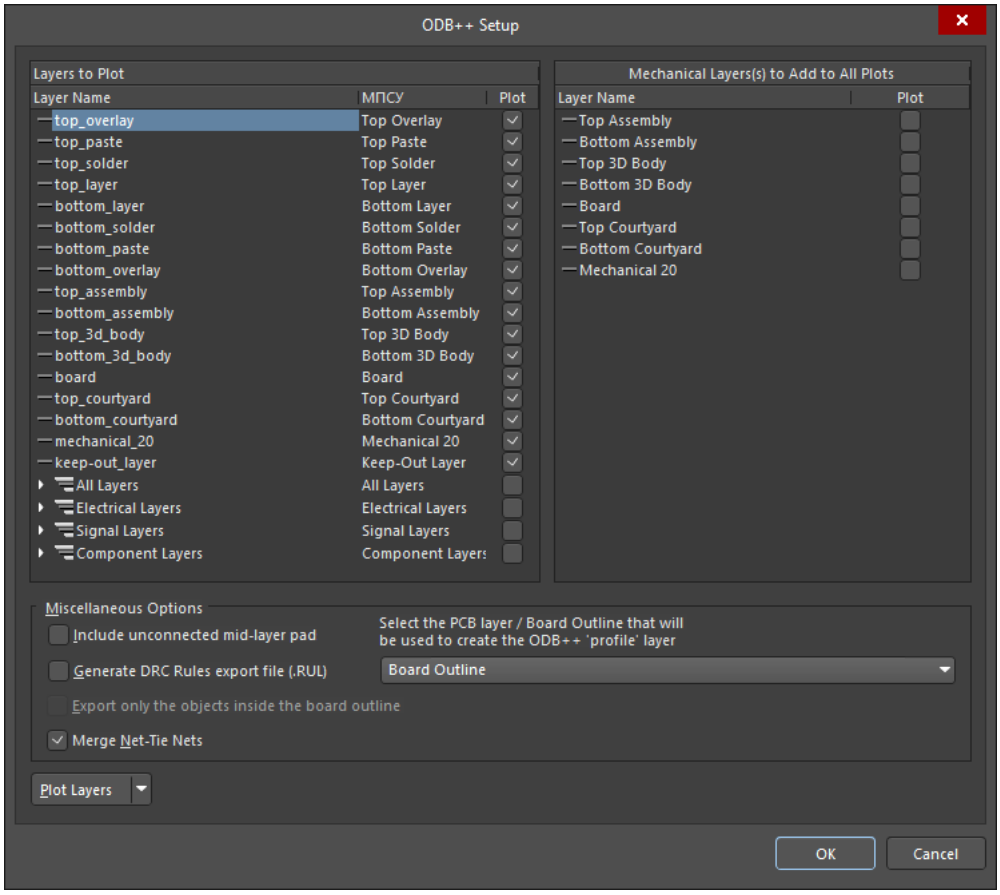
Но несмотря на кажущееся удобство такого подхода, все-таки не рекомендуется злоупотреблять такой возможностью и пользоваться в первую очередь правилами как более стройной базовой системой. Вручную переопределять термобарьеры стили стоит только для считанных особенных отверстий и падов. При последующем редактировании платы (а при активной работе это неизбежно), можно очень легко забыть про установленную галку Thermal Relierf, пропустить неожидаемое поведение термобарьеров и допустить ошибку в герберах.

Обратный перенос в ADS для моделирования

Обратный перенос разведенной платы в ADS нужен, если необходимо промоделировать разведенные цепи, с учетом добавленной земли, отверстий и переходов, которых не было в исходной модели.

Перенос из Altium Designer в ADS возможен через DXF\DWG, Gerber или ODB++. На данный момент перенос через ODB++ в ADS разработчиками Altium Designer указывается как рекомендованным промежуточным форматом.

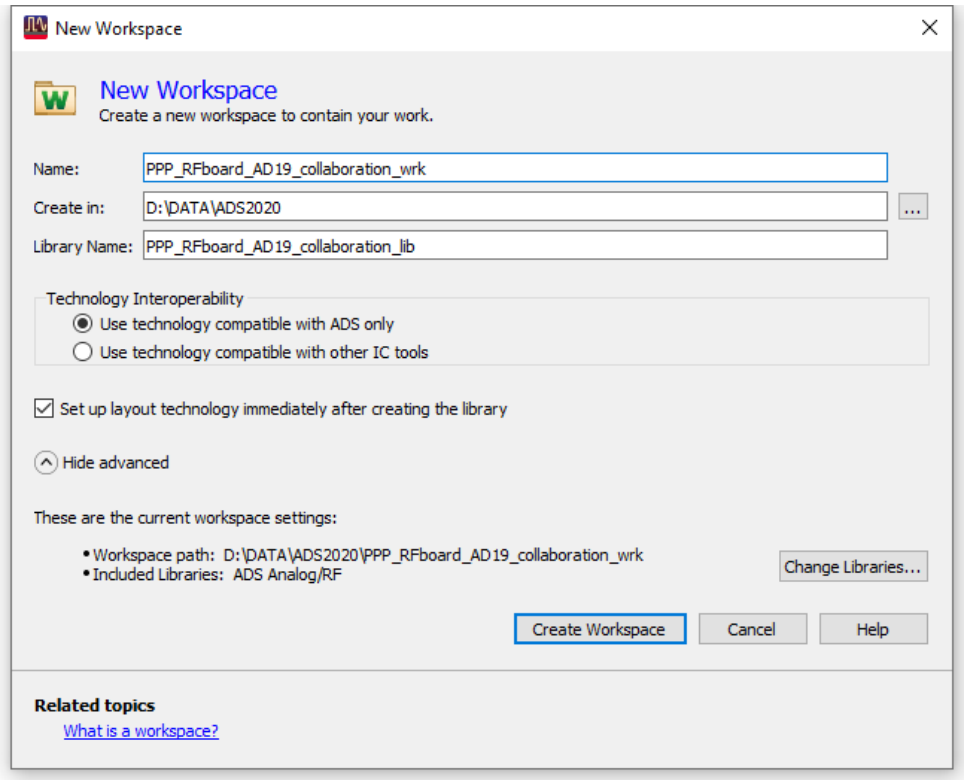
По команде File - Fabrication Outputs – ODB++ откроется настроек экспорта. Согласимся с настройками по умолчанию.



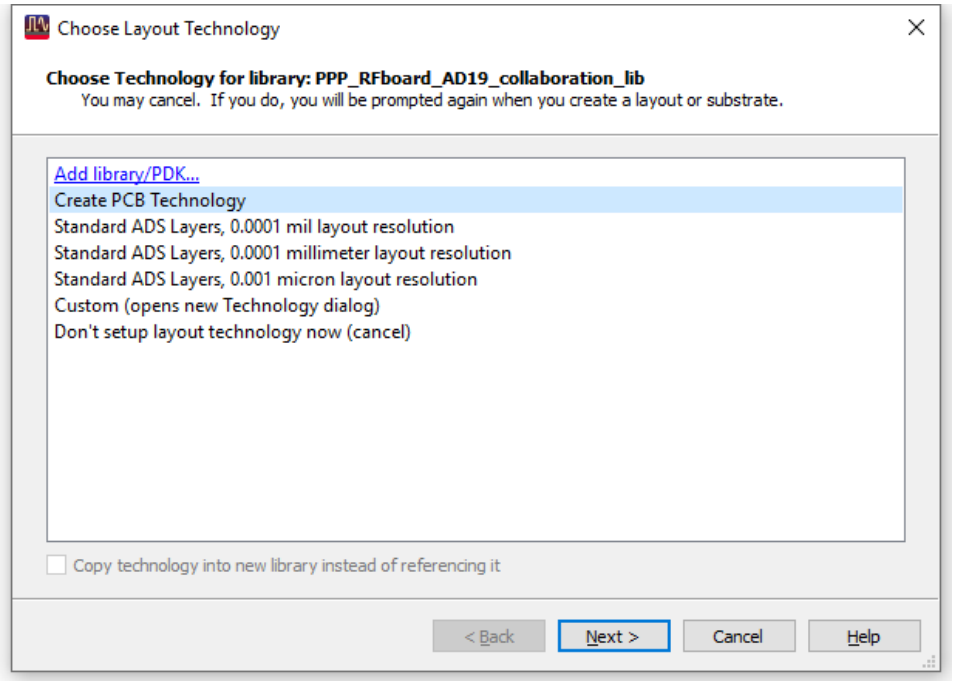
Одновременно откроется проект подготовки к производству CAMtasic. Т.к. мы в нем ничего править не планируем, то можно его закрыть. В папке /имя_проекта_ППП/Project Outputs for имя_проекта_ППП появится папка odb и два файла с именем проекта и расширением zip и tgz. Любой из этих трех форматов можно использовать при импорте в ADS.

Дальнейшее делается в ADS.

К сожалению, перенос настроек слоев, стека и единиц не всегда проходит корректно, поэтому будем задавать их вручную. Создадим проект в ADS с принудительным определением технологии (Set up layout technology…).

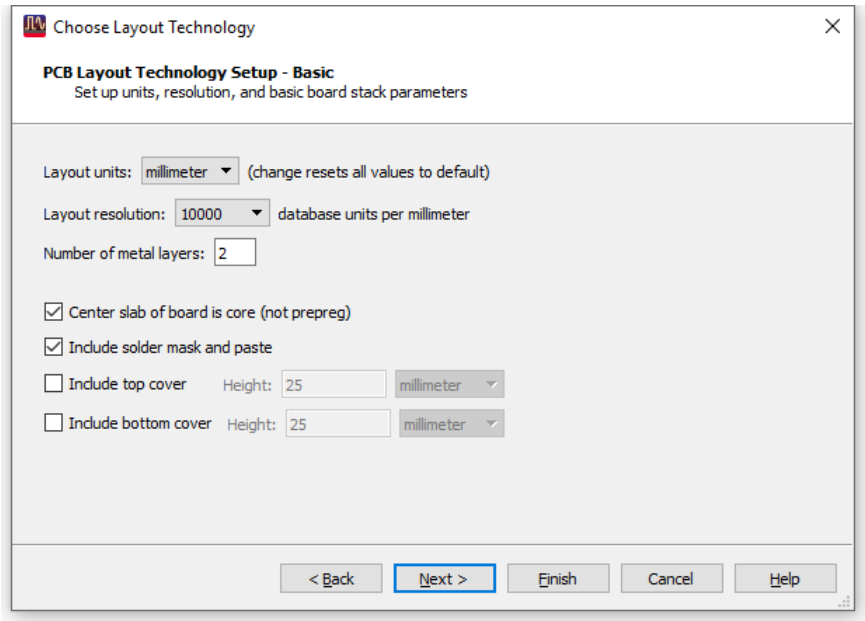


Воспользуемся мастером создания технологии для печатной платы (Create PCB Technology).

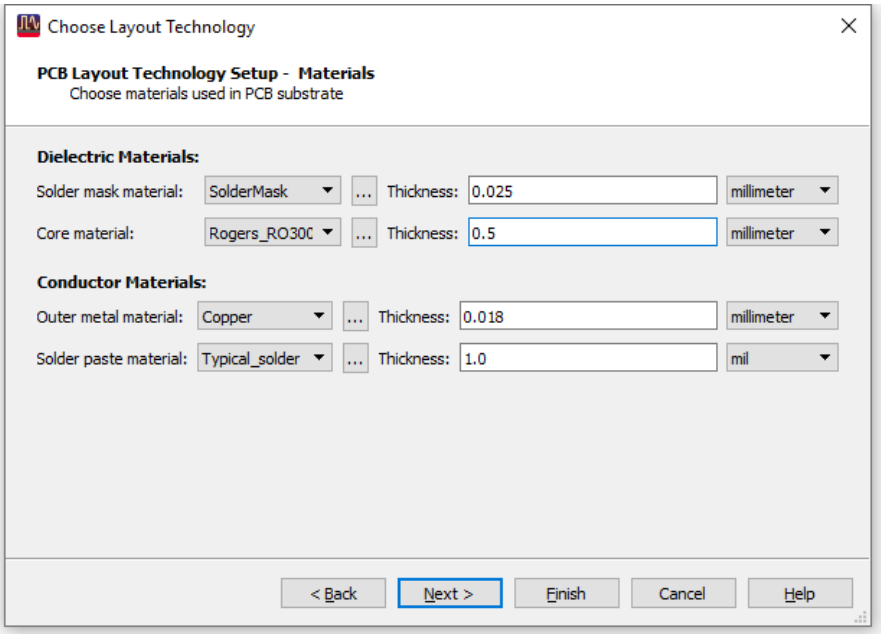


Выберем число металлических слоев (Number of metal layers - 2), единицы измерения (Layout units - millimeters), т.к. плата у нас двуслойная на

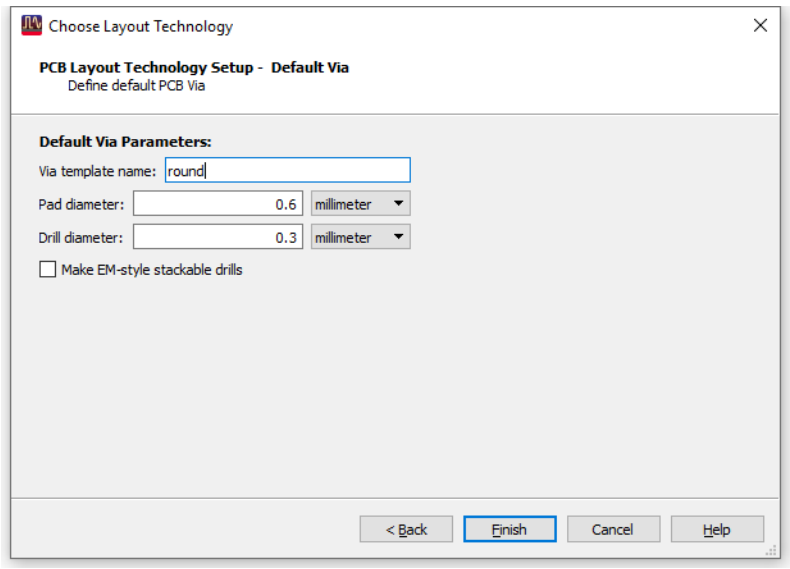
ВЧ-ядре, то ставим галку Center slab of board is core, добавим паяльные маску и пасту (Include solder mask and paste).



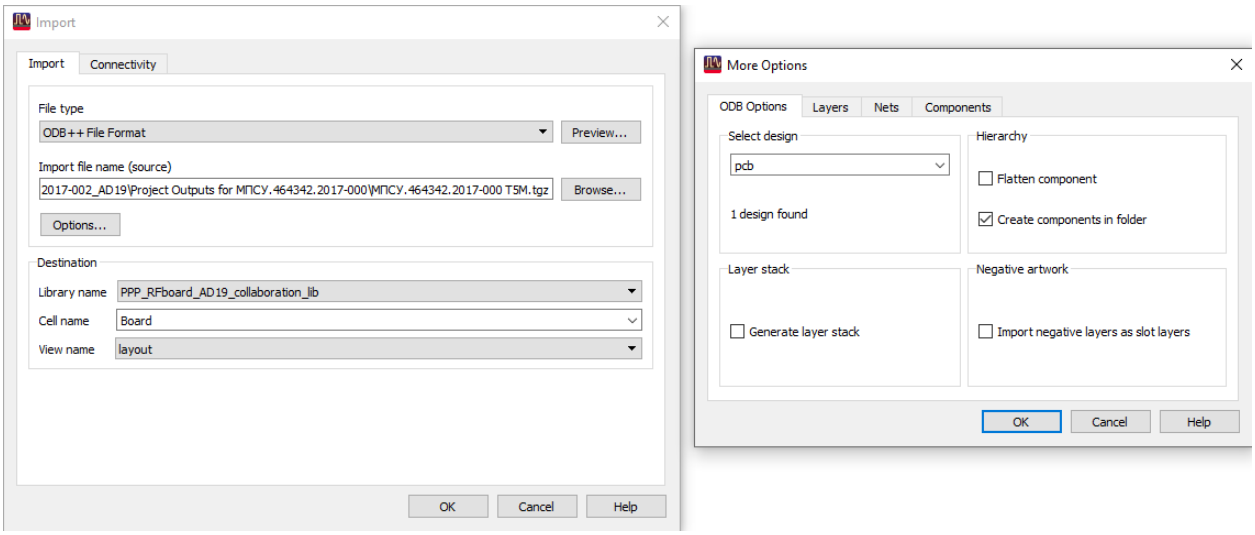
В соответствии со стеком платы, зададим параметры и толщины слоев. СВЧ-диэлектрик можно загрузить из базы материалов по кнопке ..., далее Add from Database и там добавить RO3003.



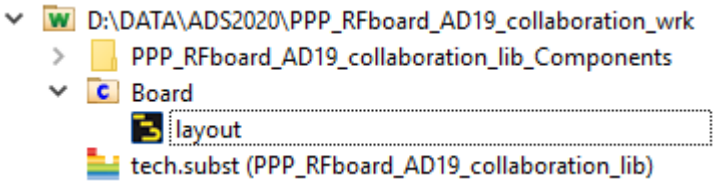
Окончательно зададим типовое отверстие (но использовать мы его не будем).



Далее по File – Import - Design запускаем импорт. Импортировать ODB++ можно как папку, так и архив (tgz, zip или 7z). Пусть импорт идет в библиотеку проекта ADS в ячейку Board. По кнопке Options во вкладке ODB Options снимем галку Generate layer stack, т.к. его мы задали самостоятельно.



В проекте создастся папка «имя_проекта_Components», в которой будут все ячейки посадочных мест компонентов (включая полосковые), ячейка с платой и описание подложек и tech.subst.



Теперь отредактируем описание tech.subst. Описание подложки в ADS используется не только для ЕМ-моделирования, но и для информационных целей и правильного отображения в режиме 3D. Нужно переназначить слои-

источники для слоев металлизации, отверстий, корпуса компонента, паяльной маски и пасты, и шелкографии:

1. Заменить источники слоев металлизации – cond (4) на top_layer (1006), cond2 (5) на bottom_layer (1007).

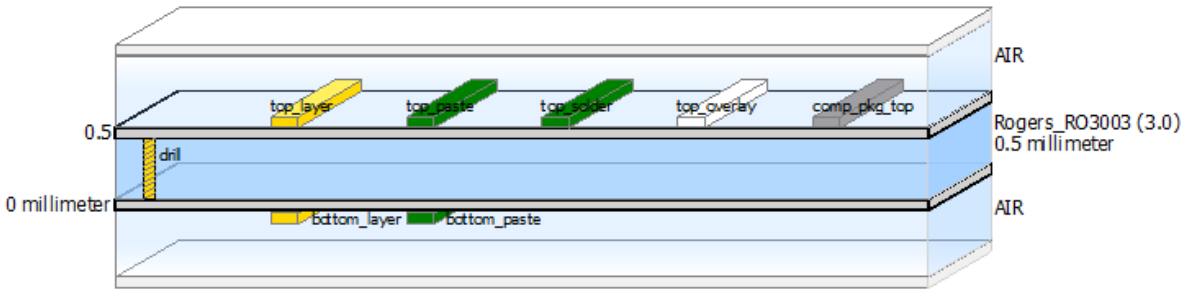
2. Заменить источники слоя переходных отверстий – cond_cond2 (9) на drill (1011).

3. Паяльную маску на верхнем слое solderMaskTop (2) заменить на top_solder (1005) и задать ей роль (Process Role) паяльной маски (Solder Mask). На нижнем слое паяльную маску удалить (Unmap).

4. Паяльную пасту на верхнем слое solderPasteTop (3) заменить на top_paste (1004) и задать ей роль (Process Role) паяльной пасты (Solder Paste). Аналогично для паяльной пасты нижнего слоя (solderPasteBottom заменить на bottom_solder и выставить роль Solder Paste).

5. Заменить источник слоя шелкографии – silkscreenTop (1) на top_overlay (1003) и задать ей роль (Process Role) шелкографии (Silk Screen). Шелкографию с нижнего слоя удалить.

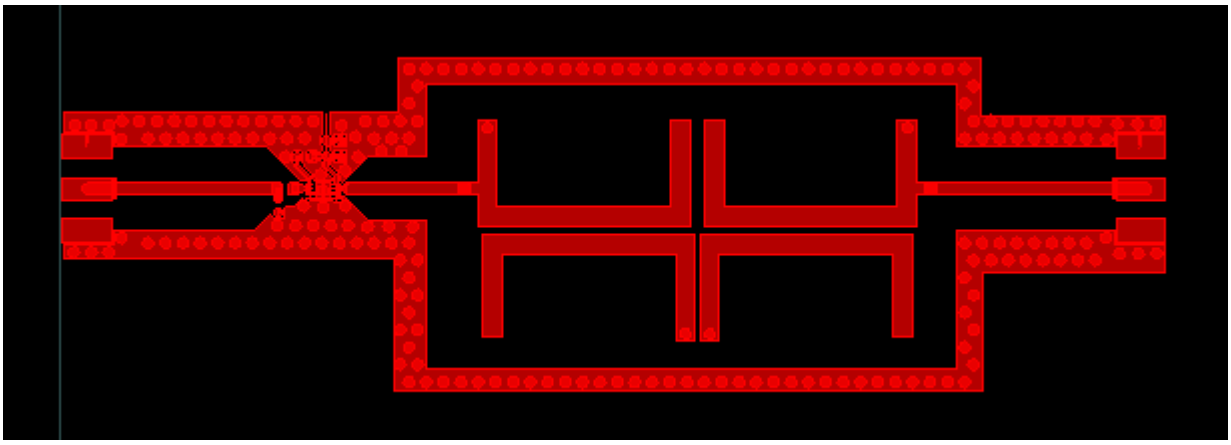
6. Создать новый слой над верхним слоем (ПКМ – Map Layer), выбрать comp_pkg_top(1000), назначить ему роль (Process Role) корпуса компонента (Component Body) и назначить толщину 2мм. Этот слой будет использоваться только для схематичного отображения корпусов компонентов в 3D-режиме.



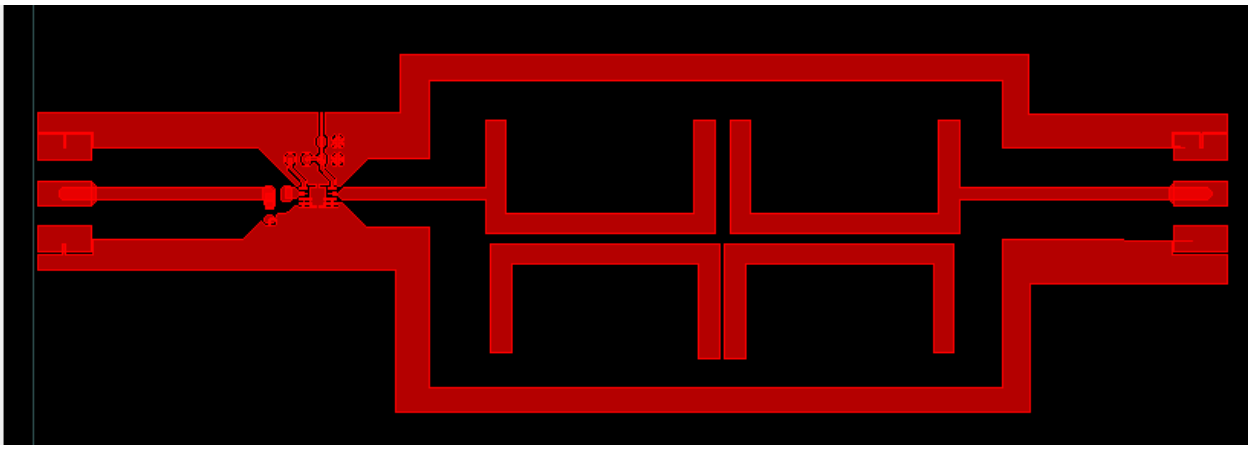
Импортированная плата слишком сложна (будет считаться очень долго), поэтому сначала нужно удалить то, что не будет влиять на результаты моделирования и по максимуму упростить составляющие геометрии.

Отключим все слои, кроме top_layer (в окне Layers находясь в слое top_layer нажать).

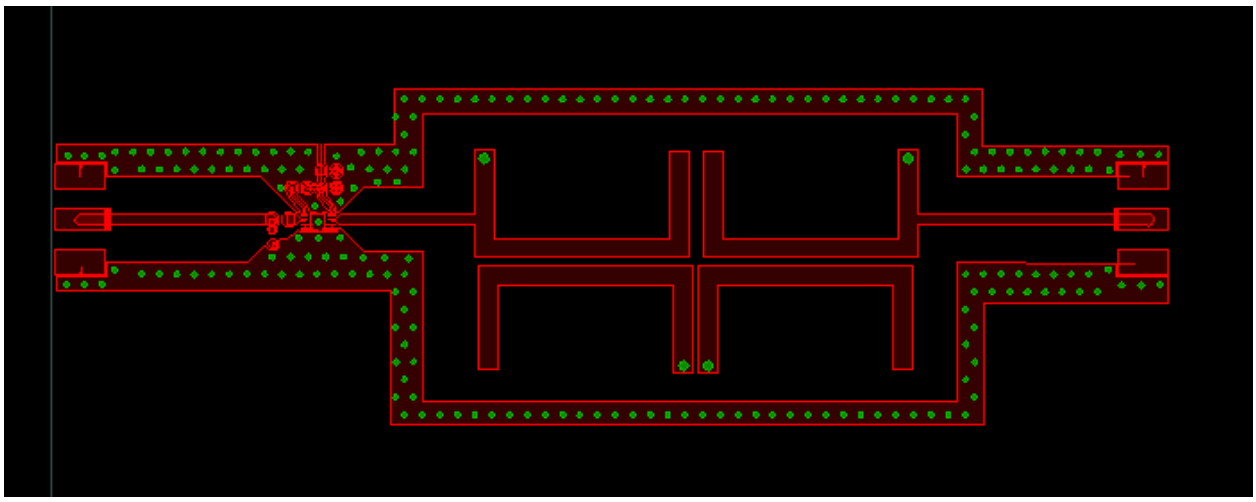
Далее, используя Chop, Split, и иные команды редактирования из Edit – Modify удаляем часть заливки и цепей питания, чтобы остался слой заливки где-то в одно отверстие толщиной.



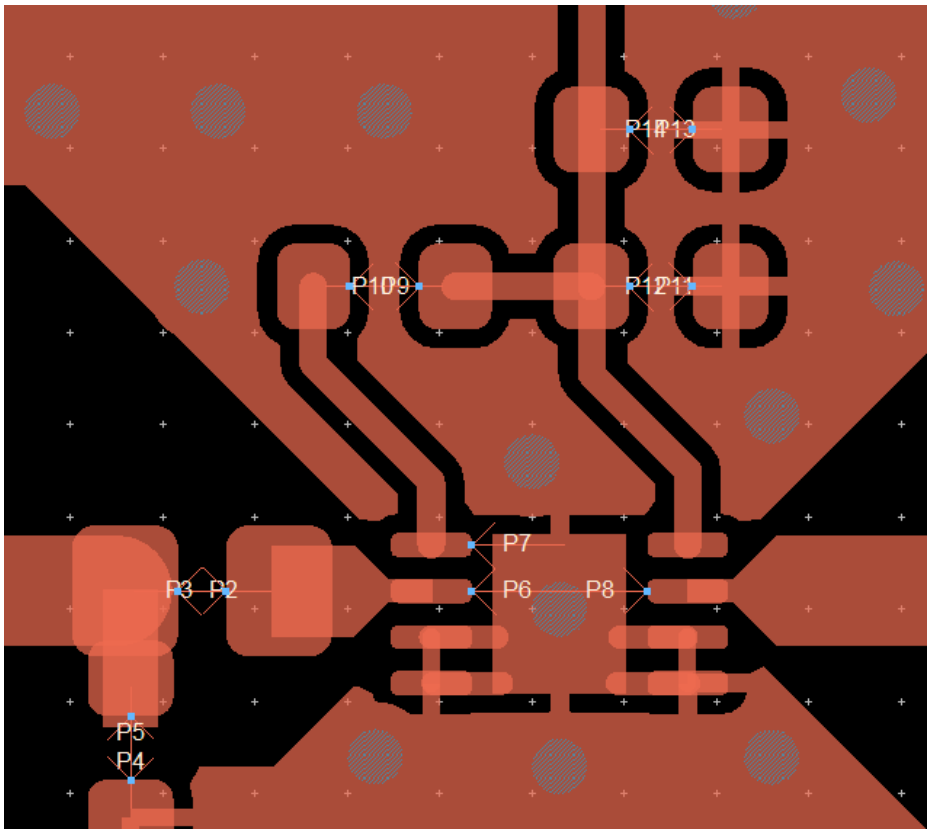
С помощью Merge упрощаем геометрию, оставляя отдельными только интересующие нас пады.



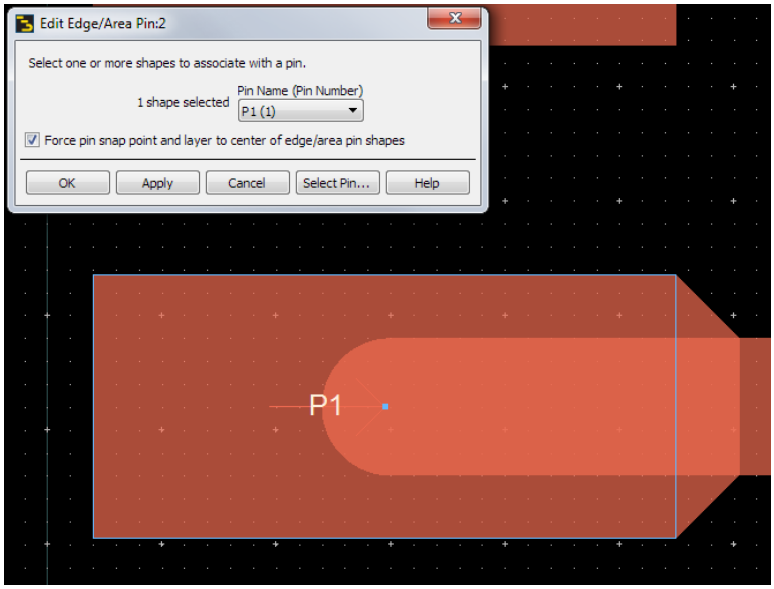
Включаем обратно слой с отверстиями (drill). Удаляем все, которые не попадают в оставшуюся заливку.



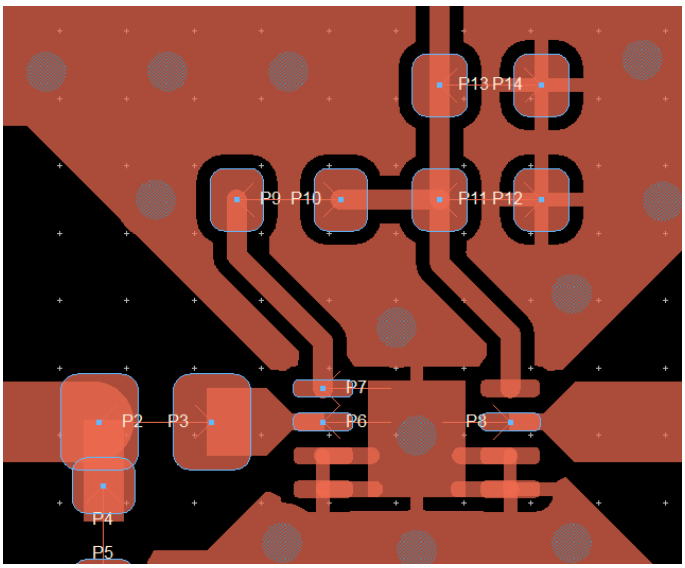
Теперь подготовим порты. Т.к. у нас известны пады компонентов, то использовать будем Area pin. Сначала расставим пины по обычному, у тех мест, которые нас интересуют.



Затем по команде Edit - Edge/Area Pin привяжем пады к портам. Сначала выбираем геометрию пада, из списка выбираем номер подключаемого пина и привязываем пин к паду.



Повторяем для всех пинов.



Запускаем создание EM Simulation setup. Т.к. у нас планарная плата, то симулятором выберем Momentum Microwave.

Ports - т.к. пины у нас привязаны к площадкам, то калибровка к ним не применима, для всех портов установим калибровку None.

Frequency plan - Частотный план оставим по умолчанию – Adaptive, от 0 до 10 ГГц, макс 50 точек.

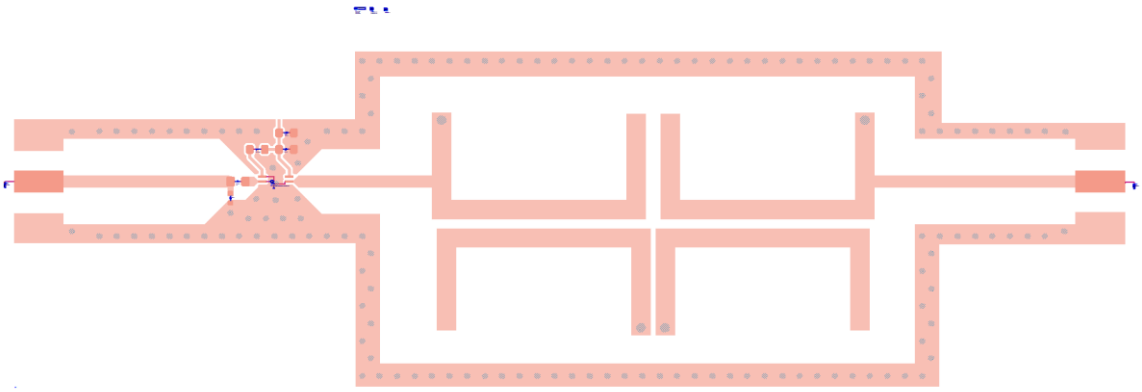
Output plan – отключим автоматическое отображение результатов моделирования (снять галку Open data display when simulation completes).

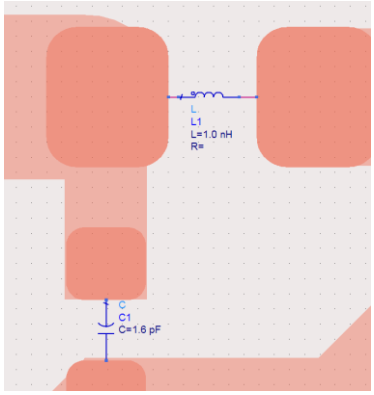
Options – на вкладке Physical Model надо убедиться, что отверстия моделируются как 3D-объекты (Via – 3D-distributed).

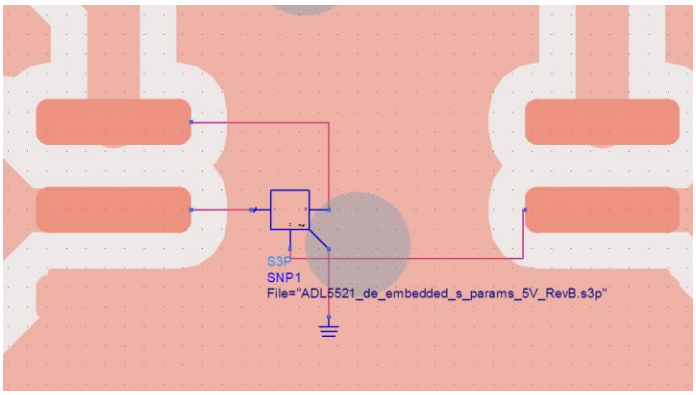
Model – надо включить автоматическое создание символа и ЕМ-модели при расчетах.

После запускаем расчет по кнопке Simulate, в выпадающем списке Generate должно быть выбрано S-parameters.

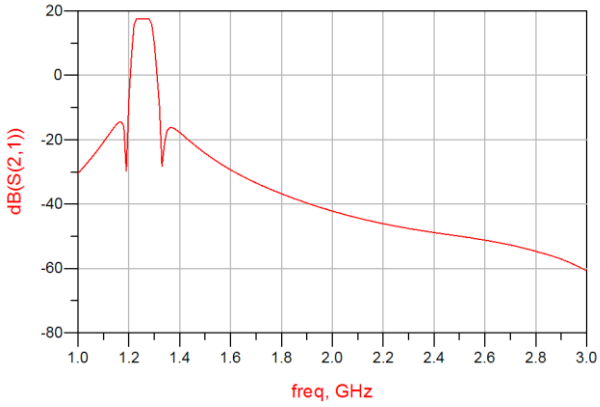
Когда расчет закончился, создаем схему для общей проверки (в режиме моделирования S-parameters). В нее вносим дискретные компоненты, для которых в ЕМ-анализе подготовили порты, и блок с S-параметрами усилителя (в примере он был задан как трехпортовый – 1 RFin, 2 - bias, 3 - RFout).

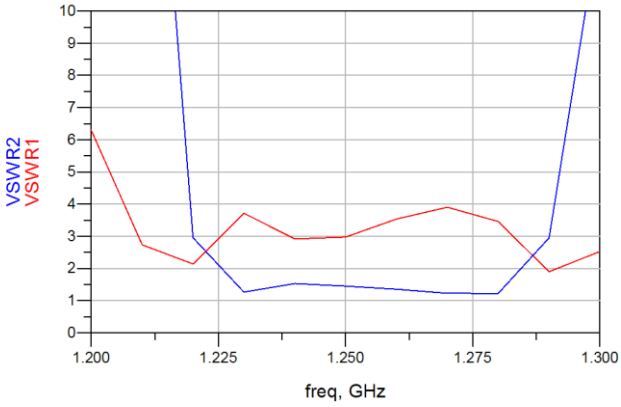






Суммарные результаты показывают рассогласованность разведенной схемы по входу, при этом общий вид частотной характеристики близок к ожидаемому. Потребуется дополнительная настройка (нашлепки во входной цепи и/или подбор номиналов входной дискретной согласующей цепи).





Литература

1. R.J.P. Douville and D.S. James, Experimental Characterization of Microstrip Bends and Their Frequency Dependent Behavior, 1973 IEEE Conference Digest, October 1973, pp. 24-25.

2. R.J.P. Douville and D.S. James, Experimental Study of Symmetric Microstrip Bends and Their Compensation, IEEE Transactions on Microwave Theory and Techniques, Vol. MTT-26, March 1978, pp. 175-181.

3. Лопаткин, А. Проектирование печатных плат в Altium Designer. [Электронный ресурс] — Электрон. дан. — М. : ДМК Пресс, 2016. — 400 с. — Режим доступа: http://e.lanbook.com/book/93565

4. Суходольский В.Ю. Altium Designer: сквозное проектирование функциональных узлов РЭС на печатных платах: учеб. Пособие. - 2-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2014. – 560 с.

5. Желобаев А.Л. Методические указания к лабораторным работам по курсу «САПР Altium Designer»: М.:МИЭТ, 2019 – 104с.

Перечень ресурсов сети «Интернет»

6. Репозиторий автора с учебной библиотекой https://github.com/dee3mon/StudentsLibraryGIT

7. Репозиторий автора с учебными материалами по Altium Designer https://github.com/dee3mon/altium-methodic

8. Тематический форум electronix.ru, раздел «Разрабатываем ПП в САПР - PCB development», https://electronix.ru/forum/index.php?showforum=17, доступно после свободной регистрации

9. Сайт Eurointech, раздел «Учебные материалы» http://www.eurointech.ru/education/selftraining/

10. Сборник примеров работы в ADS «ADS Example Book: Focused on RF and Microwave Design», доступен после свободной регистрации https://www.keysight.com/main/editorial.jspx?cc=RU&lc=rus&ckey=2704333&id=2704333&cmpid=zzfindeesof-ads-rfmw-examples

11. База знаний Образовательного центра Keysight EEsof EDA Knowledge Center, доступен после свободной регистрации, http://edadocs.software.keysight.com/display/support/Knowledge+Center

12. Тематический раздел «Rf & Microwave Design» форума electronix.ru, доступен после свободной регистрации, https://electronix.ru/forum/index.php?showforum=63

13. Интернет-энциклопедия разработчиков СВЧ-аппаратуры «Microwaves101» https://www.microwaves101.com

Каналы Youtube с видеоуроками по Altium Designer

14. Официальный канал Altium Designer https://www.youtube.com/channel/UCpCi8Hpe4nIg4qvy2vpCGNQ

15. Канал Алексея Сабунина https://www.youtube.com/user/SabuninAlexey

16. Плейлист «Altium Designer» на канале Сергея Булавинова https://www.youtube.com/playlist?list=PLgUwXvgNkHQJ3G5UoLGMfHJM2c-m4Afdx

17. Канал официального представительства Altium Russia https://www.youtube.com/channel/UCvZ_kyV4ATrQfjmtVpuj0LQ

18. Плейлист «Altium Designer» на канале консультационного цента АМКАД https://www.youtube.com/watch?v=PcStOG7sRqk&list=PLUk9KaCJSP-UAcH1uLu6mOQmDTmZGCND8

19. Плейлист «Уроки Altium Designer» на канале разработчика Nordic Energy https://www.youtube.com/playlist?list=PLUYH9oDZsrZ25Lv_HNp03AzZTBotulIBa

20. Канал Robert Feranec - автора образовательного сообщества Fedevel Academy https://www.youtube.com/user/matarofe/featured

Канал Youtube с видеоуроками по Keysight Advanced Design System

21. Канал youtube образовательного центра Keysight EEsof EDA https://www.youtube.com/user/KeysightEESOF

Разработчик:
Ст. преподаватель Института МПСУ Приходько Д.В.