

Работа с дифпарами и выравнивание длин в Altium Designer

Оглавление

Оглавление	1
Общая информация	2
1. Имена цепей	3
2. Объединение пары цепей в дифпары (для дифпар).....	3
2.1. В схеме	3
2.2. В топологии	3
3. Классы цепей и дифпар.	5
3.1. В схеме	5
3.2. В топологии	6
4. Правила.	7
4.1. В схеме	8
4.2. В топологии	8
4.3. Комнаты (Rooms).	11
4.4. xSignals	12
5. Предварительная разводка линий.....	15
5.1. Интерактивная разводка	15
5.2. Дифференциальная разводка.....	18
6. Выравнивание длин линий.	18
6.1. Выравнивание одиночной линии.....	18
6.2. Выравнивание дифференциальных линий.....	20
7. Выравнивание учетом внесенных задержек.....	20
8. Генерация Fanout-ов у микросхем	24
Литература	28

Общая информация.

В Altium Designer присутствует несколько методов работы с выравниваем длин линий и дифпарами. Предполагается, что читатель знаком с таким понятием как дифференциальная линия, выравнивание линий и, исходя из чего и как рассчитываются ограничения на них. Рассматривается только реализация в Altium Designer. Также предполагается, что читатель знаком собственно с Altium Designer и понимает идеологию работы с ним, знает основные подходы к формированию схем и разводке топологий, а также привык к его интерфейсу и организации быстрых клавиш.

В отличие от других топологических САПР в Altium Designer нет отдельной сущности, в которой централизованно определяются все ограничения на проект, правила входят в состав топологии. Исторически сложилось, что топологические ограничения вводятся уже при работе с топологией, однако и в схеме присутствуют инструменты (директивы) для задачи некоторых правил и классов. Если правильно выстроить маршрут работы, то в большинстве случаев определение правил и классов в топологии не приводит к проблемам.

Однако вполне возможна ситуация, когда схема, не знаящая о существовании некоторых видов классов и правил (если они были определены на топологии), при прямой аннотации предлагает их удалить. Необходимо следить за такими ситуациями либо корректно настроить формирование ЕСО. Нельзя бездумно соглашаться с ЕСО и нажимать на Execute не проверив изменения.

В общем виде этапы работы получаются следующие:

1. Именованiе цепей;
2. Создание классов;
3. Создание правил;
4. Предварительна разводка цепей;
5. Выравнивание длин цепей.

Приведены возможные маршруты работы, состоящие из последовательных этапов. Также приведен способ задания дополнительных задержек и описание мастера генерации веерной разводки (Fanout).

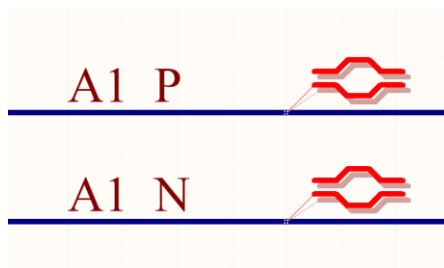
Материал написан для версии Altium Designer 16.0.8 (Build 354)

1. Имена цепей.

Имена цепей всегда лучше иметь синхронизированными между схемой и топологией. Поэтому, несмотря на то, что имена цепей можно изменять в топологии, лучше имена цепей всегда изначально определять в схеме и через ECO переносить в топологию. В схеме имена присваиваются при установке метки NetLabel (P, N).

2. Объединение пары цепей в дифпары (для дифпар).

2.1. В схеме для определения дифпар, во-первых, имена цепей в дифпаре должны иметь постфиксы «_P» и «_N» (например, «A1_P» и «A1_N») и во вторых, на каждую из цепей в дифпаре должна быть наложена директива Differential Pair (P, V, F).

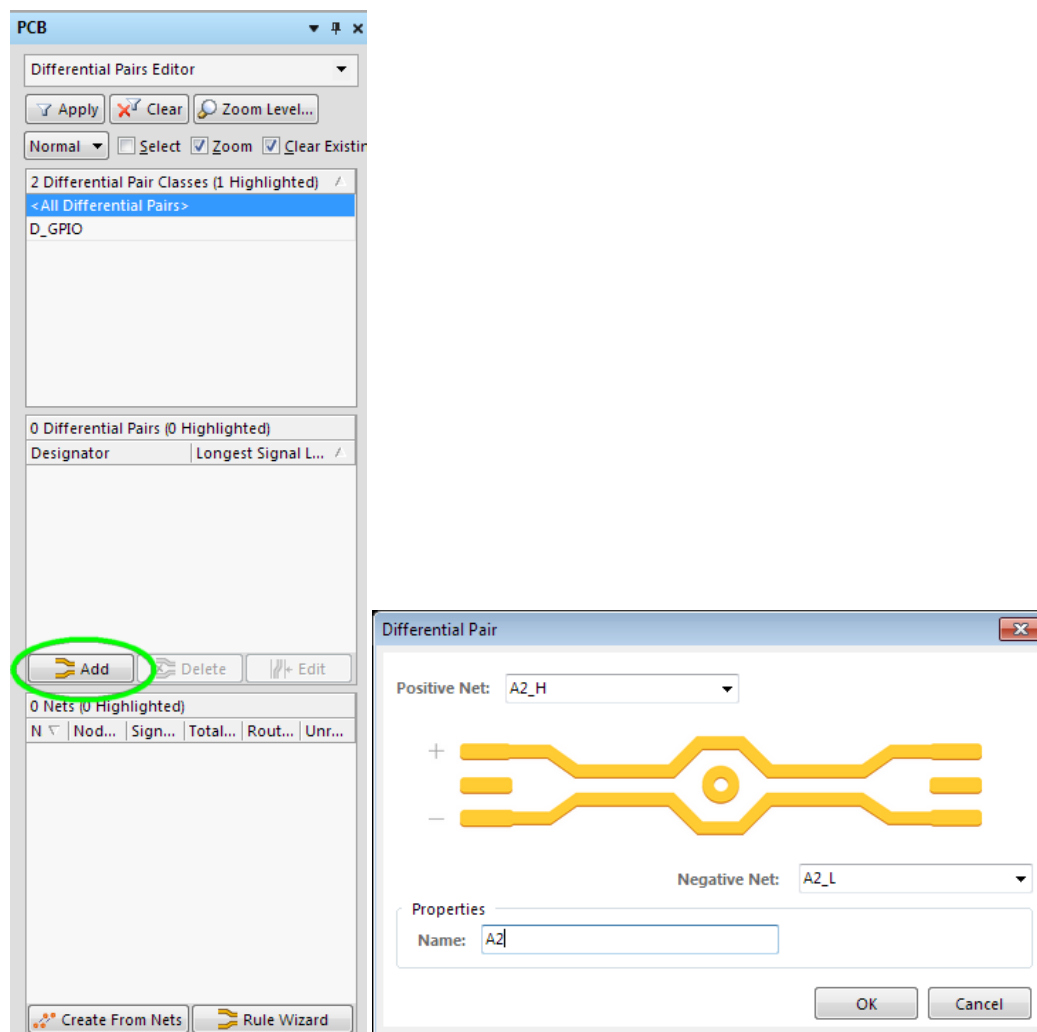


Тогда при прямой аннотации эти две цепи объединятся в одну дифференциальную цепь с именем без постфикса («A1» в примере).

2.2. В топологии. Если дифпары определяются в топологии, то постфиксы могут быть любыми или вообще можно обойтись без них, хотя удобный быстрый мастер по умолчанию настроен на постфиксы «_N» и «_L».

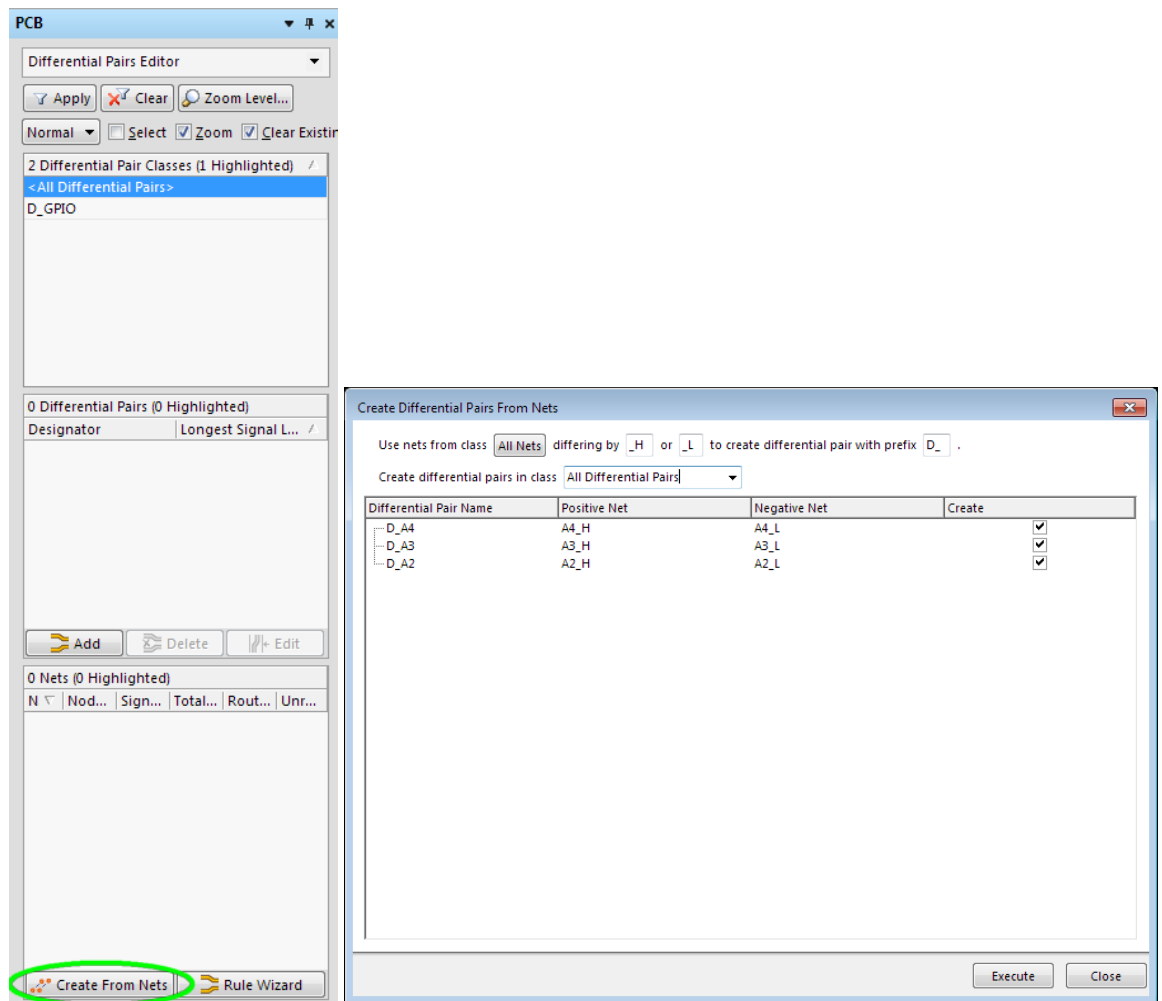
Для этого, необходимо вызвать панель PCB, перейти в список Differential Pairs Editor. И далее есть два метода.

2.2.a. По кнопке «Add» вызывается окно создания дифференциальной пары, в котором можно связать две любые линии.



Но это долго и имеет смысл, только если надо править считанное число дифференциальных линий.

2.2.б. В той же панели есть мастер «Create From Nets». Он отбирает все пары цепей из заданного класса цепей с заданными постфиксами (в примере «_H» и «_L») и объединяет их в дифпару с заданным префиксом (в примере «D_») и дополнительно добавляет их в заданный класс дифференциальных цепей.

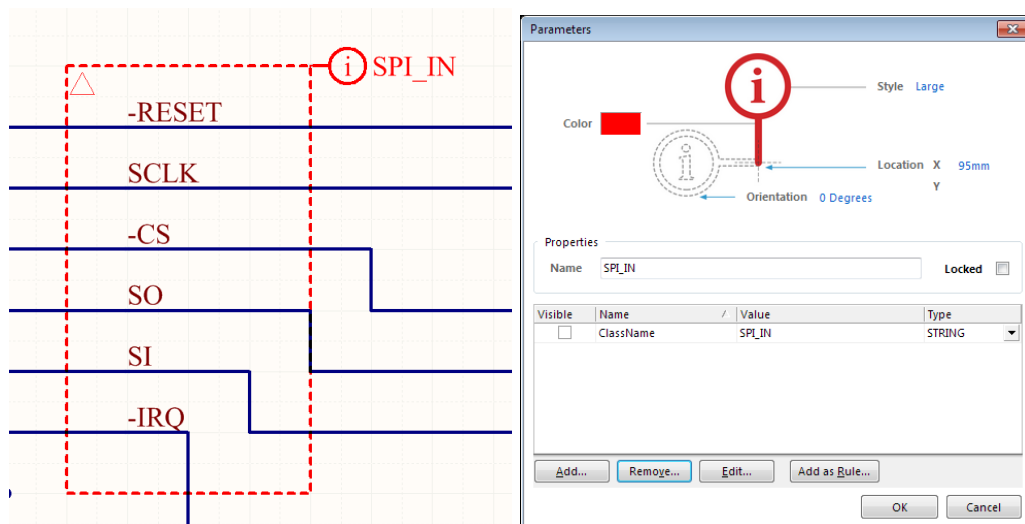


3. Классы цепей и дифпар.

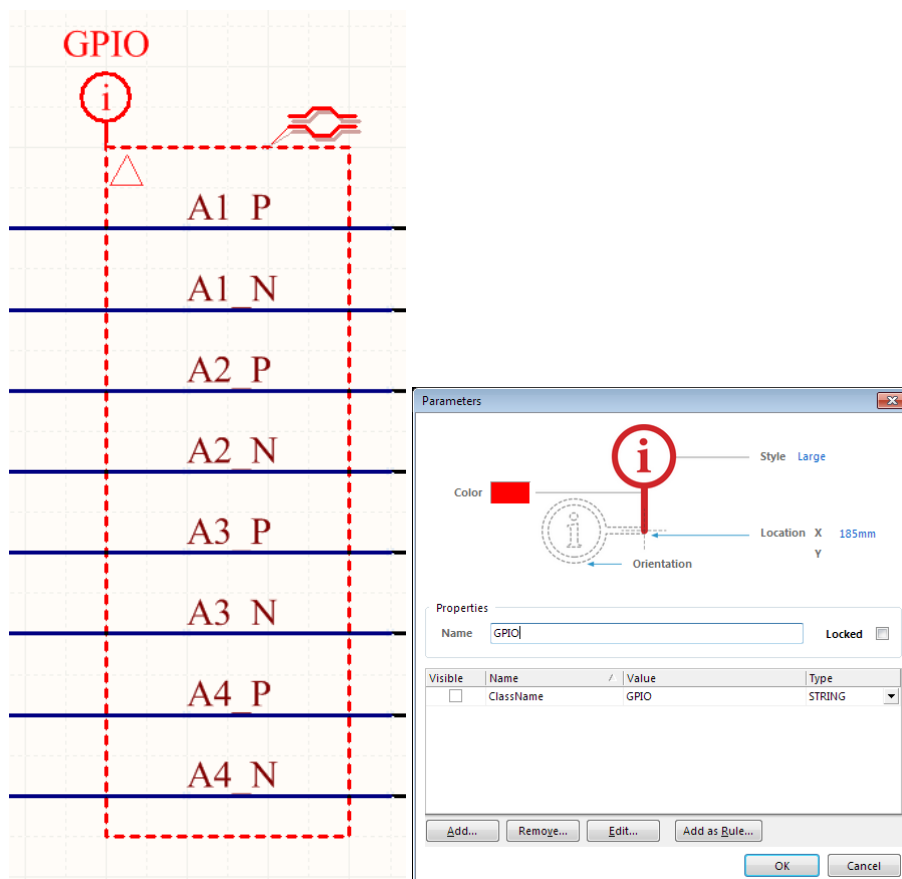
Для более удобного создания правил нужно пользоваться классами.

3.1. В схеме. Можно создавать только классы цепей, создание классов дифпар не поддерживается (в версии *Altium Designer 19* наконец-то поддержка классов дифпар в схеме появилась).

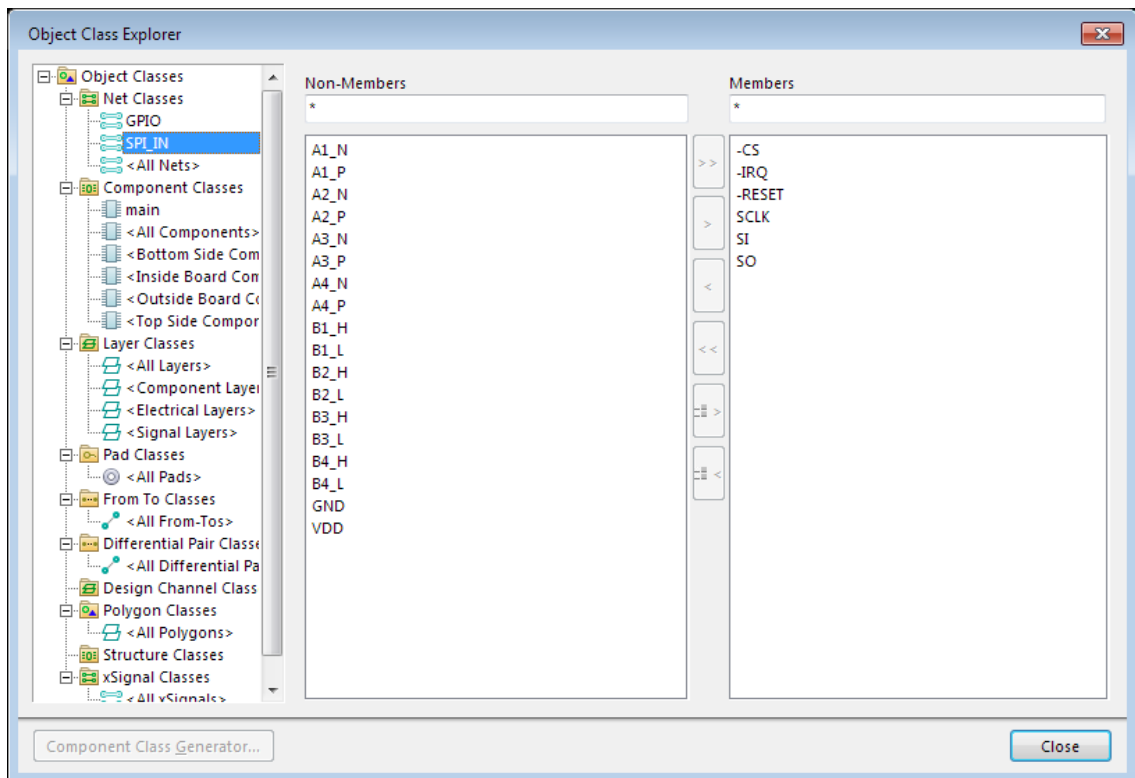
Создание классов цепей делается с помощью директивы Net Class (P, V, C). Также существует директива Blanket (P, V, L), позволяющая создать групповое задание директив. Например, объединим группу разноименных цепей в класс «SPI_IN». В свойствах директивы Name – это собственное имя директивы в схеме, имя класса цепей задается через свойство «ClassName».



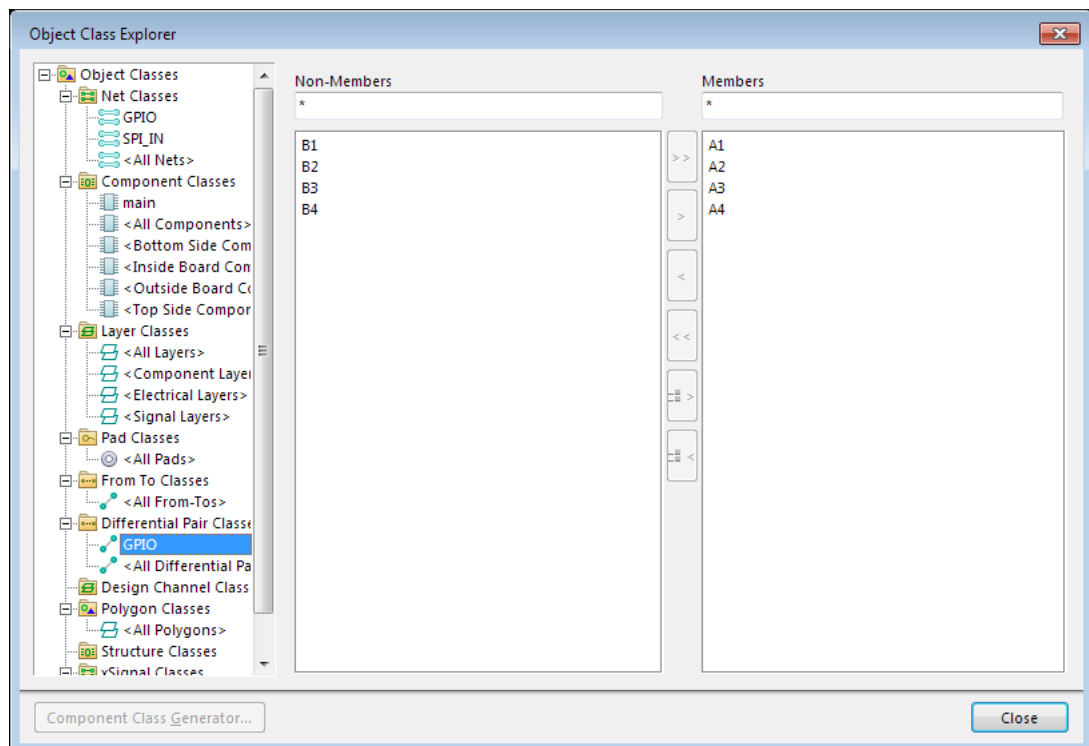
Также через Blanket можно одновременно объявлять группу цепей дифпарами и присваивать их к классу цепей (но работает это только если придерживаться правила именования из п.2.1.).



3.2. В топологии. Создание классов цепей производится в меню Design – Classes (D, C). Все созданные классы цепей и входящие в них цепи находятся в списке Object Classes - Net Classes. Создание нового класса по ПКМ – Add Class. Любая цепь может входить в любое число классов. Внесение выбранной цепи в класс по «>», всех в списке по маске по «>>>». Аналогично удаление из класса.



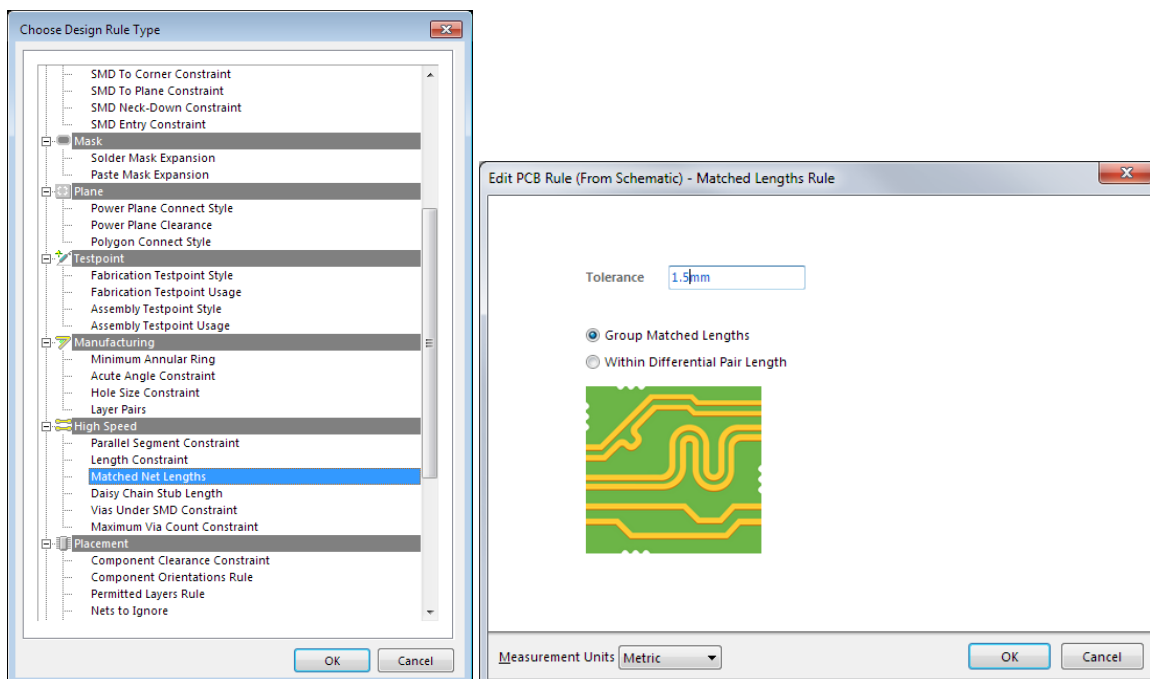
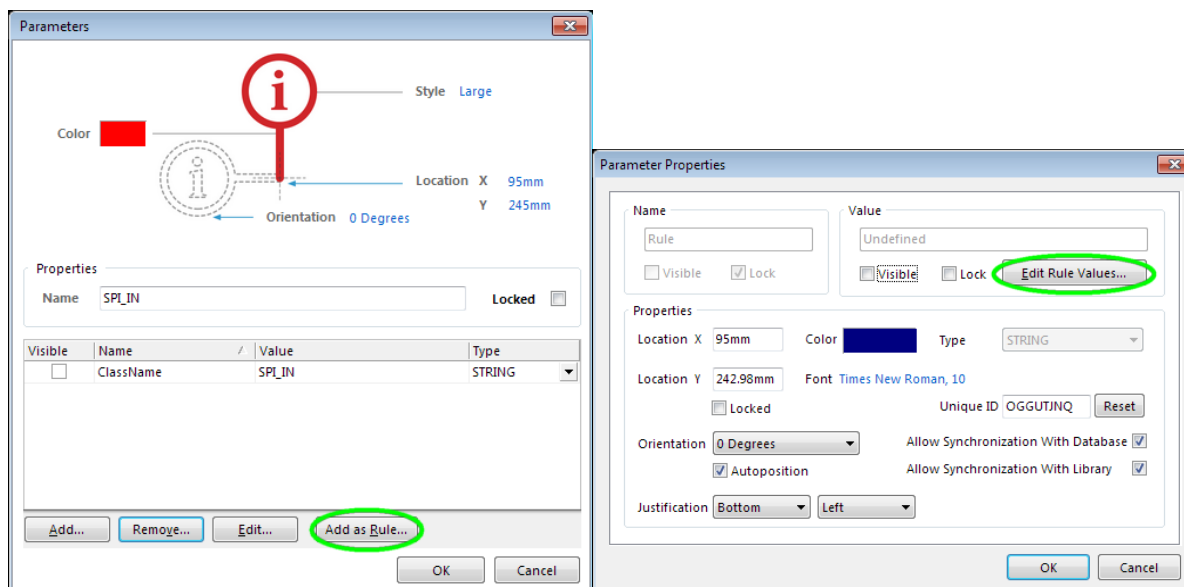
Аналогично, классы дифпар в списке Object Classes – Differential Pair Classes. В списке в данном случае будут не отдельные цепи, а дифпары.



4. Правила.

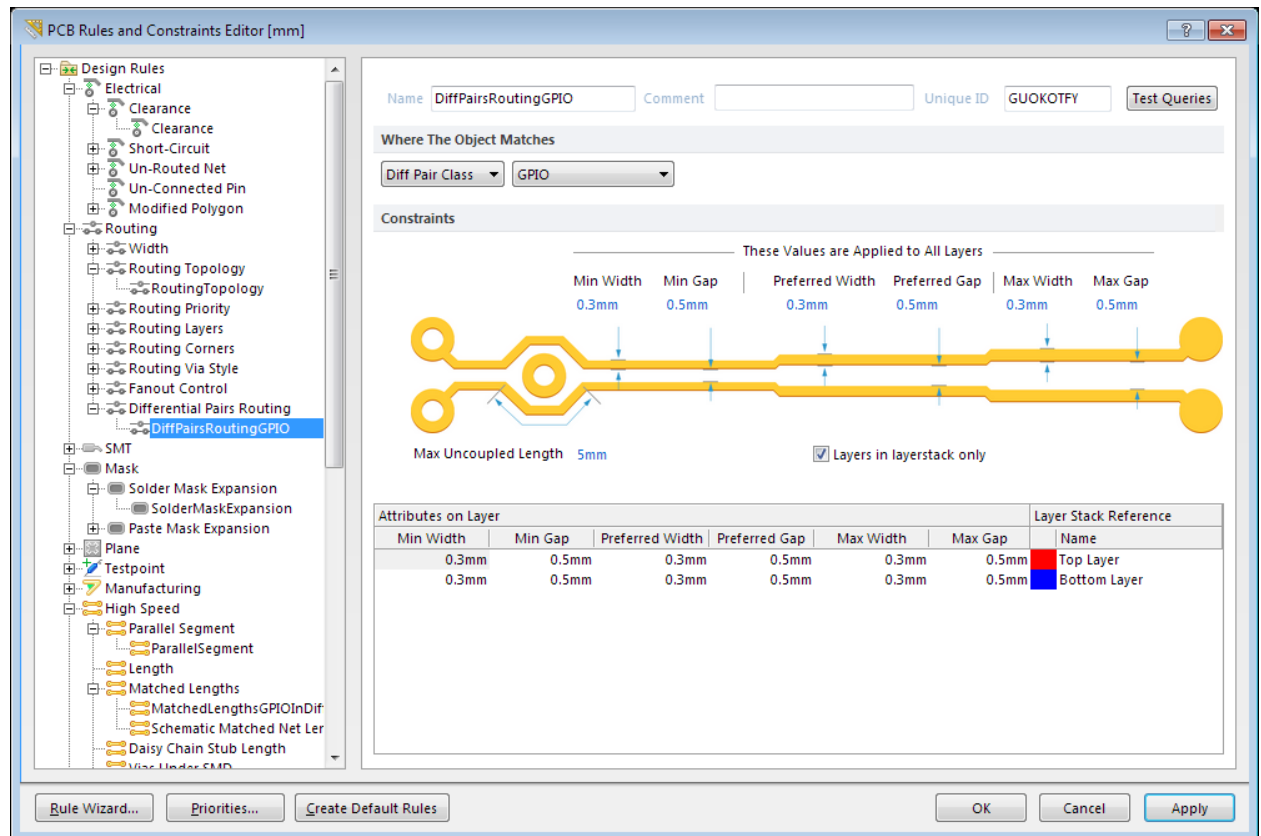
Создание собственно правил разводки. Могут включать в себя правила на ширины, зазоры между дифпарами, предельные длины, разрешенные соединения, правила выравнивания и пр.

4.1. В схеме. К любой директиве можно прицепить правило. Для этого в директиве нажимаем Add as Rule, в открывшемся окне нажимаем Edit Rule Values, в открывшемся списке выбираем тип правила и задаем его (выравнивание длин внутри группы с точностью 1,5мм в примере).

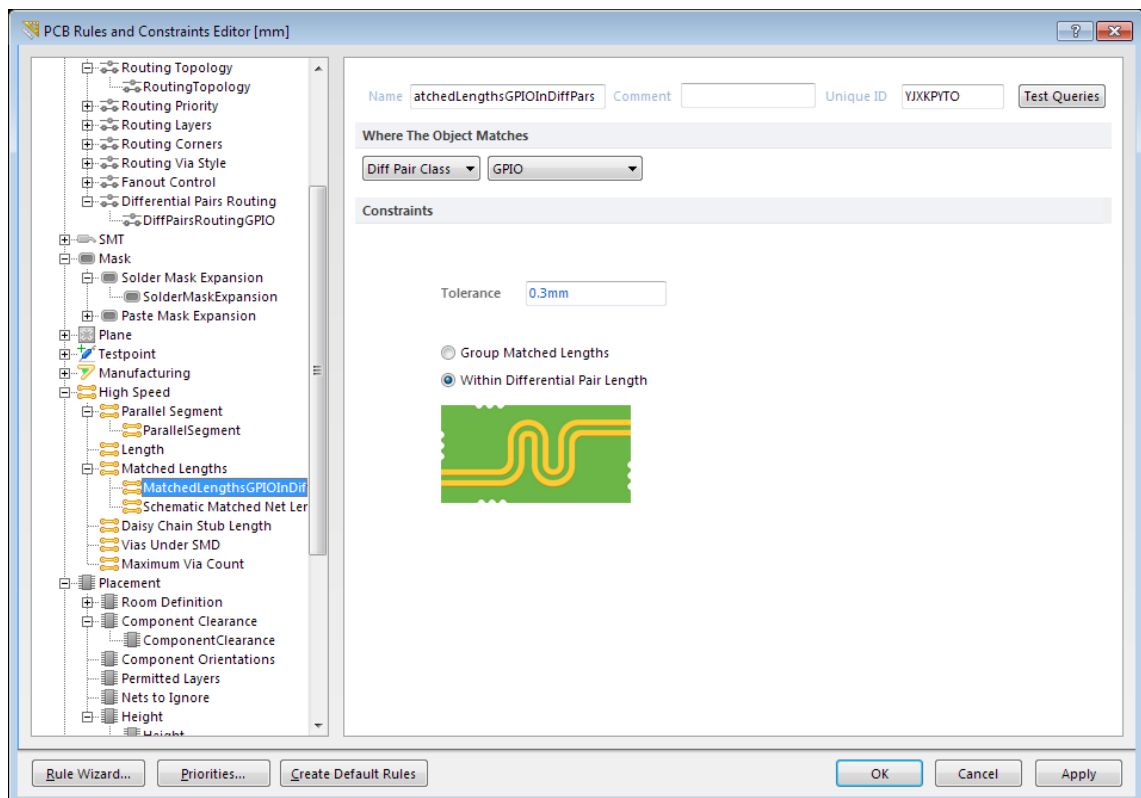
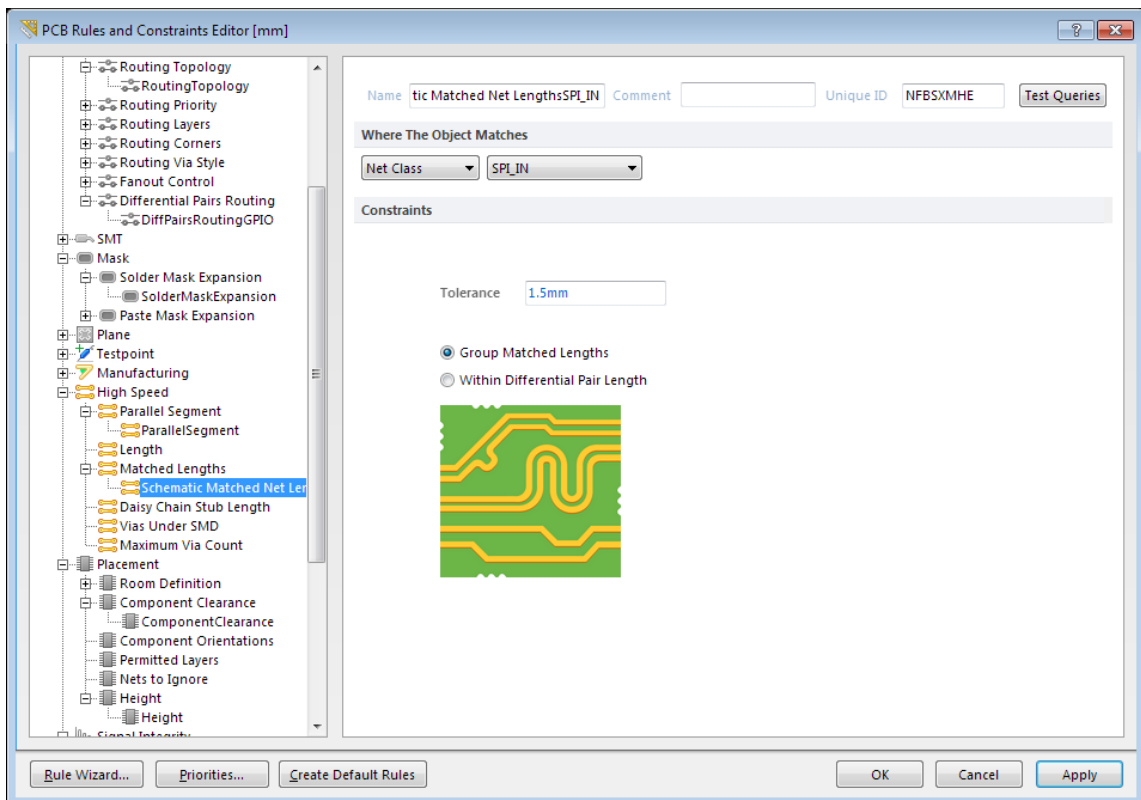


4.2. В топологии. Делается через окно Design – Rules (D, R). Общие правила зазоров линии берут из правил Electrical - Clearance. Ширины и зазор между дифлиниями задается в группе правил Routing – Differential Pairs Routing. Такие виды правил лучше всегда присваивать на классы. Задаются ширины и зазор между дифпарами (также можно для каждого слоя переопределить отдельно) и разбегающийся участок. Задание через импеданс дифпар появилось только в версии Altium Designer 19; для одиночных линий

задание через импеданс существует давно. Также, несмотря на то, что можно задавать размеры в трех режимах (Min, Preferred и Max) существует рекомендация все три размера указывать одинаковыми, а для участков, где от этого размера приходится отходить, использовать дополнительные правила (например, через Rooms).



Правила выравнивания длин задаются в группе High Speed – Matched Length. Можно задать два типа выравнивания – внутри группы цепей (Group Matched Lengths) или между цепями внутри одной дифпары (Within Differential Pair Length).



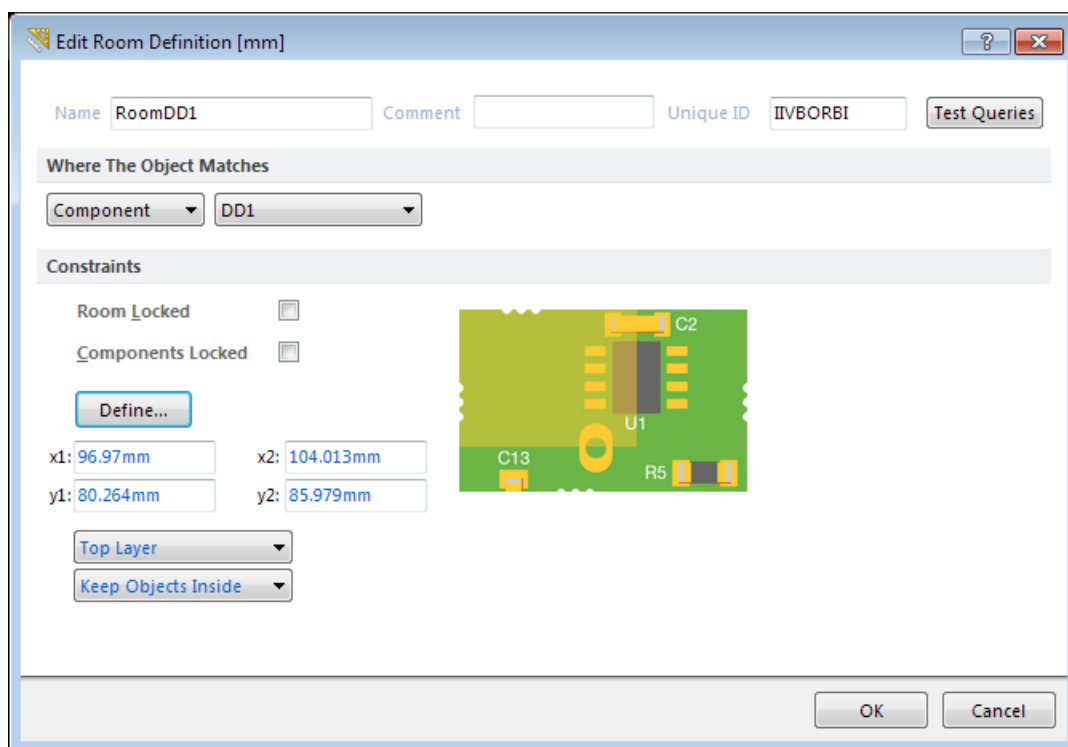
Кроме того, в разделе High Speed можно ограничить общую длину цепи (Length), разрешить или запретить ставить отверстия в падах (Vias Under SMD), задать минимальную длину сегментов, при которой линии начинают считаться параллельными (Parallel Segment), ограничить длину отвода в T-

образной разводке (Daisy Chain Stub Length), ограничить число отверстий в цепи (Maximum Via Count).

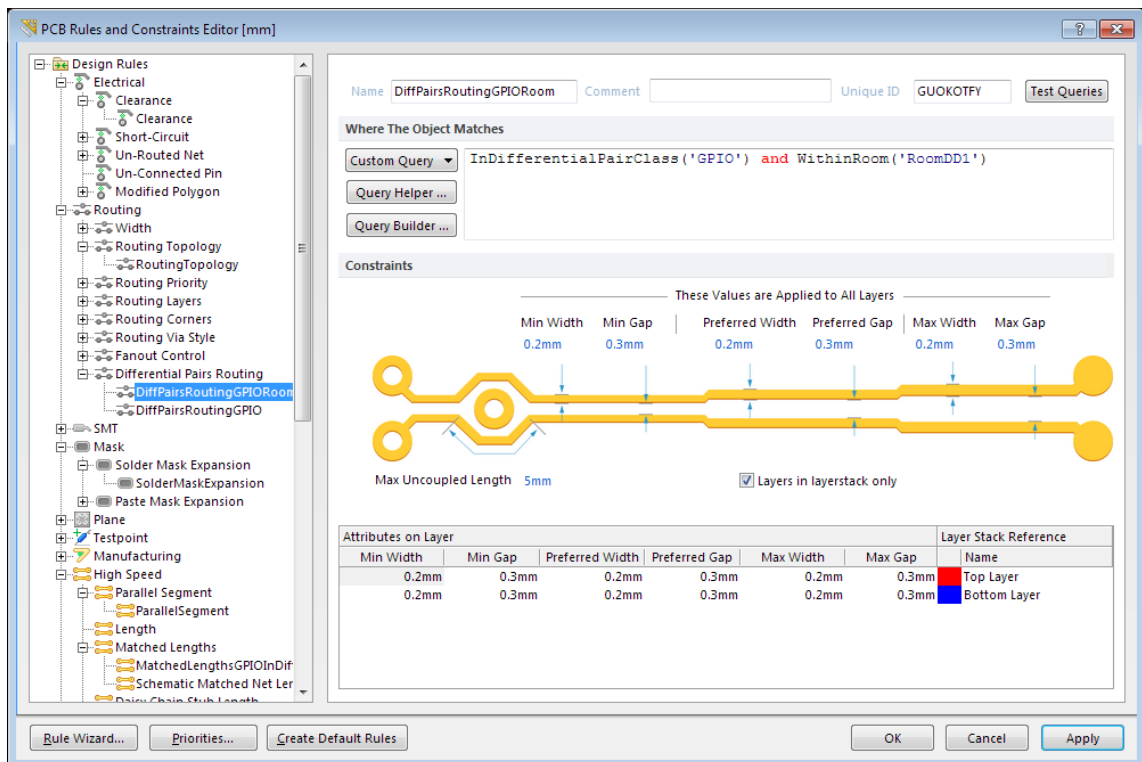
Иные важные при цифровой разводке правила определяются в группе Routing, в том числе стиль разводки (Routing Topology), стили генерации Fanout-ов (Fanout Control), а также в группе SMT, в которой определяются минимальная длина прямого участка цепи от пада до первого угла (SMD To Corner), минимальная длина цепи от центра пада до заливки (SMD To Plane), максимальное отношение ширины цепи к ширине пада (SMD Neck-Down), разрешенные углы входа цепи в пад (SMD Entry).

4.3. Комнаты (Rooms). Часто при выводе линий из-под компонентов (особенно BGA) невозможно соблюсти все правила по зазорам и ширинам. В этом случае можно воспользоваться инструментом «комната», которая является областью платы, в которой можно определить особые правила. Ставится Room по Design – Rooms – Place...

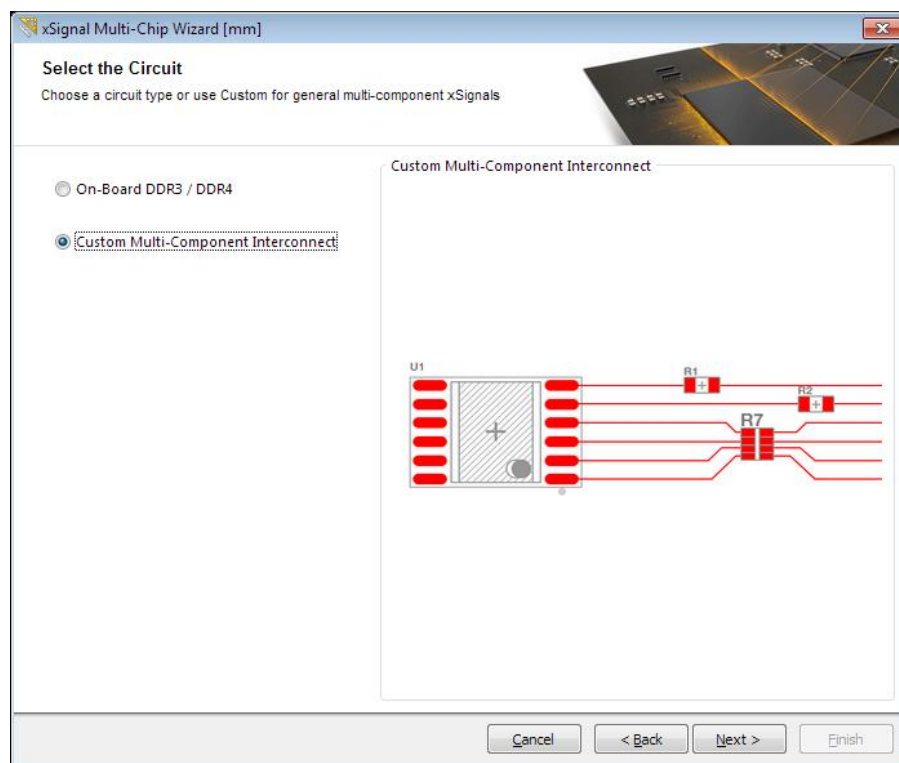
При задании свойств комнаты можно указать, какие части относятся к ней (что будет передвигаться вместе с комнатой) и дать ей имя.



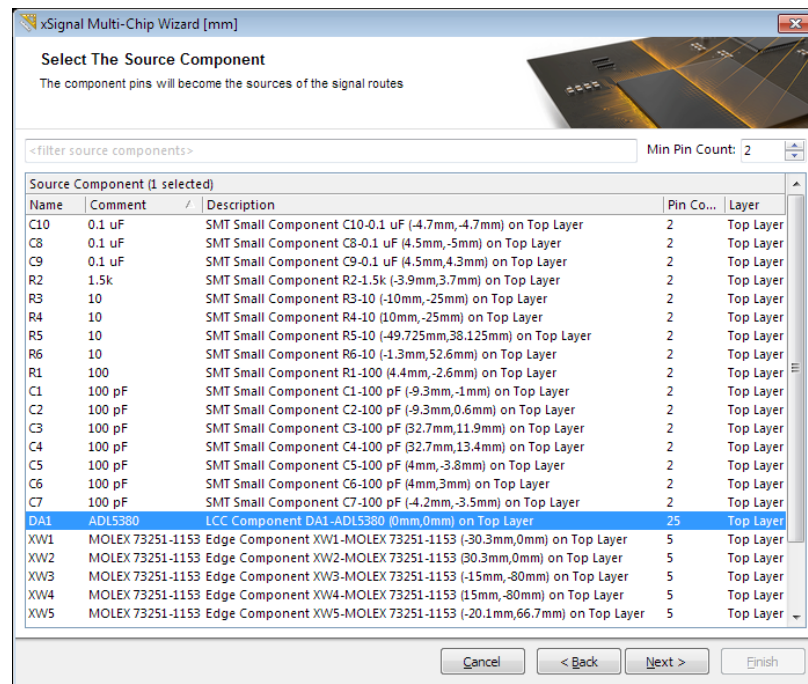
В этом случае при задании правил можно использовать запрос WithinRoom и написать особое правило, сдублировав основное с измененными размерами и запросом и поставив его в списке выше основного.



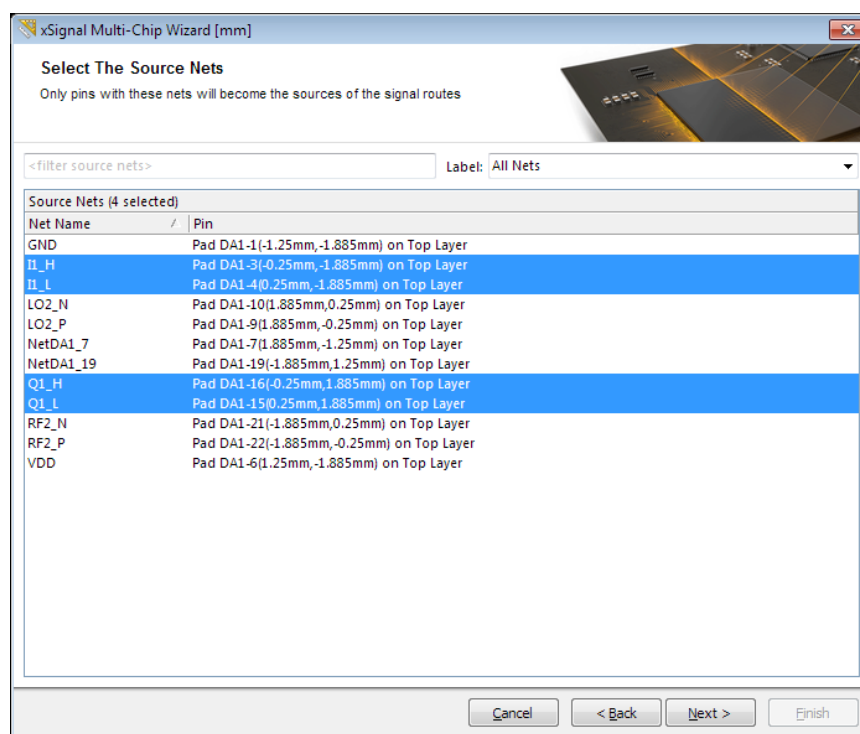
4.4. xSignals. Существует отдельная сущность, позволяющая быстро формировать правила для выравнивания. Запуск мастера формирования правил осуществляется по Design – xSignals – Run xSignals Wizard. На первом окне выбирается вид разводки.



Далее выбирается источник сигнала.



Цепи, которые подключены к источнику сигнала и которые надо будет выравнять.



Конечные компоненты цепей.

xSignal Multi-Chip Wizard [mm]

Select Destination Components
These components will become the destinations of the signal routes

<filter destination components> Min Pin Count: 2

Name	Comment	Description	Pin Co...	Layer
R2	1.5k	SMT Small Component R2-1.5k (-3.9mm,3.7mm) on Top Layer	2	Top Layer
R3	10	SMT Small Component R3-10 (-10mm,-25mm) on Top Layer	2	Top Layer
R4	10	SMT Small Component R4-10 (10mm,-25mm) on Top Layer	2	Top Layer
R5	10	SMT Small Component R5-10 (-49.725mm,38.125mm) on Top Layer	2	Top Layer
R6	10	SMT Small Component R6-10 (-1.3mm,52.6mm) on Top Layer	2	Top Layer
R1	100	SMT Small Component R1-100 (4.4mm,-2.6mm) on Top Layer	2	Top Layer
C1	100 pF	SMT Small Component C1-100 pF (-9.3mm,-1mm) on Top Layer	2	Top Layer
C2	100 pF	SMT Small Component C2-100 pF (-9.3mm,0.6mm) on Top Layer	2	Top Layer
C3	100 pF	SMT Small Component C3-100 pF (32.7mm,11.9mm) on Top Layer	2	Top Layer
C4	100 pF	SMT Small Component C4-100 pF (32.7mm,13.4mm) on Top Layer	2	Top Layer
C5	100 pF	SMT Small Component C5-100 pF (4mm,-3.8mm) on Top Layer	2	Top Layer
C6	100 pF	SMT Small Component C6-100 pF (4mm,3mm) on Top Layer	2	Top Layer
C7	100 pF	SMT Small Component C7-100 pF (-4.2mm,-3.5mm) on Top Layer	2	Top Layer
XW1	MOLEX 73251-1153	Edge Component XW1-MOLEX 73251-1153 (-30.3mm,0mm) on Top Layer	5	Top Layer
XW2	MOLEX 73251-1153	Edge Component XW2-MOLEX 73251-1153 (30.3mm,0mm) on Top Layer	5	Top Layer
XW3	MOLEX 73251-1153	Edge Component XW3-MOLEX 73251-1153 (-15mm,-80mm) on Top Layer	5	Top Layer
XW4	MOLEX 73251-1153	Edge Component XW4-MOLEX 73251-1153 (15mm,-80mm) on Top Layer	5	Top Layer
XW5	MOLEX 73251-1153	Edge Component XW5-MOLEX 73251-1153 (-20.1mm,66.7mm) on Top Layer	5	Top Layer
XW6	MOLEX 73251-1153	Edge Component XW6-MOLEX 73251-1153 (15.15mm,26.25mm) on Top Layer	5	Top Layer
XP1	PBD-2 2x1	Small Component XP1-PBD-2 2x1 (-31.4mm,28.6mm) on Top Layer	2	Top Layer
WT1	TCM9-1	SOIC Component WT1-TCM9-1 (-19.4mm,5.7mm) on Top Layer	6	Top Layer
WT2	TCM9-1	SOIC Component WT2-TCM9-1 (45.7mm,23mm) on Top Layer	6	Top Layer

Cancel < Back Next > Finish

Мастер найдет возможные пути и предложит их.

xSignal Multi-Chip Wizard [mm]

xSignal Routes
Please check signals you wish to create automatically

☐ Show all alternative paths

+	Default xSignal	Source Pin	Nodes	Passives	Dest Pin
<input checked="" type="checkbox"/>	Q1_L-Q2_L_PP1	DA1.15 (Q1_L)	2	R6	XW6.1 (Q2_L)
<input checked="" type="checkbox"/>	Q1_H-Q2_H_PP1	DA1.16 (Q1_H)	2	R5	XW5.1 (Q2_H)
<input checked="" type="checkbox"/>	I1_H-I2_H_PP1	DA1.3 (I1_H)	2	R3	XW3.1 (I2_H)
<input checked="" type="checkbox"/>	I1_L-I2_L_PP1	DA1.4 (I1_L)	2	R4	XW4.1 (I2_L)

Include created xSignals into class: xSignals_DA1_XW3,XW4,XW5,XW6

Cancel < Back Next > Finish

Далее поочередно указываются, какие выравнивания надо будет задавать. Сначала на общую длину.

xSignal Multi-Chip Wizard [mm]

xSignals Length Tuning
Automatically create rules to align the length of created xSignals

Do you want to automatically create rules to align the length of created xSignals?

☐ No, I don't want to tune the length of my xSignals

☒ Yes, I want checked xSignals to have the same routed length

You can select only some signals here and return to this page later (processed signals will appear highlighted)

xSignals (4 selected)						
	xSignal	Source Pin	Passives	Dest Pin	Signal Length (mm)	Routed Length (mm)
<input checked="" type="checkbox"/>	Q1_L-Q2_L_PP1	DA1.15 (Q1_L)	R6	XW6.1 (Q2_L)	96.145	0
<input checked="" type="checkbox"/>	Q1_H-Q2_H_PP1	DA1.16 (Q1_H)	R5	XW5.1 (Q2_H)	140.045	0
<input checked="" type="checkbox"/>	I1_H-I2_H_PP1	DA1.3 (I1_H)	R3	XW3.1 (I2_H)	88.995	0
<input checked="" type="checkbox"/>	I1_L-I2_L_PP1	DA1.4 (I1_L)	R4	XW4.1 (I2_L)	88.995	0

xSignals Class Base Name:

Matched Lengths Rule Base Name:

Length Tolerance:

И затем на отдельные участки цепей

xSignal Multi-Chip Wizard [mm]

Source-To-Passives Length Tuning
Align the route lengths between the source component and passive components

Passive components detected for 4 selected xSignals.
Do you want to align the route lengths between the source component and passive components?

☒ No

☐ Yes, I want these segments to have the same length for next xSignals:

xSignals (4 selected)						
	xSignal	Source Pin	Passives	Dest Pin	Signal Length (mm)	Routed Length (mm)
<input checked="" type="checkbox"/>	I1_H-I2_H_PP1	DA1.3 (I1_H)	R3	XW3.1 (I2_H)	88.995	0
<input checked="" type="checkbox"/>	I1_L-I2_L_PP1	DA1.4 (I1_L)	R4	XW4.1 (I2_L)	88.995	0
<input checked="" type="checkbox"/>	Q1_H-Q2_H_PP1	DA1.16 (Q1_H)	R5	XW5.1 (Q2_H)	140.045	0
<input checked="" type="checkbox"/>	Q1_L-Q2_L_PP1	DA1.15 (Q1_L)	R6	XW6.1 (Q2_L)	96.145	0

xSignals Class Base Name:

Matched Lengths Rule Base Name:

Length Tolerance:

xSignal Multi-Chip Wizard [mm]

Passives-To-Destinations Length Tuning
Align the route lengths between passive components and the destinations

Do you want to align the route lengths between passive components and destinations?

☒ No

☐ Yes, I want these segments to have the same length for next xSignals:

xSignals (4 selected)						
	xSignal	Source Pin	Passives	Dest Pin	Signal Length (mm)	Routed Length (mm)
<input checked="" type="checkbox"/>	I1_H-I2_H_PP1	DA1.3 (I1_H)	R3	XW3.1 (I2_H)	88.995	0
<input checked="" type="checkbox"/>	I1_L-I2_L_PP1	DA1.4 (I1_L)	R4	XW4.1 (I2_L)	88.995	0
<input checked="" type="checkbox"/>	Q1_H-Q2_H_PP1	DA1.16 (Q1_H)	R5	XW5.1 (Q2_H)	140.045	0
<input checked="" type="checkbox"/>	Q1_L-Q2_L_PP1	DA1.15 (Q1_L)	R6	XW6.1 (Q2_L)	96.145	0

xSignals Class Base Name:

Matched Lengths Rule Base Name:

Length Tolerance:

Создастся несколько классов xSignals (панель PCB, вкладка xSignals) и правила, приложенные к ним.

5. Предварительная разводка линий.

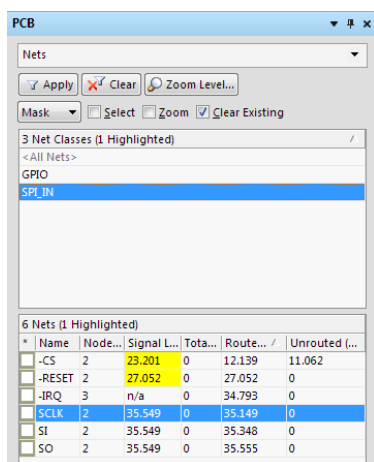
5.1. Интерактивная разводка. Обычная разводка называется интерактивной и проводится по клавише Р, Т.

При интерактивной разводке удобно контролировать длины разведенных и неразведённых участков, если открыть панель PCB, перейти в список Nets и отфильтровать по классу цепей.

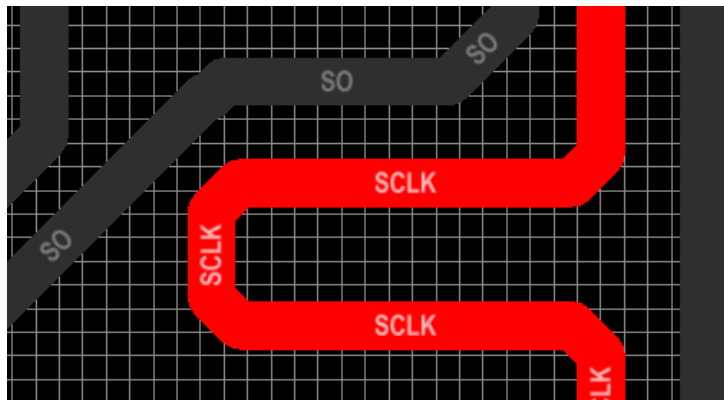
Для каждой из цепей в таблице кроме всего прочего показываются длины разведенных частей цепи Routed Length, оценка по Манхэттену длины неразведенной части Unrouted (Manhattan, вертикальное плюс горизонтальное расстояние), общая сигнальная длина (с учетом изменения длины на углах, поворотах, наикоротейшего пути внутри падов и полигонов) разведенной и неразведенной частей Signal Length. Правила выравнивания длин работают с сигнальной длиной.

Если существуют правила на длину, то длина Signal Length может подсвечиваться двумя цветами: желтый – правила на длину близки к выполнению, красный – правила далеки от выполнения.

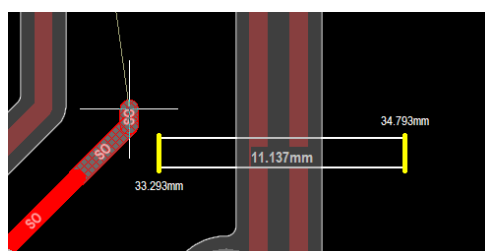
Также в этой панели PCB можно затенить (Dim) или наложить маску (Mask) на все остальные цепи, кроме текущей рабочей. Если просто затенить, то остальные цепи станут черно-белыми, но их можно будет выбирать (если конечно они не заблокированы или не применены какие-нибудь фильтры из панели PCB Filter). При использовании маски выбираться будет только текущая цепь, остальные трогать не получится. Сброс всех фильтров затенения через Shift+C.



Name	Node...	Signal L...	Tota...	Route...	Unrouted (...)
-CS	2	23.201	0	12.139	11.062
-RESET	2	27.052	0	27.052	0
-IRQ	3	n/a	0	34.793	0
SCLK	2	35.549	0	35.149	0
SI	2	35.549	0	35.348	0
SO	2	35.549	0	35.555	0

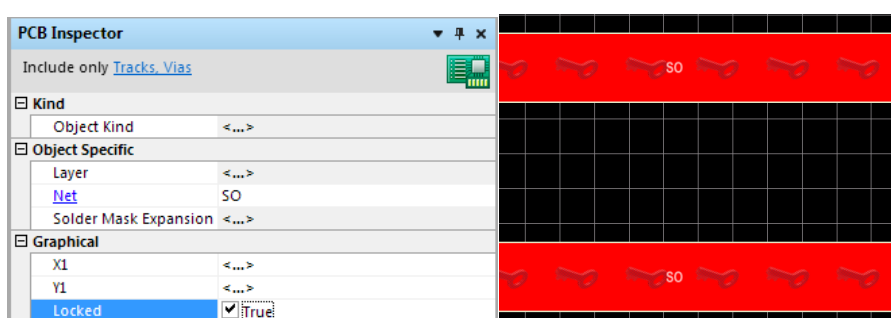


Во время интерактивной разводки можно включить или выключить индикатор, показывающий, текущую длину и границы по правилам по Shift+G. Границы могут браться из правил (если длины жестко ограничиваются правилами) или из текущей разводки (уже есть опорная цепь и остальные надо подогнать в ней).

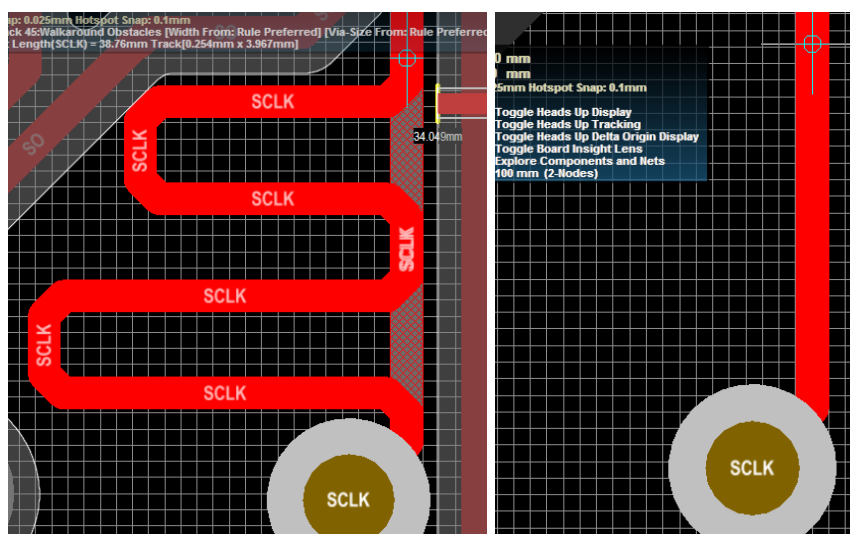


Также, при первоначальной разводке уже можно по Shift+A включить выравнивание аккордеоном. Настройка параметров выравнивания производится по клавише Tab, а также по другим быстрым клавишам, узнать которые можно нажав «`» (тильда). Более подробно в разделе 6.1.

Также, часто бывает необходимо зафиксировать разведенную цепь, так, чтобы ее не могли сдвигать другие цепи при разводке. Т.к. цепь состоит из разнородных примитивов (track, arc, fill, polygon и пр.), чтобы не перебирать их всех по одному можно нажать Edit – Select – Net (S, N) и ЛКМ по цепи или ЛКМ по цепи и два раза Tab, выберутся все составляющие цепи. Теперь, открыв панель PCB Inspector можно поставить галочку Locked. Поверх всех участков заблокированной цепи появятся символы ключиков.



У интерактивной разводки обычно включен режим Loop Removal (включается и выключается по Shift+D). Его довольно просто можно использовать для удаления выравнивания (и вообще неудачно проложенного участка цепи). ЛКМ в начале участка, который надо перепроложить, прокладываем новую трассу и ЛКМ в конце. Старая трасса между двумя этими точками удаляется.



Если же вся цепь проложена неудачно и ее надо удалить, то можно воспользоваться командой Tool – Un-route – Net (T, U, N) и ЛКМ по цепи.

5.2. Дифференциальная разводка проводится по клавише P, I.

При начале нужно также просто ЛКМ на одну из цепей дифпарой и вести как при обычной разводке. Точка ЛКМ – это приблизительно середина между дифпарой.

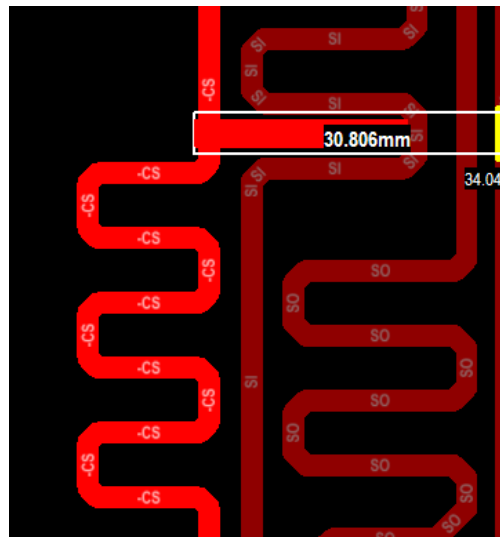
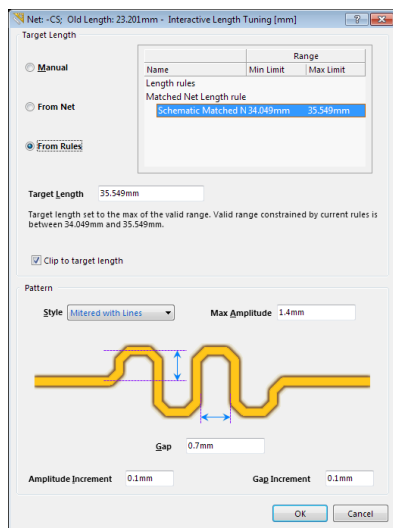
При выходе из зоны действия особых правила (при использовании комнаты, например) автоматически произойдет перенастройка размеров разводимых линий.

6. Выравнивание длин линий.

6.1. Выравнивание одиночной линии. В Altium Designer поддерживается выравнивание только аккордеоном с применением инструмента Tools – Interactive Length Tuning (T, R). После вызова надо ЛКМ по редактируемой линии в точке, откуда можно добавлять аккордеон. Движением курсора вдоль выравниваемой линии указывается, на какой части линии будет создаваться аккордеон. Фактически при добавлении аккордеона создается прямоугольная область, в котором его можно разместить.

По клавише Tab открываются все текущие настройки создания аккордеона, которые включают в себя:

- Область Target Length, в которой определяется, какая будет длина у выравниваемой цепи и откуда брать это значение.
- Стил поворотов аккордеона (Pattern - Style)
- Максимальная амплитуда (Max Amplitude) и шаг изменения амплитуды (Amplitude Increment)
- Зазор между ветвями (Gap) и шаг изменения зазора (Gap Increment)



Во время создания можно пользоваться быстрыми клавишами:

Пробел и Shift+Пробел – циклический перебор стиля аккордеона;

Y – отзеркалить аккордеон относительно линии;

«.» - уменьшить амплитуду аккордеона на шаг Amplitude Increment;

«.» - увеличить амплитуду аккордеона на шаг Amplitude Increment;

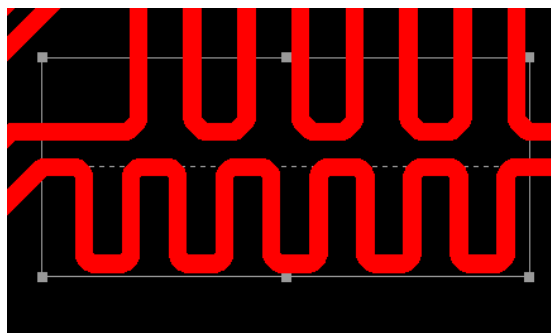
1 – уменьшить срез поворота;

2 - увеличить срез поворота;

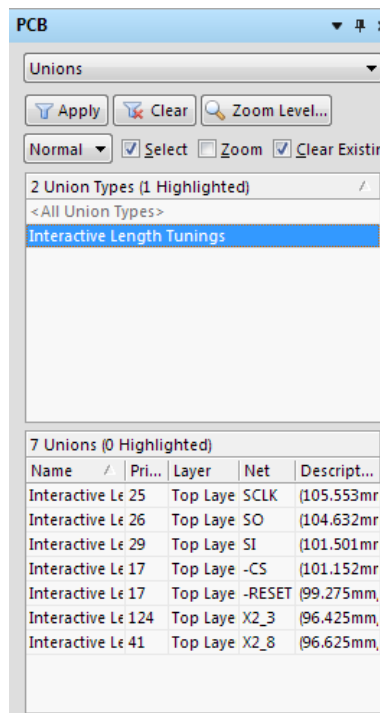
3 - уменьшить зазор аккордеона на шаг Gap Increment;

4 - увеличить зазор аккордеона на шаг Gap Increment;

После окончания создастся объединение Union типа Interactive Length Tuning, который можно двигать, менять ему границы и определения.



Все созданные аккордеоны перечислены в панели PCB в списке Unions при выборе типа Interactive Length Tunings.



Как и любое объединение, аккордеон можно превратить в обычные примитивы цепи по команде Tools – Convert – Explode Length Tuning to Free Primitives (T, C, дальше выбирать) или ПКМ – Unions – Explode Length Tuning to Free Primitives.

6.2. Выравнивание дифференциальных линий.

Выравнивание внутри пары дифлиний проводится аналогично п.6.1.

Для выравнивания общих длин дифпар используется инструмент Tools - Interactive Diff Pairs Length Tuning (T, I). В отличие от инструмента Interactive Length Tuning, он не создает особого объекта, а использует примитивы. Управление и настройки аналогичны инструменту Interactive Length Tuning.

7. Выравнивание учетом внесенных задержек

В Altium Designer возможно выравнивание линий с учетом внесенных задержек через внесение длины Pin/Package Length в свойства выводов отдельных компонентов. Необходимость в этом может возникнуть в таких случаях как:

- присутствуют большие цифровые устройства, внутри которых длины от выводов корпуса до выводов кристалла могут сильно различаются (например, в BGA-корпусах такое встречается часто). Эти различия длин обычно приводятся производителем компонента, часто в табличном формате.

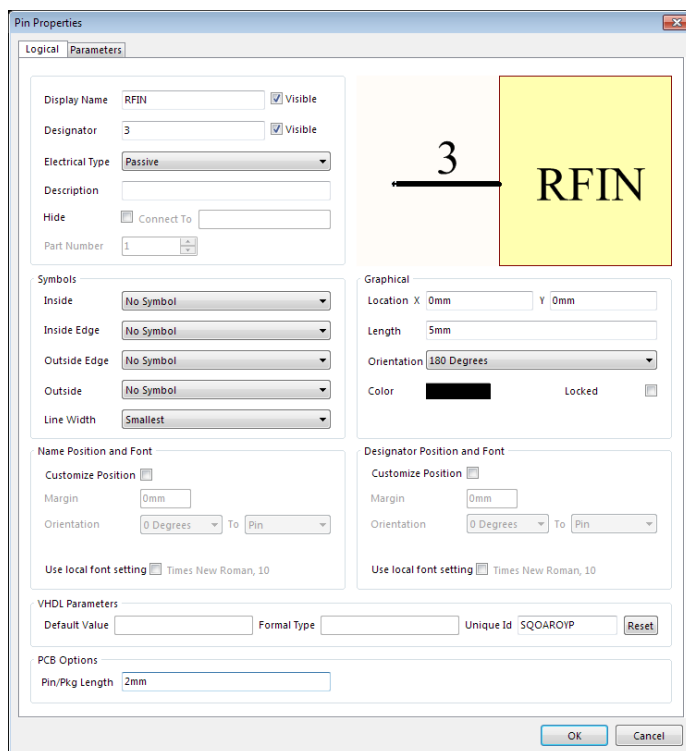
- устройство состоит из нескольких плат и известно, что на разъем приходит несколько сигналов и часть из них задержана относительно друг друга.

Вносить эти задержки можно как в библиотеке компонентов, так и на схеме и в топологии. При этом надо учитывать, что Altium Designer поддерживает внесение задержек только в виде длин, временные задержки не поддерживаются. Соответственно, если задержки вызваны корпусом компонента и этот компонент используется на типовом стеке подложки, то имеет смысл эти задержки внести в библиотеку. Если же конфигурация задержек уникальна для данного устройства, то задержки надо пересчитать в длины и внести в один из компонентов такой группы цепей (обычно это источник группы сигналов).

При внесении задержек на уровне схемы или уровне топологии ECO корректно отрабатывает как прямую, так и обратную аннотации. Однако надо быть аккуратным при обновлении компонента из библиотеки (как в схеме, так и в топологии), значения Pin/Pkg Length сбрасываются в значения по умолчанию.

Как уже было сказано, задаются задержки при задании свойства вывода Pin/Pkg Length, причем поддерживаются и отрицательные значения.

При создании УГО компонента в свойствах вывода задавать свойство Pin/Pkg Length.



Также с помощью панели SCHLIB List возможно групповое изменение. Выбираем режим изменение (Edit), все объекты (all objects) из текущего компонента (current component) типа выводы (pins).

Pin Kind	X1	Y1	Orientation	Name	Show Name	Pin Designator	Show Designator	Pin/Pkg Length
	0mm	-5mm	180 Degrees	Vg	<input checked="" type="checkbox"/>	1	<input checked="" type="checkbox"/>	0mm
	0mm	-15mm	180 Degrees	NC	<input checked="" type="checkbox"/>	2	<input checked="" type="checkbox"/>	0mm
	0mm	0mm	180 Degrees	RFIN	<input checked="" type="checkbox"/>	3	<input checked="" type="checkbox"/>	0mm
	0mm	-20mm	180 Degrees	NC	<input checked="" type="checkbox"/>	4	<input checked="" type="checkbox"/>	3mm
	0mm	-10mm	180 Degrees	Temp	<input checked="" type="checkbox"/>	5	<input checked="" type="checkbox"/>	0mm
	30mm	-5mm	0 Degrees	Vd	<input checked="" type="checkbox"/>	6	<input checked="" type="checkbox"/>	0mm
	30mm	-15mm	0 Degrees	NC	<input checked="" type="checkbox"/>	7	<input checked="" type="checkbox"/>	0mm
	30mm	0mm	0 Degrees	RFOUT	<input checked="" type="checkbox"/>	8	<input checked="" type="checkbox"/>	0mm
	30mm	-20mm	0 Degrees	NC	<input checked="" type="checkbox"/>	9	<input checked="" type="checkbox"/>	0mm
	30mm	-10mm	0 Degrees	Vd	<input checked="" type="checkbox"/>	10	<input checked="" type="checkbox"/>	0mm

Аналогично при создании посадочного места можно для каждого пада указывать Pin/Pkg Length.

Pad [mm]

Top Layer | Top Paste | Top Solder

Pad Template: Template: r35_80 Library: <Local> Unlink

Location: X: -0.625mm Y: 0mm Rotation: 0.000

Hole Information: Hole Size: 0mm Tolerance: + N/A - N/A

Size and Shape: Simple (selected) Top-Middle-Bottom Full Stack X-Size: 0.35mm Y-Size: 0.8mm Shape: Rectangular Corner Radius (%): 50%

Offset From Hole Center (X/Y): 0mm 0mm

Paste Mask Expansion: Expansion value from rule (selected) Specify expansion value: 0mm

Solder Mask Expansions: Expansion value from rules (selected) Specify expansion values: Top: 0.102mm Bottom: 0.102mm

Properties: Designator: 1 Layer: Top Layer Net: No Net Electrical Type: Load Pin/Pkg Length: 0mm Jumper ID: 0 Locked

Testpoint Settings: Top Bottom Fabrication Assembly

OK Cancel

С помощью панели PCBLIB List возможно групповое изменение заданного свойства.

PCBLIB List

Edit all objects from current component Include only Pads

Object Kind	Layer	Net	Component	X1 (mm)	Y1 (mm)	Locked	Name	Pin/Pkg Length (mm)	Rotation	Hole Size (mm)	Hole Tolerance (+) (mm)
Pad	Top Layer	No Net	Free	-2.95	2.25	<input type="checkbox"/>	1	0	90.000	0	N/A
Pad	Top Layer	No Net	Free	-2.95	1.75	<input type="checkbox"/>	2	0	90.000	0	N/A
Pad	Top Layer	No Net	Free	-2.95	1.25	<input type="checkbox"/>	3	0	90.000	0	N/A
Pad	Top Layer	No Net	Free	-2.95	0.75	<input type="checkbox"/>	4	0	90.000	0	N/A
Pad	Top Layer	No Net	Free	-2.95	0.25	<input type="checkbox"/>	5	0	90.000	0	N/A
Pad	Top Layer	No Net	Free	-2.95	-0.25	<input type="checkbox"/>	6	0	90.000	0	N/A
Pad	Top Layer	No Net	Free	-2.95	-0.75	<input type="checkbox"/>	7	0	90.000	0	N/A
Pad	Top Layer	No Net	Free	-2.95	-1.25	<input type="checkbox"/>	8	0	90.000	0	N/A
Pad	Top Layer	No Net	Free	-2.95	-1.75	<input type="checkbox"/>	9	0	90.000	0	N/A
Pad	Top Layer	No Net	Free	-2.95	-2.25	<input type="checkbox"/>	10	0	90.000	0	N/A
Pad	Top Layer	No Net	Free	-2.25	-2.95	<input type="checkbox"/>	11	0	0.000	0	N/A
Pad	Top Layer	No Net	Free	-1.75	-2.95	<input type="checkbox"/>	12	0	0.000	0	N/A

41 of 50 Objects (1 Selected)

Для того чтобы на схеме задавать задержки, необходимо зайти в свойства компонента и щелкнуть по Edit Pins.. Откроется окно Component Pin Editor, позволяющее групповое изменение свойств выводов.

Component Pin Editor

Designa...	Name	Desc	RESCAV16P80_64...	Type	Owner	Show	Number	Name	Pin/Pkg Length
1	1		1	Passive	1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		5mm
2	2		2	Passive	1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		0mm
3	3		3	Passive	1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		0mm
4	4		4	Passive	1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		0mm
5	5		5	Passive	1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		0mm
6	6		6	Passive	1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		0mm
7	7		7	Passive	1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		0mm
8	8		8	Passive	1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		0mm
9	9		9	Passive	1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		-3mm
10	10		10	Passive	1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		0mm
11	11		11	Passive	1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		0mm
12	12		12	Passive	1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		0mm
13	13		13	Passive	1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		0mm
14	14		14	Passive	1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		0mm
15	15		15	Passive	1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		0mm
16	16		16	Passive	1	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		0mm

Add... Remove... Edit...

OK Cancel

На топологии работа возможна как индивидуально с каждым падом, так и группой на панели PCB List. Необходимо дополнительно отфильтровать по позиционному обозначению компонента.

PCB List

View non-masked objects Include only Pads

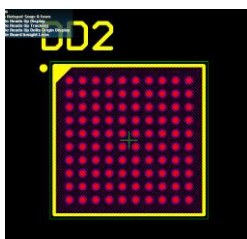
Object Kind	Layer	Net	Component	X1 (mm)	Y1 (mm)	Locked	Name	Rotation	Hole Size (mm)	Hole Tolerance (+) (mm)	Hole Tolerance (-) (mm)
Pad	Top Layer	Y2_1	R4	120.1	38.675	<input type="checkbox"/>	1	0.000	0	N/A	N/A
Pad	Top Layer	Y2_2	R4	120.1	39.475	<input type="checkbox"/>	2	0.000	0	N/A	N/A
Pad	Top Layer	Y2_3	R4	120.1	40.275	<input type="checkbox"/>	3	0.000	0	N/A	N/A
Pad	Top Layer	Y2_4	R4	120.1	41.075	<input type="checkbox"/>	4	0.000	0	N/A	N/A
Pad	Top Layer	Y2_5	R4	120.1	41.875	<input type="checkbox"/>	5	0.000	0	N/A	N/A
Pad	Top Layer	Y2_6	R4	120.1	42.675	<input type="checkbox"/>	6	0.000	0	N/A	N/A
Pad	Top Layer	Y2_7	R4	120.1	43.475	<input type="checkbox"/>	7	0.000	0	N/A	N/A
Pad	Top Layer	Y2_8	R4	120.1	44.275	<input type="checkbox"/>	8	0.000	0	N/A	N/A
Pad	Top Layer	X2_8	R4	118.5	44.275	<input type="checkbox"/>	9	180.000	0	N/A	N/A
Pad	Top Layer	X2_7	R4	118.5	43.475	<input type="checkbox"/>	10	180.000	0	N/A	N/A
Pad	Top Layer	X2_6	R4	118.5	42.675	<input type="checkbox"/>	11	180.000	0	N/A	N/A
Pad	Top Layer	X2_5	R4	118.5	41.875	<input type="checkbox"/>	12	180.000	0	N/A	N/A

16 of 26 Objects (1 Selected)

При разводке в списках Nets и xSignals есть столбец Total Pin/Package Length, показывающий суммарную задержку всех падов в текущей цепи. Она учитывается при расчете Signal Length, на которую ориентируются правила.

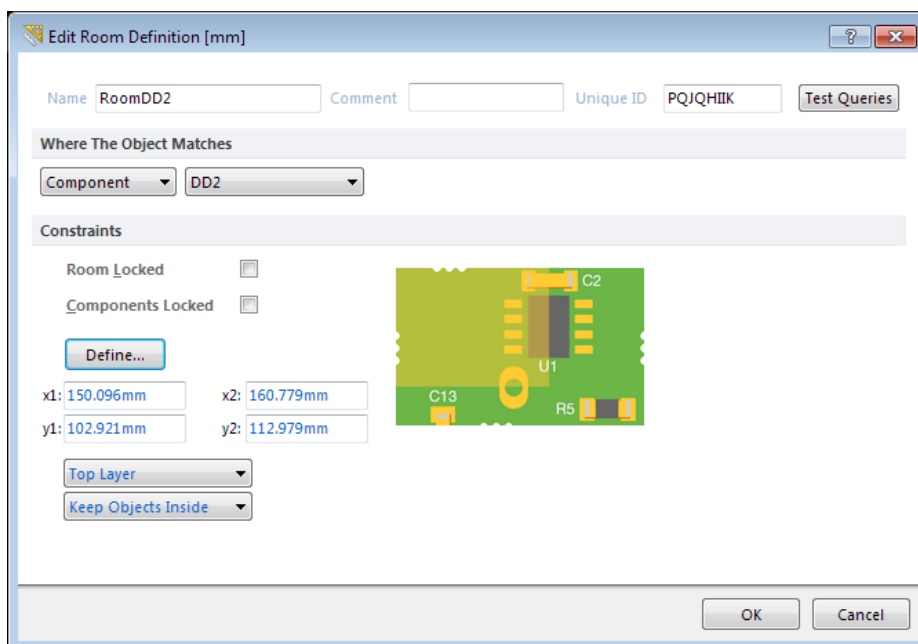
8. Генерация Fanout-ов у микросхем.

В Altium Designer присутствует мастер генерации веерной разводки выводов от плотноупакованных микросхем (Fanout). Покажем, как создать такую разводку для микросхемы LPC1765FET100 в корпусе типа BGA с шагом 0,8мм и размером пада 0,33мм.



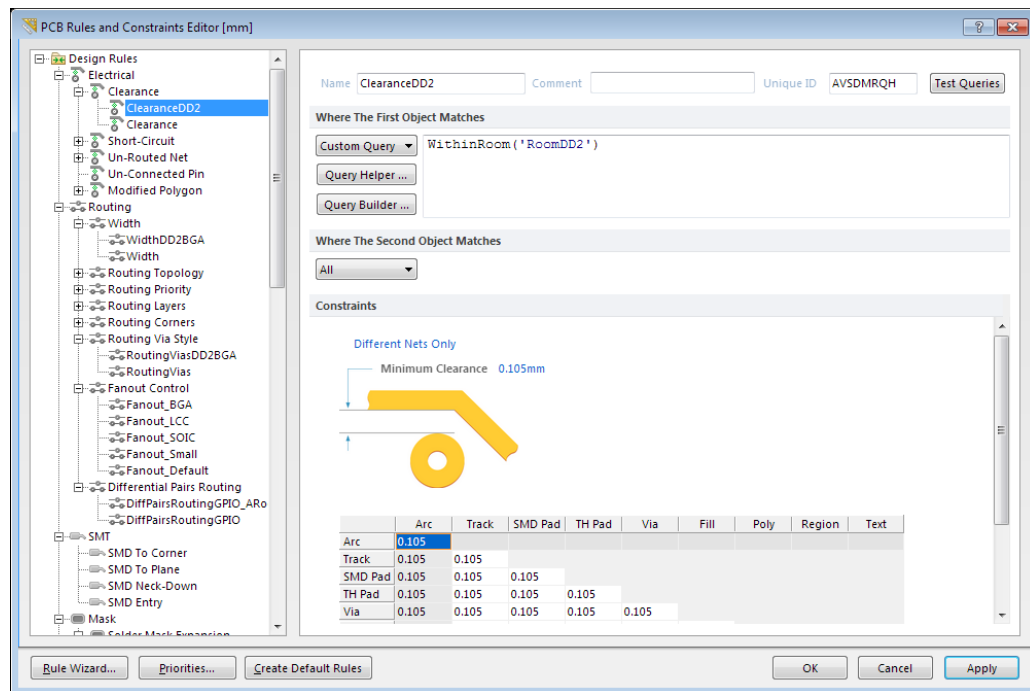
Как правило, цепи веерной разводки делаются с более высоким классом точности, чем основная разводка платы. Т.е. в общем случае, веерная разводка нарушает общие правила проекта, при этом эти цепи присутствуют только под конкретной микросхемой (или вблизи). Т.е. удобно воспользоваться комнатой, в которой определены правила только для веерной разводки, и комната размером с компонент.

Выбираем компонент и по Design – Rooms – Create Rectangle Room from selected components (D, M, T) создаем комнату размер в размер с компонентом. Переименуем ее в понятное имя, т.к. для нее надо будет писать правила.

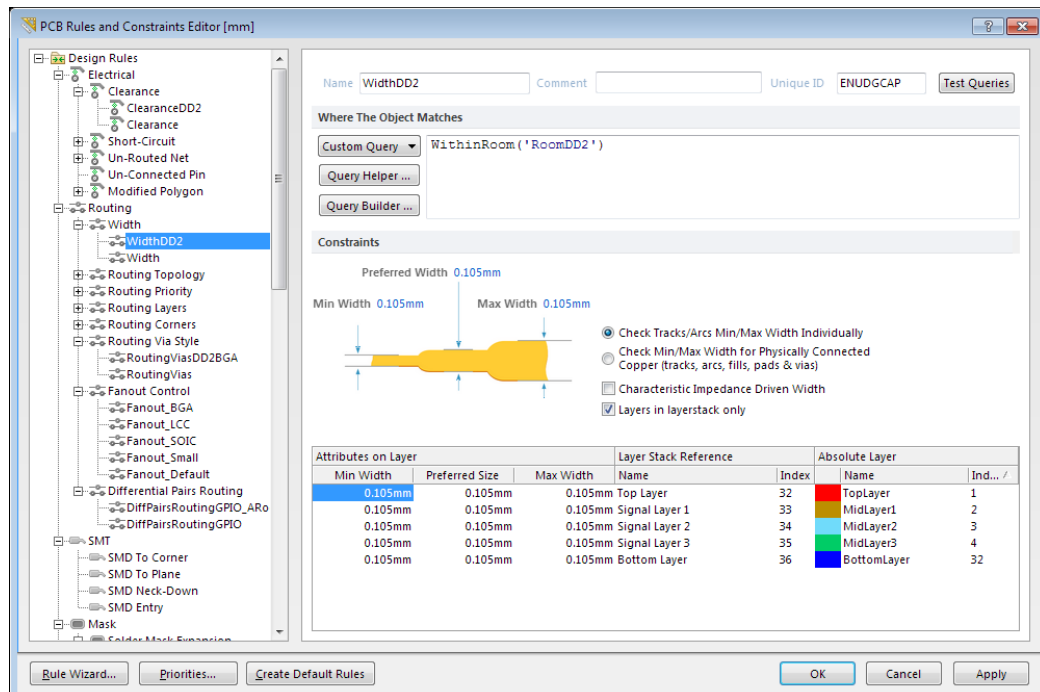


Правила размеров и зазоров возьмем рекомендованные из документации производителя. Нужно четыре правила:

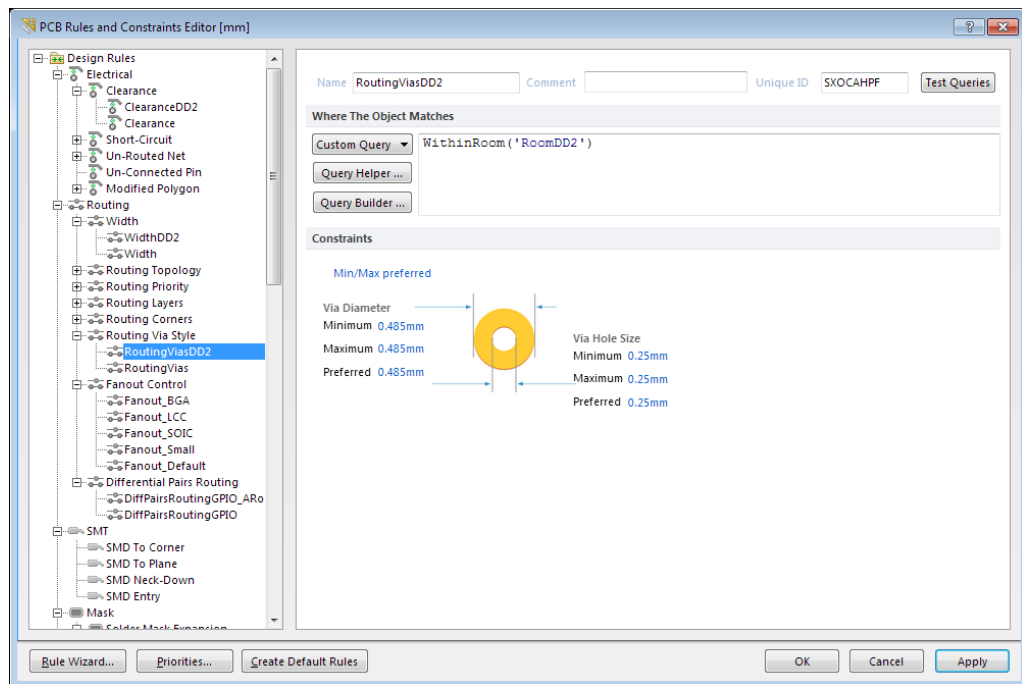
1. Минимальный зазор (0,105мм)



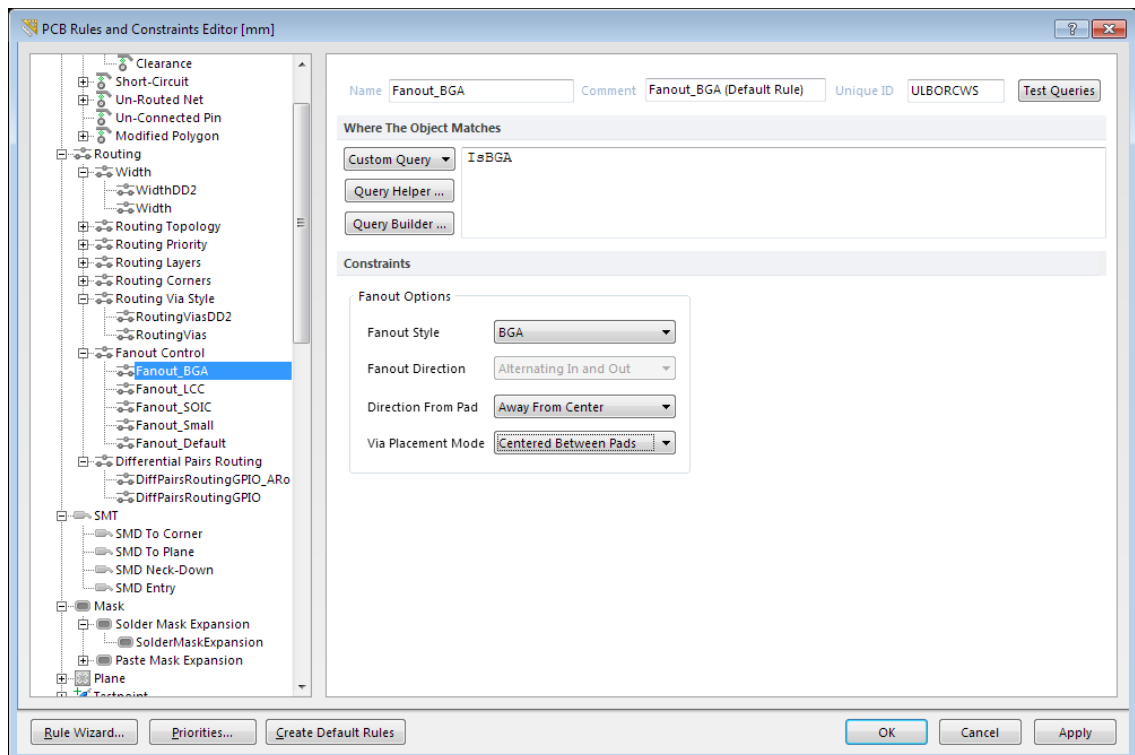
2. Ширина линии (0,105мм)



3. Размер отверстий под микросхемой (0,485мм/0,25мм)

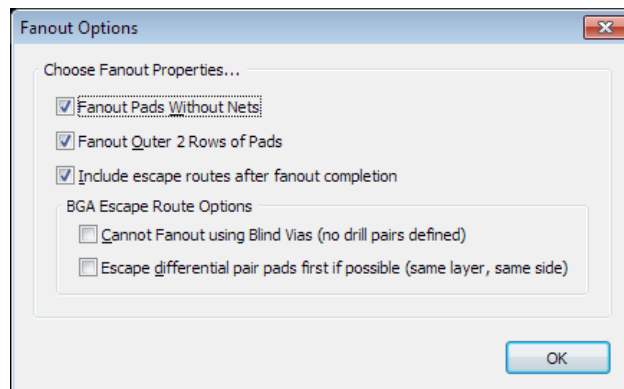


4. Стиль верной разводки (Routing – Fanout Control). Для нашей микросхемы укажем BGA.

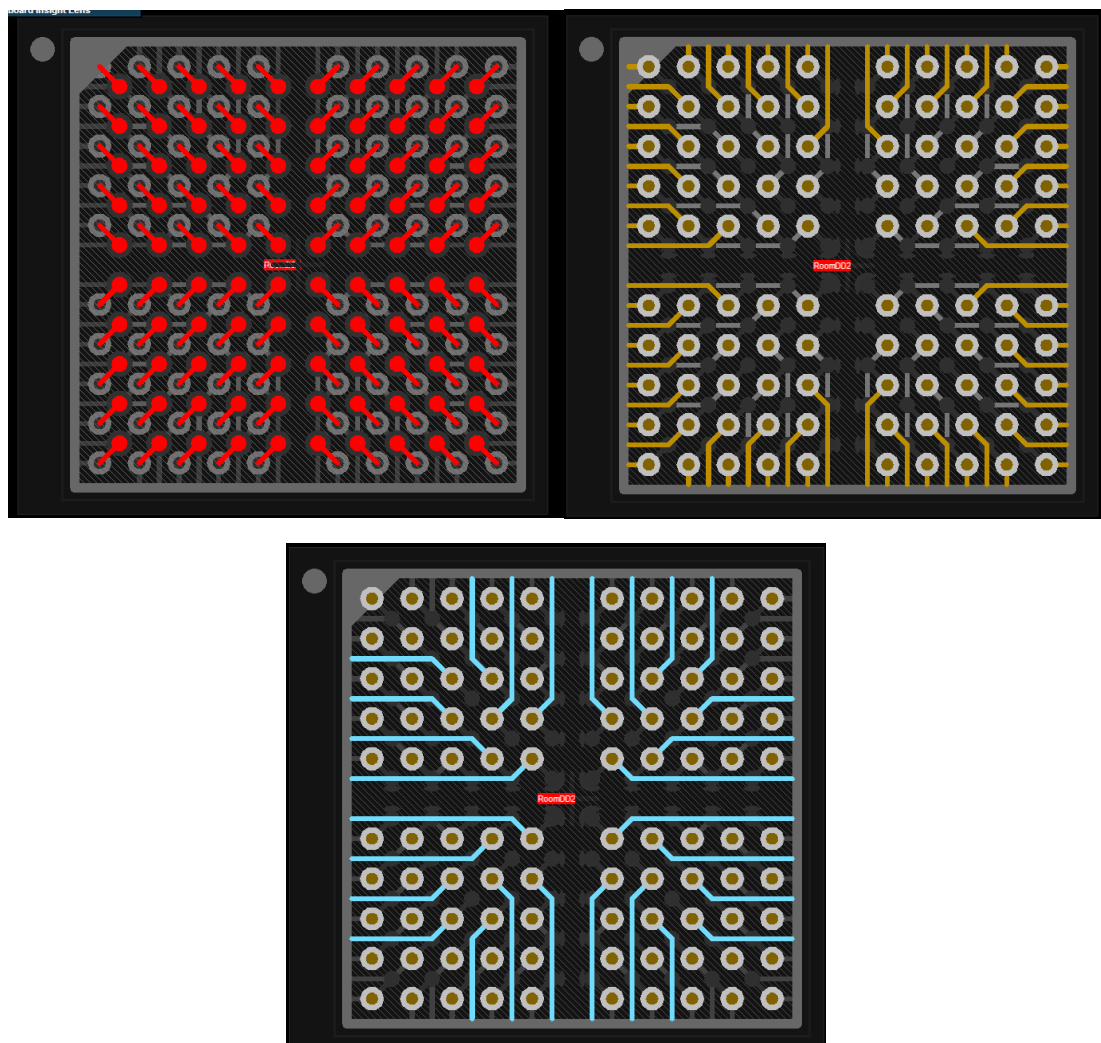


Теперь вызываем собственно мастер. Он вызывается либо при выбранном компоненте ПКМ – Component Actions – Fanout Component либо Auto Route – Fanout – Component и ЛКМ по компоненту.

Если расположение компонентов позволяет, то на верхнем слое можно вывести линии от двух крайних рядов (снятая галка Fanout Outer 2 Rows of Pads), а можно указать уход вглубь всех цепей.



По результатам работы мастера создается веерная разводка выводов на нескольких слоях, в примере хватило трех слоев.



Литература

1. Лопаткин, А. Проектирование печатных плат в Altium Designer. [Электронный ресурс] — Электрон. дан. — М. : ДМК Пресс, 2016. — 400 с. — Режим доступа: <http://e.lanbook.com/book/93565>

2. Лопаткин, А. Проектирование печатных плат в системе Altium Designer [Электронный ресурс] : учебное пособие / А. Лопаткин. — Электрон. дан. — Москва : ДМК Пресс, 2017. — 554 с. — Режим доступа: <https://e.lanbook.com/book/97334>

3. Суходольский В.Ю. Altium Designer: сквозное проектирование функциональных узлов РЭС на печатных платах: учеб. Пособие. - 2-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2014. – 560 с.

Перечень ресурсов сети «Интернет»

4. Тематический форум раздел «Разрабатываем ПП в САПР - PCB development», <https://electronix.ru/forum/index.php?showforum=17>, доступно после свободной регистрации

5. Сайт Eurointech, раздел «Учебные материалы» <http://www.eurointech.ru/education/selftraining/>

Каналы Youtube с видеоуроками по Altium Designer

6. <https://www.youtube.com/user/SabuninAlexey>

7. <https://www.youtube.com/playlist?list=PLgUwXvgNkHqJ3G5UoLGMfHJM2c-m4Afdx>

Разработчик:

Ст. преподаватель института МПСУ Приходько Д.В.