

Circuits logiques programmable

Ing. Dr Mohamed O. Barrar

Email:

Phone:

Office:

MOHAMEDO.BARRAR, FST 2018

Plans

Plan

1. Circuits logiques programmables (CLP)
1. Définitions
2. Avantages et inconvénients des circuits programmables
3. ASICs vs. Circuits programmables
2. Technologies de programmation
 - 1. Technologie EPROM et EEPROM
 - 2. Technologie anti-fuse
 - 3. Technologie SRAM
3. Architectures des circuits programmables
 - 1. Circuits programmables simples PLD « Programmable Logic Device »
 - 2. Circuits programmables complexes CPLD « Complex Programmable Logic Device »
 - 3. FPGA « Filed Programmable Gate Array »
 - 4. CPLD vs. FPGA
 - 5. Autres circuits programmables
4. Flor de conception sur CLP

MOHAMEDO.BARRAR, FST 2017

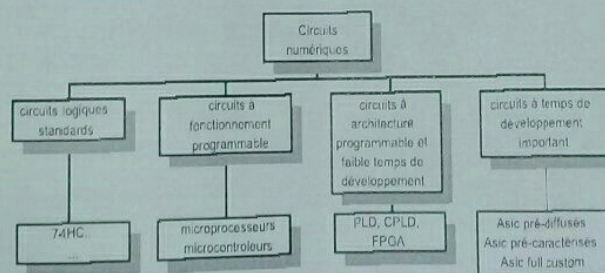
I. Introduction

Implantation des circuits numériques

- Avec des éléments discrets
- Avec des microprocesseurs, micro contrôleurs, DSP
- Avec des circuits à architecture programmable PAL, GAL, FPGA
- Avec des circuits intégrés ASIC

MOHAMEDO BARRAR, FST 2017

Introduction



MOHAMEDO BARRAR, FST 2017

Introduction

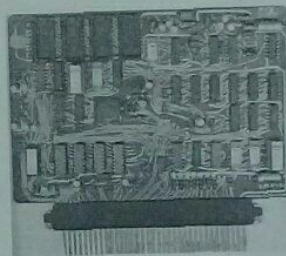
Les types de circuits

- Microprocesseurs, microcontrôleurs, DSP, SoC
 - **Avantages** : universalité, exécution, par une unité centrale (CPU), de programmes (langages C,...) qui permettent de traiter toutes sortes de problèmes
- ASICs (Application Specific Integrated Circuit)
 - **Avantages** : vitesse, robustesse, sécurité, consommation faible, intégration de fonctions analogiques
 - **Inconvénients** : durée de fabrication, coût de développement élevé (rentable pour de grandes quantités)
- PLDs (Programmable Logic Device)
 - **Avantages** : vitesse (c'est une logique « câblée »), densité élevée, développement rapide (catalogue de composants IP), flexibilité (reconfigurable très rapidement)
 - **Deux types de circuits** :
 - CPLD (Complex Programmable Logic Device)
 - **FPGA (Filed Programmable Gate Array)** Objet du cours

Introduction

Circuit avec des éléments discrets

- Circuit figé
- Circuit imprimé difficile à modifier
- Intégration limitée
- Coût élevé
- Justifié pour de petits circuits

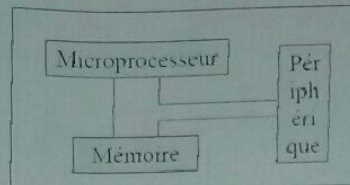


Introduction

Circuit à fonctionnement programmable

- A base des microprocesseurs, Microcontrôleurs, DSP
- En modifiant le programme on modifie la fonction
- Plus souple que les circuits à éléments discrets

- Vitesse limitée (mais qui augmente sans cesse)
- Parallélisme compliqué (mais faisable)
- Intégration encore limitée
- Adapté à des opérations séquentielles



SI ORAMTEC 835318 EST 2017

Introduction

Circuit à architecture programmable

- Une quantité importante de portes logiques
- Des matrices d'interconnexions programmables
- Modification du fonctionnement sur le circuit (ISP)
- Souplesse assurée
- Coût de fabrication faible (pour un nombre limité)
- Intégration forte
- Adapté à des applications gourmandes en logique
- Temps de développement dépend de l'application
- Compliqué pour implanter des algorithmes complexes



SI ORAMTEC 835318 EST 2017

Introduction

Les ASIC
Application Specific Integrated Circuit

- Coût très bas mais pour de gros tirages
- Temps de développement important
- Pas de modifications une fois fabriqué
- Nécessitant un fondeur pour la fabrication



© GRAMÉC BATAAR EST 2017

I. PLD

Toute fonction peut s'exprimer sous la forme d'une somme de produit

- ☐ Le circuit est donc composé d'une matrice de portes AND et d'une matrice de portes OR prédéfinies
- ☐ Seule l'interconnexion est programmable !

Trois sortes de PLD :

- ☐ PROM
- ☐ PAL
- ☐ PLA

TYPE	Nombre de portes intégrées	Matrice EI	Matrice OU	Effaçable
PROM	2 000 à 500 000	Fixe	Programmable	Non
PAL	10 à 100	Programmable	Fixe	Non
GAL	10 à 100	Programmable	Fixe	Electriquement
EPLD	100 à 3000	Programmable	Fixe	Aux U-V
FPLA	2000 à 3000	Programmable	Programmable	Electriquement

© GRAMÉC BATAAR EST 2017

II. PLD Programmable logic devices

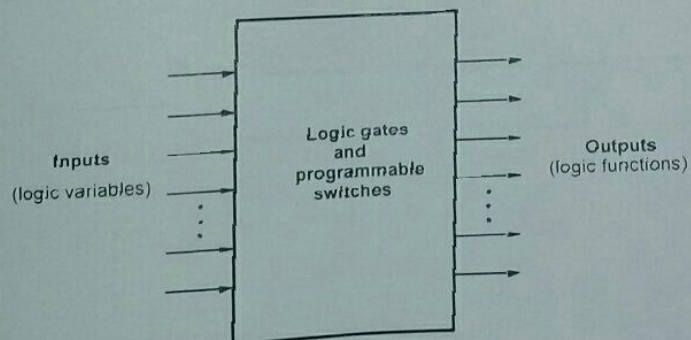
The differences between the first three categories are these:

1. In a ROM, the input connection matrix is hardwired. The user can modify the output connection matrix.
- In a PAL/GAL the output connection matrix is hardwired. The user can modify the input connection matrix.
- In a PLA the user can modify both the input connection matrix and the output connection matrix.

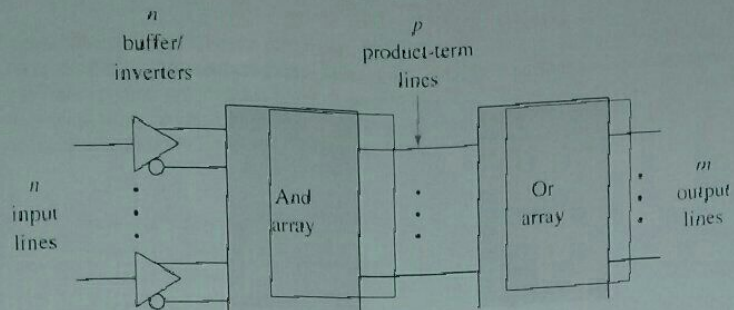
Device	AND-array	OR-array
PROM	Fixed	Programmable
PLA	Programmable	Programmable
PAL	Programmable	Fixed
GAL	Programmable	Fixed

II. PLD Programmable logic devices

PLD as a Black Box



General structure of PLDs.

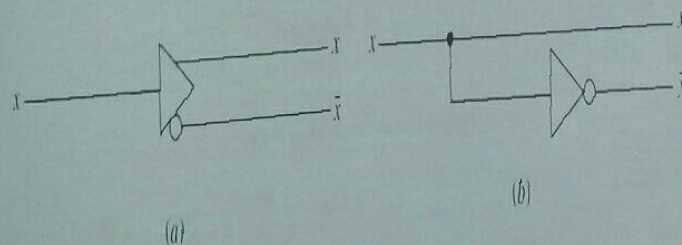


STRUCTURE DE BASE D'UN PLD.

La plupart des PLDs suivent la structure suivante :

- Un ensemble d'opérateurs « ET » sur lesquels viennent se connecter les variables d'entrée et leurs compléments.
- Un ensemble d'opérateurs « OU » sur lesquels les sorties des opérateurs « ET » sont connectées.
- Une éventuelle structure de sortie (Portes inverseuses, logique 3 états).

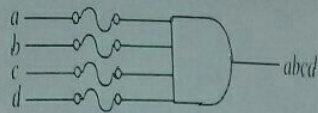
Buffer/inverter



(a) Symbol. (b) Logic equivalent.

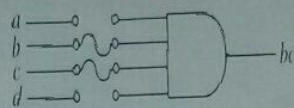
Programming by blowing fuses.

L'idée de base des circuits programmables et donc de leur premier modèle, la PAL, était de construire un circuit, ensemble de portes logiques complètement interconnectées par des fusibles, et de pouvoir faire fondre certains de ceux-ci lors de la programmation (personnalisation du circuit) de manière à ce qu'il ne reste que les connexions souhaitées.



(a)

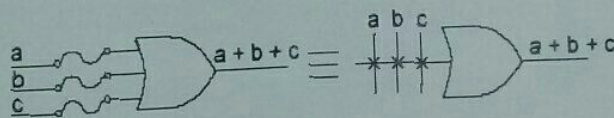
(a) Before programming.



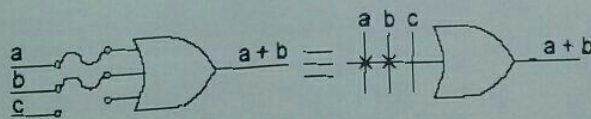
(b)

(b) After programming.

OR - PLD Notation

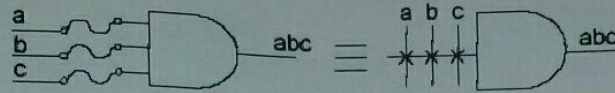


OR gate before programming

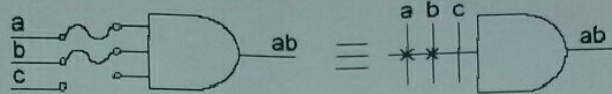


OR gate after programming

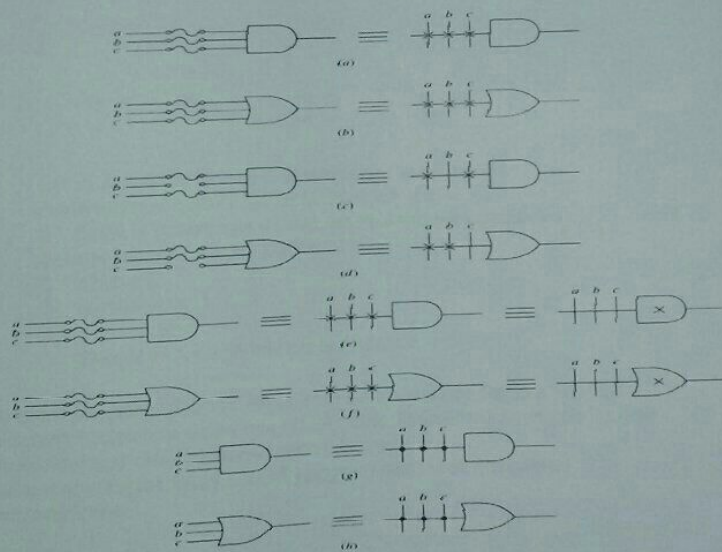
AND - PLD Notation



AND gate before programming



AND gate after programming



PROM Notation

1 Architecture des PLD : PLA

Les PLA sont des circuits programmables qui peuvent implémenter n'importe quelle fonction booléenne

- ☐ Selon la technologie utilisée, les PLAs implémentent deux niveaux logiques programmables
- ☐ AND-OR
- ☐ NAND-NAND
- ☐ NOR-NOR
- ☐ Chaque PLA est définie par la matrice P

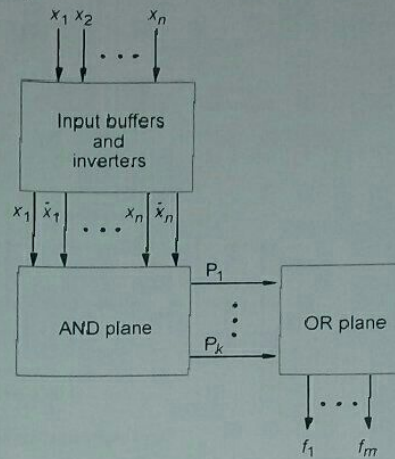
La première génération de PALs était composée de PALs à fusibles programmables une seule fois (OTP : One Time Programmable) qui ne réalisaient que des fonctions combinatoires. Vinrent ensuite les PALs CMOS programmables et effaçables électriquement

Programmable Logic Array (PLA)

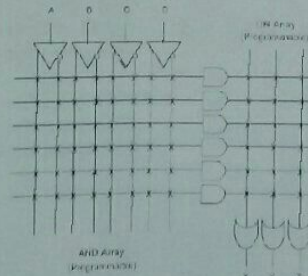
Use to implement circuits in SOP form

The connections in the AND plane are programmable

The connections in the OR plane are programmable

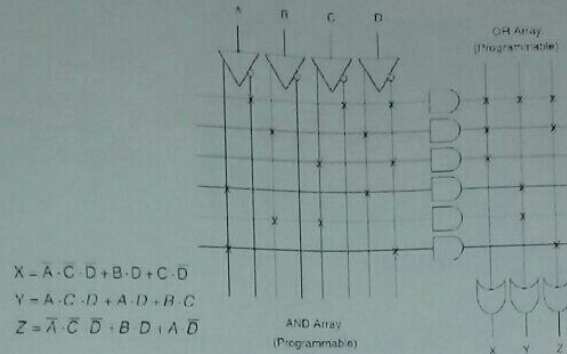


Architecture des PLD : PLA



Architecture de base d'un PLA

1. Architecture des PLD : PLA

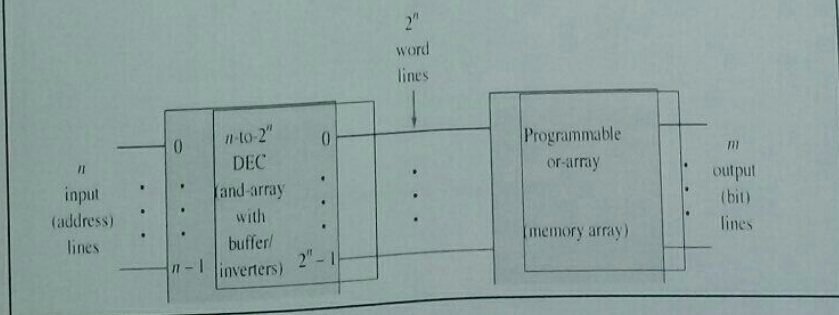


Exemple de programmation d'un PLA

2. Architecture des PLD : PROM

Les PROM « Programmable Read Only Memory » sont des cas particulier de PLA avec un seul niveau programmable

- ☐ La matrice des ANDs est fixe
- ☐ Le nombre de ligne produit « product lines » est 2^n avec n = le nombre d'entrées de la matrices des ANDs
- ☐ La matrice des ORs est programmable



2. Architecture des PLD : PROM

- Fusibles
- Anti-fusibles
- EPROM (erasable)
- EEPROM (electrically)
- Flash

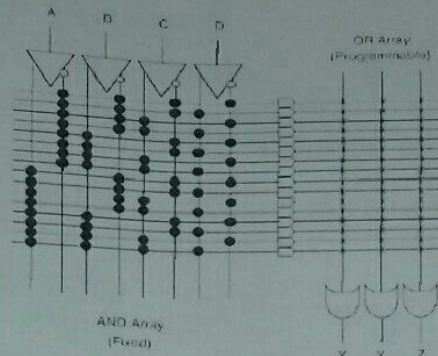
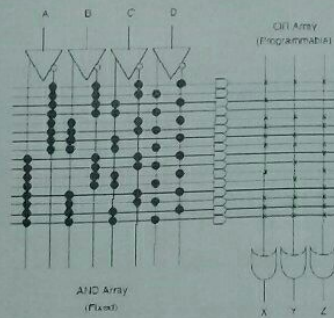


Diagramme conceptuel d'une PROM

2. Architecture des PLD : PROM



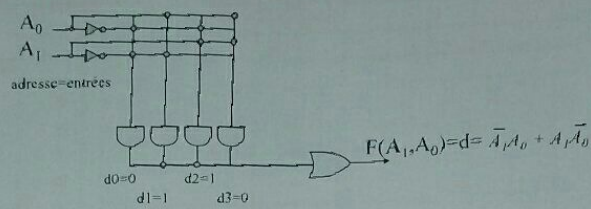
ABCD	XYZ
0000	111
0001	000
0010	100
0011	000
0100	111
0101	001
0110	110
0111	111
1000	001
1001	010
1010	101
1011	010
1100	001
1101	111
1110	111
1111	111

Exemple de programmation d'une PROM

2. Architecture des PLD : Mémoire

fonction logique 2 entrées : $f(A_1, A_0) = f(0,0)A_1A_0 + f(0,1)A_1\bar{A}_0 + f(1,0)A_1A_0 + f(1,1)A_1A_0$

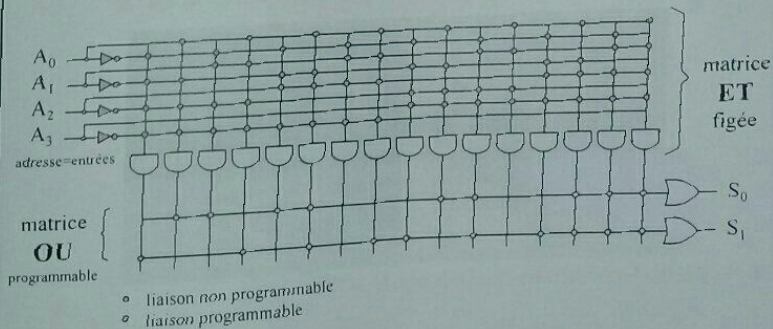
mémoire 4 mots de 1 bit : $d = d_0A_1\bar{A}_0 + d_1A_1\bar{A}_0 + d_2A_1A_0 + d_3A_1A_0$



- liaison non programmable
- liaison programmable

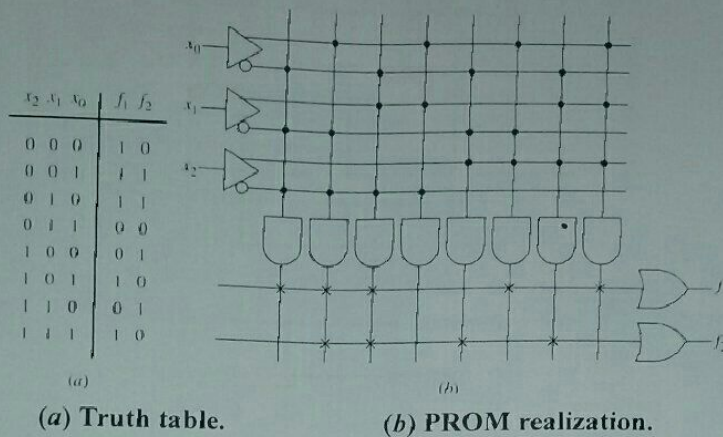
2. Architecture des PLD : Mémoire

mémoire 16 mots de 2 bits \Rightarrow 2 fonctions logiques de 4 entrées



- liaison non programmable
- liaison programmable

Using a PROM for logic design

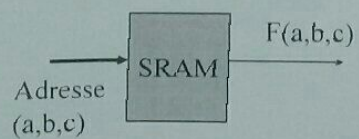


LOOK UP TABLE (LUT)

Une mémoire contient la table de vérité d'une fonction logique :

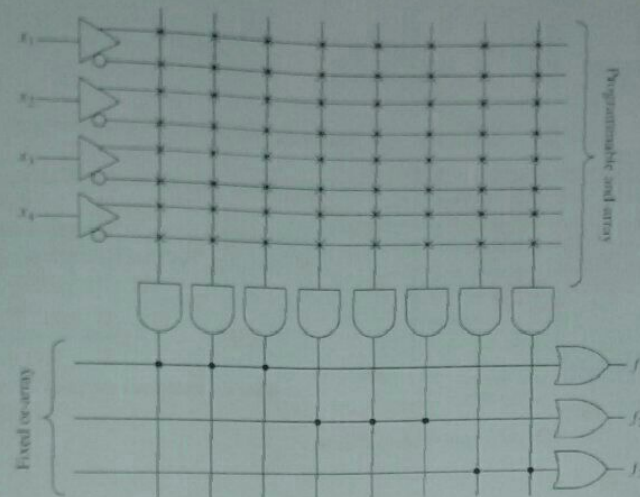
Ex : Fonction $F(a,b,c) = a \text{ xor } b \text{ xor } c$

000 0
001 1
010 0
011 1
100 0
101 1
110 0
111 1



=> Mode de lecture différent du résultat

A simple four-input, three-output PAL device.



3. Architecture des PLD : PAL

3. Architecture des PLD : PAL

Les PAL « Programmable Array Logic » sont aussi des cas particuliers de PLA avec un seul niveau programmable

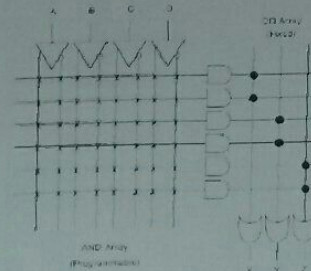
- ☐ La matrice des ANDs est programmable
- ☐ La matrice des ORs est fixe

Avantages

- ☐ Faible coût
- ☐ Grande densité

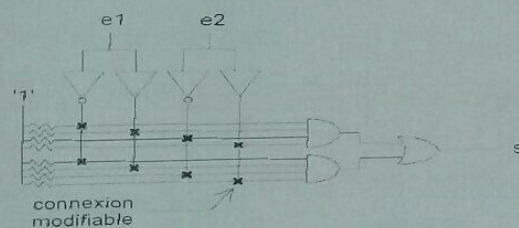
Inconvénient

- ☐ Limitation dans les fonctions qu'on peut implémenter



Architecture de base d'un PAL

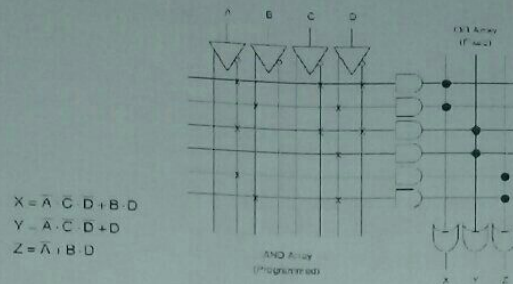
3. Architecture des PLD : PAL



La programmation du circuit consiste à supprimer certaines des connexions marquées d'une croix. Si une connexion est supprimée, une valeur constante '1' est appliquée à l'entrée correspondante de la porte ET, c'est ce que symbolise le réseau de résistances relié à cette valeur constante.

- Développés au début des années 70 par MMI (ex-AMD)
- La programmation se fait par destruction de fusibles
- Aucun fusible n'est grillé à l'achat de la PAL

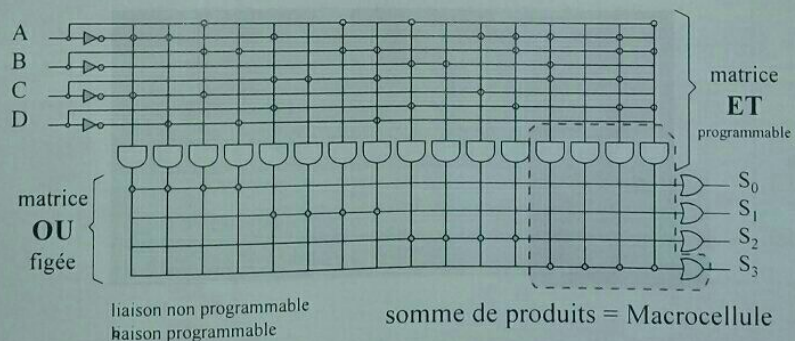
3 Architecture des PLD : PAL



Exemple de programmation d'un PAL

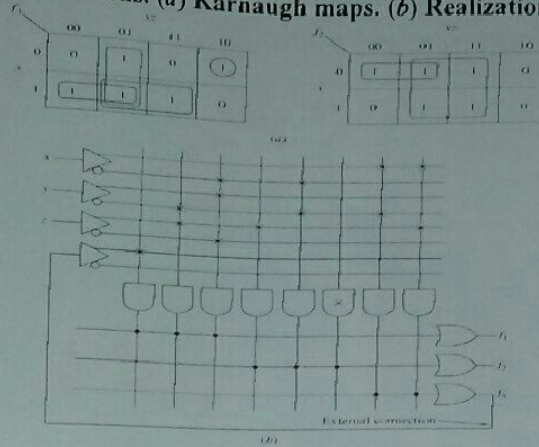
PAL

Programmable Array Logic



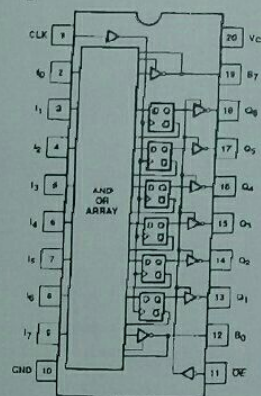
PLD : 4 fonctions de 12 mintermes (max) de 3 variables
 Au départ #70-85 : programmation « à la main » (fichier de fusibles)

An example of using a PAL device to realize two Boolean functions. (a) Karnaugh maps. (b) Realization.

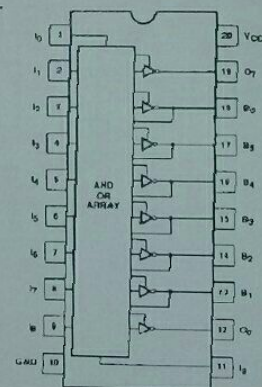


Structures de base des PAL

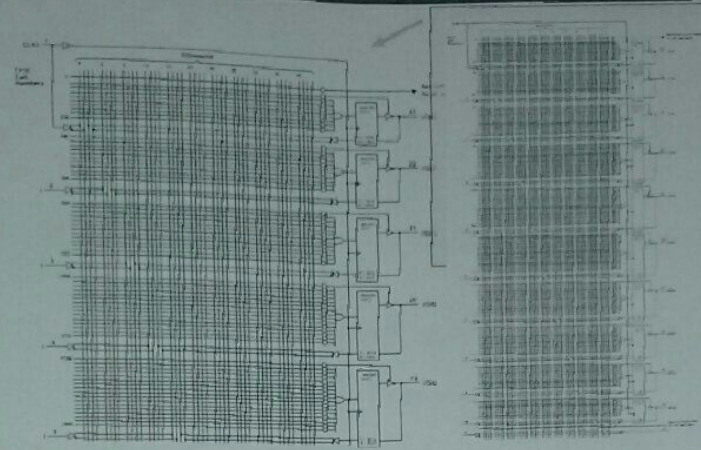
Brochage du PAL 16R6



Brochage du PAL 16L6



PAL22V10

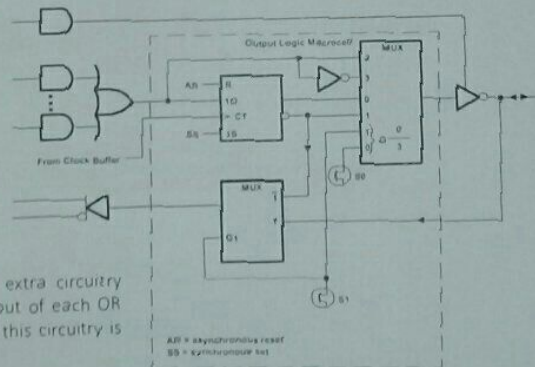


ZOOM

Comple

PAL22V10 : Sortie (VERSATILE)

output logic macrocell diagram



PALs also often have extra circuitry connected to the output of each OR gate. The OR gate plus this circuitry is called a macrocell.

A0 = asynchronous reset
S0 = synchronous set

Comparing PALs and PLAs

PALs have the same limitations as PLAs (small number of allowed AND terms) plus they have a fixed OR plane → less flexibility than PLAs

PALs are simpler to manufacture, cheaper, and faster (better performance)

PALs also often have extra circuitry connected to the output of each OR gate

The OR gate plus this circuitry is called a macrocell

Structure de sortie

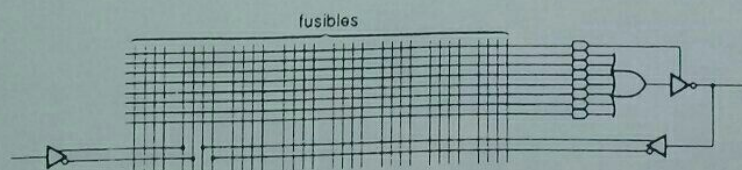
Il existe 3 structures de sortie qui peuvent-être aussi de entrées/sorties :

- Combinatoire
- Séquentielle
- versatiles

• Entrées / Sorties combinatoires

Sortie 3 états rebouchée vers la matrice

- ⇒ une sortie peut servir de variable intermédiaire
- ⇒ une sortie peut servir d'entrée (en mode haute impédance)





quand tu me manques je
mets ma main sur mon
coeur et je ferme les
yeux...

car je sait que c'est
le seul endroit ou tu
existes toujours!