

Mémoires et décodage d'adresses

Exercice 1

1. Le boîtier U1 (2764) est une mémoire morte (EPROM) car il ne possède pas d'entrée d'écriture.

Il a 13 bits d'adresse (A0 - A12) et 8 bits de données (D0 – D7).

Sa capacité est donc:

$$C = 2^{13} \times 8 = 2^3 \times 2^{10} \times 8 = 8 \text{ Koctets ou } 8 \text{ K mots mémoire}$$

$$C = 8 \text{ K} \times 8 \text{ bits} = 64 \text{ Kbits}$$

Le boîtier U2 (62256) est une mémoire vive (RAM) car il possède des entrées d'écriture (WE) et de lecture (OE). Il a 15 bits d'adresse (A0-A14) et 8 bits de données (D0 – D7).

Sa capacité est donc:

$$C = 2^{15} \times 8 = 2^5 \times 2^{10} \times 8 = 32 \text{ Koctets ou } 32 \text{ K mots mémoire}$$

$$C = 32 \text{ K} \times 8 \text{ bits} = 256 \text{ Kbits}$$

2. Pour U1 (2764) les lignes de bus de commande sont : $\overline{\text{CE}}$, $\overline{\text{OE}}$, $\overline{\text{PGM}}$ et V_{pp} .
Pour U2 (62256) les lignes de bus de commande sont : $\overline{\text{CE}}$, $\overline{\text{OE}}$ et $\overline{\text{WE}}$.

Exercice 2

1. Un microprocesseur peut adresser 64Koctets, et a un bus de données de 8 bits.
 - a. Nombre de mots adressables $= (2^6 \times 2^{10} \times 2^3) / 2^3 = 2^{16}$ mots
 - b. $64 \text{ Koctets} = 2^6 \times 2^{10} \times 2^3 = 2^{16} \times 2^3 = 2^{16} \times 8$
la taille du bus d'adresses = 16 bits.

- c.** Un mot mémoire a une taille de 8 bits ; le plus grand nombre pouvant être sauvegardé est : $(11111111)_2 = 255_{10}$

2. Soit une mémoire ayant les caractéristiques suivantes :

- Le plus grand nombre hexadécimal pouvant être placé dans un mot mémoire est : FFFF

- La capacité mémoire est de 1 Méga bits

- a.** Le plus grand nombre hexadécimal pouvant être placé dans un mot mémoire est : $FFFF = (1111 \ 1111 \ 1111 \ 1111)_2$. Il est écrit sur 16 bits, donc, la taille du bus de données de cette mémoire est 16 bits.
- b.** Espace adressable = taille mémoire / taille mot mémoire = $2^{20}/2^4 = 2^{16}$
Donc la taille du bus d'adresses = 16 bits.
- c.** Adresse minimale : $(0000)_{16} = (0000 \ 0000 \ 0000 \ 0000)_2$
Adresse maximale : $(FFFF)_{16} = (1111 \ 1111 \ 1111 \ 1111)_2$
Plage d'adresses de la mémoire : 0 à $2^{16} - 1$ ou $(0000)_{16}$ à $(FFFF)_{16}$

3. Un microprocesseur a un bus d'adresse de 16 bits et un bus de données de 8 bits.

- a.** 16 bits d'adresse $\Rightarrow 2^{16}$ adresses possibles \Rightarrow espace adressable = 2^{16} mots
- b.** La plage d'adresses de la RAM est : $(0000)_{16} - (03FF)_{16}$
La plage d'adresses de la PROM est : $(0AFF)_{16} - (FFFF)_{16}$.
- c.** le nombre de bits permettant d'adresser la RAM :
nombre d'adresses = nombre de mots mémoire de la RAM
nombre d'adresses = adresse maximale – adresse minimale + 1
nombre d'adresses = $(03FF)_{16} - (0000)_{16} + 1 = (03FF)_{16} + 1$
nombre d'adresses = $(11 \ 1111 \ 1111)_2 + 1 = (100 \ 0000 \ 0000)_2 = 2^{10}$
le nombre de bits permettant d'adresser la RAM : 10 bits
- d.** la capacité de la PROM :

Comme les adresses des mots mémoire de la RAM varient de 0 à $2^{10} - 1$, la RAM comprend 2^{10} mots mémoire

$$\text{Capacité RAM} = 2^{10} \times 8 = 2^{13} \text{ bits} = 8 \text{ Kbits} = 1 \text{ Ko.}$$

e. La taille de la PROM

Nombre de mots mémoire de la RAM :

$$(\text{FFFF})_{16} - (\text{F000})_{16} + 1 = (\text{FFF})_{16} + 1 = (1000)_{16} = (0001\ 0000\ 0000\ 0000)_2 = 2^{12}$$

$$\text{Taille PROM} = 2^{12} \times 8 = 2^{15} \text{ bits} = 32 \text{ Kbits} = 4 \text{ Ko}$$

Exercice 3

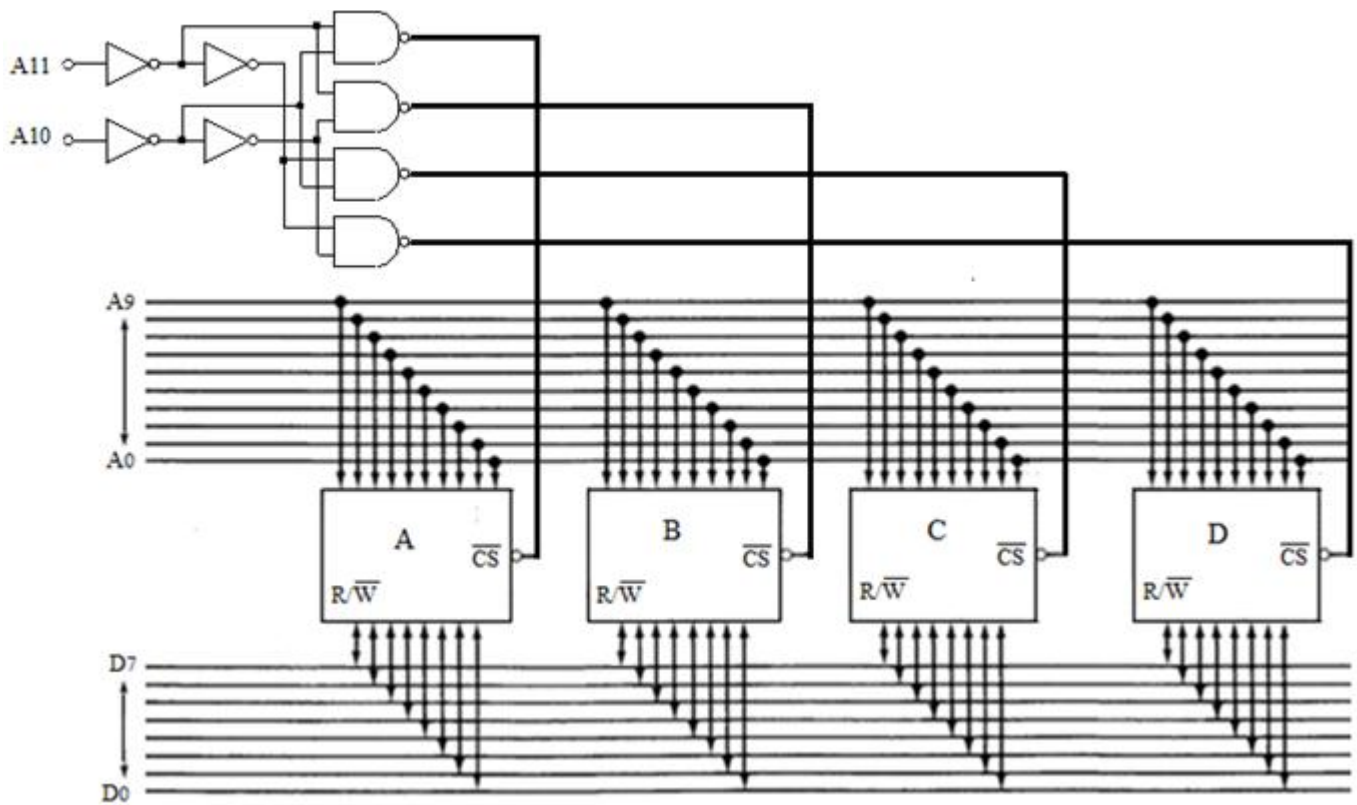
- Les 4 circuits sont de même type : mémoire volatile ou vive (RAM) car ils possèdent l'entrée d'écriture R/\bar{W} .
la capacité en octet et en bits de chacun des mémoires : bus d'adresses 10bits ($A_0 - A_9$) et bus de données 8 bits ($D_0 - D_7$).
 $C = 2^{10} \times 8 = 1 \text{ Koctets} = 8 \text{ Kbits}$
- la capacité totale qu'on puisse obtenir est : $C = 4 \times 1 \text{ Koctets} = 4 \text{ Koctets}$.
- Pour adresser 4Koctets ($4 \times 2^{10} \times 8 = 2^{12} \times 8$), il faut 12 bits d'adresses ($A_0 - A_{11}$)

Boitier	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	Plage d'adresses
A	0	0	x	x	x	x	x	x	x	x	x	x	\$000 - \$3FF
B	0	1	x	x	x	x	x	x	x	x	x	x	\$400 - \$7FF
C	1	0	x	x	x	x	x	x	x	x	x	x	\$800 - \$BFF
D	1	1	x	x	x	x	x	x	x	x	x	x	\$C00 - \$FFF

La validation de chacun des circuits se fait un niveau bas (0) sur la broche \bar{CS} .

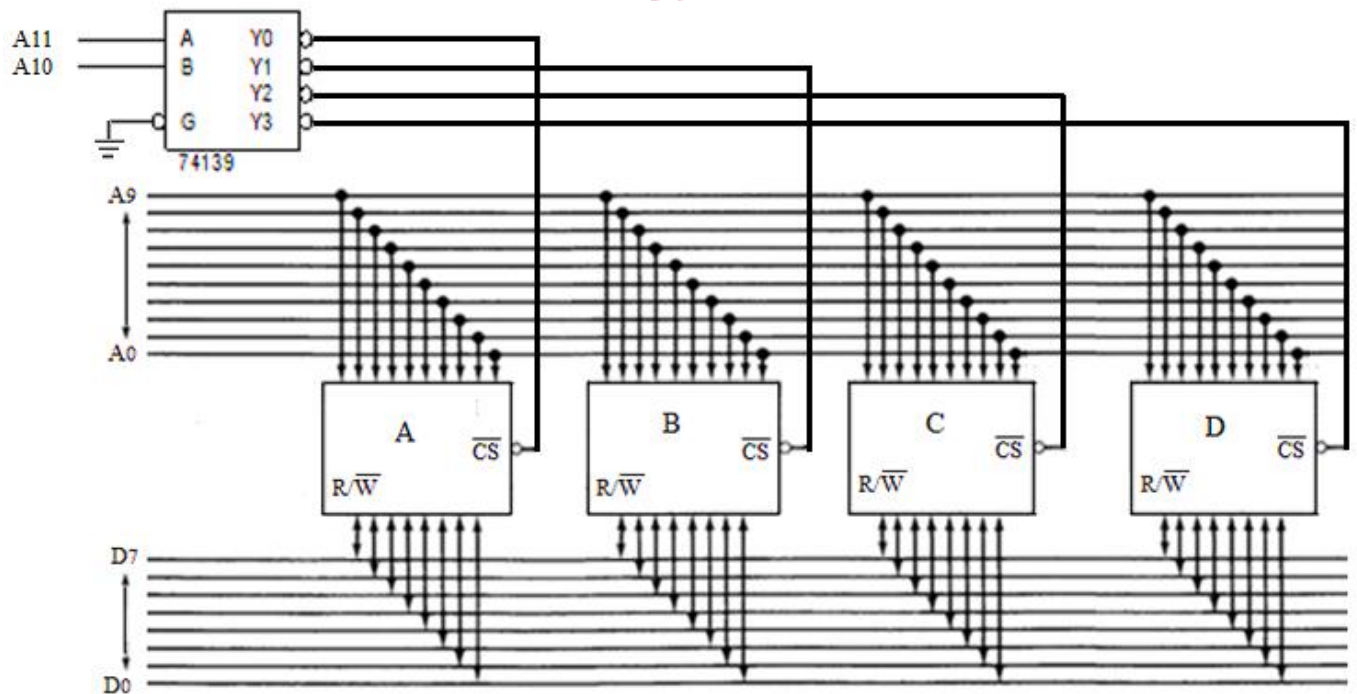
$$\bar{CS}_A = \bar{A}_{11}\bar{A}_{10} \quad \bar{CS}_B = \bar{A}_{11}A_{10} \quad \bar{CS}_C = A_{11}\bar{A}_{10} \quad \bar{CS}_D = A_{11}A_{10}$$

- décodeur d'adresses
 - portes logiques



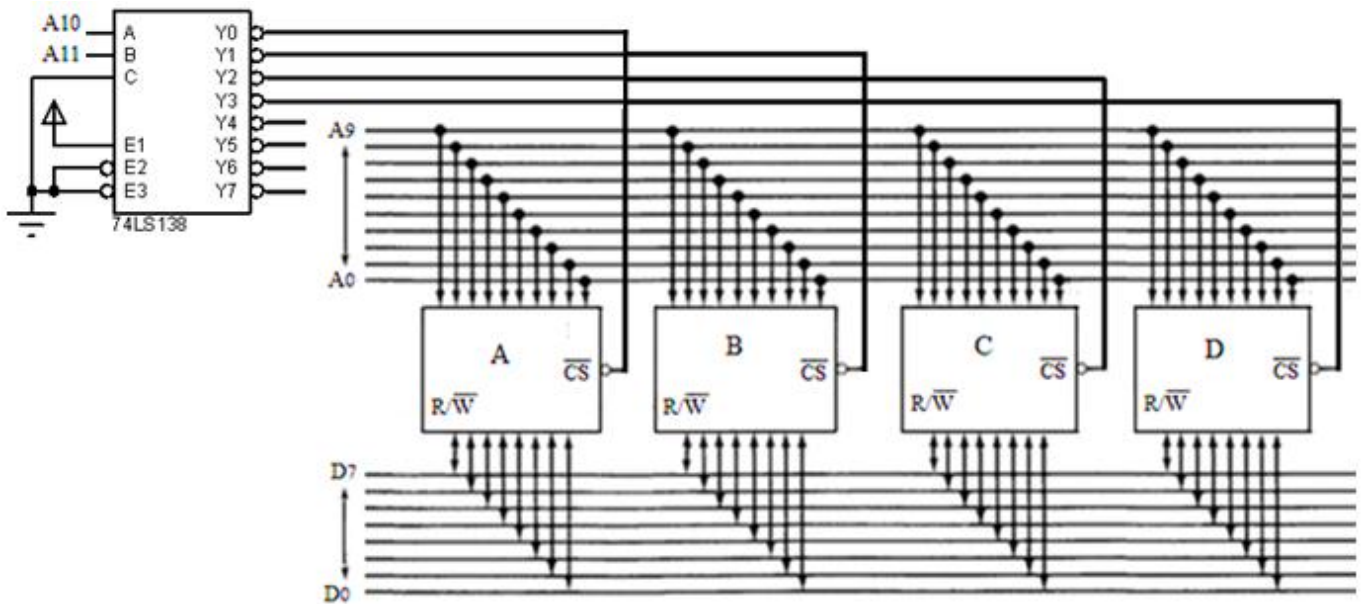
b. décodeur 74139

$$\overline{CS}_A = \overline{A_{11}}\overline{A_{10}} = Y_0 \quad \overline{CS}_B = \overline{A_{11}}A_{10} = Y_1 \quad \overline{CS}_C = A_{11}\overline{A_{10}} = Y_2 \quad \overline{CS}_D = A_{11}A_{10} = Y_3$$



c. décodeur 74138

$$\overline{CS}_A = \overline{A_{11}}\overline{A_{10}} = Y_0 \quad \overline{CS}_B = \overline{A_{11}}A_{10} = Y_1 \quad \overline{CS}_C = A_{11}\overline{A_{10}} = Y_2 \quad \overline{CS}_D = A_{11}A_{10} = Y_3$$



Boîtier	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	Plage d'adresses
A	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	\$000 - \$3FF
B	0	0	0	0	0	1	x	x	x	x	x	x	x	x	x	x	\$400 - \$7FF
C	0	0	0	0	1	0	x	x	x	x	x	x	x	x	x	x	\$800 - \$BFF
D	0	0	0	0	1	1	x	x	x	x	x	x	x	x	x	x	\$C00 - \$FFF

Exercice 4

- les lignes d'adresses A₁₅, A₁₄ et A₁₃ représentent le poids forts de l'adresse. Elles permettent de sélectionner les différents boîtiers:
- les lignes d'adresses A₁₂ à A₀ permettent de sélectionner les différents mots mémoires du boîtier sélectionné.

3. Boîtier A : 13 bits d'adresses et 8 bits de données : $C_A = 2^{13} \times 8 = 8\text{Koctets}$

Boîtier B : 10 bits d'adresses et 8 bits de données : $C_B = 2^{10} \times 8 = 1\text{Koctets}$

4. $\overline{CS}_A = Y_0 = \overline{A_{15}}\overline{A_{14}}\overline{A_{13}}$ $\overline{CS}_B = Y_1 = \overline{A_{15}}\overline{A_{14}}A_{13}$ $\overline{CS}_C = Y_2 = \overline{A_{15}}A_{14}\overline{A_{13}}$

Boitier	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	Plage d'adresses
A	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	\$0000 - \$1FFF
B	0	0	1	x	x	x	x	x	x	x	x	x	x	x	x	x	\$2000 - \$3FF
C	0	1	0	x	x	x	x	x	x	x	x	x	x	x	x	x	\$4000 - \$7FFF

Remarque : Pour les boîtiers B et C, les plages d'adresses sont plus grandes que les capacités des boîtiers.

Pour le boîtier B, quel que soit l'état des bits A₁₂, A₁₁ et A₁₀ on sélectionne toujours les mêmes cases mémoires.

Pour le boîtier C, quel que soit l'état des bits A₁₂, A₁₁, A₁₀, A₉, A₈, A₇, A₆, A₅, A₄, A₃, A₂ on sélectionne toujours les mêmes cases mémoires.

Exercice 5

1. \overline{CE} (Chip Enable) : sert à sélectionner ou valider le boîtier (même chose que CS (Chip select))

\overline{OE} (output enable) : validation de l'opération de lecture de donnés (sortie des données) dans la RAM ou l'EPROM.

\overline{WE} (write enable) : validation de l'opération d'écriture de donnés dans la RAM.

2. On a 4 boîtiers RAM et 2 boîtiers EPROM. Chaque RAM a une capacité de 2Koctets et chaque EPROM a une capacité de 8Koctets. Donc :
 - la capacité totale de la RAM est : $4 \times 2\text{Koctets} = 8\text{Koctets}$
 - la capacité totale de l'EPROM est : $2 \times 8\text{Koctets} = 16\text{Koctets}$

3.

Boîtier	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	Plage d'adresses
A	1	1	0	x	x	x	x	x	x	x	x	x	x	x	x	x	\$C000 - \$DFFF
B	1	1	1	x	x	x	x	x	x	x	x	x	x	x	x	x	\$E000 - \$FFFF
C	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	\$0000 - \$07FF
D	0	0	0	0	1	x	x	x	x	x	x	x	x	x	x	x	\$0800 - \$0FFF
E	0	0	0	1	0	x	x	x	x	x	x	x	x	x	x	x	\$1000 - \$17FF
F	0	0	0	1	1	x	x	x	x	x	x	x	x	x	x	x	\$1800 - \$1FFF

4. espace adressable = adresse haute – adresse basse + 1

- espace adressable (A) = \$DFFF - \$C000 + 1 = \$1FFF + 1 = \$2000

$$= (0010\ 0000\ 0000\ 0000)_2 = 2^{13} = 8K$$

- espace adressable (B) = \$FFFF - \$E000 + 1 = \$1FFF + 1 = \$2000 = $2^{13} = 8K$

- espace adressable (C) = \$07FF - \$0000 + 1 = \$07FF + 1 = \$0800

$$= (0000\ 1000\ 0000\ 0000)_2 = 2^{11} = 2K$$

- espace adressable (D) = \$0FFF - \$0800 + 1 = \$07FF + 1 = \$0800 = $2^{11} = 2K$

- espace adressable (E) = \$17FF - \$1000 + 1 = \$07FF + 1 = \$0800 = $2^{11} = 2K$

- espace adressable (F) = \$1FFF - \$1800 + 1 = \$07FF + 1 = \$0800 = $2^{11} = 2K$

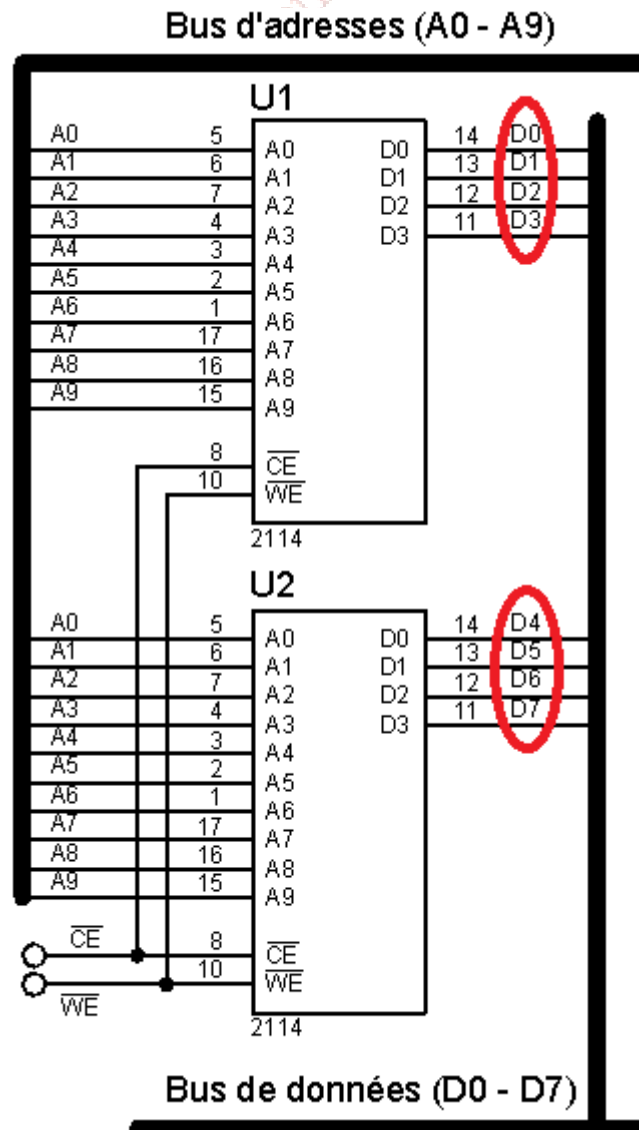
5. Pour faire la liaison entre les deux schémas, il suffit de lier A et B aux lignes \overline{CE} des EPROM (U2 et U4) et C, D, E et F aux lignes \overline{CE} des RAM (U1, U3, U5 et U6).

Exercice 6

a. Il s'agit d'une RAM. Ceci est justifié par la présence de la ligne \overline{WE} .

b. l'entrée \overline{WE} doit être placée sur le niveau bas en mode d'écriture et sur le niveau haut en mode de lecture.

- c. Le nombre de mots de cette mémoire est : 2^{10} (bus d'adresses : A0 – A9)
 et le nombre de bits par mot de cette mémoire est : 4 bits (bus de données : D0 – D3)
- d. La capacité de cette mémoire est : $2^{10} \times 4\text{bits} = 4\text{Kbits} = 2^9 \times 8\text{bits} = 512\text{ octets}$.
- e. Pour avoir une mémoire 1Koctets ($2 \times 512\text{ octets}$), il faut utilisée 2 circuits 2114 de la manière suivante :



- f. réalisation d'une carte de 2Koctets

