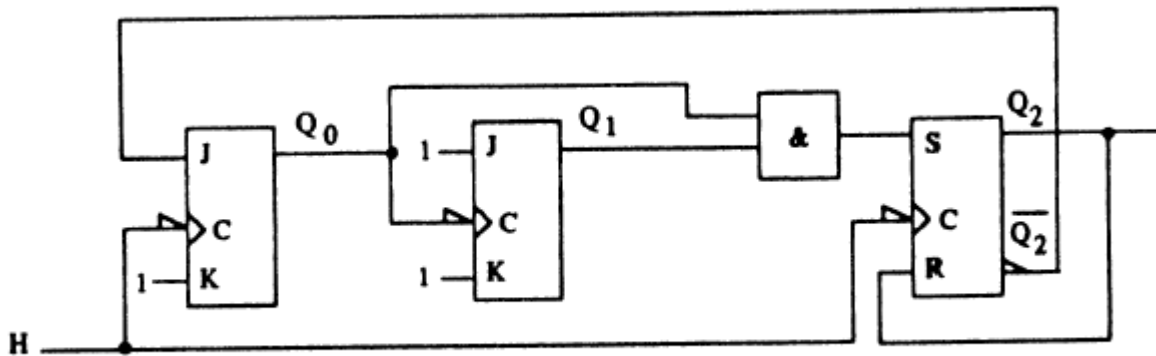


## Exercices de Compteurs

### A). Exercices sur les compteurs Asynchrones :

#### I). Exercice 1 :

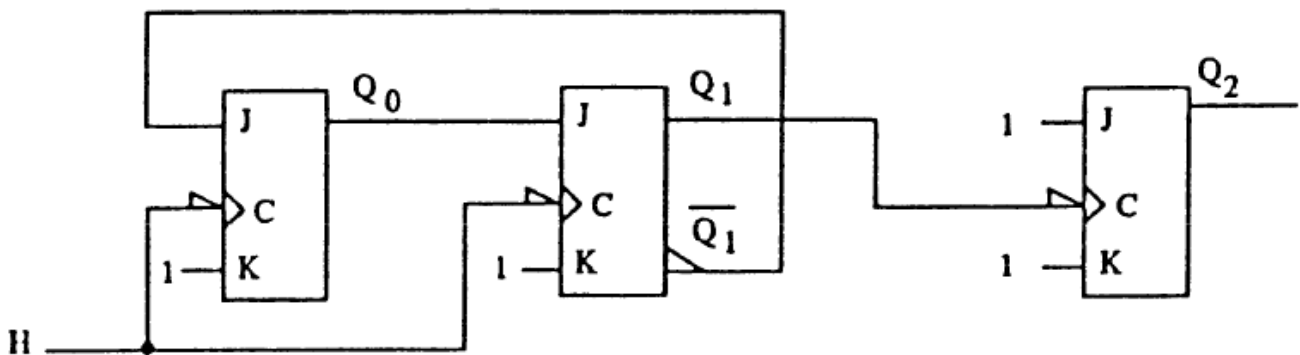
Donnez la succession des états du compteur suivant, celui-ci étant supposé à  $(000)_2$  au départ.



NB : on pensera à regarder les états non prévus dans le cycle.

#### II). Exercice 2 :

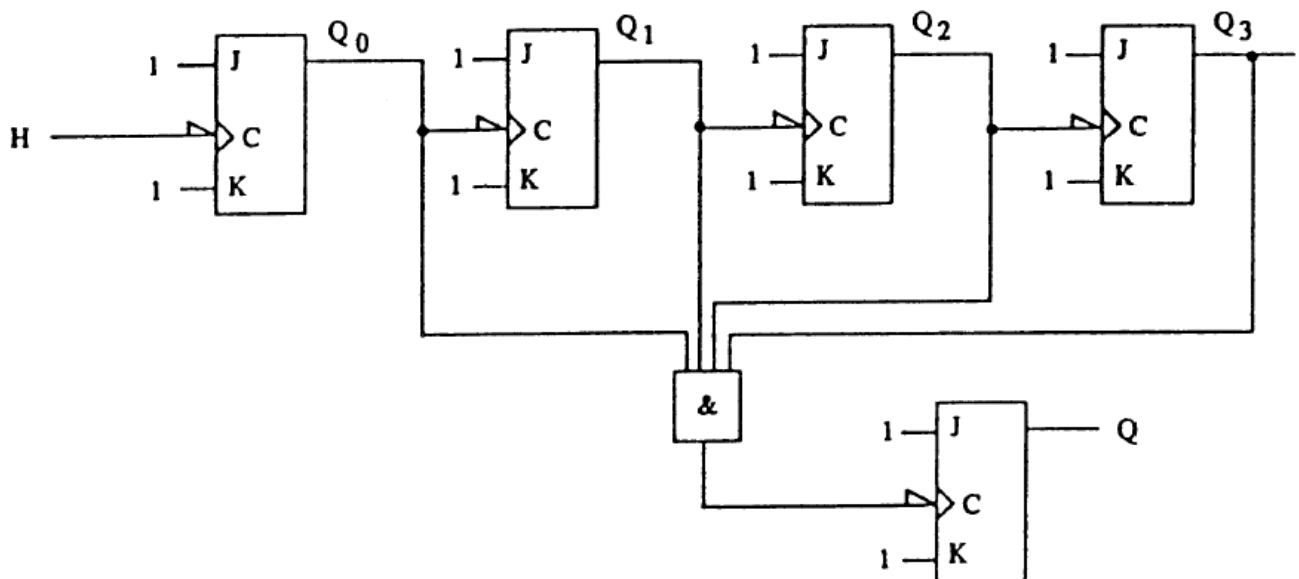
Donnez la succession des états du compteur suivant, celui-ci étant supposé à  $(000)_2$  au départ.



NB : on pensera à regarder les états non prévus dans le cycle.

#### III). Exercice 3 :

On considère un compteur asynchrone comptant suivant le code binaire pur, dont le schéma est donné ci-dessous :



Un circuit de décodage commande une autre bascule afin de mettre en évidence les états transitoires existants dans ce type de compteur. Toutes les bascules étant initialisées à 0, quel sera l'état de chaque bascule après chacune des 16 impulsions d'horloge ?

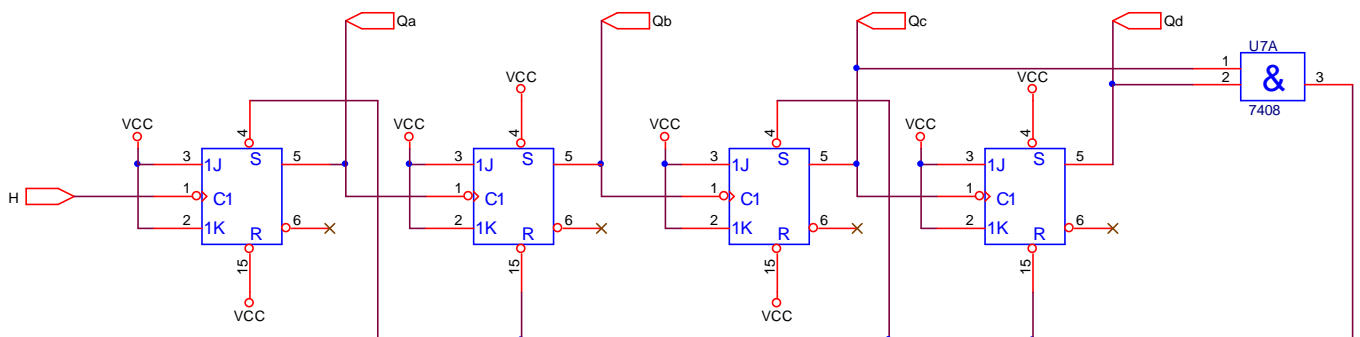
#### IV). Exercice 4 :

Effectuer la synthèse d'un compteur asynchrone par la méthode du rebouclage asynchrone.

- ☐ Modulo 5,
- ☐ Modulo 6,
- ☐ Modulo 10,
- ☐ Modulo 12.

#### V). Exercice 5 :

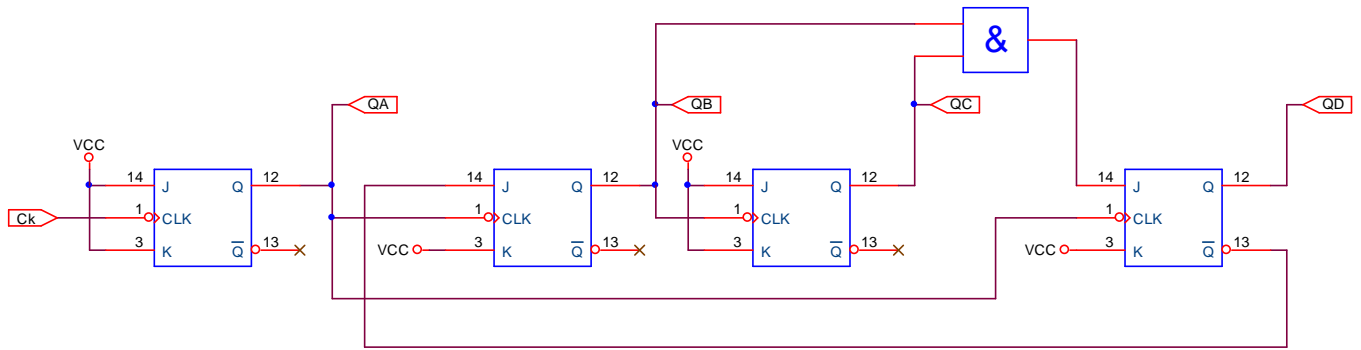
Donnez le cycle de comptage du schéma suivant :



N.B. : Prévoir tous les cas.

### **VI ). Exercice 6 :**

Donnez le cycle de comptage du schéma suivant :



N.B. : Prévoir tous les cas.

### **B). Exercices sur les compteurs Synchrones :**

#### **I ). Exercice 1 :**

### C). Exercice 10 :

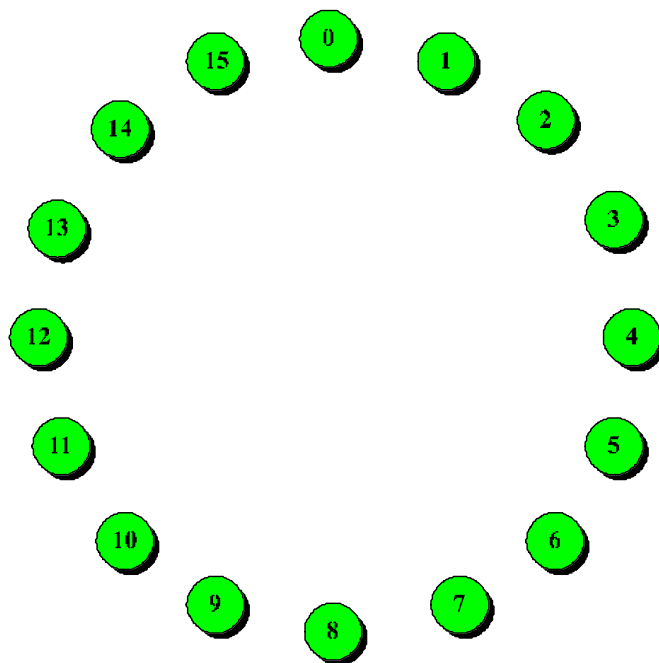
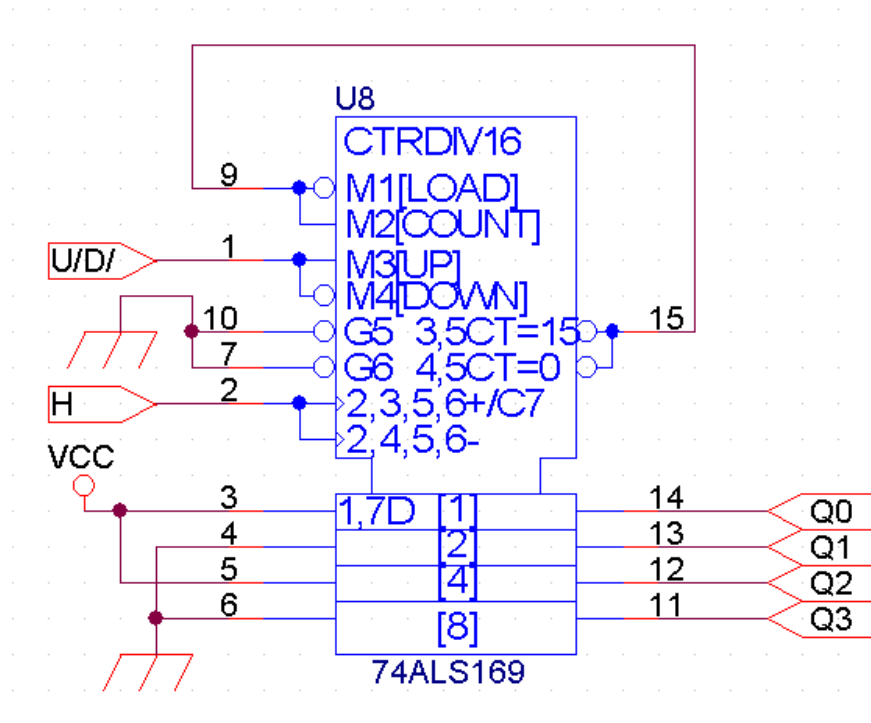
1). Donnez le diagramme des états des compteurs suivants :

74161 : Compteur - Décompteur binaire synchrone avec load synchrone et clear asynchrone,

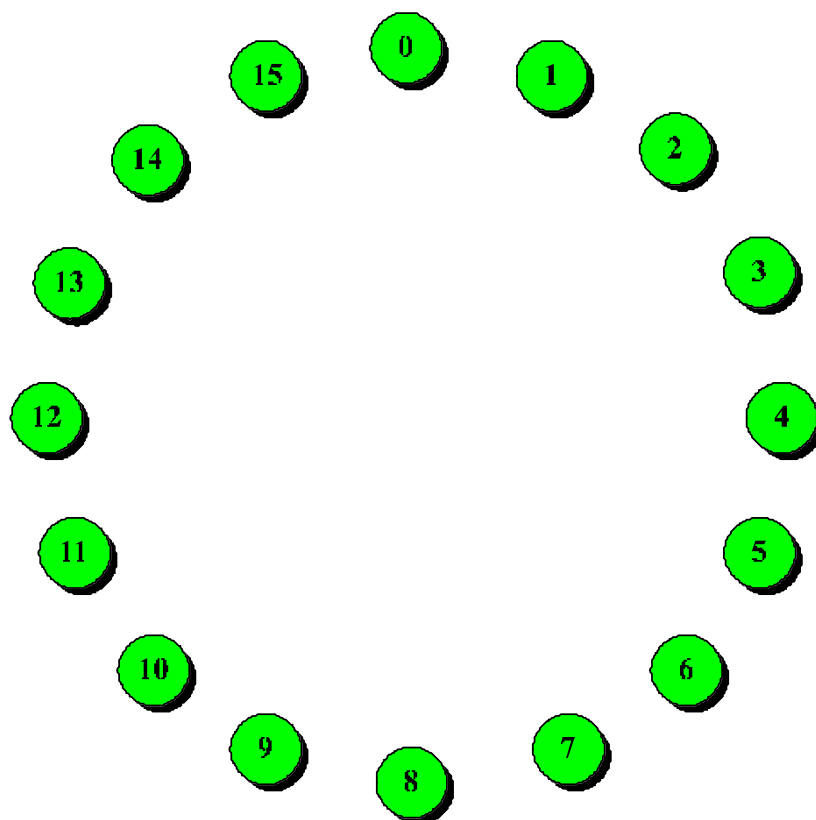
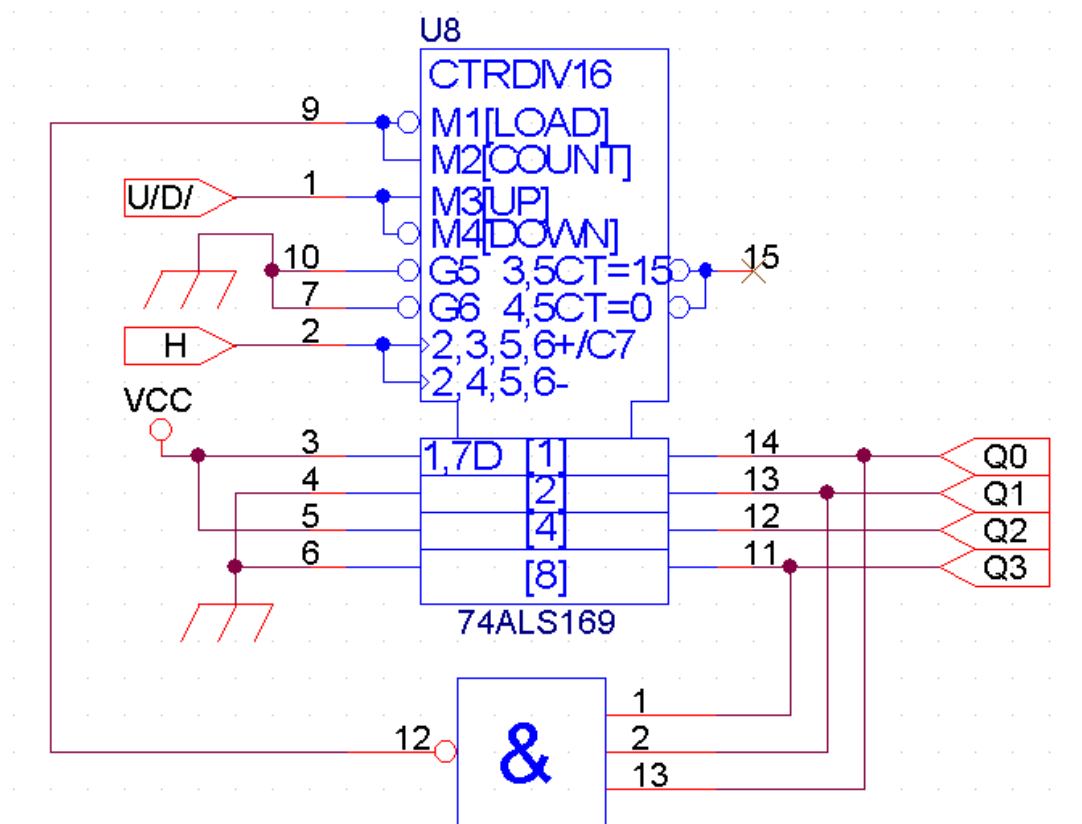
74163 : Compteur - Décompteur binaire synchrone avec load synchrone et clear synchrone,

74169 : Compteur - Décompteur binaire synchrone avec load synchrone et sans clear.

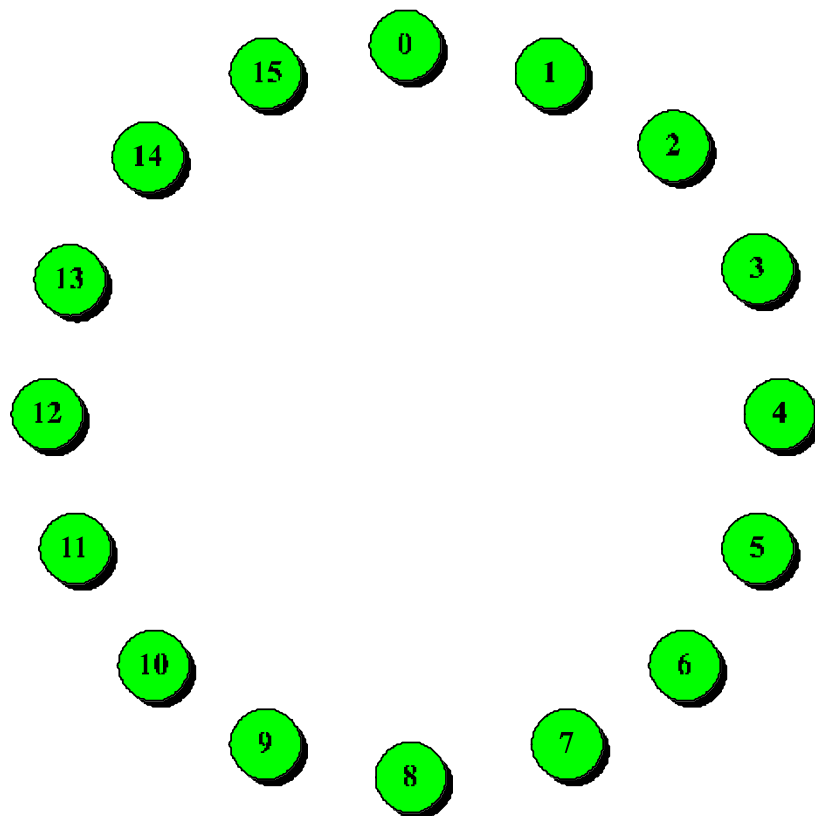
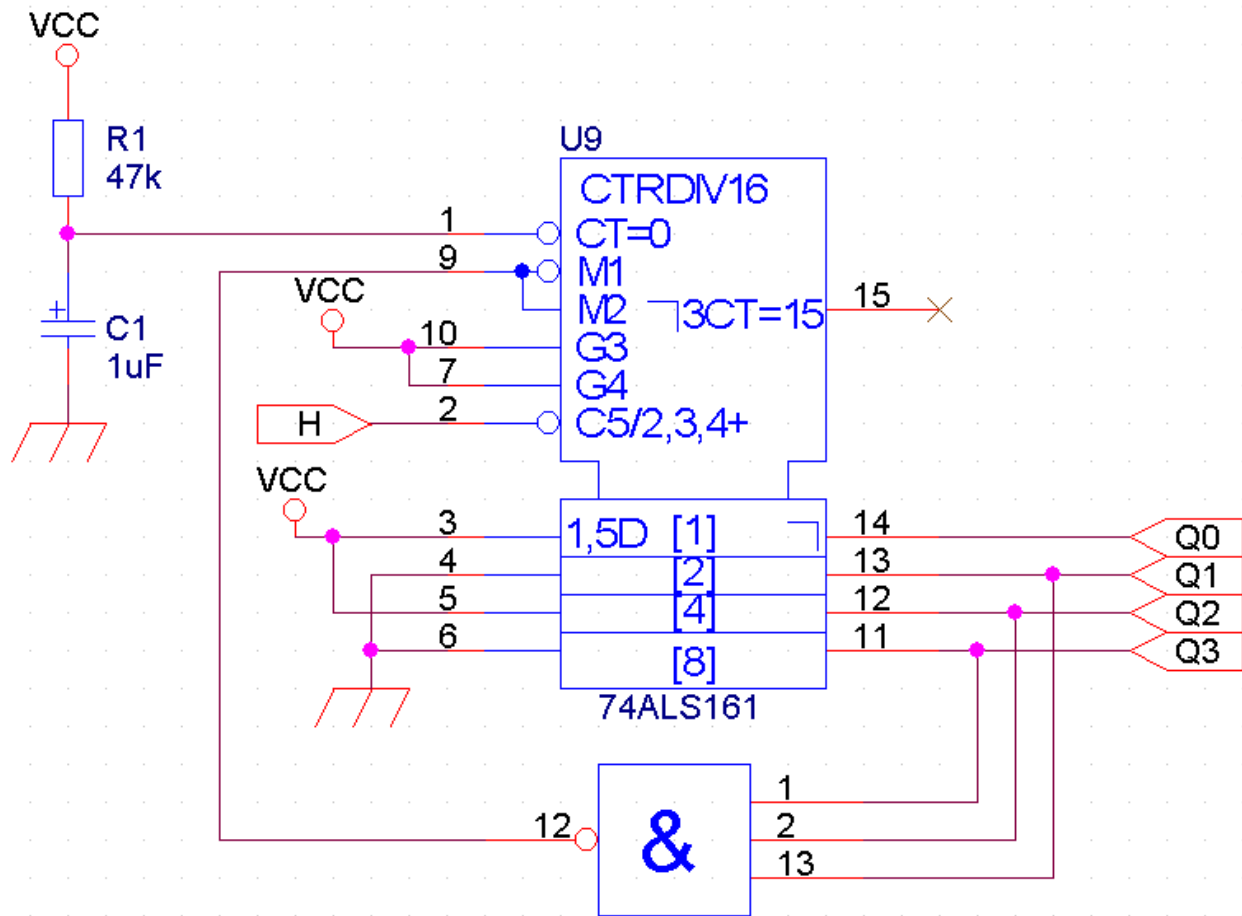
1\*). Schéma N°1 :



2\*). Schéma N°2 :



3\*). Schéma N°3 :



***II ). Faire la synthèse d'un Compteur – Décompteur synchrone modulo 3 tel que :***

Si C=0	Décompteur
Si C=1	Compteur

Si R=1	Remise à 2 si C=0
Si R=1	Remise à 0 si C=1

Si B=1	Blocage du
	Compteur-Décompteur

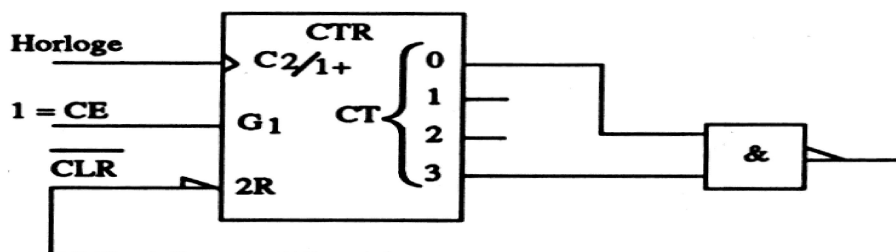
### D). Exercice 2 : Compteur programmable :

On considère un compteur 4 bits synchrone. Il dispose de deux commandes synchrones d'autorisation de comptage et de remise à zéro qui agissent selon la table suivante :

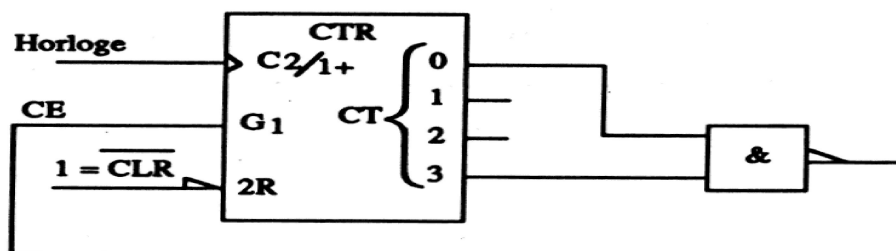
CE	CLR/	Fonctionnement :
1	1	Comptage
0	1	Mémoire
X	0	Mise à 0 à l'impulsion d'horloge suivante

Le compteur étant initialisé à 0, quelle est la séquence effectuée en effectuant les rebouclages suivants ?  
On vérifiera les états qui ne sont pas dans le cycle.

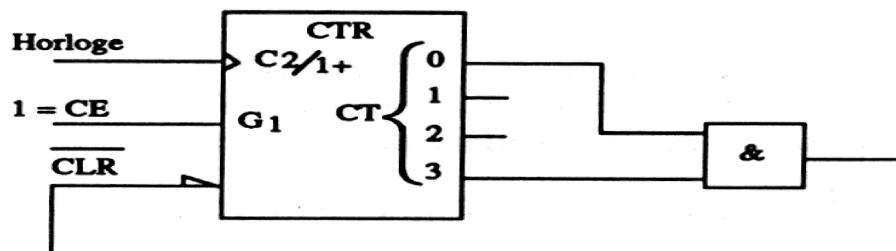
**a.**



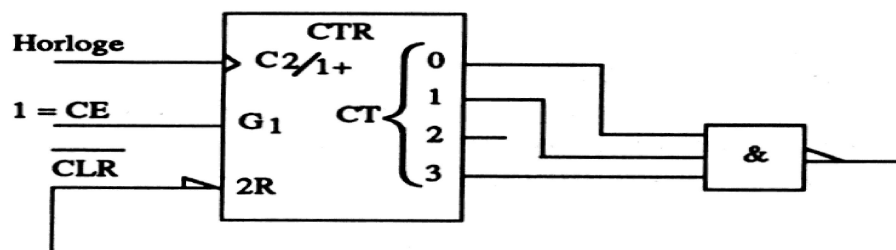
**b.**



**c.**



**d.**





***E). Exercice 3 :***

Avec le compteur précédent, on veut obtenir le fonctionnement suivant :

Soit une commande C :

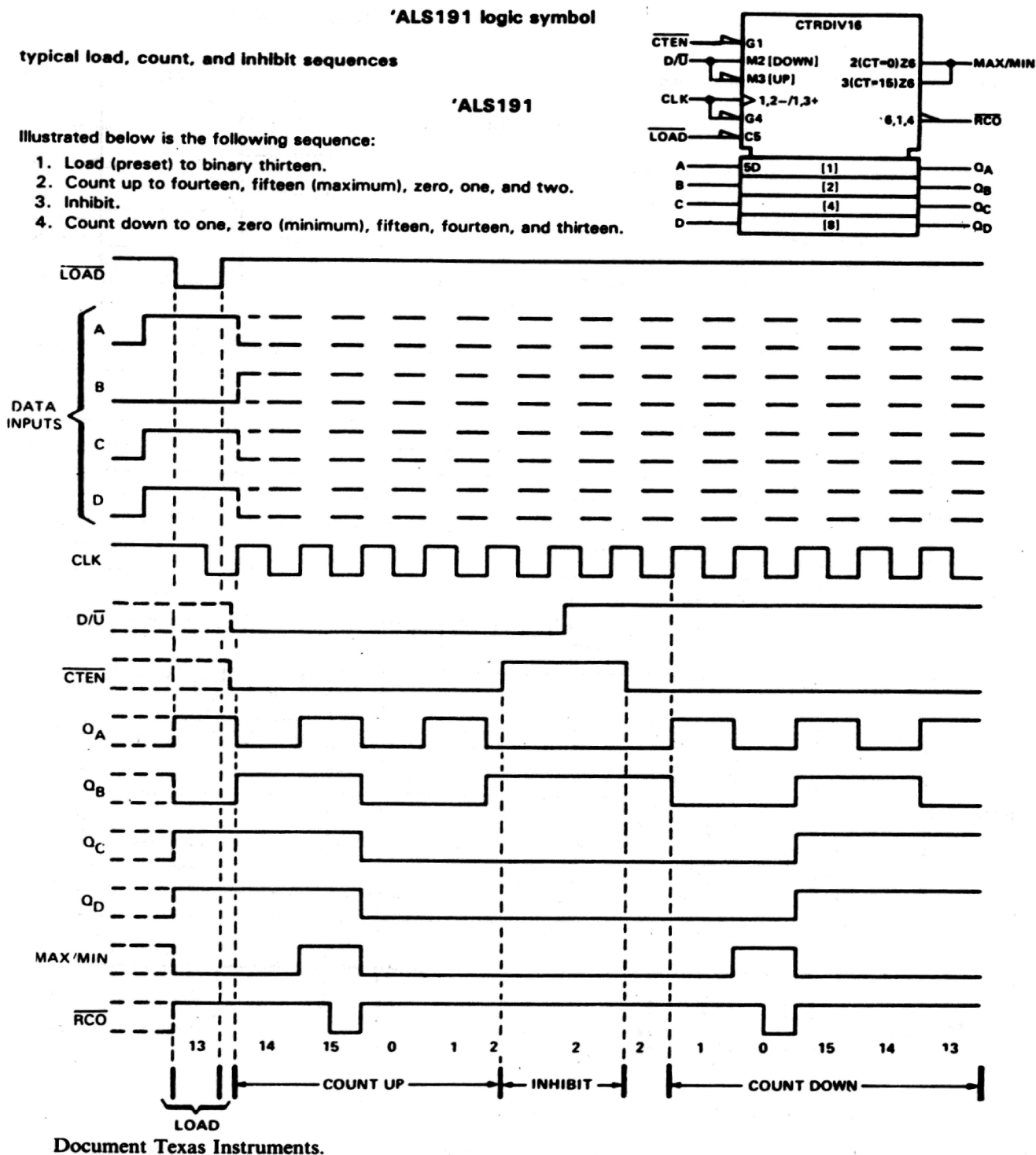
Si  $C=0$  ; le compteur termine le cycle en cours et s'arrête de compter lorsque le compteur atteint 15.

Si  $C=1$  ; le compteur étant à 15, il permet de recommencer un nouveau cycle. Le compteur n'étant pas à 15, C n'a pas d'effet sur le cycle.

Proposer un schéma pour réaliser ce système.

### F). Exercice 4 :

A l'aide du compteur commercialisé sous la référence 74191 et dont un chronogramme est donné ci-dessous :



- Réaliser un dispositif délivrant une impulsion toutes les 5 impulsions d'horloge.
- Même question pour obtenir une impulsion toutes les 6 impulsions d'horloge.
- Même question pour obtenir une impulsion toutes les 12 impulsions d'horloge.

**Problème de compteur**

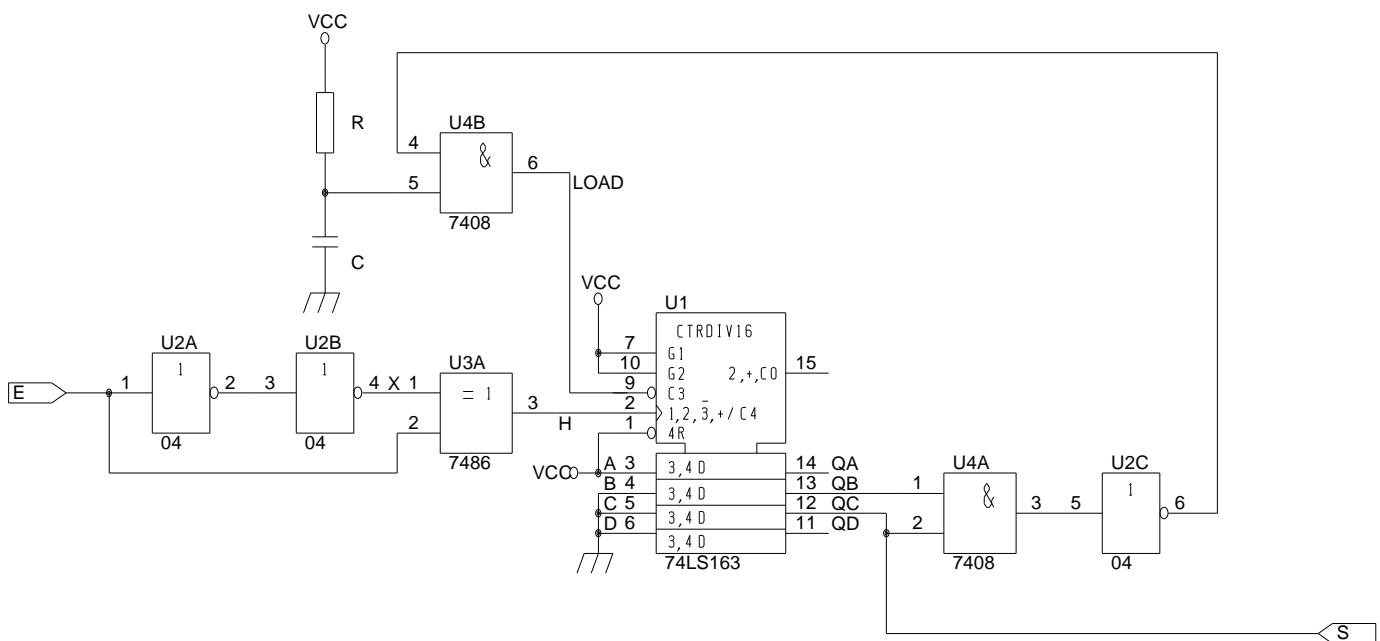
Le système ci-dessous utilise un compteur synchrone à chargement synchrone dont les caractéristiques sont données en annexes. Le signal logique d'entrée E est un signal carré de période  $T \ll RC$  ; S est le signal de sortie.

1°) On suppose que les inverseurs I1 et I2 introduisent chacun un délai de commutation  $\Theta \ll T$ . Dessinez les chronogrammes de E, X, et H ; montrer que cette partie du système réalise un doubleur de fréquence.

2°) Quel est l'état des sorties QA, QB, QC, QD à la mise sous tension.

3°) Donnez le diagramme des états du compteur, puis dessiner le signal S. Quelle est la période du signal de sortie ?

4°) Quelles modifications faut-il apporter à ce montage pour que le système réalise une division de fréquence par 5 ?

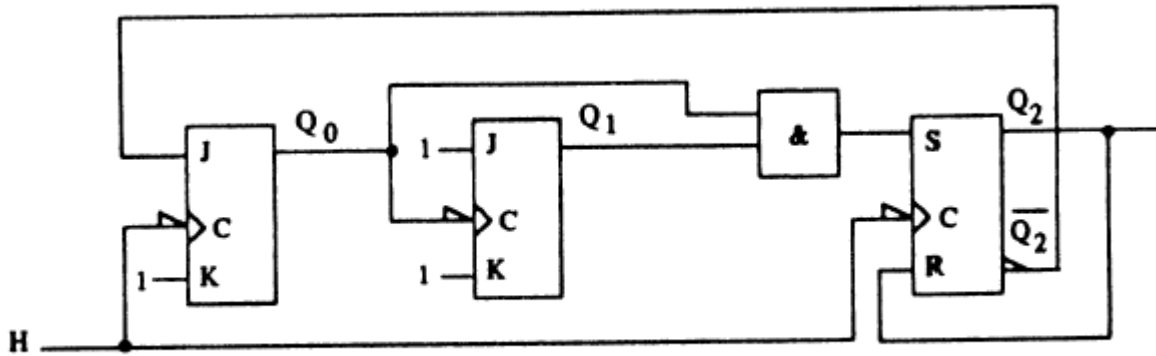


## CORRECTION EXERCICES

### A). Exercices sur les compteurs Asynchrones :

#### I). Exercice 1 :

Donnez la succession des états du compteur suivant, celui-ci étant supposé à  $(000)_2$  au départ.



NB : on pensera à regarder les états non prévus dans le cycle.

$(Q_0Q_1Q_2)_{t=0} = 000_2$

Après une impulsion d'horloge  $(Q_0Q_1Q_2)_{t=0} = 001_2$

Après la deuxième impulsion d'horloge  $(Q_0Q_1Q_2)_{t=0} = 010_2$

Après la troisième impulsion d'horloge  $(Q_0Q_1Q_2)_{t=0} = 011_2$

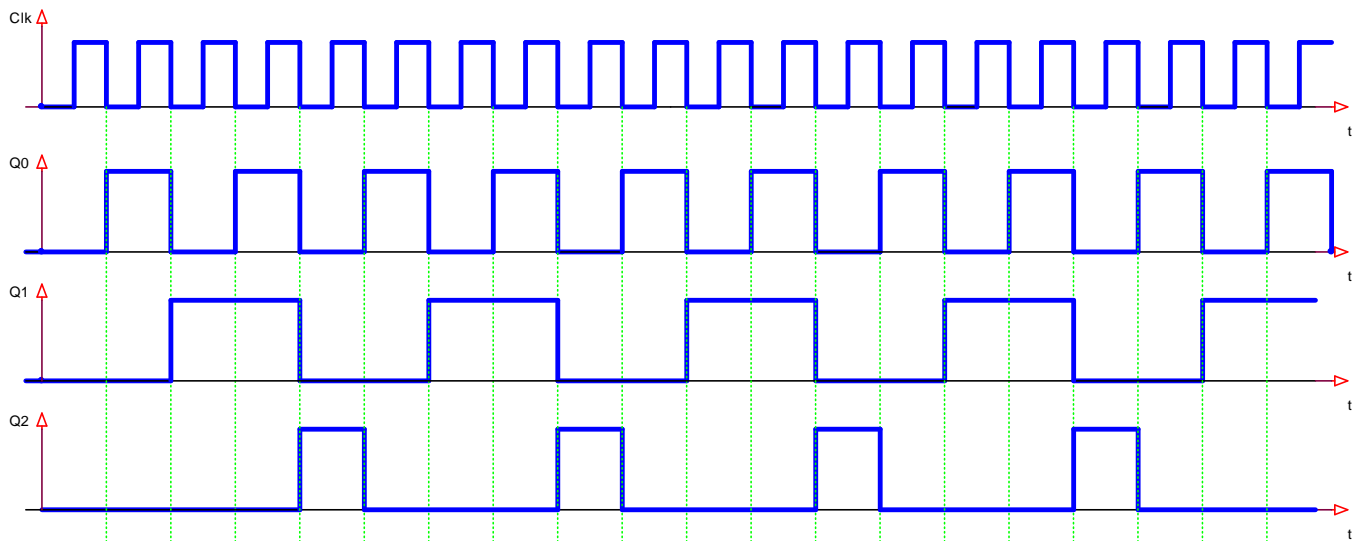
Après la quatrième impulsion d'horloge  $(Q_0Q_1Q_2)_{t=0} = 100_2$

Après la cinquième impulsion d'horloge  $(Q_0Q_1Q_2)_{t=0} = 000_2$  et le cycle recommence.

Pour  $(Q_0Q_1Q_2)_{t=0} = 101_2$ , après une impulsion, on a  $(Q_0Q_1Q_2)_{t=0} = 010_2$

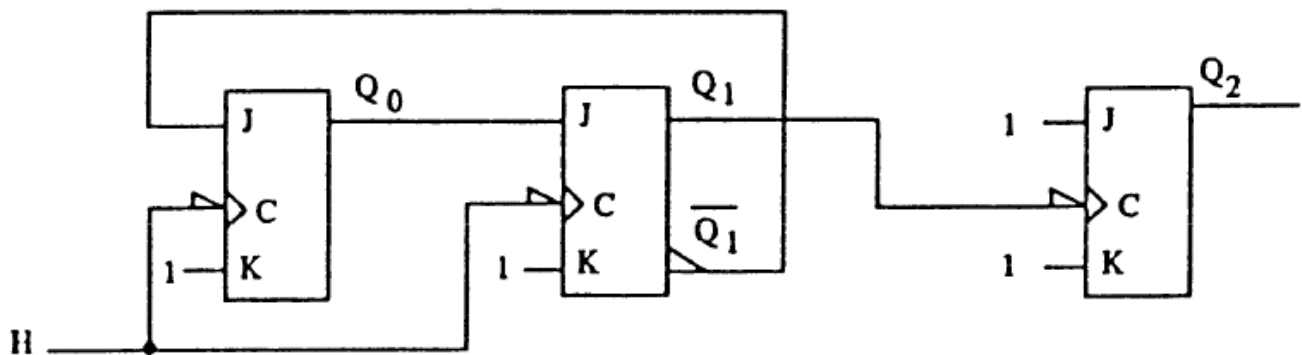
Pour  $(Q_0Q_1Q_2)_{t=0} = 110_2$ , après une impulsion, on a  $(Q_0Q_1Q_2)_{t=0} = 010_2$

Pour  $(Q_0Q_1Q_2)_{t=0} = 111_2$ , après une impulsion, on a  $(Q_0Q_1Q_2)_{t=0} = 010_2$  ?



## II ). Exercice 2 :

Donnez la succession des états du compteur suivant, celui-ci étant supposé à  $(000)_2$  au départ.



NB : on pensera à regarder les états non prévus dans le cycle.

$(Q_0Q_1Q_2)_{t=0}=000_2$

Après une impulsion d'horloge  $(Q_0Q_1Q_2)_{t=0}=001_2$

Après la deuxième impulsion d'horloge  $(Q_0Q_1Q_2)_{t=0}=010_2$

Après la troisième impulsion d'horloge  $(Q_0Q_1Q_2)_{t=0}=100_2$

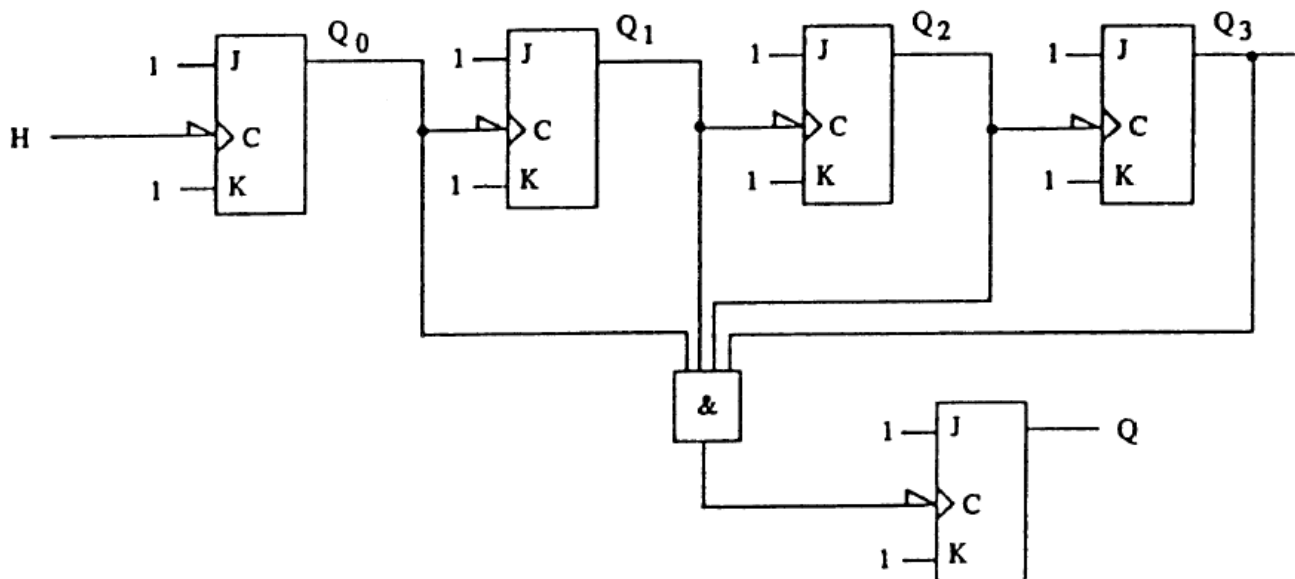
Après la quatrième impulsion d'horloge  $(Q_0Q_1Q_2)_{t=0}=101_2$

Après la cinquième impulsion d'horloge  $(Q_0Q_1Q_2)_{t=0}=110_2$

Après la sixième impulsion d'horloge  $(Q_0Q_1Q_2)_{t=0}=000_2$  et le cycle recommence.

## III ). Exercice 3 :

On considère un compteur asynchrone comptant suivant le code binaire pur, dont le schéma est donné ci-dessous :



Un circuit de décodage commande une autre bascule afin de mettre en évidence les états transitoires existants dans ce type de compteur. Toutes les bascules étant initialisées à 0, quel sera l'état de chaque bascule après chacune des 16 impulsions d'horloge ?

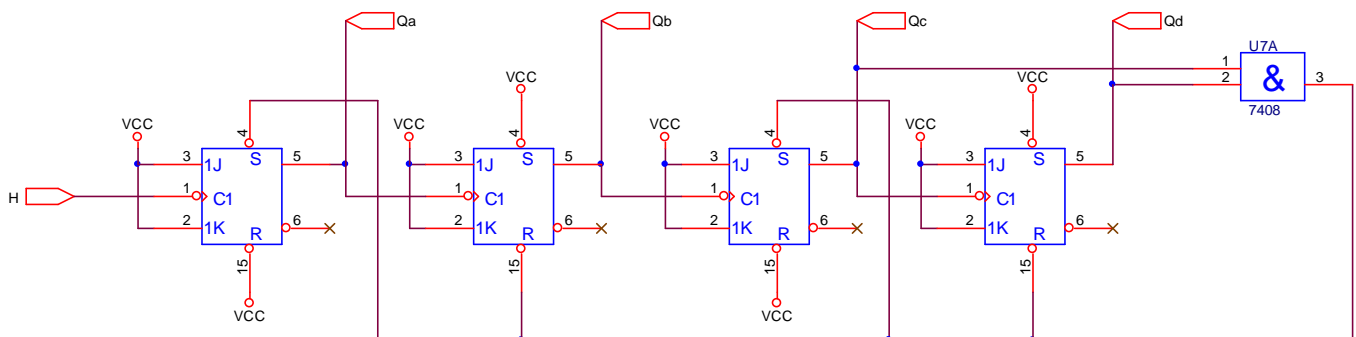
#### IV). Exercice 4 :

Effectuer la synthèse d'un compteur asynchrone par la méthode du rebouclage asynchrone.

- ☐ Modulo 5,
- ☐ Modulo 6,
- ☐ Modulo 10,
- ☐ Modulo 12.

#### V). Exercice 5 :

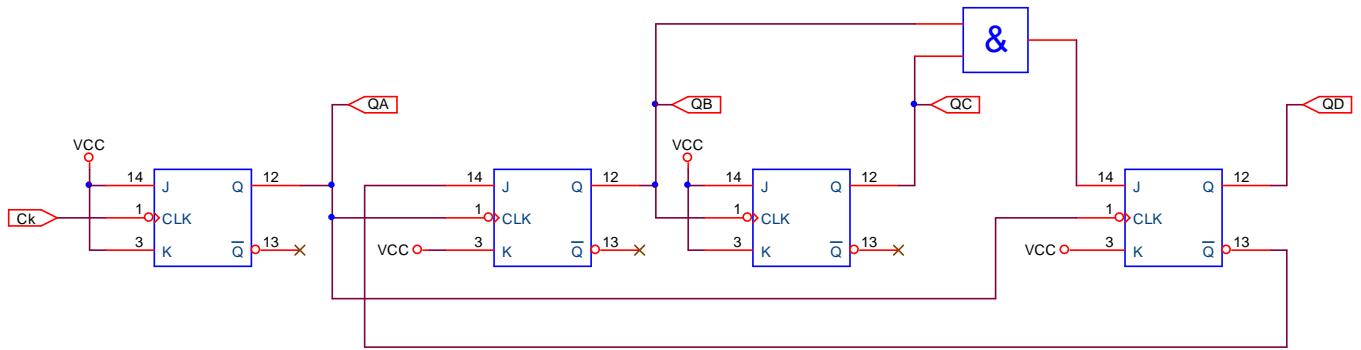
Donnez le cycle de comptage du schéma suivant :



N.B. : Prévoir tous les cas.

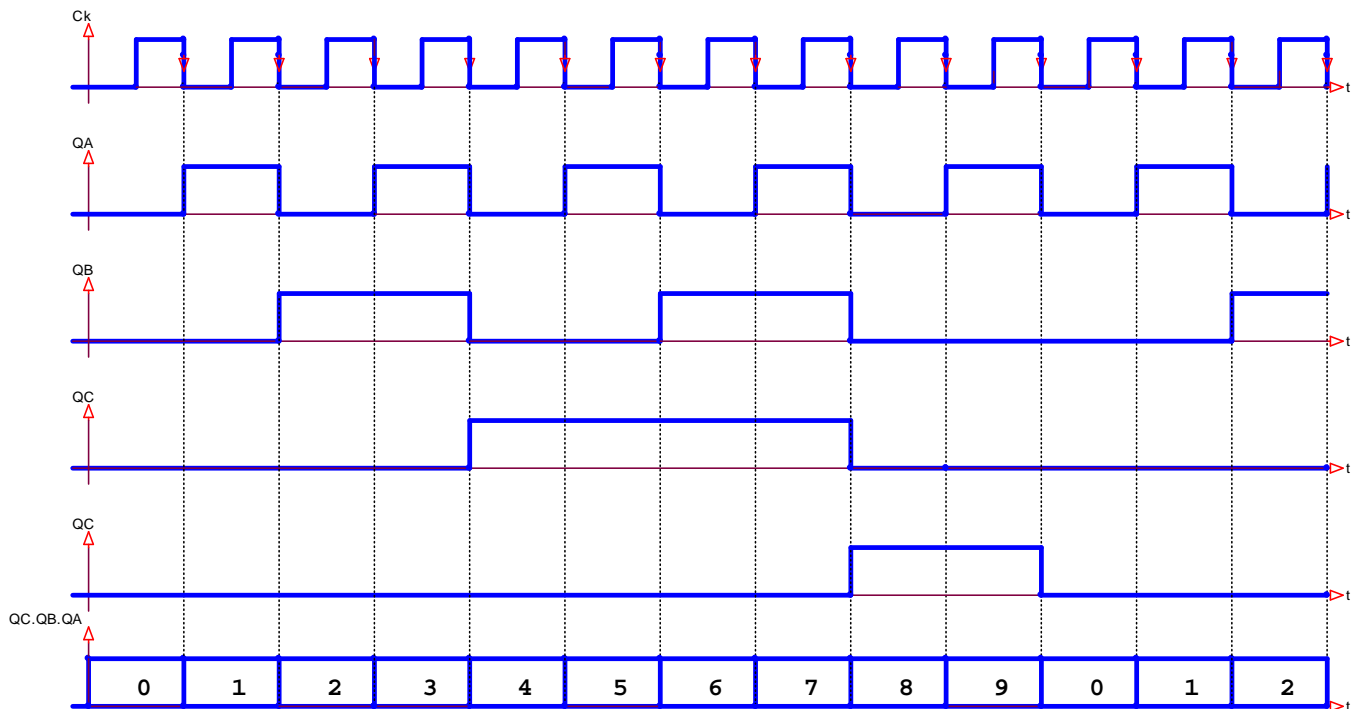
## VI ). Exercice 6 :

Donnez le cycle de comptage du schéma suivant :



N.B. : Prévoir tous les cas.

On a affaire à un compteur modulo 10 :



## B). Exercices sur les compteurs Synchrones :

### I ). Exercice 1 :

## C). Exercice 10 :

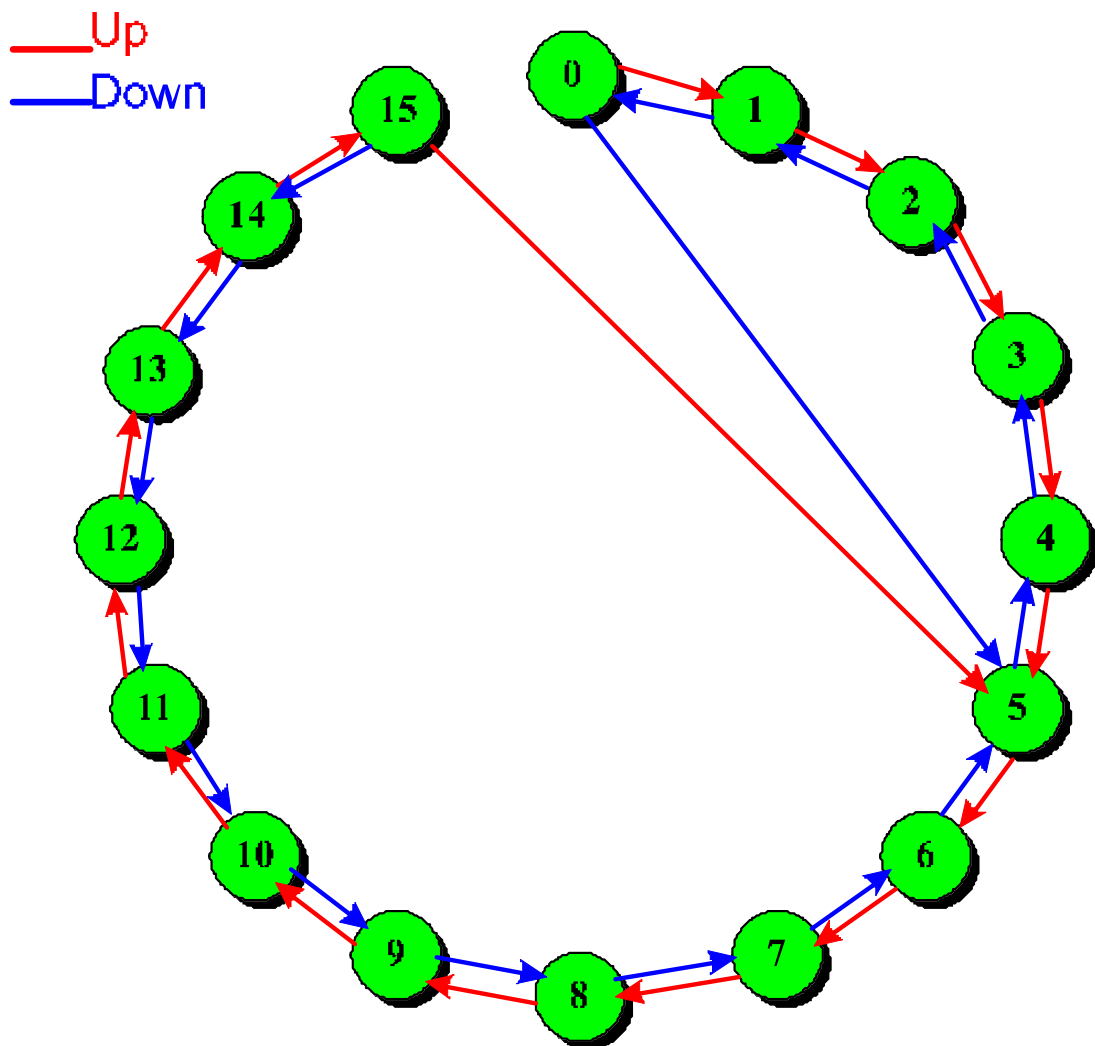
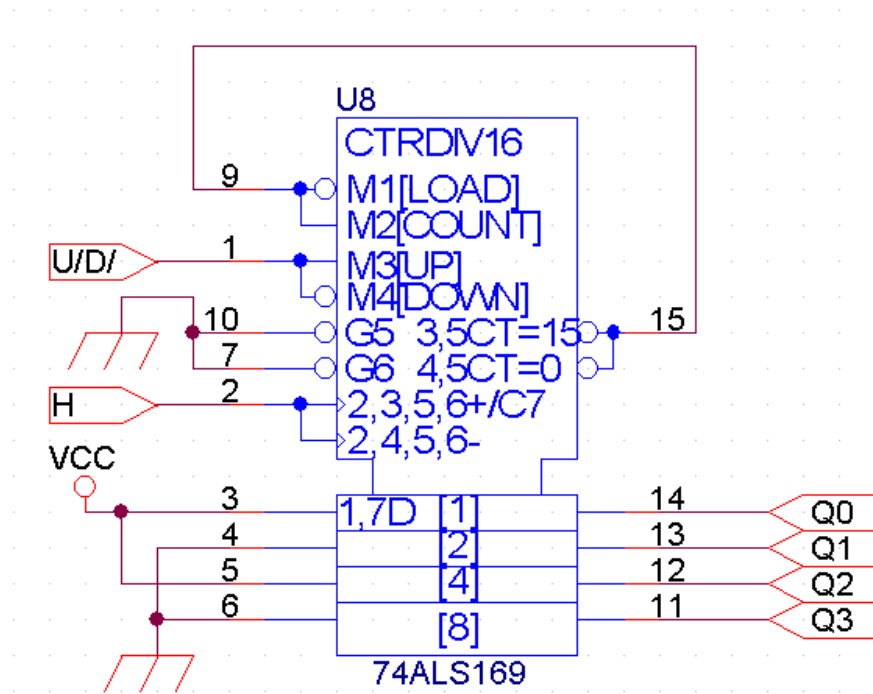
### I ). Donnez le diagramme des états des compteurs suivants :

**74161 :** Compteur - Décompteur binaire synchrone avec load synchrone et clear asynchrone,

**74163 :** Compteur - Décompteur binaire synchrone avec load synchrone et clear synchrone,

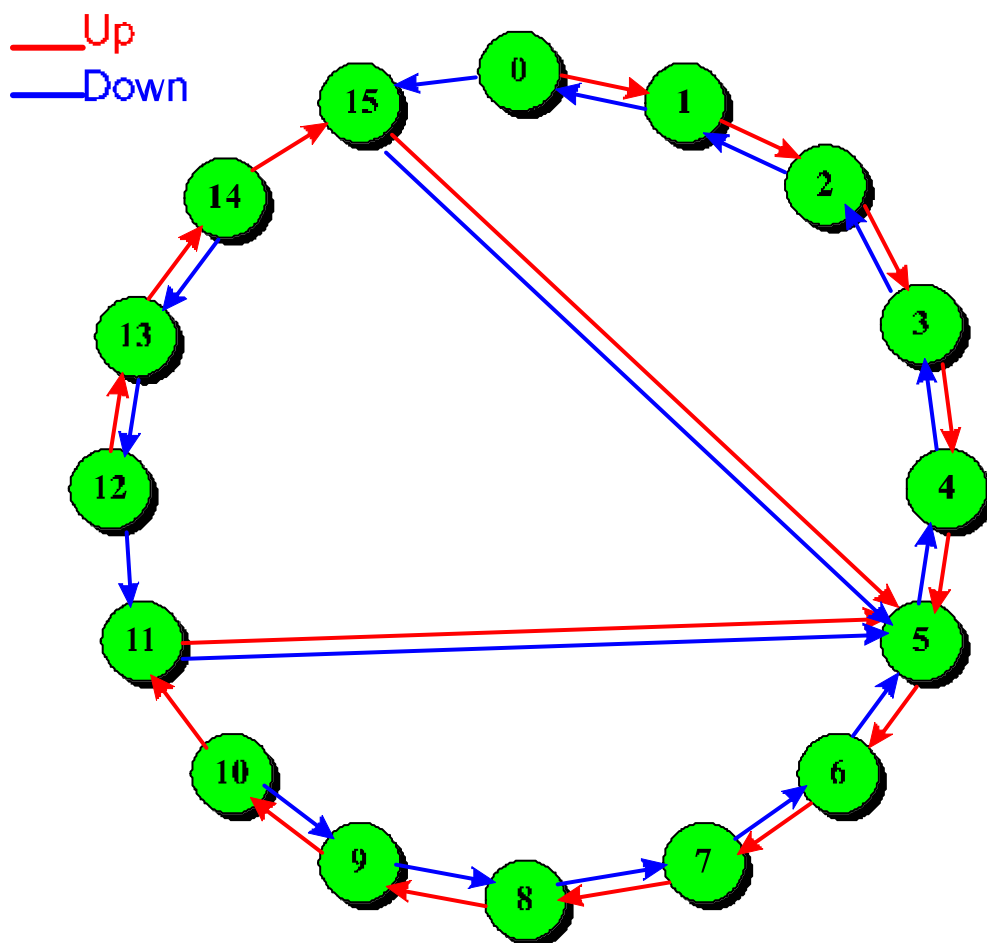
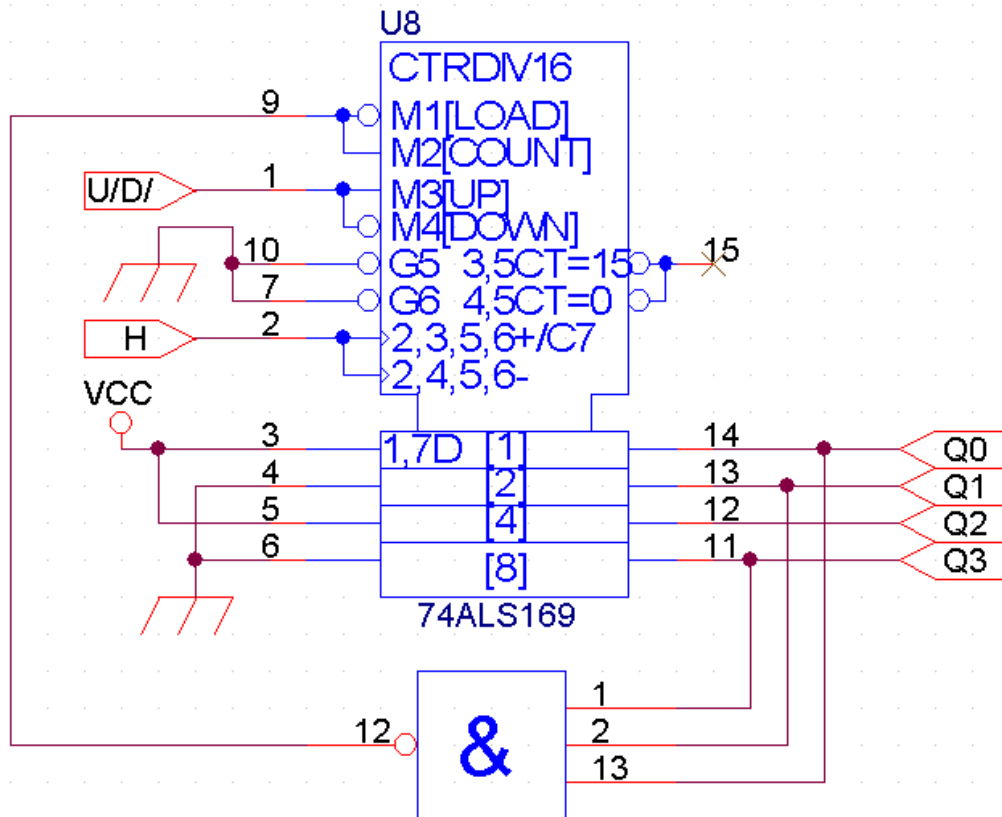
**74169 :** Compteur - Décompteur binaire synchrone avec load synchrone et sans clear.

1°). Schéma N°1 :

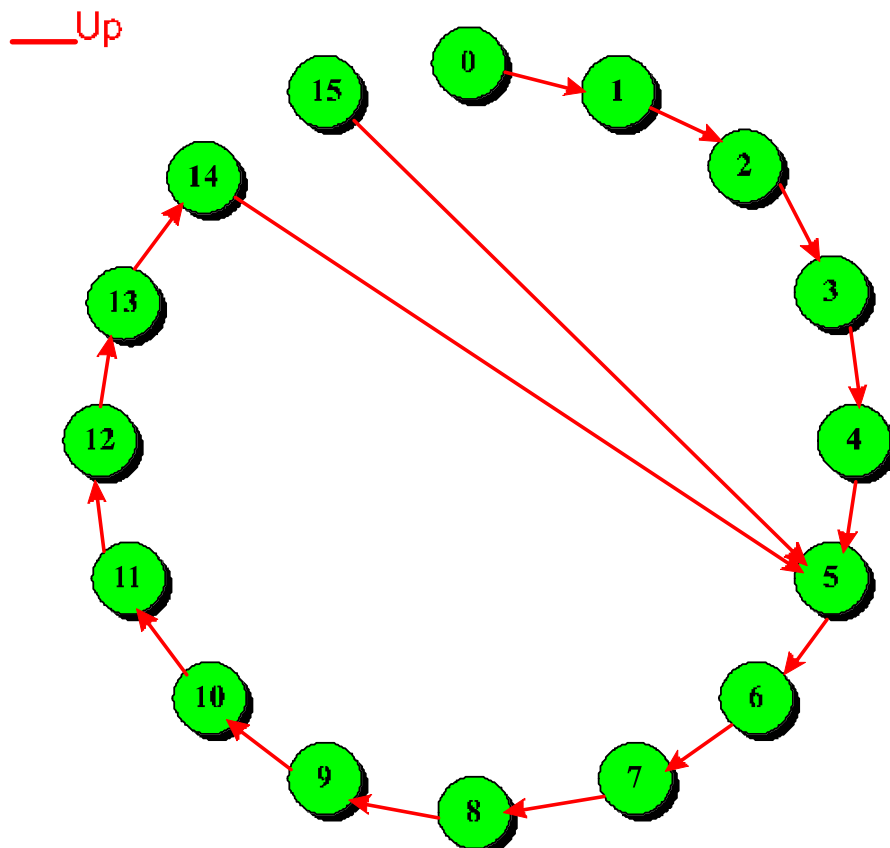
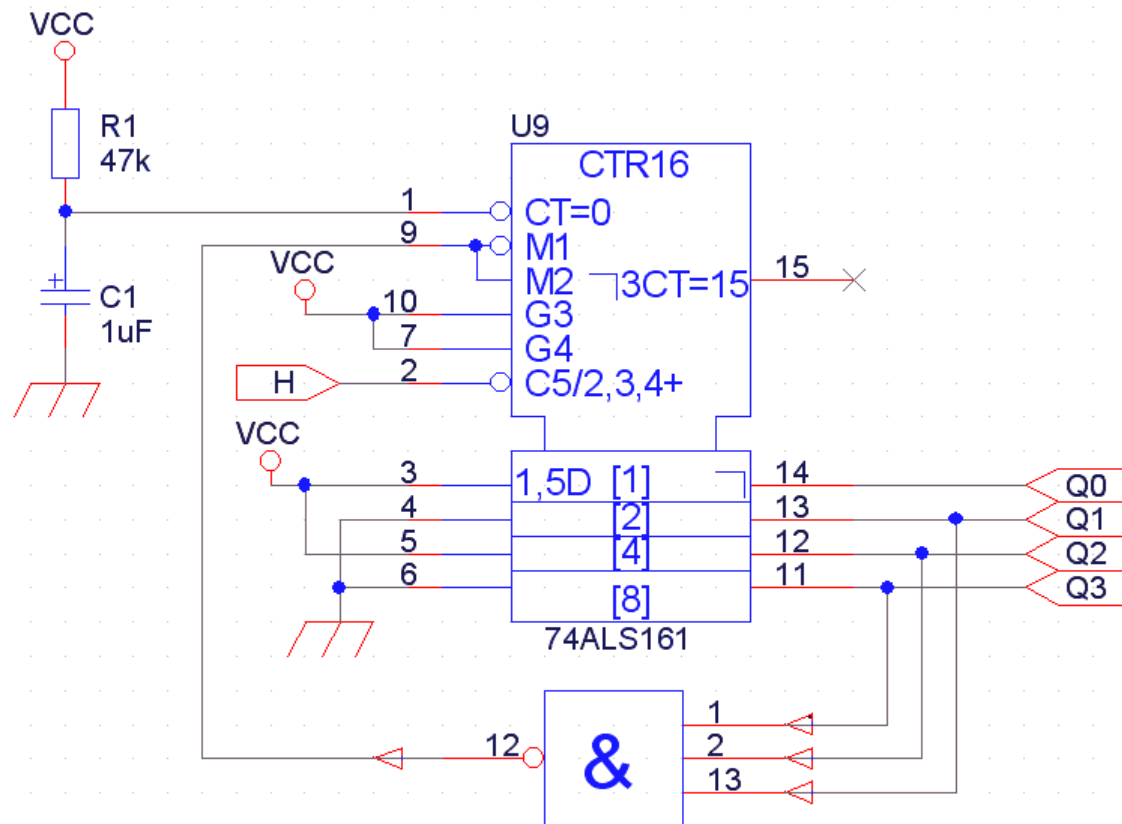




2\*). Schéma N°2 :



3\*). Schéma N°3 :



***II ). Faire la synthèse d'un Compteur – Décompteur synchrone modulo 3 tel que :***

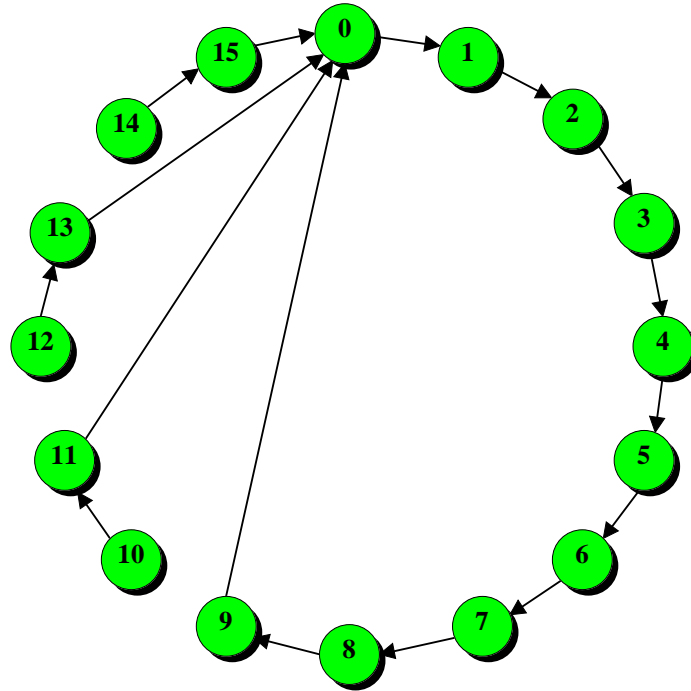
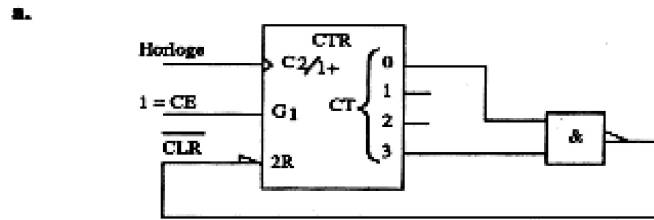
Si C=0	Décompteur
Si C=1	Compteur

Si R=1	Remise à 2 si C=0
Si R=1	Remise à 0 si C=1

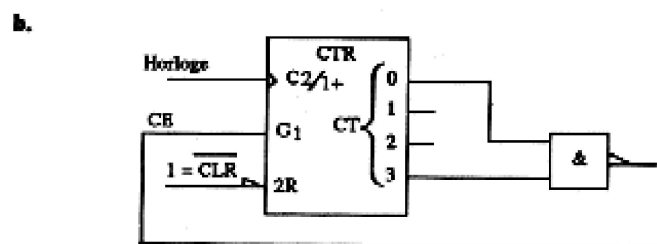
Si B=1	Blocage du
	Compteur-Décompteur

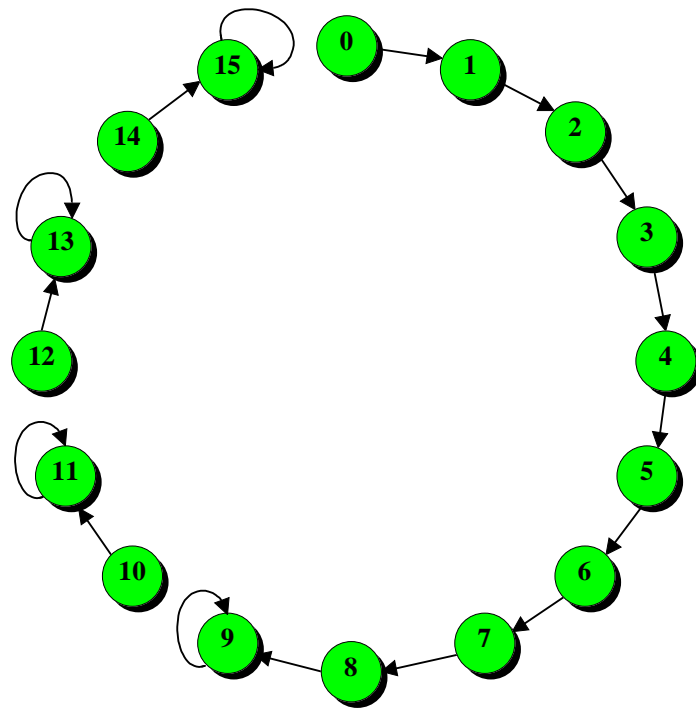
D). Exercice 2 :

a)



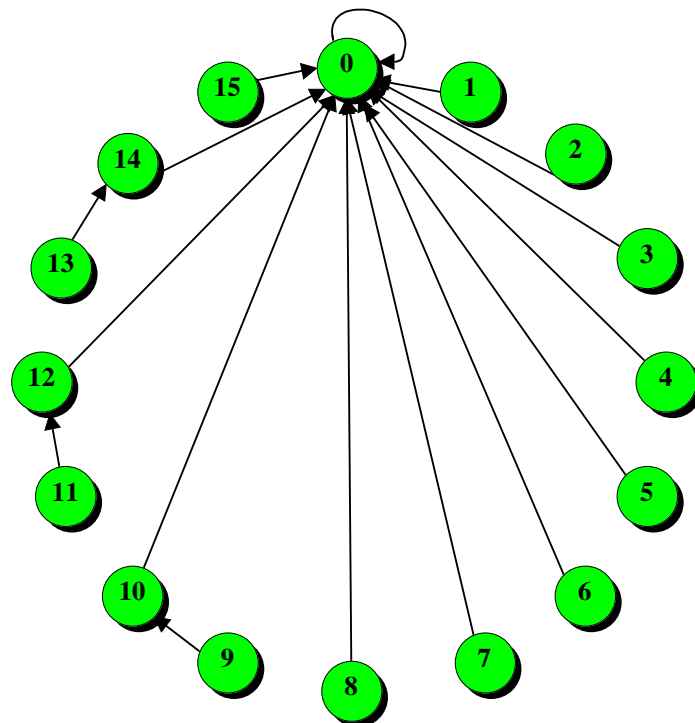
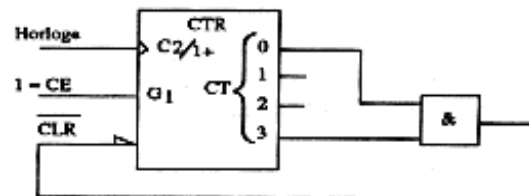
b)





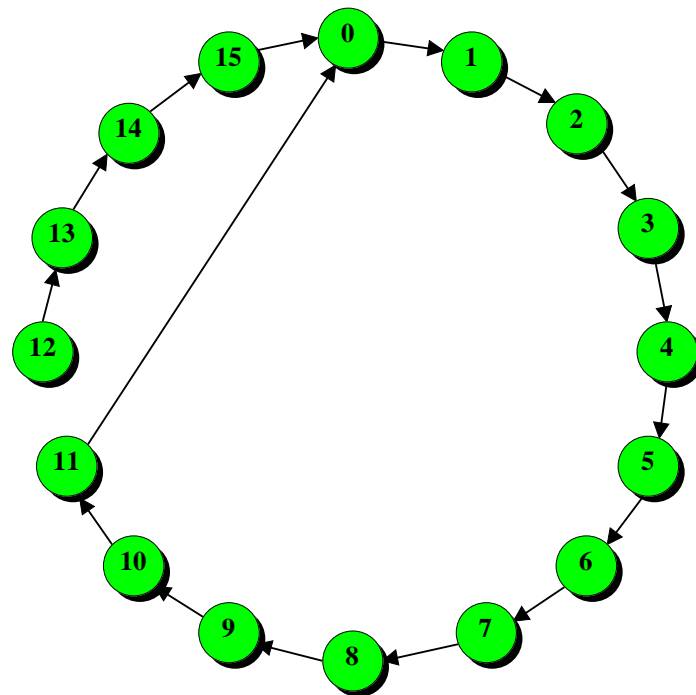
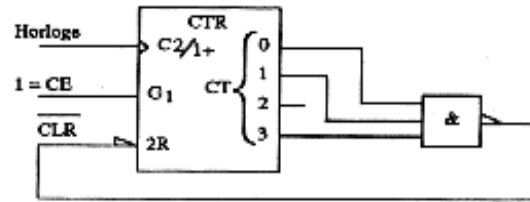
c)

c.



d)

d.



II ). Exercice 3 :