

Pré-requis

Définitions et représentations des variables et fonctions logiques combinatoires

Minimisation des fonctions logiques par les Tables de KARNAUGH

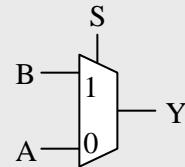
Codage binaire naturel

Représentation des nombres signés

Réalisation matérielle des fonctions logiques combinatoires élémentaires par des composants électroniques SSI

Exercice n° 1

La fonction Multiplexeur 2 vers 1, dont le symbole logique est représenté Figure 1, correspond à la définition donnée Figure 2.



- Figure 1 -

1- Après avoir établi la Table de Vérité puis le tableau de KARNAUGH de cette fonction Multiplexeur, donner l'expression de la sortie Y en fonction des entrées A et B et du signal de sélection S,

- en effectuant une synthèse sur les 1,
(expression sous la forme d'une somme de produits),
- en effectuant une synthèse sur les 0,
(expression sous la forme d'un produit de sommes),
- vérifier l'égalité des 2 expressions.

Définition

Si le signal de contrôle S vaut 0
alors le multiplexeur transmet le
signal d'entrée A vers la sortie Y,
sinon,
le multiplexeur transmet le
signal d'entrée B vers la sortie Y.

- Figure 2 -

On peut commencer l'exercice par quelques mots sur la description comportementale des fonctions et circuits logiques (et analogiques) en s'appuyant sur la définition du multiplexeur donnée dans l'énoncé. Cette description comportementale n'est en fait qu'une façon de représenter les choses parmi d'autres (table de vérité, chronogramme, schéma, ...)

S	B	A	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Table de Vérité

Etablir la table de vérité en respectant une logique à priori évidente dans l'ordre des colonnes d'entrée : SBA (ou SAB).

Compléter la table de vérité soit en suivant l'ordre binaire naturel dans les colonnes d'entrée SBA, soit en suivant la séquence 01010101 dans la colonne A, la séquence 00110011 dans la colonne B, la séquence 00001111 dans la colonne S.

		BA			
		00	01	11	10
S	0	0	1	1	0
	1	0	0	1	1

Tableau de KARNAUGH

Etablir la table de KARNAUGH en respectant également une logique à priori évidente : B et A en colonnes, S suivant les lignes.

B et A sont pris dans l'ordre de la table de vérité.

A souligner : l'ordre binaire réfléchi pour les colonnes (et les lignes).

a) synthèse sur les 1

On cherche l'expression de Y sous la forme d'une somme (OU) de produits (ET).
Cette première forme est appelée forme canonique conjonctive ou forme $\sum \Pi$.

L'expression de Y est :

$$Y = (\text{Minterm}) + (\text{Minterm}) + \dots$$

Un Minterm est également appelé monôme.

Cette forme signifie que Y vaut 1 dès qu'un Minterm est égal à 1.

Dans la table de KARNAUGH on va donc rechercher les adjacences de 1
par groupes de 2 ou par groupes de 4 (ou par groupes de 8) afin
d'éliminer les variables prenant la valeur 0 et 1.

Chaque groupe de 1 adjacents donne un Minterm réduit.

		BA			
		00	01	11	10
S	0	0	1	1	0
	1	0	0	1	1

Tableau de KARNAUGH

Minterm réduit $\overline{S} \cdot A$

		BA			
		00	01	11	10
S	0	0	1	1	0
	1	0	0	1	1

Tableau de KARNAUGH

Minterm réduit $B \cdot A$

		BA			
		00	01	11	10
S	0	0	1	1	0
	1	0	0	1	1

Tableau de KARNAUGH

Minterm réduit $S \cdot B$

Ce Minterm est absorbé par les 2 autres

On réunit tous les Minterm dans le même tableau

		BA			
		00	01	11	10
S	0	0	1	1	0
	1	0	0	1	1

Tableau de KARNAUGH

On déduit l'expression $\sum \Pi$ de Y

$$Y = (\overline{S} \cdot A) + (S \cdot B)$$

b) synthèse sur les 0

On cherche l'expression de Y sous la forme d'un produit (ET) de sommes (OU).
Cette deuxième forme est appelée forme $\Pi\Sigma$.

L'expression de Y est :

$$Y = (\text{Maxterm}) \cdot (\text{Maxterm}) \cdot \dots$$

Un Maxterm est également appelé monal.

Cette forme signifie que Y vaut 0 dès qu'un Maxterm est égal à 0.

Dans la table de KARNAUGH on va donc rechercher les adjacences de 0 par groupes de 2 ou par groupes de 4 ou par groupes de 8 ou afin d'éliminer les variables prenant la valeur 0 et 1.

Chaque groupe de 0 adjacents donne un Maxterm.

		BA			
		00	01	11	10
S	0	0	1	1	0
	1	0	0	1	1

Tableau de KARNAUGH

Maxterm réduit $\bar{S} + B$

		BA			
		00	01	11	10
S	0	0	1	1	0
	1	0	0	1	1

Tableau de KARNAUGH

Maxterm réduit $B + A$

Ce Maxterm est absorbé par les 2 autres

		BA			
		00	01	11	10
S	0	0	1	1	0
	1	0	0	1	1

Tableau de KARNAUGH

Maxterm réduit $S + A$

(par permutation des colonnes 01 et 10)

On réunit tous les Maxterm dans le même tableau

		BA			
		00	01	11	10
S	0	0	1	1	0
	1	0	0	1	1

Tableau de KARNAUGH

On déduit l'expression $\Pi\Sigma$ de Y

$$Y = (S + A) \cdot (\bar{S} + B)$$

On peut évidemment trouver cette relation en remplaçant les 0 par des 1, et en faisant la synthèse de \bar{Y} sur ces 1. Puis en transformant la relation obtenue en Y.

c) vérification de l'égalité des 2 expressions de Y

On part de l'expression $\Pi\Sigma$ de Y (calcul plus simple) que l'on développe.

$$Y = (S + A) \cdot (\bar{S} + B) = \bar{S} \cdot S + \bar{S} \cdot A + S \cdot B + A \cdot B$$

On voit apparaître immédiatement le terme $\bar{S} \cdot S$ qui est nul et qui peut donc être supprimé.

$$\begin{aligned} &= \bar{S} \cdot A + S \cdot B + (\bar{S} + S) \cdot A \cdot B \\ &= \bar{S} \cdot A + S \cdot B + \bar{S} \cdot A \cdot B + S \cdot A \cdot B \\ &= (1 + B) \cdot \bar{S} \cdot A + (1 + A) \cdot S \cdot B \\ &= \bar{S} \cdot A + S \cdot B = \text{forme } \Sigma\Pi \end{aligned}$$

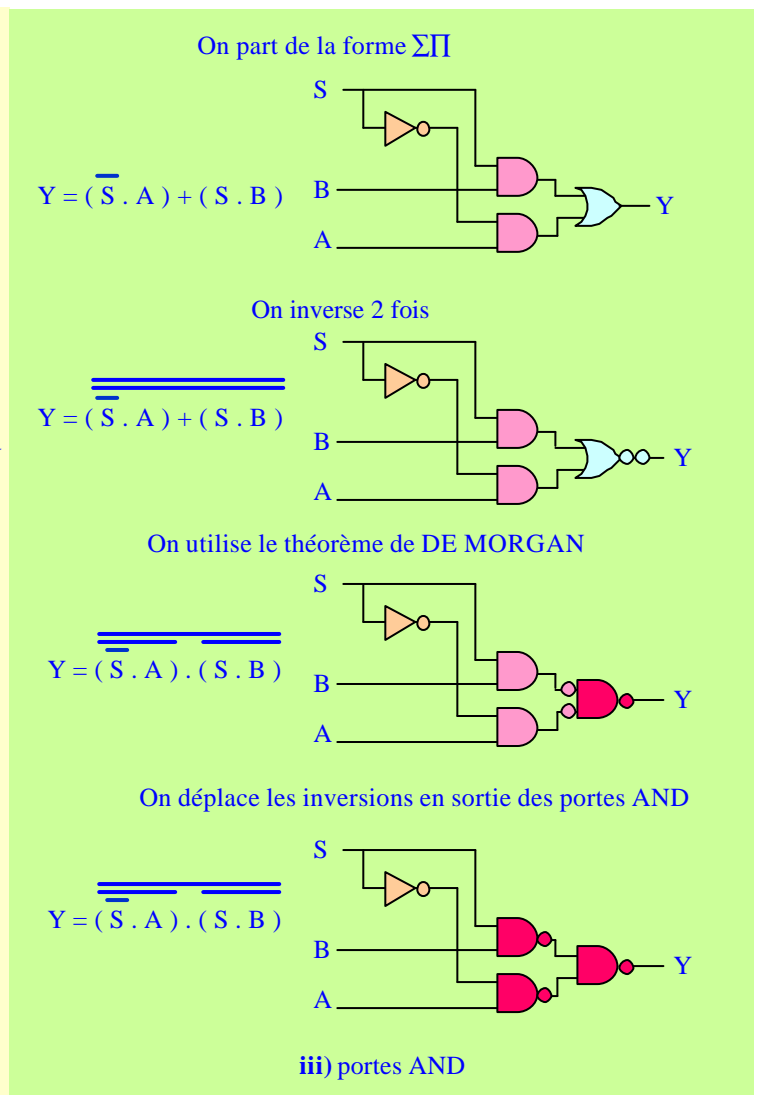
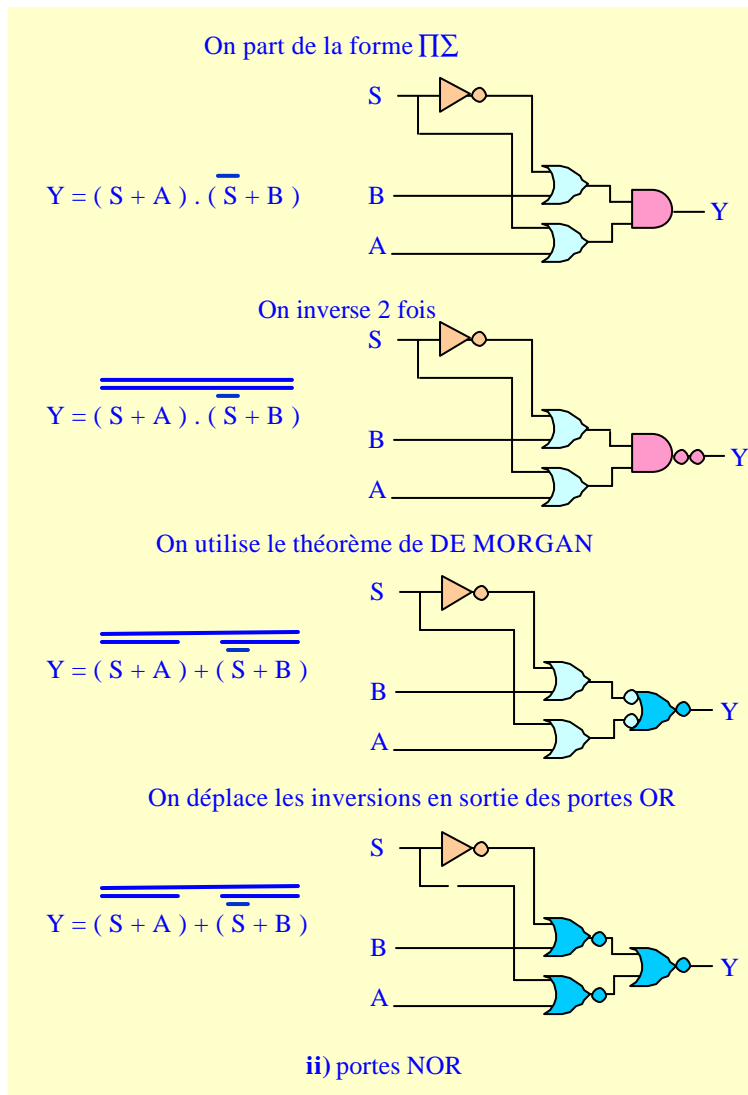
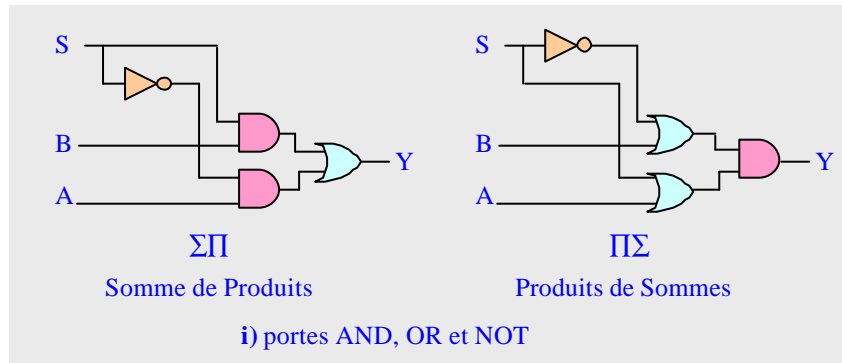
L'absorption du terme A.B par les 2 termes qui le précèdent n'apparaît pas toujours de façon évidente dans les expressions algébriques aux élèves peu familiers des méthodes utilisées en logique.

On présente donc ici la version algébrique de l'absorption (multiplication par un facteur égal à 1).

On retrouve évidemment cette absorption dans les tables de KARNAUGH.

2-Etablir le schéma logique du multiplexeur 2 vers 1 en utilisant successivement,

- i) des portes AND, OR et NOT,
- ii) des portes NOR,
- iii) des portes NAND.



- 3- Démontrez l'équivalence, *a priori* évidente, des 2 représentations du multiplexeur inverseur, voir Figure 3.

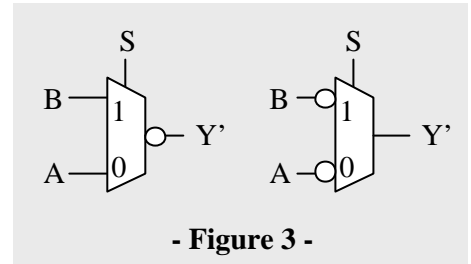
On représente la table de vérité et le tableau de KARNAUGH du multiplexeur inverseur

S	B	A	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

Table de Vérité

		BA			
		00	01	11	10
S	0	1	0	0	1
	1	1	1	0	0

Tableau de KARNAUGH



Au moyen du tableau de KARNAUGH on effectue,

a) la synthèse sur les 1

$$Y' = (\bar{S} \cdot \bar{A}) + (S \cdot \bar{B})$$

b) la synthèse sur les 0

$$Y' = (S + \bar{A}) \cdot (\bar{S} + \bar{B})$$

On passe donc de Y à Y' en changeant uniquement A en \bar{A} et B en \bar{B} dans les expressions de la fonction multiplexeur.

Un seul type de Multiplexeur peut donc être utilisé pour transmettre les entrées soit directement en sortie, soit inversées en sortie.

Dans ce deuxième cas l'inversion en sortie peut être remplacée par les inversions des entrées mais sans inversion du signal de sélection.

Ce résultat peut être obtenu plus rapidement en utilisant le théorème de DE MORGAN.

$$Y' = \bar{Y} = \overline{(\bar{S} \cdot A) + (S \cdot B)} = \overline{(\bar{S} \cdot A)} \cdot \overline{(S \cdot B)} = (\bar{\bar{S}} + \bar{A}) \cdot (\bar{S} + \bar{B}) = (S + \bar{A}) \cdot (\bar{S} + \bar{B})$$

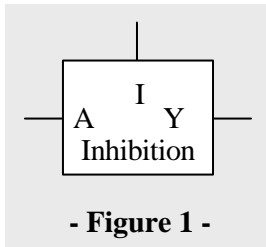
$$Y' = \bar{Y} = (S + A) \cdot (\bar{S} + B) = (S + A) + (\bar{S} + B) = (\bar{S} \cdot A) + (\bar{S} \cdot B) = (\bar{S} \cdot \bar{A}) + (S \cdot \bar{B})$$

Remarque importante

Une erreur est quelquefois commise à la suite de l'application un peu hâtive du théorème de DE MORGAN.

Cette erreur provient de l'affirmation suivante, l'inversion en sortie du multiplexeur peut être obtenue, d'après DE MORGAN par le changement (ET \rightarrow OU et OU \rightarrow ET) de tous les opérateurs constituant le multiplexeur et par inversion de toutes les entrées du multiplexeur, entrée de sélection S comprise.

Il est évident que cela conduit effectivement à l'inversion en sortie mais avec transmission de A lorsque S = 1 et transmission de B lorsque S = 0.



Définition

Si le signal de contrôle I vaut 0
alors le signal de sortie est égal
au signal d'entrée,
sinon,
le signal de sortie vaut 0, quelle
que soit la valeur du signal d'entrée.

- Figure 2 -

Exercice n° 2

1- On considère Figure 1 le symbole de la fonction inhibition dont la définition est donnée Figure 2.

a) Etablir l'expression de la sortie Y en fonction de l'entrée A et du signal de contrôle I .

On établit la table de vérité puis le tableau de KARNAUGH de la fonction inhibition.

I	A	Y
0	0	0
0	1	1
1	0	0
1	1	0

Table de Vérité

		A	
		0	1
I	0	0	1
	1	0	0

Tableau de KARNAUGH

Synthèse sur les 1

$$Y = (\bar{I} \cdot A)$$

Synthèse sur les 0

$$Y = (\bar{I}) \cdot (\bar{A})$$

b) Le signal de contrôle I est-il actif niveau "bas" ou niveau "haut" ?

Le signal A est inhibé lorsque $I = 1$.

Le signal de contrôle I de la fonction inhibition est donc actif niveau haut.

On indique ce niveau haut d'activité dans le symbole en ne barrant pas la lettre I représentant l'entrée de contrôle.

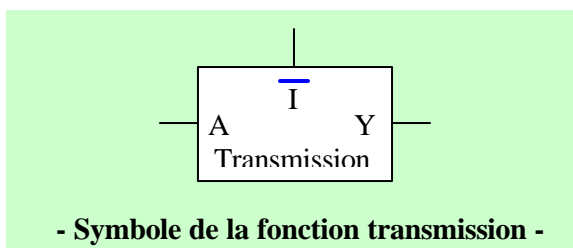
2- On considère maintenant la fonction transmission d'un signal d'entrée A vers un signal de sortie Y sous le contrôle d'un signal I correspondant également à la définition donnée Figure 2.

Représenter le symbole de cette fonction transmission.

Maintenant le signal A est transmis lorsque $I = 0$.

Le signal de contrôle I de la fonction transmission est donc actif niveau bas.

On indique ce niveau bas d'activité dans le symbole en barrant la lettre I représentant l'entrée de contrôle.



Exercice n° 3

1- Etude logique de l'addition arithmétique

1-1- Compléter le Tableau 1 avec le résultat, codé par les bits Co et S, de l'addition arithmétique des 3 bits A, B et Ci.

On additionne les bits des 3 colonnes de gauche et on code le résultat de l'addition en binaire naturel.

1-2- Etablir les équations logiques complètes de S et de Co en fonction de A, B et Ci.

On écrit S et Co sous la forme de Somme de Produits.

$$S = (\overline{Ci} \cdot \overline{B} \cdot A) + (\overline{Ci} \cdot B \cdot \overline{A}) + (Ci \cdot \overline{B} \cdot \overline{A}) + (Ci \cdot B \cdot A)$$

$$Co = (Ci \cdot B \cdot A) + (\overline{Ci} \cdot B \cdot A) + (Ci \cdot \overline{B} \cdot A) + (Ci \cdot B \cdot \overline{A})$$

Les variables Ci, B et A apparaissent de façon circulaire dans les expressions de S et de Co.

1-3- L'équation logique de S peut-elle être réduite ?

On établit la table de KARNAUGH de S. Il n'y a pas de cases 1 adjacentes. On ne peut donc pas réduire l'expression de S. Cette structure en damier est caractéristique de la fonction OU EXCLUSIF également appelé fonction parité.

1-4- L'équation logique de Co peut-elle être réduite ?

On établit la table de KARNAUGH de Ci. Il y a 3 groupes de 2 cases 1 adjacentes. On peut donc réduire l'expression de Co à 3 Minterm de 2 variables.

$$Co = (Ci \cdot A) + (Ci \cdot B) + (A \cdot B)$$

Ci	B	A	Co	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

0 + 0 + 0 = 0
0 + 0 + 1 = 1
0 + 1 + 0 = 1
0 + 1 + 1 = 2
1 + 0 + 0 = 1
1 + 0 + 1 = 2
1 + 1 + 0 = 2
1 + 1 + 1 = 3

- Tableau 1 -

		BA			
		00	01	11	10
Ci	0	0	1	0	1
	1	1	0	1	0

Tableau de KARNAUGH

		BA			
		00	01	11	10
Ci	0	0	0	1	0
	1	0	1	1	1

Tableau de KARNAUGH

2- Etude matérielle de l'additionneur

Pour réaliser l'addition de 3 bits on dispose de portes NAND à 2 entrées, 3 entrées et 4 entrées, voir Figure 1.

2-1- Transformer en conséquence les équations logiques, éventuellement réduites, de S et Co.

On inverse 2 fois S et Co.

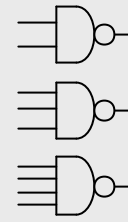
$$S = (Ci \cdot B \cdot A) + (Ci \cdot B \cdot \bar{A}) + (Ci \cdot \bar{B} \cdot A) + (Ci \cdot \bar{B} \cdot \bar{A})$$

$$Co = (Ci \cdot A) + (Ci \cdot B) + (A \cdot B)$$

On utilise le théorème de DE MORGAN.

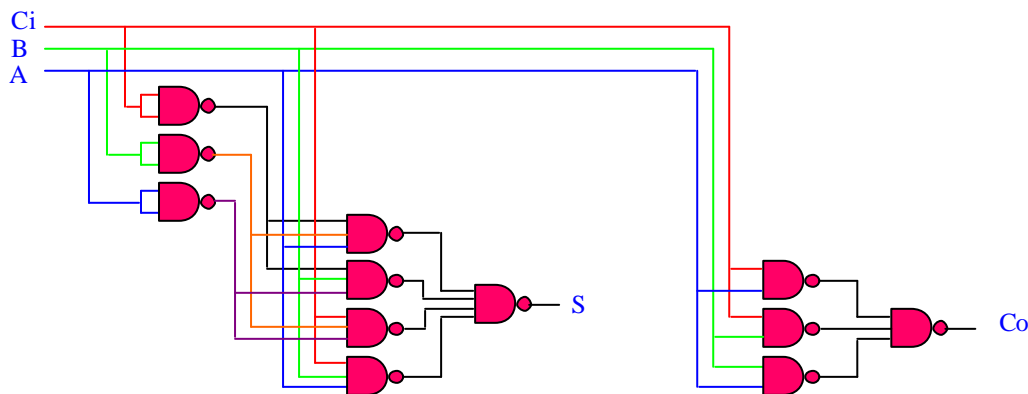
$$S = (Ci \cdot B \cdot A) \cdot (Ci \cdot B \cdot \bar{A}) \cdot (Ci \cdot \bar{B} \cdot A) \cdot (Ci \cdot \bar{B} \cdot \bar{A})$$

$$Co = (Ci \cdot A) \cdot (Ci \cdot B) \cdot (A \cdot B)$$



- Figure 1 -

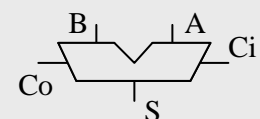
2-2- Etablir les schémas logiques correspondants.



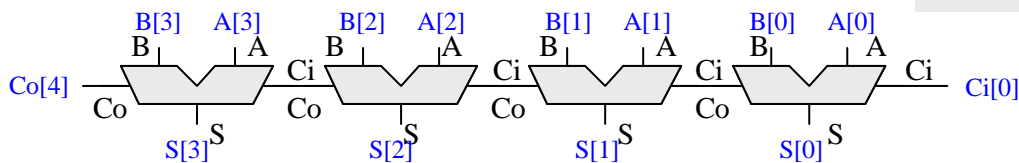
3- Etude matérielle d'un additionneur parallèle

L'additionneur élaboré dans la partie 2 est représenté par le symbole représenté Figure 2.

3-1- Etablir le schéma logique d'un additionneur parallèle permettant d'effectuer l'addition de 2 nombres codés sur 4 bits.



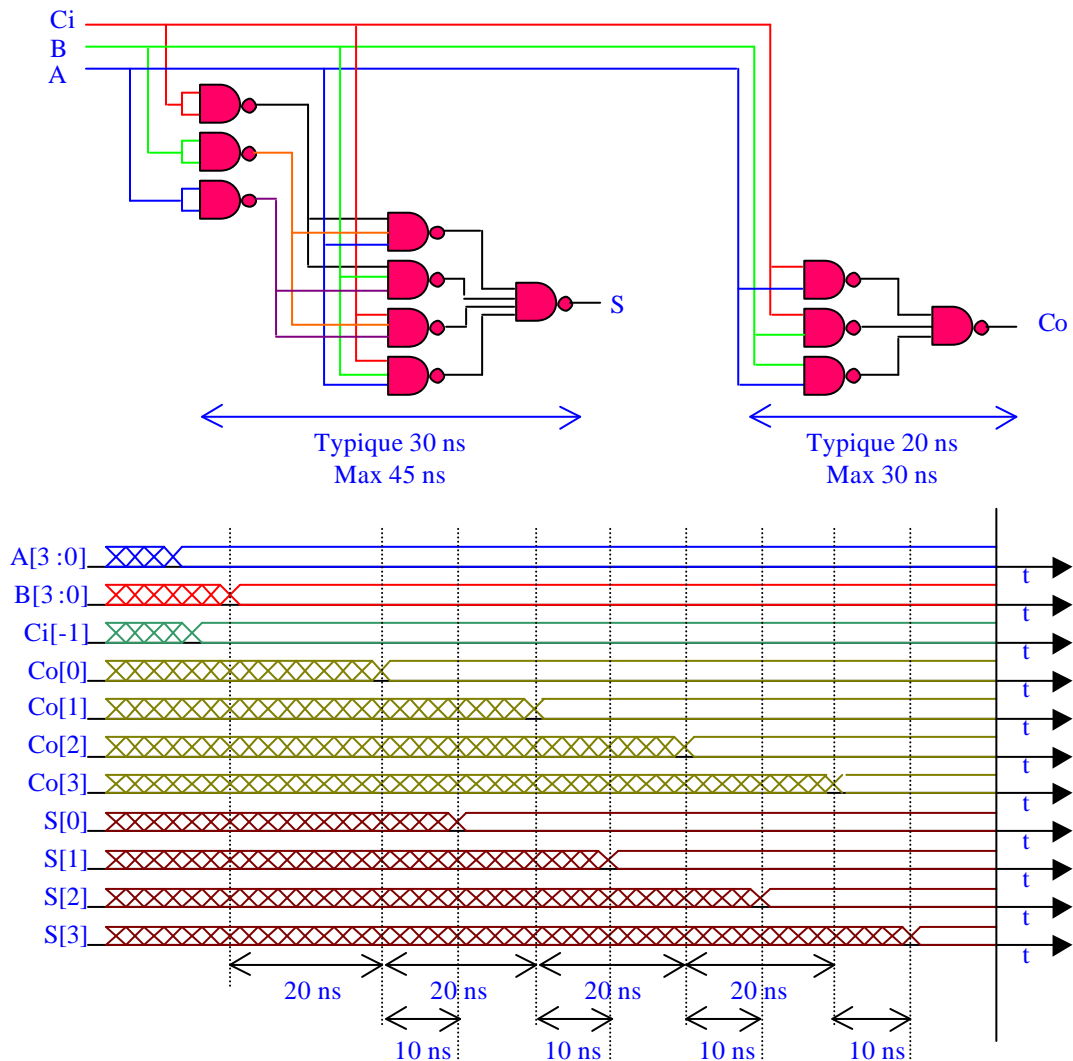
- Figure 2 -



3-2- Pour réaliser l'additionneur on utilise des portes 74LS00, 74LS10 et 74LS20. Après avoir recherché les paramètres nécessaires (catalogue, CDROM ou site web de Texas Instruments par exemple),

- a) établir le chronogramme de l'additionneur, en déduire la durée d'une addition,

On prend $tp_{HL} = tp_{LH} = 10\text{ ns}$ (valeur typique) ou 15 ns (valeur max) pour toute les portes.



	Co[4]	S[3]	S[2]	S[1]	S[0]
Typ	80 ns	90 ns	70 ns	50 ns	30 ns
Max	120 ns	135 ns	105 ns	75 ns	45 ns

Durée du calcul

b) estimer la consommation électrique.

	NAND4	NAND3	NAND2	
	1 porte/étage	5 portes/étage	6 portes/étage	
	4 portes	20 portes	24 portes	
	74LS20	74LS10	74LS00	
	2 portes/boîtier	3 portes/boîtier	4 portes/boîtier	
	2 boîtiers	7 boîtiers	6 boîtiers	Consommation
Typ	2 × 1,2 mA	7 × 1,8 mA	6 × 2,4 mA	29,4 mA
Max	2 × 2,2 mA	7 × 3,3 mA	6 × 4,4 mA	53,9 mA

3-3- Comparer les temps et la consommation avec les valeurs données pour le circuit 74LS283. Conclusions.

Valeurs typiques pour t_{pHL} et t_{pLH} du 74LS 283 comprises entre 11 et 16 ns. au lieu de 90 ns pour la version réalisée avec des portes élémentaires.

Valeurs maximales pour t_{pHL} et t_{pLH} du 74LS283 comprises entre 17 et 24 ns. au lieu de 135 ns pour la version réalisée avec des portes élémentaires.

En typique l'additionneur 74LS283 effectue donc une addition sur 4 bits 7 à 8 fois plus rapidement que l'additionneur construit avec les portes NAND.

74LS283 : valeurs typiques pour ICC : 20 mA

74LS283 : valeurs maximales pour ICC : 40 mA

La consommation de l'additionneur 74LS283 est du même ordre de grandeur que la consommation de l'ensemble des portes NAND.

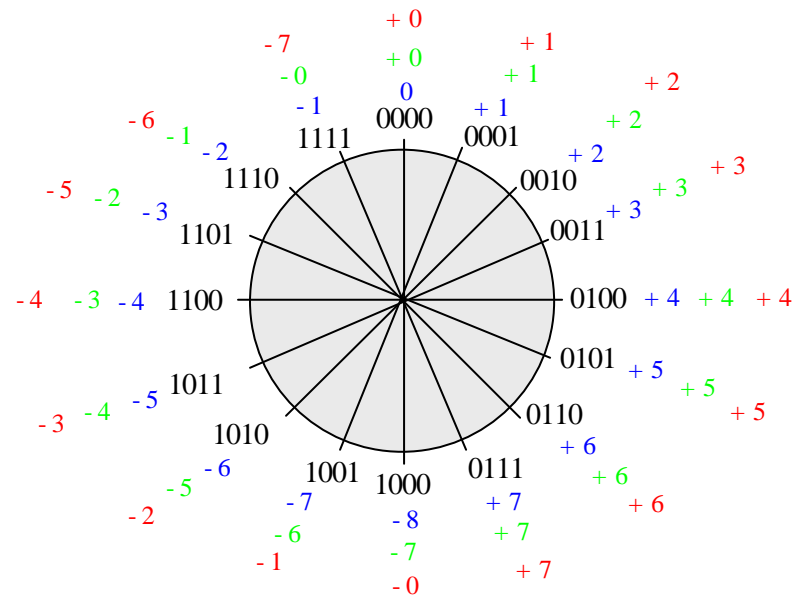
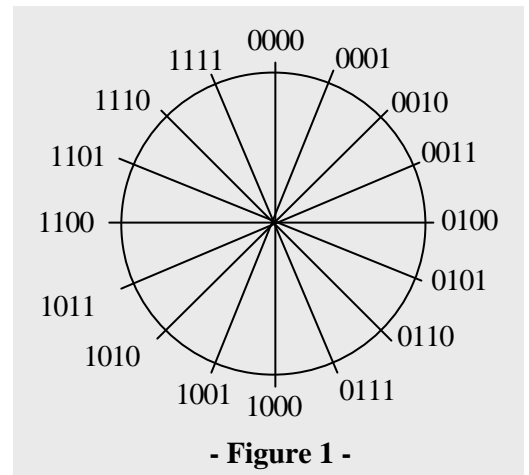
Conclusion : Vérifier l'existence d'une fonction avant d'envisager de la réaliser sous une forme moins intégrée, moins élaborée (cf. utilisation de la retenue anticipée dans le 283) et par conséquent moins performante.

Exercice n° 4

On donne Figure 1 la représentation circulaire du codage en binaire naturel d'un nombre compris entre 0 et 15.

1-1- Représenter sur ce cercle les valeurs positives et négatives codées respectivement,

- i) par valeur absolue et bit de signe, **Couleur rouge**
- ii) par complément à 1, **Couleur vert**
- iii) par complément à 2. **Couleur bleu**



1-2- Quels sont les avantages et inconvénients de chaque type de codage.

Codage	Avantages	Inconvénients	
Codage par bit de signe et valeur absolue	Codage aisé des nombres	2 zéros zéro positif zéro négatif	Position non symétrique des nombres positifs et négatifs par rapport aux zéros
Codage par complément à 1			
Codage par complément à 2	1 seul zéro Position symétrique des nombres positifs et négatifs par rapport au zéro	Codage des nombres moins facile	

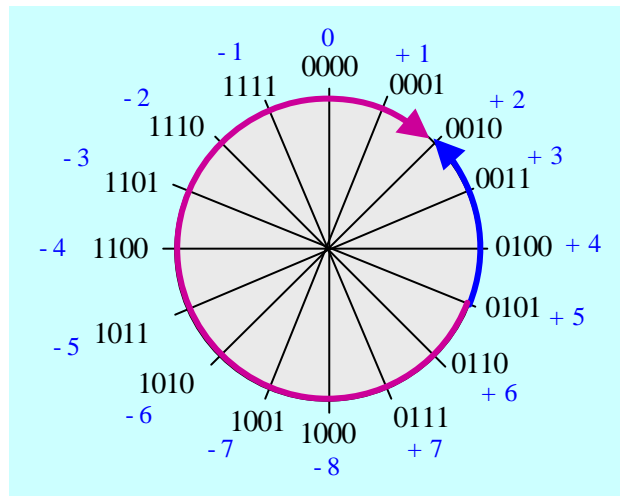
L'existence de 2 zéros pour les codages par bit de signe et valeur absolue et par complément à 1, entraîne un accroissement de la complexité des algorithmes ou circuits de calcul arithmétique notamment lorsque les 2 opérandes d'une opération sont de signe contraire. Il est alors nécessaire de détecter le passage éventuel par zéro lors de l'opération afin de diminuer le résultat d'une unité. Ceci impose d'effectuer des test en cours d'opération.

1-3- A partir d'un exemple quelconque montrer que la soustraction de 2 nombres peut être réalisée par une addition modulo 16 lorsqu'on utilise le codage par complément à 2.

On effectue par exemple
 $5 - 3 = 2$

On part donc de la valeur 5 codée par 0101 et on obtient bien 2 codée par 0010 en tournant de 3 positions dans le sens rétrograde afin de réaliser la soustraction par 3.

Mais on peut également, toujours en partant de 5, tourner de 13 positions dans le sens direct pour arriver à 2. On a ainsi remplacé la soustraction par une addition.



On a donc $5 - 3 = 5 + 13 = 2$

Lorsqu'on effectue l'addition de cette expression il convient donc de repartir à 0 dès que l'on passe par la valeur 16. La valeur 16 étant codée par 10000, il suffit donc d'effectuer une addition sur 4 bits en ne considérant pas le bit de retenue finale (5^{ème} bit).

L'addition utilisée dans cette expression est appelée addition modulo 16.

Plus généralement on parlera d'addition modulo 2^n où n est le nombre de bits de la représentation

1-4- Etablir l'équation de la soustraction de 2 nombres A et B.

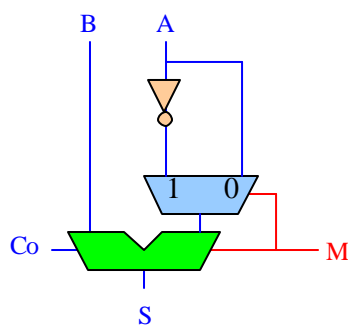
On utilise donc $5 + 13$ pour calculer $5 - 2$ avec + signifiant l'addition modulo 16.

Le codage binaire de 13 est 1101 ,
 Le codage binaire de 2 est 0010 .

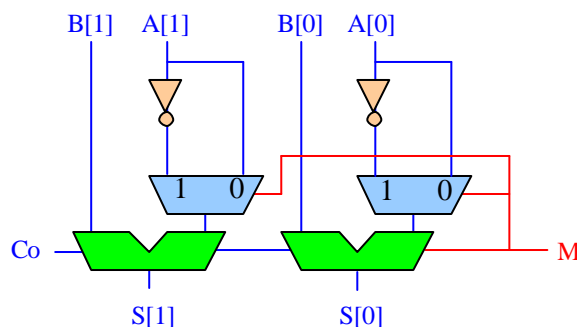
On voit immédiatement que le codage de 13 s'obtient en inversant tous les bits en ajoutant 1.

De façon générale, on écrit : $B - A = B + \overline{A} + 1$ où \overline{A} représente A inversé bit à bit

1-5- Etablir le schéma de principe d'un additionneur-soustracteur, commandable par un signal M et construit au moyen d'un additionneur, d'inverseurs et d'un multiplexeur.



Additionneur –Soustracteur 1 bit

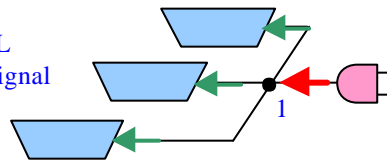


Additionneur –Soustracteur 2 bits

On souhaite maintenant réaliser l'addition-soustraction de 2 nombres codés sur $k \times 4$ bits en cascade de k additionneurs-soustracteurs 4 bits.

1-6- Quel est le nombre maximal d'additionneurs-soustracteurs 4 bits pouvant être reliés en cascade sans dégradation des niveaux logiques pour le signal M obtenu en sortie d'une porte TTL du type 74LS08 par exemple ?

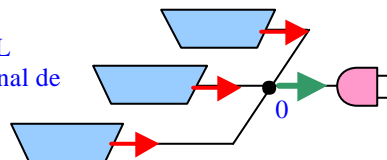
L'entrée de sélection d'un multiplexeur en technologie TTL **absorbe du** courant lorsque le signal de sélection est à l'état haut (courant I_{IH} positif).
Le courant absorbé par l'entrée de sélection du multiplexeur 74LS157 doit être supérieur à 0,04 mA.



Une porte TTL **fournit le** courant en sortie lorsque la sortie est à l'état haut (courant I_{OH} négatif).
La valeur maximale du courant pouvant être fourni par la porte 74LS08 est de 0,4 mA.

La porte 74LS08 peut donc piloter : $\frac{0,4}{0,04} = 10$ multiplexeurs

L'entrée de sélection d'un multiplexeur en technologie TTL **donne du** courant lorsque le signal de sélection est à l'état bas (courant I_{IL} négatif).
Le courant donné par l'entrée de sélection du multiplexeur 74LS157 est de 0,8 mA.



Une porte TTL **absorbe le** courant en sortie lorsque la sortie est à l'état bas (courant I_{OL} positif).
La valeur du courant maximal pouvant être absorbé par la porte 74LS08 est de 8 mA.

La porte 74LS08 peut donc piloter : $\frac{8}{0,8} = 10$ multiplexeurs

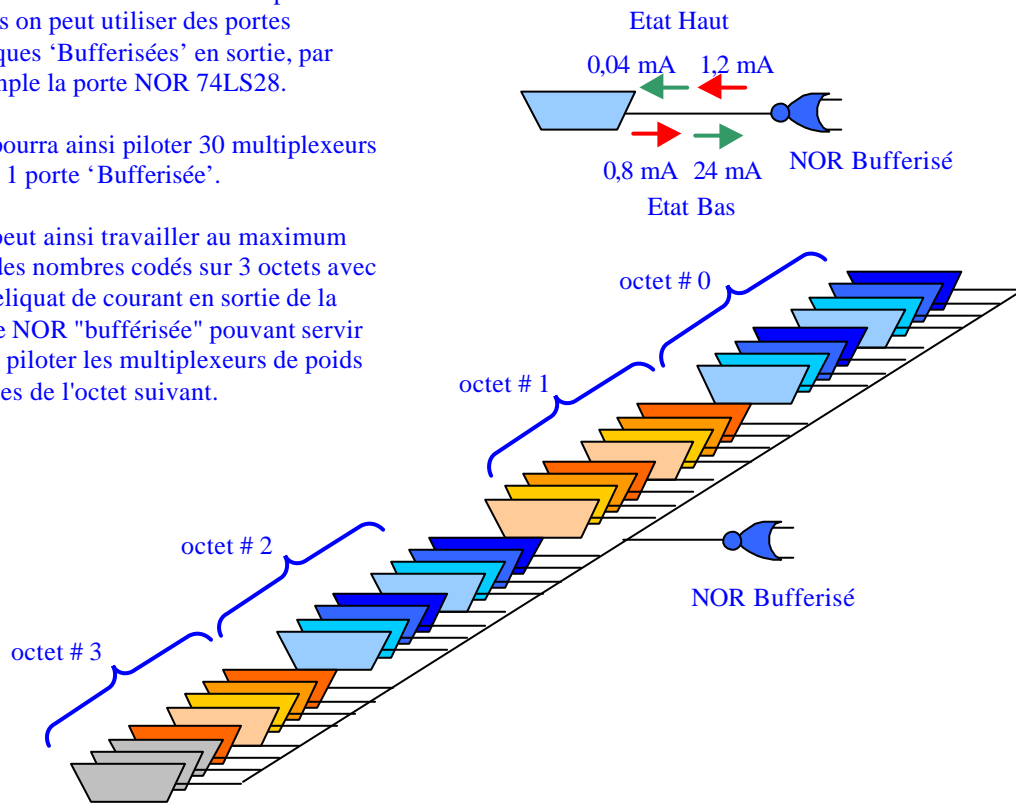
La porte ET doit aussi piloter la retenue entrante de l'additionneur 4 bits opérant sur les poids faibles.
En toute rigueur le nombre de multiplexeurs pilotés est donc de 9.

On retiendra le chiffre de 8 correspondant à 1 octet.

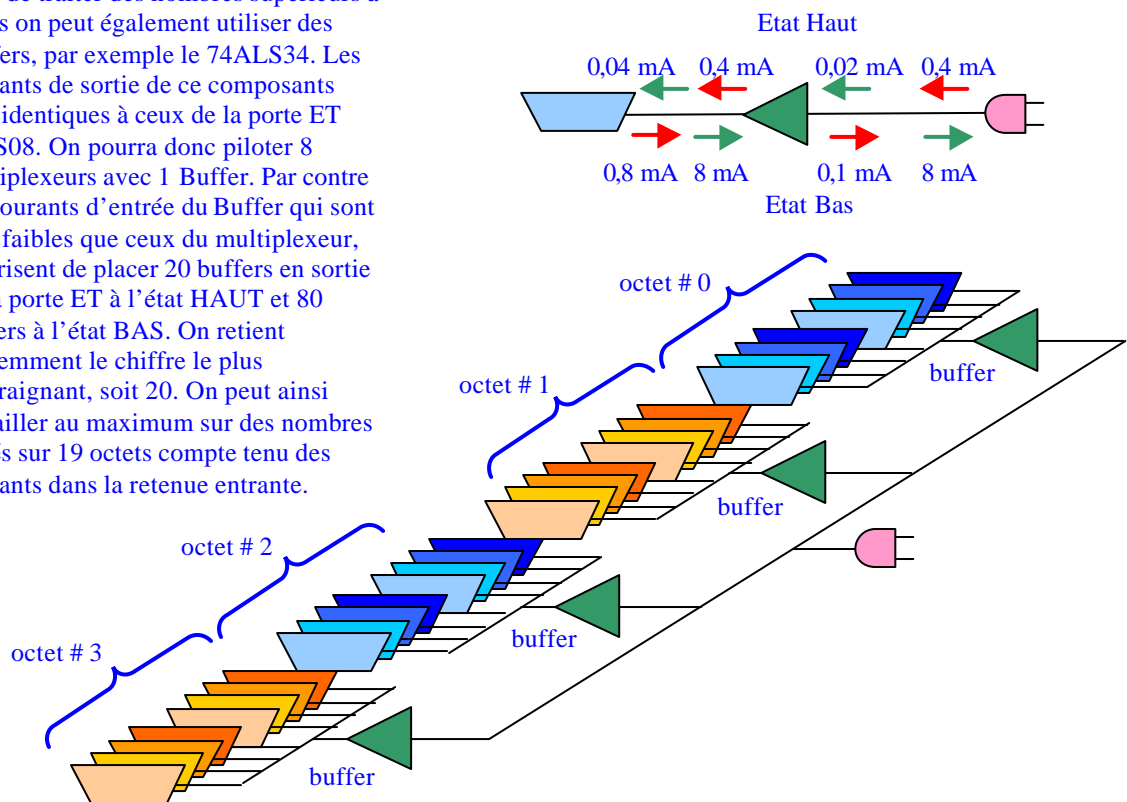
Afin de traiter des nombres supérieurs à 8 bits on peut utiliser des portes logiques 'Bufferisées' en sortie, par exemple la porte NOR 74LS28.

On pourra ainsi piloter 30 multiplexeurs avec 1 porte 'Bufferisée'.

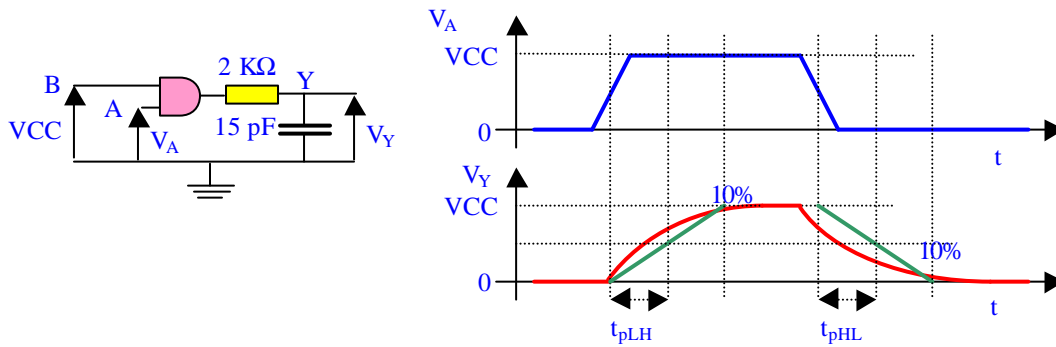
On peut ainsi travailler au maximum sur des nombres codés sur 3 octets avec un reliquat de courant en sortie de la porte NOR "bufferisée" pouvant servir pour piloter les multiplexeurs de poids faibles de l'octet suivant.



Afin de traiter des nombres supérieurs à 8 bits on peut également utiliser des Buffers, par exemple le 74ALS34. Les courants de sortie de ce composants sont identiques à ceux de la porte ET 74LS08. On pourra donc piloter 8 multiplexeurs avec 1 Buffer. Par contre les courants d'entrée du Buffer qui sont plus faibles que ceux du multiplexeur, autorisent de placer 20 buffers en sortie de la porte ET à l'état HAUT et 80 buffers à l'état BAS. On retient évidemment le chiffre le plus contraignant, soit 20. On peut ainsi travailler au maximum sur des nombres codés sur 19 octets compte tenu des courants dans la retenue entrante.



1-7- Quel est alors le temps de réponse des circuits à un changement d'état du signal M ?



Les temps de propagation t_{pLH} et t_{pHL} sont mesurés avec une capacité de charge de 15 pF à partir des approximations linéaires des variations de la tension V_Y respectivement à la montée et à la descente.

En l'absence d'informations sur la structure de sortie des portes TTL (et de connaissances de la part des élèves) on ne peut préciser la forme exacte de la tension V_Y . On supposera donc que le taux de croissance, ou de décroissance, de la tension V_Y est à chaque instant proportionnel à la capacité placée en sortie. Ainsi les intervalles de temps t_{pLH} et t_{pHL} seront eux mêmes proportionnels à cette capacité.

On admet qu'une capacité de 15 pF correspond à 3 entrées TTL, donc ici à 3 entrées de sélection de multiplexeur.

Nous avons 8 multiplexeurs à piloter plus la retenue entrante du 1^{er} additionneur.

La capacité de charge est donc maintenant de : $\frac{8+1}{3} \times 15 \text{ pF} = 3 \times 15 \text{ pF} = 45 \text{ pF}$

Les constantes de temps et par conséquent les temps de propagation de la porte ET seront donc multipliés par 3.

Les nouveaux temps de propagation seront donc maintenant égaux à $3 \times 10 \text{ ns} = 30 \text{ ns}$.