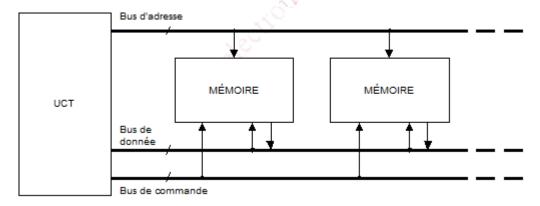
electroussafi.ueuo.com 1/8

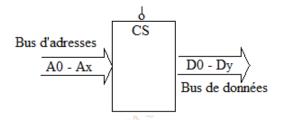
# Mémoires et décodage d'adresses

# Rappel:

## Connexions Mémoires -Unité Centrale de Traitement (UCT)



#### **Définitions**



 $\mathbf{n}$  = nombres de lignes d'adresses =  $\mathbf{x} + 1$ 

Exemple: bus d'adresses A0 - A9 (10 lignes d'adresses: n = 9 + 1)

 $\mathbf{m}$  = nombres de lignes de données = y +1

Exemple: bus de données D0 - D7 (8 lignes de données: m = 7 + 1)

Capacité mémoire :  $C = 2^n \times m$  bits

Taille (longueur) de mot mémoire = m bits

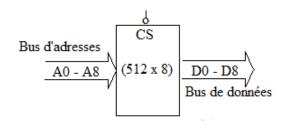
## **Espace adressable**:

C'est le nombre de mots mémoire adressables par un bus d'adresses de n bits  $= 2^n$  mots mémoire (adresses).

**Plage d'adresses** : c'est le champ d'adresses occupé par un circuit (boîtier) mémoire de l'adresse minimale (adresse basse) à l'adresse maximale (adresse haute).

Exemple:

electroussafi.ueuo.com 2/8



adresse	A8	A7	A6	A5	A4	A3	A2	<b>A</b> 1	A0	Adresses décimales	Adresses héxa.	Plage d'adresses
minimale	0	0	0	0	0	0	0	0	0	0	\$000	0 - 511
maximale	1	1	1	1	1	1	1	1	1	511	\$1FF	\$000-\$1FF

#### Décodeur d'adresses

Le décodeur d'adresses a pour fonction de générer des signaux pour la sélection des différents boîtiers avec lesquels le processeur doit communiquer. Pour éviter que deux boîtiers répondent simultanément et créent alors un conflit sur les bus, chaque boîtier doit répondre à une plage d'adresses différente des autres boîtiers (on affecte à chaque boîtier une plage d'adresses différente des autres boîtiers).

Pour sélectionner un boîtier on utilise CS (Chip Select) ou CE (Chip Enable).

### Exemple

On désire construire une mémoire de 1Ko à partir de 2 boîtiers de 512 octets chacun.

Pour les 2 circuits; on aura donc une capacité totale de 1024 (2<sup>10</sup>) octets c'est à dire une plage d'adresses de 0 (adresse minimale) à 1023 (adresse maximale). Pour adresser toute la plage d'adresses il nous faut un bus d'adresses de 10 lignes (A0 - A9). La ligne d'adresse (A9) servira à sélectionner un boîtier parmi les deux.

## Le tableau d'adressage :

40	۸ ٥	۸.7	۸6	۸.5	Λ 1	Λ2	A 2	Λ 1	A0	Adresse	Adresse	Boîtier	Plage
A9	Ao	A/	Ao	AS	A4	A3	A2	AI	AU	minimale	maximale	Boiller	d'adresses
0	X	X	X	X	X	X	X	X	X	\$000 (0)10	\$1FF (511) <sub>10</sub>	A	\$000-\$1FF
1	X	X	X	X	X	X	X	X	X	\$200 (512) <sub>10</sub>	\$3FF (1023) <sub>10</sub>	В	\$200-\$3FF

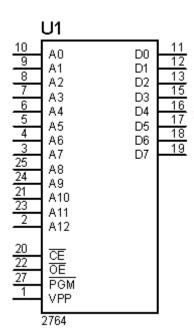
On place un x pour toutes les lignes d'adresses non utilisées pour la sélection du boîtier. L'adresse minimale est obtenue en supposant que tous les x sont à un niveau 0. Pour l'adresse maximale, les x représentent des niveaux 1.

La ligne A9 détermine le boîtier sélectionné.

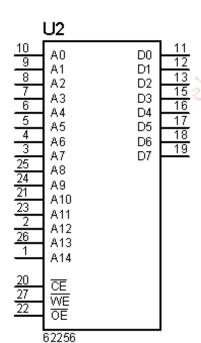
electroussafi.ueuo.com 3/8

## **Exercice 1**

1. Donner le type et la capacité en octet et en bits des mémoires schématisées ci-après:



Programme and the second	
A0-A12	Address
$\overline{CE}$	Chip Enable
$\overline{OE}$	Output Enable
D0-D7	Outputs



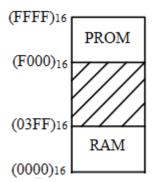
A0-A14	Address Inputs
$\overline{ ext{WE}}$	Write Enable
CE	Chip Enable
ŌĒ	Output Enable
D0-D7	Data Input/Output

2. Quelles sont les lignes de bus de commande (contrôle) de ces deux mémoires.

electroussafi.ueuo.com 4/8

#### **Exercice 2**

- 1. Un microprocesseur peut adresser 64Koctets, et a un bus de données de 8 bits.
  - a. Quel est le nombre de mots mémoire adressables ?
  - **b.** Quelle est la taille du bus d'adresses?
  - c. Quel est le plus grand nombre décimal pouvant être sauvegardé dans un mot mémoire ?
- 2. Soit une mémoire ayant les caractéristiques suivantes :
  - Le plus grand nombre hexadécimal pouvant être placé dans un mot mémoire est : FFFF
  - La capacité mémoire est de 1 Méga bits
    - a. Quelle est la taille du bus de données de cette mémoire ?
    - **b.** Quelle est la taille du bus d'adresses de cette mémoire ?
    - **c.** Quelle est la plage d'adresses de cette mémoire ?
- 3. Un microprocesseur a un bus d'adresse de 16 bits et un bus de données de 8 bits.
  - a. Quel est l'espace adressable du microprocesseur.
  - **b.** La figure suivante illustre la mémoire du système formée par une PROM et une RAM.



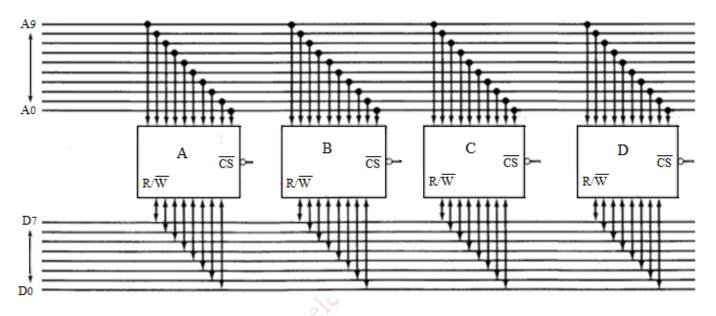
Déterminer les plages d'adresses de la RAM et de la PROM.

**c.** Quel est le nombre de bits permettant d'adresser la RAM :

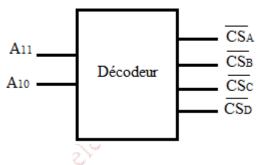
- d. Quelle est la capacité de la RAM
- e. Quelle est la capacité de la PROM?

## **Exercice 3**

#### Soit le schéma suivant :

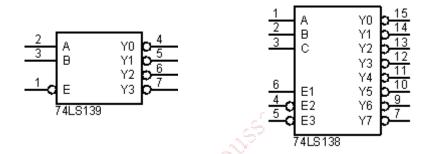


- 1. Donner le type et la capacité en octet et en bits de chacun des mémoires
- 2. Quelle est la capacité totale qu'on puisse obtenir ?
- **3.** Affecter une plage d'adressage à chacun des circuits mémoires pour sélectionner un circuit à la fois.
- 4. Donner le schéma du décodeur d'adresses à l'aide



- a. des portes logiques
- **b.** du décodeur 74139
- c. du décodeur 74138

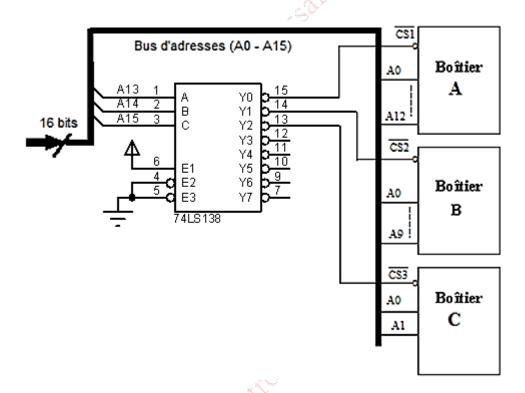
electroussafi.ueuo.com 6/8



**5.** On utilise un microprocesseur de 16 bits d'adresses (A0 – A15), donner le schéma du décodeur d'adresses à l'aide du décodeur 74139 et à l'aide du décodeur 74138

## **Exercice 4**

#### Soit le schéma suivant :



- 1. Quel est le rôle des lignes d'adresses A15, A14 et A13
- 2. Quel est le rôle des lignes d'adresses A12 à A0
- **3.** Sachant que la dimension des mots mémoire est de 8 bits, donner la capacité des boîtiers 1 et 2 en Koctets ?

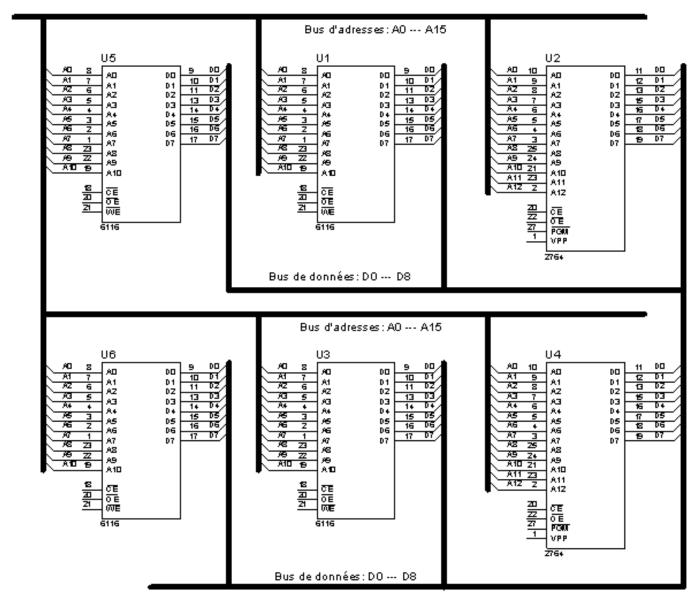
electroussafi.ueuo.com 7/8

**4.** Le décodage d'adresse est assuré par le décodeur 74LS138. Sachant que le chip select (CS) des 3 boîtiers est actif au niveau bas, donner les équations de  $\overline{CS}_A$ ,  $\overline{CS}_B$  et  $\overline{CS}_C$  et remplir le tableau ci-dessous :

Boitier	A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	$A_{10}$	$A_9$	$A_8$	$A_7$		$A_5$	$A_4$	$A_3$	$\mathbf{A}_2$	$A_1$	$A_0$	Plage d'adresses
A									a	3							
В								2	5								
С								Š									

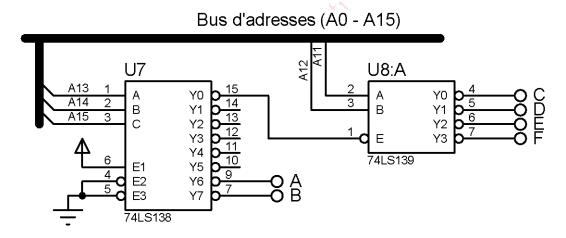
## **Exercice 5**

Soit le schéma suivant (on utilise les circuits de l'exercice 1) :



electroussafi.ueuo.com 8/8

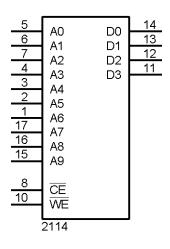
- **1.** A quoi servent  $\overline{CE}$ ,  $\overline{OE}$  et  $\overline{WE}$
- 2. Quelle sera la capacité totale de la RAM et la capacité totale de l'EPROM ?
- 3. Donner la plage d'adresses de : A, B, C, D, E et F du schéma suivant :



- **4.** Donner l'espace adressable de A, B, C, D, E et F.
- **5.** Comment peut-on faire les liaisons entre le schéma des décodeurs 74LS138 et 74LS139 et le schéma des mémoires de telle sorte que l'adresse basse de la RAM soit \$0000 et l'adresse haute de l'EPROM soit \$FFFF.

#### **Exercice 6**

#### Soit la mémoire suivante :



- a) Quel est le type de cette mémoire ? Justifiez votre réponse.
- **b**) Sur quel niveau doit-on placer l'entrée WE pour être en mode d'écriture?
- c) Donner le nombre de mots et le nombre de bits par mot de cette mémoire.
- d) Quelle est la capacité de cette mémoire en bits et en octets ?
- e) On utilise un bus de données de 8 bits, pour travailler sur des octets. Que doit-on faire pour avoir une mémoire 1 Koctets.
- f) réaliser une carte de 2Koctets