

Simulación procesador Superscalar:

Configuración, Tiempo y Utilización

La práctica consiste en el análisis de la estructura y el comportamiento de un procesador Superscalar con ejecución *fuera de orden* (OoO). Para ello se utilizará el simulador Simplescalar y se evaluará el comportamiento del procesador ejecutando los programas de prueba SpecCPU2000.

La ejecución de instrucciones por parte de un procesador superscalar permite lanzar/tratar múltiples instrucciones a la vez por ciclo. Así decimos que un procesador es superscalar de 2 vías cuando en las diferentes etapas de ejecución (fetch, decodificación, cálculo, compleción, retiro, etc...) trata dos instrucciones a la vez.

Por otra parte decimos que un procesador ejecuta las instrucciones *fuera de orden* cuando en alguna de las etapas de ejecución se permite que algunas instrucciones empiecen/acaben en diferente orden al que han sido traídas por la etapa de fetch. De este modo instrucciones, que en orden secuencial han sido traídas más tarde que otras, acaban primero. Normalmente solo se ejecutan así las etapas de en medio, y las iniciales y finales se ejecutan en el mismo orden que el secuencial. Dado este comportamiento es preciso almacenar las instrucciones en el procesador mientras se están ejecutando y para esto se utilizan buffers que almacenan instrucciones y se suele llamar *ventana de instrucciones*.

Simplescalar, es de hecho un conjunto de herramientas que permiten el modelado de simples procesadores monociclo hasta complejos procesadores superscalares con ejecución fuera de orden y jerarquía de memoria de varios niveles. En esta práctica se hará uso de uno de los simuladores que incorpora (*sim-outorder*) que permite parametrizar el procesador superscalar y recolectar estadísticas de comportamiento tras la ejecución de un programa de prueba.

Finalmente, los **Spec CPU 2000** son un conjunto de programas de prueba (benchmarks) que proporciona la **Standard Performance Evaluation Corporation**. Esta organización es un

consorcio sin ánimo de lucro que incluye entre otros a universidades, grupos de investigación, y fabricantes de microprocesadores con el objetivo de proporcionar un marco común que sirva como estándar para medir el rendimiento de los computadores. Para esta práctica, se hará uso de un subconjunto de 5 benchmarks disponibles a través de la imagen y también del espacio moodle de la asignatura.

Comentarios

- La práctica se realizará **en GRUPOS DE 2 PERSONAS**
- Se realizará una entrevista con todos los integrantes del grupo en la sesión de laboratorio que tienen asignada.
- El informe (obligatoriamente en PDF) y el vídeo resumen de la práctica se guardaran en el moodle antes de realizar la entrevista (unidos en formato ZIP).

Especificación

Los parámetros que modificaremos del SimpleScalar los obtendremos de las especificaciones de dos procesadores reales. De hecho, solo estudiaremos un core de cada uno de los procesadores del estudio, en concreto, el core de cada procesador que tenga mas rendimiento. Este año son procesadores ARM del segmento de alto rendimiento. Los procesadores consumen unos 15-25W y están integrados en un SOC (system-on-chip) propietario de la compañía en cuestión y son:

- Apple M1 (ARMv8.4 - apple FireStorm) ([M1-review](#))
- Qualcomm Snapdragon 888 (ARMv8.2 - Cortex-X1) ([X1-review](#))

A partir de las características de diseño de estos procesadores, se parametrizará el simulador sim-outorder para que se asemeje lo máximo posible a un core de ellos.

Los parámetros a buscar serán:

1. Los que determinan la k-via del procesador. Cuantas instrucciones por ciclo puede llegar a tratar: fetch, decode, issue y commit.
2. Los que determinan el tamaño de los buffers que almacenan instrucciones: ventana instrucciones (ruu) y cola de acceso a memoria (lsq).
3. Los que determinan las caches L1 y L2. Si manipulan por separado instrucciones y datos y los que determinan el tamaño de la cache, el tamaño del bloque, la asociatividad y el algoritmo de reemplazo.
4. Los que determinan el ancho de banda y la latencia de la memoria principal.

5. Los que determinan los recursos a nivel de unidades funcionales: números de ALUs aritméticas y multiplicación de integers, ALUs aritméticas y multiplicación de coma flotante y el número de puertos de acceso a memoria.

La idea es observar y obtener gráficas que muestren el comportamiento del simulador en las dos configuraciones cuando ejecutan benchmarks de los specs.

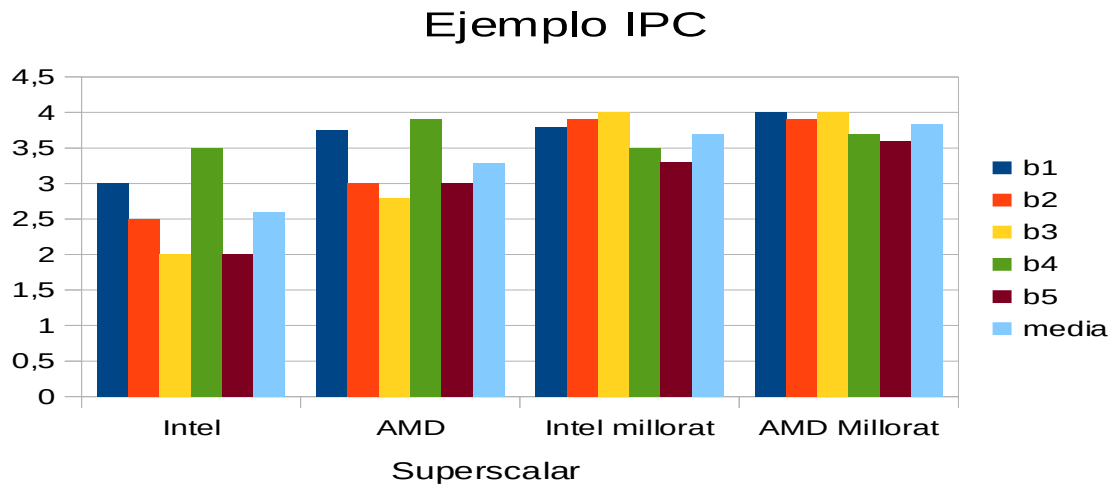
A partir de las simulaciones se buscaran parámetros que penalizan la ejecución del código y se propondrán cambios en la configuración de los procesadores que mejoren el rendimiento de los benchmarks ejecutados. Para ello será necesario observar las estadísticas/resultados de la simulación para ver que partes del procesador se pueden mejorar. Por ejemplo, si la cache L1 se observa que tiene un ratio de acierto del 99%, esto nos indica que no hace falta mejorarla ya que no aportaría ningún beneficio. Sin embargo, si observamos que la ocupación de la RUU se acerca al 100%, nos indica que hacer mayor la ventana de instrucciones supondría una mejora en la ejecución fuera de orden de las instrucciones, ya que probablemente el almacenar mas instrucciones a la vez permita ejecutar antes aquellas instrucciones que en principio no cabían.

El parámetro a observar respecto al rendimiento será el IPC. Esto no impide que sea necesario observar otras estadísticas para conocer el grado de saturación o de utilización de cada parte del procesador para saber donde se puede mejorar. Será necesario buscar y observar un **mínimo de 3 parámetros** y proponer mejoras en cada uno de ellos.

Los resultados se mostraran en gráficas.

Para los distintos estudios que se deben realizar, y si no se indica lo contrario, tened en cuenta los siguientes comentarios:

- 1) Buscar todos los parámetros **posibles** de los procesadores indicados, junto con las medidas de rendimiento más representativas como passmark, superpi, wprime, etc.
- 2) Los resultados de las simulaciones se mostrarán a través de gráficas, dónde el eje vertical será la estadística a estudiar y el eje horizontal el parámetro de configuración del superescalar.



3) Para cada estudio que se haga buscando una mejora (caches, ALUs, etc,...) se presentarán gráficas con los resultados individuales de cada benchmark y con la media de todos ellos.

4) La lista de 5 benchmarks que se utilizarán para las simulaciones es la siguiente:

- applu
- crafty
- mesa
- vortex
- vpr

5) Para cada benchmark simulado, se saltarán 50 millones de instrucciones y se recolectarán las estadísticas para los siguientes 50 millones. Además, se utilizarán los datos de entrada REF.

6) Para el resto de parámetros del simulador se utilizarán los valores por defecto.

Finalmente comentad el siguiente párrafo extraído de una pagina web de comparativas:

“Apple claims the M1 to be the fastest CPU in the world. Given our data on the A14, beating all of Intel’s designs, and just falling short of AMD’s newest Zen3 chips – a higher clocked Firestorm above 3GHz, the 50% larger L2 cache, and an unleashed TDP, we can certainly believe Apple and the M1 to be able to achieve that claim.”

16-9-2021:[Link AnandTech](#)