

4.7. Счетчики.

Счетчиком называется цифровое устройство, предназначенное для счета числа входных импульсов.

Счетчик выполняет следующие операции:

- сброс счетчика в ноль;
- параллельная загрузка начального числа импульсов;
- хранение текущего числа импульсов;
- выдача текущего числа импульсов в параллельном коде;
- инкремент (увеличение хранящегося числа на единицу)
- декремент (уменьшение хранящегося числа на единицу)
- деление частоты входных сигналов

Основные параметры счетчика:

1) Модуль счета (основание счетчика) – M – максимальное число импульсов, после прихода которых счетчик возвращается в исходное состояние.

2) Время установления очередного числа импульсов на выходе после прихода входного импульса t_k . Время установления является основным динамическим параметром счетчика, определяющим максимальную частоту счета.

Состояние счетчика определяется по выходам разрядов. Входные сигналы поступают на младший разряд.

4.7.1. Счетчики с непосредственной связью.

Счетчик с непосредственной связью между триггерами относится к классу счетчиков с последовательным переносом.

Схема счетчика с $M = 16 = 2^4$ с непосредственной связью и временная диаграмма его работы приведены на рис. 4.22 и 4.23.

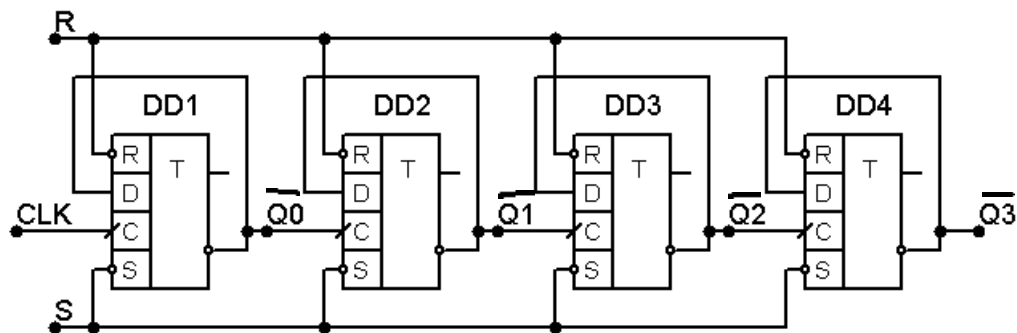


Рис. 4.22. Счетчик с непосредственной связью на триггерах типа TM2.

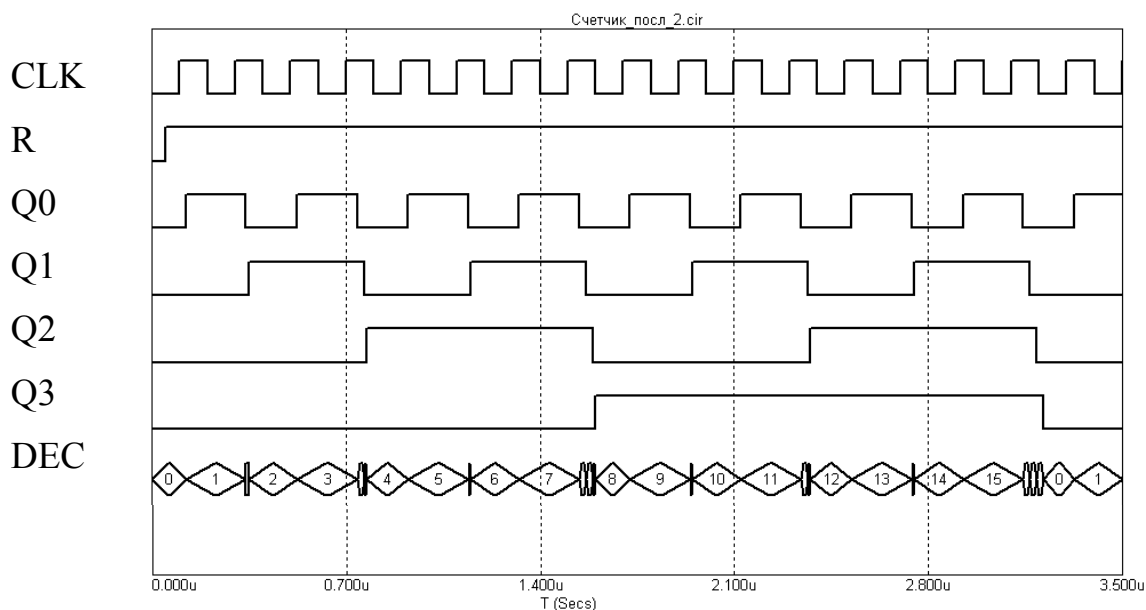


Рис. 4.23. Временная диаграмма работы счетчика с непосредственной связью.

В схеме счетчика нет других элементов, кроме D-триггеров, включенных по схеме счетных T-триггеров. Состояние T-триггера меняется на противоположное на каждом синхроимпульсе, поступающем на вход CLK. Таким образом счетчик считает число импульсов, поступающих на вход CLK.

Сигнал на выходе триггера DD1 младшего разряда Q0 изменяется с частотой, равной половине частоты сигнала CLK. Фронт этой последовательности является сигналом переноса в старший разряд, собранный на триггере DD2. Таким образом, сигнал переноса последовательно передается от младшего разряда к старшему. Это *счетчик с последовательным переносом*.

Счетчик с непосредственной связью обладает малым быстродействием. Сигнал переноса в худшем случае достигает последнего разряда n за время, равное $T_p = n t_{pTQ}$, где t_{pTQ} – время задержки сигнала в триггере.

Это видно на временной диаграмме, представленной на рис. 4.23 В промежутках между состояниями 1 и 2, 3 и 4, 5 и 6, 7 и 8 видны

недействительные (неправильные) состояния счетчика. Видно, что время, занятое недействительными состояниями, возрастает по направлению к старшему разряду.

4.7.2. Вычитающий счетчик с непосредственной связью.

Вычитающий счетчик с непосредственной связью отличается от суммирующего счетчика только подключением входа С триггера к прямому выходу Q триггера младшего разряда (рис. 4.24).

Первый импульс CLK устанавливает все триггеры счетчика в состояние $1111_2 = 15_{10}$, а затем, по мере поступления импульсов CLK, число в счетчике уменьшается до $0000_2 = 0_{10}$.

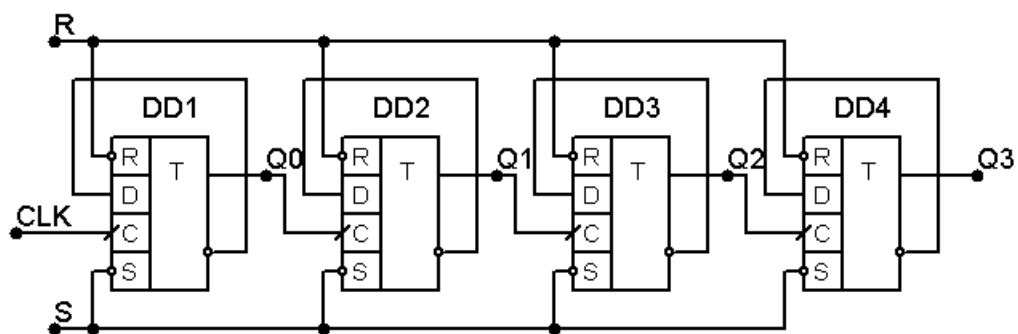


Рис. 4.24. Вычитающий счетчик с непосредственной связью на триггерах ТМ2.

В вычитающем счетчике сигналы между разрядами называются заемами. Временная диаграмма вычитающего счетчика представлена на рис. 4.25.

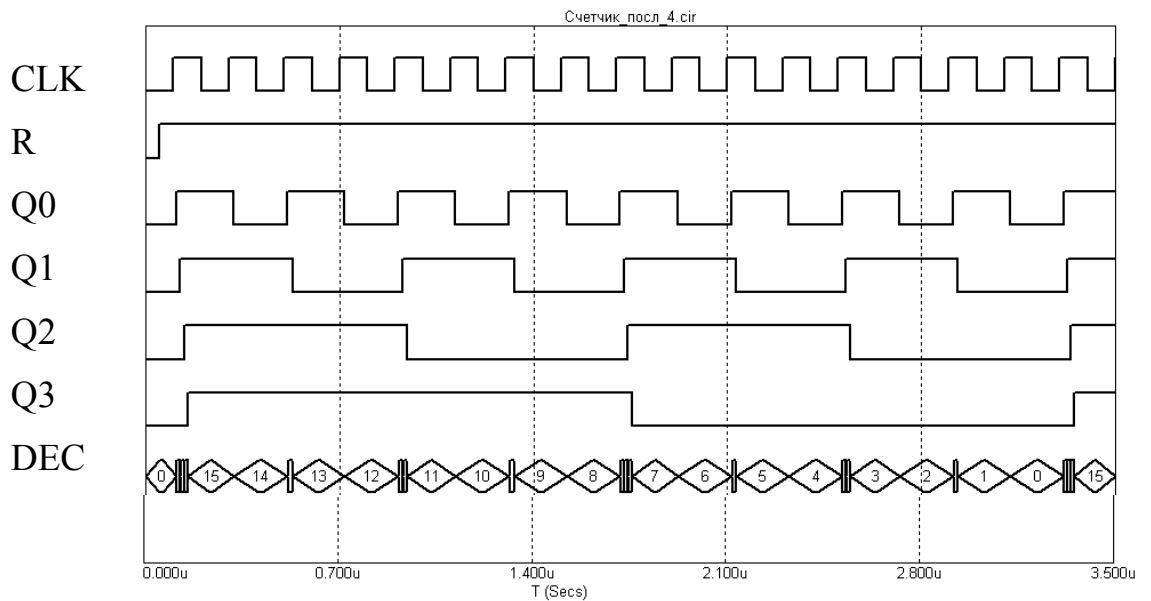


Рис. 4.27. Временная диаграмма работы вычитающего счетчика.

4.7.3. Счетчик с параллельным переносом.

Повышение быстродействия счетчиков можно обеспечить за счет одновременного (параллельного) формирования сигналов переноса во всех разрядах. Достигается это за счет введения в схему счетчика дополнительных логических элементов "И".

Схема счетчика с параллельным переносом на D-триггерах ТМ2 приведена на следующем рисунке.

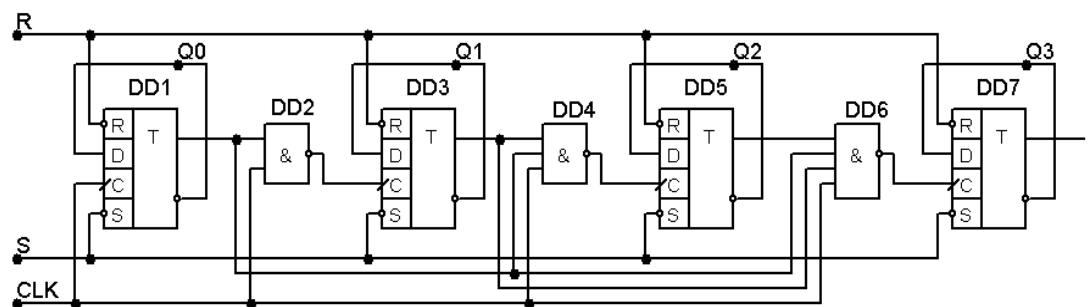


Рис. 4.28. Счетчик с параллельным переносом.

Импульс на вход второго разряда счетчика DD3 поступает с выхода логического элемента DD2 типа 2И-НЕ, если на выходе первого разряда DD1 будет лог. "1" и на второй вход DD2 поступит импульс CLK.

Аналогично, импульс на вход третьего разряда DD5 поступает с выхода логического элемента DD4 типа 3И-НЕ, если на выходах первого и второго разрядов DD1 и DD3 будет лог. "1" и на третий вход DD4 поступит импульс CLK. Аналогично организована схема переноса для четвертого каскада D7.

Задержка переключения для триггера последнего разряда такая же, как и для первого разряда.

4.7.4. Счетчики по произвольному основанию.

Счетчиком по произвольному основанию называется счетчик, модуль счета которого K не равен числу, кратному степени числа 2.

Известны несколько способов построения схем счетчиков по произвольному основанию. За основу такого счетчика всегда берется двоичный счетчик с модулем счета M , превышающим K .

Счетчик с цепями сброса в начальное состояние. Этот универсальный способ построения счетчиков с произвольным модулем счета состоит в следующем:

Выбираем схему двоичного счетчика с модулем счета $M = 2^n$, при этом $K < M$. Подключаем к выходам триггеров логический элемент "И-НЕ" так, чтобы он обнаруживал код конца счета (это двоичное число $K - 1$). Сигнал с выхода этого логического элемента по цепям приоритетного сброса триггеров R сбрасывает счетчик в начальное состояние. В схему счетчика вводится дополнительный триггер, запоминающий факт срабатывания элемента "И-НЕ", что позволяет устранить гонки импульсов.

Схема счетчика с модулем счета $K = 6$ на базе счетчика с последовательным переносом с $M = 2^3 = 8$ приведена на следующем рисунке.

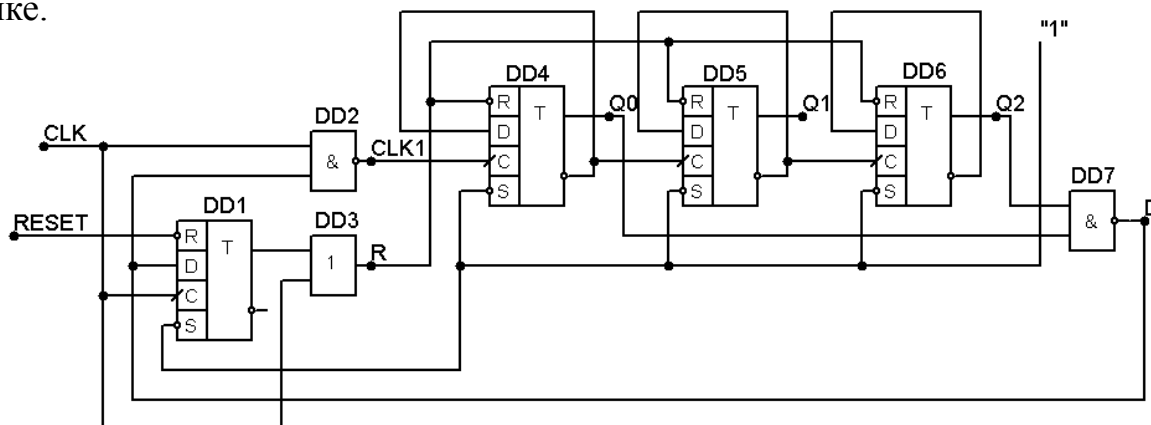


Рис. 4.29. Схема счетчика с модулем счета $K = 6$

D-триггеры DD4, DD5, DD6 являются рабочими, триггер DD1 – вспомогательным. Триггеры DD4 – DD6 образуют счетчик с непосредственной связью. Входы логической схемы "И-НЕ" DD7 подключены к тем прямым выходам Qi триггеров DD4 – DD6, которые

соответствуют единицам в двоичном числе $K - 1 = 5$ ($Q_{DD4} = 1$, $Q_{DD5} = 0$, $Q_{DD6} = 1$).

Сигнал с выхода DD7 поступает на D вход вспомогательного триггера DD1 и запоминается в нем только в момент поступления на его вход С фронта очередного тактового импульса CLK. Следующий импульс CLK через логический элемент 2"ИЛИ" DD3 поступает на входы приоритетного сброса R и устанавливает счетчик в начальное состояние.

Временная диаграмма работы счетчика приведена на рис. 4.30.

В начальный момент времени триггеры DD4 – DD6 сброшены в состояние лог. "0". Поэтому на выходе логического элемента "И-НЕ" DD7 вырабатывается сигнал лог. "1". Триггер DD1 в начальный момент также сброшен в состояние лог. "1" и поэтому на его выходе Q вырабатывается сигнал лог. "1". Этот сигнал блокирует прохождение тактовых импульсов через логический элемент "ИЛИ" DD3 и поэтому на его выходе, соединенном с входами R приоритетного сброса триггеров DD4 – DD6, устанавливается состояние лог. "1". В результате триггеры DD4 – DD6 работают в режиме счета.

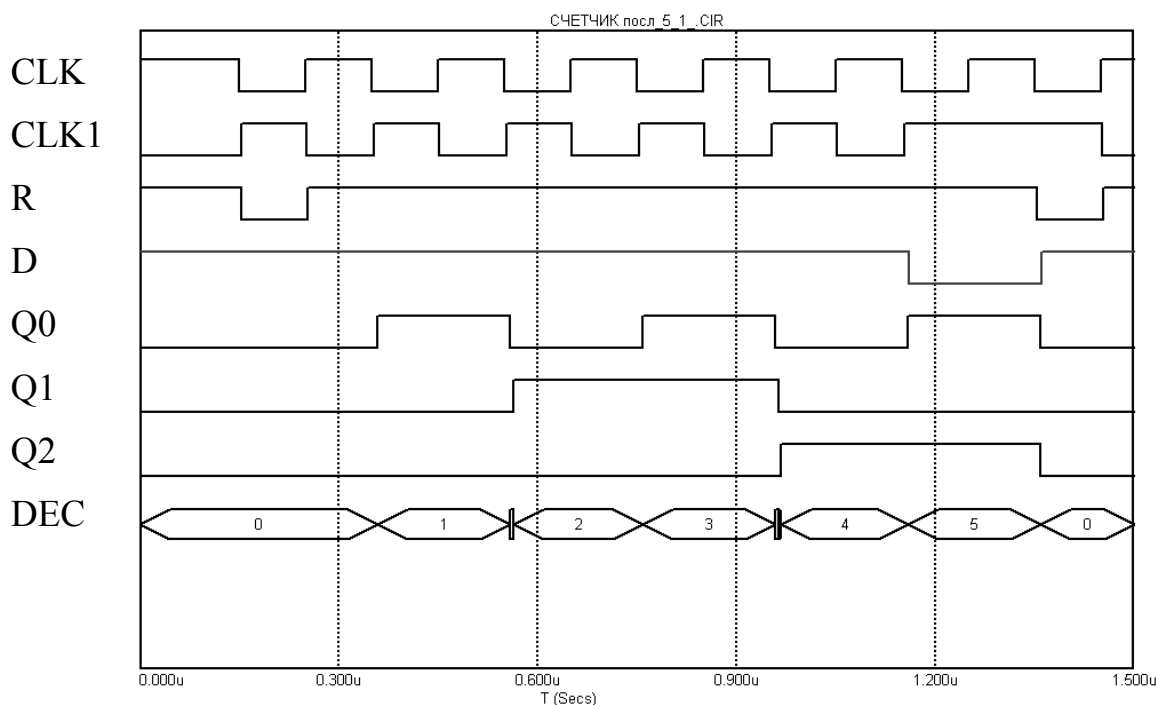


Рис. 4.30. Временная диаграмма работы счетчика с $K = 6$.

На входы логического элемента 2"И-НЕ" DD2 поступает последовательность импульсов CLK и сигнал лог. "1" с выхода DD7. В результате на выходе DD2 появляется инвертированная последовательность тактовых импульсов CLK1. Передние фронты инвертированных импульсов

CLK1 (спады исходных импульсов CLK) последовательно переключают триггеры счетчика DD4 – DD6.

В момент появления на выходах Q этих триггеров двоичного числа $K - 1 = 5_{10} = 101_2$ на выходе логического элемента 2"И-НЕ" DD7 появится сигнал лог. "0", который поступит на входы логических элементов DD2 и DD3, а также на вход D триггера DD1. Логический элемент DD2 закроется и заблокирует поступление тактовых импульсов на счетчик. При поступлении переднего фронта тактового импульса на вход C триггер DD1 изменит свое состояние, что изменит логический уровень сигнала на входе DD3 на лог. "0". Это переключение происходит в промежутке между фронтами инвертированных импульсов CLK на входе счетчика. В результате очередной K-й тактовый импульс пройдет через DD3 и своим низким уровнем сбросит триггеры DD4 – DD6 в состояние лог. "0" по входам приоритетного сброса R.

Схема счетчика вернется в начальное состояние, при этом последовательно изменится сигнал на выходе DD7 и триггер DD1 вернется в состояние лог. "1".

Основным достоинством этой схемы является то, что процессы счета импульсов и сброса счетчика в начальное состояние разнесены на полтакта последовательности импульсов CLK. В результате сброс счетчика проводится в синхронном режиме, что позволяет устранить влияние гонок импульсов и технологического разброса времен задержек микросхем.

Рассмотренная схема счетчика позволяет при разумном выборе частоты следования и скважности входных импульсов исключить гонки импульсов, приводящих к появлению на выходах триггеров недействительных состояний, что в некоторых применениях недопустимо.

Счетчик с предварительной записью числа. Перед началом счета в триггеры счетчика загружается число, равное разности между $M = 2^n$ и K. Счетчик продолжает счет до момента естественного окончания счета (состояния всех триггеров равны "1"). После этого счетчик сбрасывается в "0".

4.7.5. Счетчик по произвольному основанию на микросхемах ИЕ7 и ИЕ18.

Микросхема типа ИЕ7 является реверсивным счетчиком с асинхронным сбросом. Микросхема типа ИЕ18 является счетчиком с синхронным сбросом.

Счетчик по произвольному основанию $K < 16$ может быть собран на базе одной микросхемы типа ИЕ7 или ИЕ18. Для $K > 16$ предусмотрена возможность каскадирования микросхем счетчиков.

В качестве примера рассмотрим схему счетчика на микросхеме ИЕ7 с модулем счета $K = 12$ (рис. 4.31).

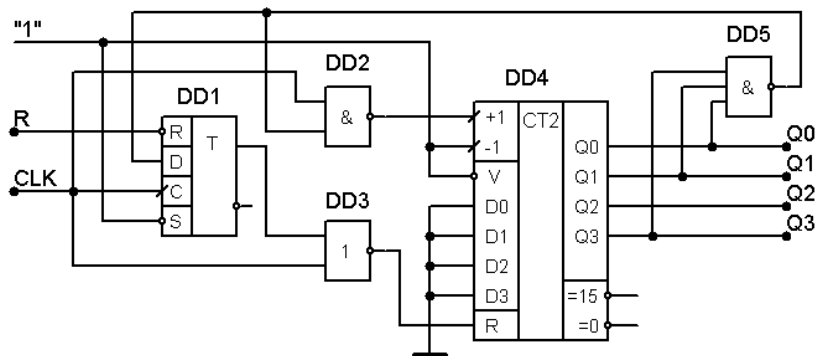


Рис. 4.31. Схема счетчика на микросхеме типа ИЕ7 (K = 12).

Последовательность импульсов CLK через открытый логический элемент 2"И-НЕ" DD2 поступает на вход +1 счетчика ИЕ7 DD4. Логический элемент 3"И-НЕ" DD5 открывается в момент появления на выходах счетчика Y0, Y1, Y2, Y3 числа $K - 1 = 11_{10} = 1011_2$. В результате сигнал "0" с выхода DD5 поступает на вход D триггера DD1. После поступления очередного импульса CLK триггер DD1 переключается, в результате чего логический элемент DD2 закрывается, а логический элемент 2"ИЛИ-НЕ" DD3 – открывается и пропускает очередной синхроимпульс на вход приоритетного сброса R счетчика. В результате счетчик DD4 сбрасывается в состояние 0_{10} синхронно, по очередному импульсу CLK.

Таблица функционирования для счетчика ИЕ7 имеет следующий вид.

Таблица 4.1. Таблица функционирования для счетчика ИЕ7.

R	V	+1	-1	Операция
1	x	x	x	Сброс в 0
0	0	x	x	Параллельная загрузка
0	1	1	1	Хранение
0	1	0/1	1	Прибавление 1
0	1	1	0/1	Вычитание 1

Входы счетчика ИЕ7 выполняют следующие функции:

R – асинхронный сброс счетчика в 0;

D0, D1, D2, D3 – входы параллельной загрузки, позволяющие загрузить в счетчик произвольное начальное число;

V – вход разрешения записи со входов D0 – D3;

+1, -1 – входы для подачи счетных импульсов;

Схема счетчика по основанию $K = 12$ на микросхеме ИЕ18 представлена на рис. 4.32.

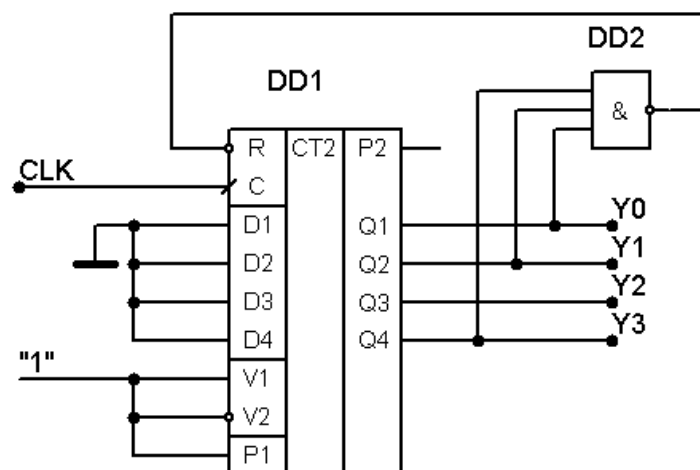


Рис. 4.32. Счетчик по основанию $K = 12$ на микросхеме ИЕ18.

Счетчик ИЕ18 не является реверсивным. Его главным отличием от счетчика ИЕ7 является система синхронного сброса.

Последовательность импульсов CLK поступает на вход С счетчика типа ИЕ18 DD1. Логический элемент "И-НЕ" DD2 открывается в момент появления на выходах счетчика Y0, Y1, Y2, Y3 числа $K - 1 = 11_{10} = 1011_2$. В результате сигнал "0" с выхода DD2 поступает на вход сброса R счетчика DD1. Сигнал на входе R не является приоритетным и не вызывает немедленного сброса счетчика в ноль. Счетчик при наличии сигнала R сбрасывается по фронту очередного импульса CLK. Очевидно, что схема счетчика по произвольному основанию на микросхеме ИЕ18 намного проще, чем схема на базе счетчика ИЕ7.

Таблица функционирования для счетчика ИЕ18 имеет следующий вид
Таблица 5.2. Таблица функционирования для счетчика ИЕ18.

R	V2	C	V1	P1	Операция
0	x	1	x	x	Сброс в 0
1	1	x	x	x	Параллельная загрузка
1	0	1	0	x	Хранение
1	0	0/1	1	1	Прибавление 1

Входы счетчика ИЕ18 выполняют следующие функции:

R – сброс счетчика в 0;

D0, D1, D2, D3 – входы параллельной загрузки, позволяющие загрузить в счетчик произвольное начальное число;

V2 – вход разрешения записи со входов D0 – D3;

C – вход для подачи счетных импульсов;

V1 – вход разрешения счета;

P1- вход разрешения переноса.

В микросхемах счетчиков типа ИЕ7 и ИЕ18 предусмотрена возможность предварительной записи числа путем подачи сигналов на входы D0, D1, D2 и D3, а затем подачи сигнала на вход разрешения записи.

Ниже приведен пример VHDL-описания 8- разрядного счетчика с синхронной загрузкой по фронту тактового сигнала CLK при сигнале LOAD = 1.

```
use IEEE.std_logic_1164.all; [1][2]
use IEEE.numeric_std.all;

entity COUNT8 is
  port(
    DIN   : in    std_logic_vector(7 downto 0);
    CLK   : in    std_logic;
    LOAD  : in    std_logic;
    DOUT  : out   std_logic_vector(7 downto 0)
  );
end COUNT8;

architecture behavior of COUNT8 is
begin
  -- notice the process statement and the variable COUNT
  clk_proc:process(CLK)
  variable COUNT:unsigned(7 downto 0) := "00000000";
  begin
    if (CLK'EVENT AND CLK = '1') then
      if LOAD = '1' then
        COUNT := DIN;
      else COUNT := COUNT + 1;
      end if;
    end if;
    DOUT <= COUNT;
  end process clk_proc;
end behavior;
```