

# ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ (ПЛИС).

**Программируемые логические интегральные схемы (ПЛИС)** – в англоязычной терминологии **PLD (Programmable Logic Device)** – одно из перспективных направлений развития элементной базы современной цифровой, а в последнее время и аналого-цифровой электроники. Их применение дает разработчику возможность быстро и с малыми затратами создавать сложные устройства, многократно менять и совершенствовать их функции в ходе отладки путем перепрограммирования функций и связей элементов.

## Преимущества и недостатки применения ПЛИС

### Достоинства ПЛИС

- 1) Небольшой период от начала процесса проектирования устройств на ПЛИС до выпуска серийной продукции.
- 2) Возможность организации мелкосерийного производства без больших начальных вложений в технологию.
- 3) Использование ПЛИС позволяет выпускать высокотехнологичные электронные изделия даже в странах не производящих современных Больших Интегральных Схем (БИС).
- 4) САПР ПЛИС на порядок дешевле и проще в освоении, чем САПР БИС.
- 4) Применением ПЛИС обеспечивается относительная простота исправления ошибок проектировщиков в процессе отладки изделий.
- 5) В проектах на ПЛИС меньше проблем с разводкой и расфазировкой синхросигналов за счет использования встроенных в микросхемы ПЛИС соответствующих средств.
- 6) При использовании ПЛИС легче решаются задачи согласования интерфейсов микросхем за счет возможности перенастройки блоков ввода–вывода ПЛИС на множество различных сигнальных стандартов.
- 7) Отладка и тестирование аппаратуры на ПЛИС упрощается, как за счет обязательной реализации в них стандарта периферийного сканирования JTAG, так и возможности встраивания в проекты (на стадии их отладки) схем логических анализаторов. В последнем случае микросхема ПЛИС сама накапливает временную диаграмму интересующих разработчиков сигналов, которую потом можно вывести и проследить на компьютере.
- 8) ПЛИС – идеальная база для обучения студентов цифровой схемотехнике и САПР.
- 9) ПЛИС особенно эффективны при реализации принципа массового параллелизма, например в устройствах цифровой обработки сигналов (DSP–Digital Signal Processing).

10) ПЛИС– удобное средство для создания и исследования прототипов и макетов устройств перед их реализацией в виде БИС.

### **Основные недостатки ПЛИС по сравнению с БИС.**

1) Площадь, занимаемая схемой проекта на кристалле ПЛИС больше, а быстродействие меньше, чем у тех же проектов, реализованных в виде заказных БИС, при одинаковых технологических нормах изготовления микросхем (за гибкость приходится платить).

2) Надежность аппаратуры, реализованной на ПЛИС меньше, чем у функционально эквивалентной аппаратуры, реализованной в виде заказных БИС.

3) Стоимость изделий на БИС при больших сериях производства этих изделий меньше, чем на ПЛИС.

4) При эмбарго на поставки современных ПЛИС сложно решаются вопросы импортозамещения.

**В настоящее время наиболее распространены две архитектуры ПЛИС: CPLD и FPGA (Field Programmable Gate Array).** Основными производителями ПЛИС являются американские фирмы XILINX (*Зайлинкс*) (27 октября 2020 года было заключено соглашение о слиянии компаний AMD и Xilinx) и ALTERA (в июне 2015 года поглощена корпорацией Intel за \$16,7 млрд.). Фирма XILINX немного (примерно на год), идет впереди, и в дальнейшем мы в качестве примеров будем ссылаться на продукцию этой фирмы. Тем более, что в соответствии с программой помощи университетам (XUP–Xilinx University Program) фирма XILINX бесплатно снабжает учебные заведения полной версией своих систем автоматизации проектирования ПЛИС ISE (Integrated Software Environment) и VIVADO.

### **6.1. Структуры первых ПЛИС.**

Прототипами современных ПЛИС типа CPLD являлись микросхемы ПЛМ – программируемые логические матрицы (PLA–Programmable Logic Array) и ПМЛ – программируемая матричная логика (PAL–Programmable Array Logic).

#### **6.1.1. Программируемая Логическая Матрица (ПЛМ).**

**ПЛМ** – комбинационная схема, которая имеет  $N$  входов и  $M$  выходов.

Пример-входы IN и выходы OUT на рис 6.1. Она состоит из двух блоков– **матрицы И** и **матрицы ИЛИ** (рис.6.1), а также входных и выходных буферов. **Матрица И** представляет собой совокупность из  $K$  штук  $2 \times N$ –входных схем И, образующих строки матрицы (термы). На строки из входных буферов поступают прямые и инверсные значения внешних входов ПЛМ. Выходы каждой из этих строк можно соединить с входами  $K$ –входных схем ИЛИ, образующих столбцы **матрицы ИЛИ**, их  $M$  штук. Выходы этих схем ИЛИ и являются выходами ПЛМ.

## Структура ПЛМ(PLA)

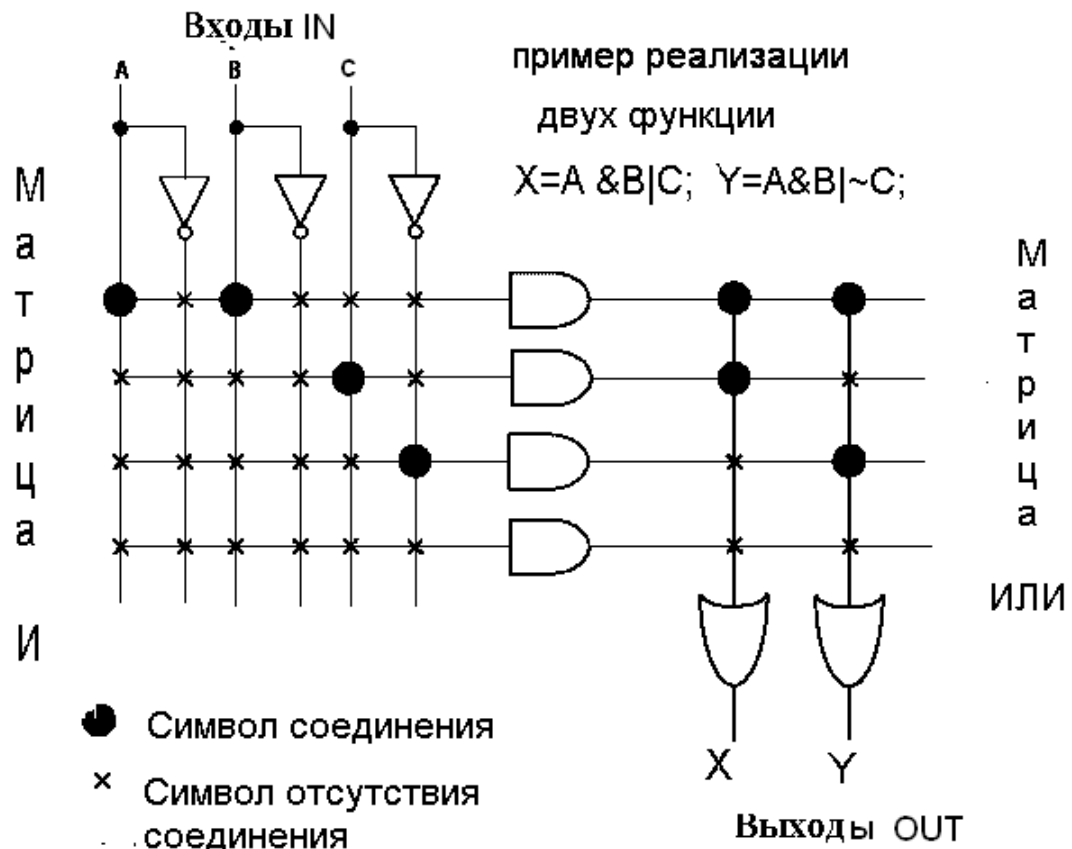


Рис.6.1. Структура ПЛМ и реализация функций  $X = (A \& B) | C$  и  $Y = (A \& B) | \sim C$

При программировании ПЛМ каждый вход каждой схемы И может быть соединен с прямым или инверсным (рис.6.1) значением соответствующего входного сигнала или быть разомкнут, что соответствует значению логической 1 на этом входе. Итак, матрица И имеет  $2 \cdot N$  столбцов и K строк, а матрица ИЛИ – K строк и M столбцов. Нетрудно провести аналогию с реализацией СДНФ произвольной логической функции на элементах И, имеющими N входов, элементах ИЛИ, имеющими K входов и N элементов НЕ.

На рис.6.1 приведен пример реализации двух логических функций (& | ~- обозначения логических операций И, ИЛИ, НЕ)

$$X = (A \& B) | C$$

$$Y = (A \& B) | \sim C$$

Если говорить про реализацию типовых функциональных узлов, то, например, функция мультиплексора 2–1 с тремя входами in1, in2, sel и выходом out\_m, описываемая булевым уравнением

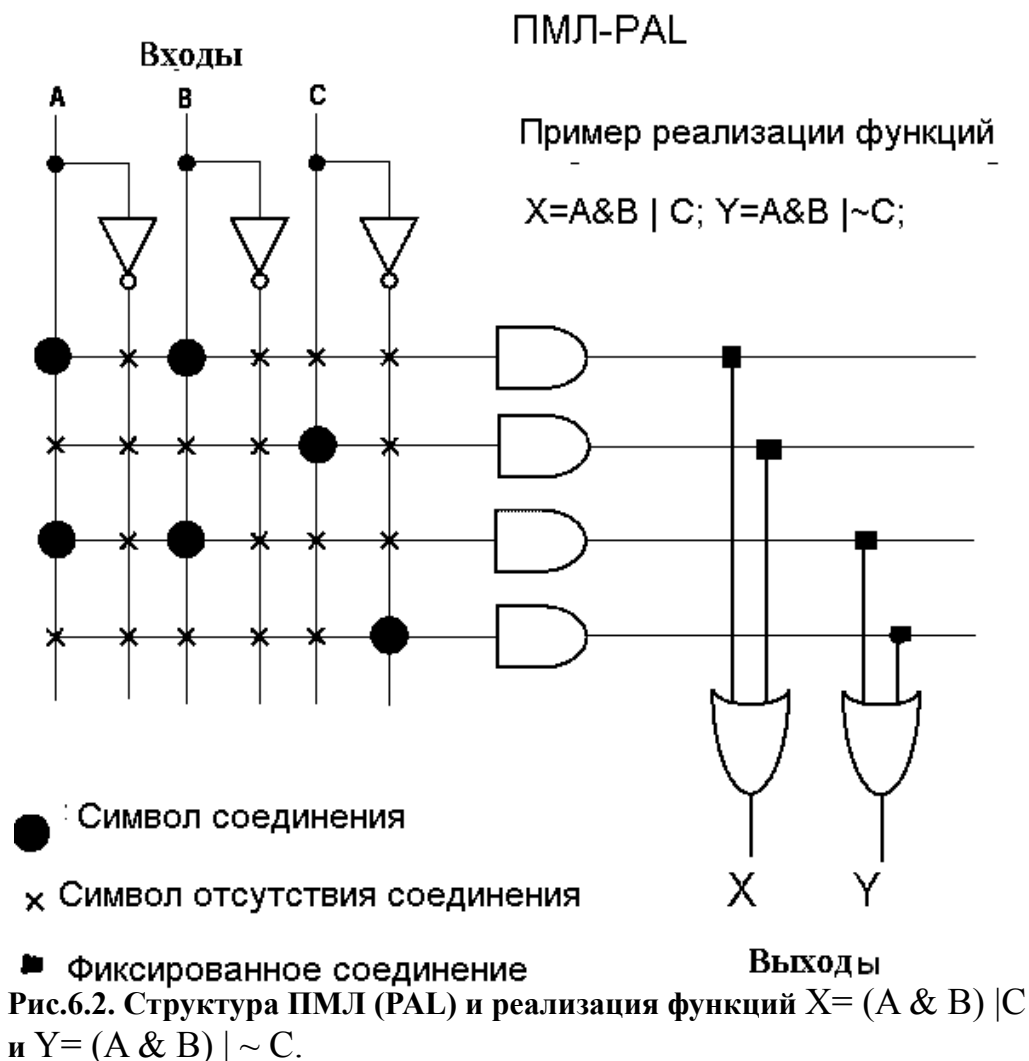
$$\text{out\_m} = \text{in1} \& \text{sel} | \text{in2} \& \sim \text{sel};$$

(обозначения– &– операция И, |– операция ИЛИ, ~ операция инверсии НЕ) реализуется двумя строками матрицы И, соединенными с одним столбцом матрицы ИЛИ.

В общем случае на ПЛМ с N–входами и M–выходами можно реализовать M разных N – входных логических функций, число термов в которых ограничивается K.

### 6.1.2. Программируемая Матрица Логики (ПМЛ-PAL).

**ПМЛ** (рис.6.2) в отличие от ПЛМ, имеет не программируемые, а фиксированные связи строк–схем И со столбцами– схемами ИЛИ, что ограничивает их логические возможности, но резко упрощает процесс изготовления микросхем. В примере на рис.6.2 представлен вариант с двухвходовыми ИЛИ.



В первых ПЛИС для программирования их функций использовались однократно пережигаемые перемычки.

Развитие технологии ПЛМ и ПМЛ пошло по пути реализации в ПЛИС возможности многократного перепрограммирования (конфигурирования) соединений и реализации большого числа таких узлов в одной микросхеме.

Кроме того, в состав микросхемы были включены запоминающие элементы – триггера, что резко повысило логические возможности ПЛИС. Эти ПЛИС стали называться сложными (CPLD–Complex Programmable Logic Device). Таким образом, в отличие от технологии заказных БИС, в ПЛИС используются не фиксированные, а программируемые пользователем соединения элементов, а функции элементов тоже не фиксированные, а программируемые. Информация, осуществляющая функцию программирования, в современных ПЛИС хранится в так называемой теневой (конфигурационной) памяти микросхемы. Меняя содержимое этой памяти, мы изменяем функцию, реализуемую микросхемой.

### 6.1.3. Схемотехника ПЛИС типа CPLD.

**CPLD** (Complex Programmable Device) – ПЛИС с относительно небольшим числом функциональных блоков (ФБ – FB), состоящих из многовходовой ПЛМ (или ПМЛ) и триггера и как правило с энергонезависимой конфигурационной (FLASH) памятью, программирование которой реализует настройку блоков и их связей. В упрощенном виде (рис.6.3) CPLD можно представить как набор из множества ФБ, коммутируемых друг с другом через так называемую главную коммутационную матрицу (ГТМ или AIM–Advanced Interconnection Matrix)). На периферии расположены блоки ввода–вывода (БВВ или I/O).

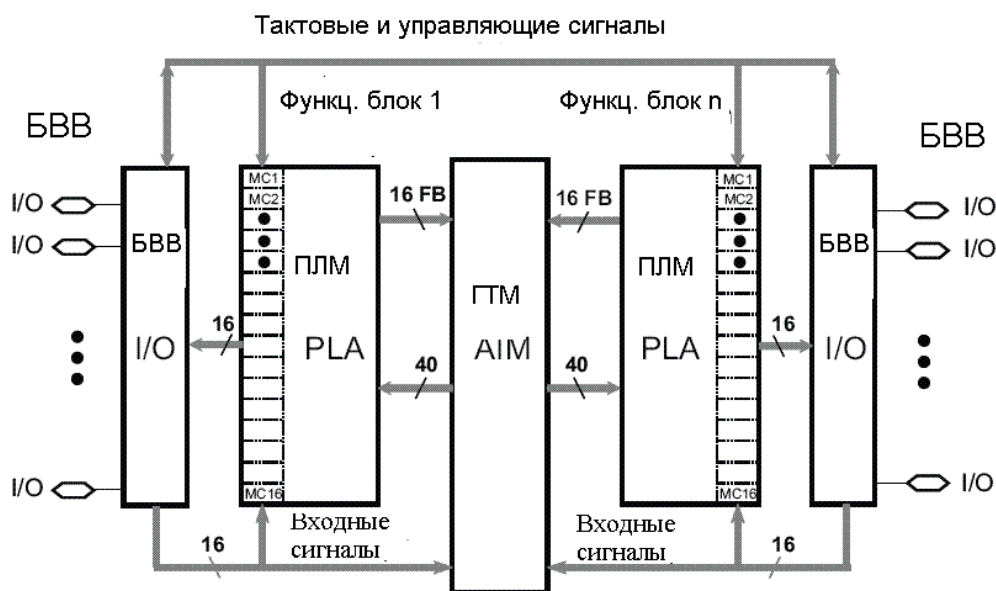


Рис.6.3. Структура микросхемы ПЛИС семейства COOLRUNNER 2

Внутреннюю структуру ПЛИС типа CPLD поясним на примере семейства маломощных дешевых микросхем COOLRUNNER 2 фирмы XILINX. Каждая такая микросхема (рис.6.3) состоит из множества функциональных блоков типа ПЛМ, составляющих ее логический ресурс. ФБ в свою очередь, состоят из так называемых макроячеек (МЯ). Например,

функциональный блок ПЛИС семейства COOLRUNNER 2 содержит 16 макроячеек (MC1–MC16) со структурой 40-входовых ПЛМ, что позволяет реализовать 16 логических функций от 40 переменных. Каждая макроячейка (рис.6.4) помимо комбинационной схемы – одновыходовой ПЛМ, имеет триггер, который может быть запрограммирован как D–триггер или как триггер-защелка. На него, кроме выходного сигнала от ПЛМ (D/T), приходят сигналы разрешения (CE), установки/сброса (S, R) и синхросигнал(C).

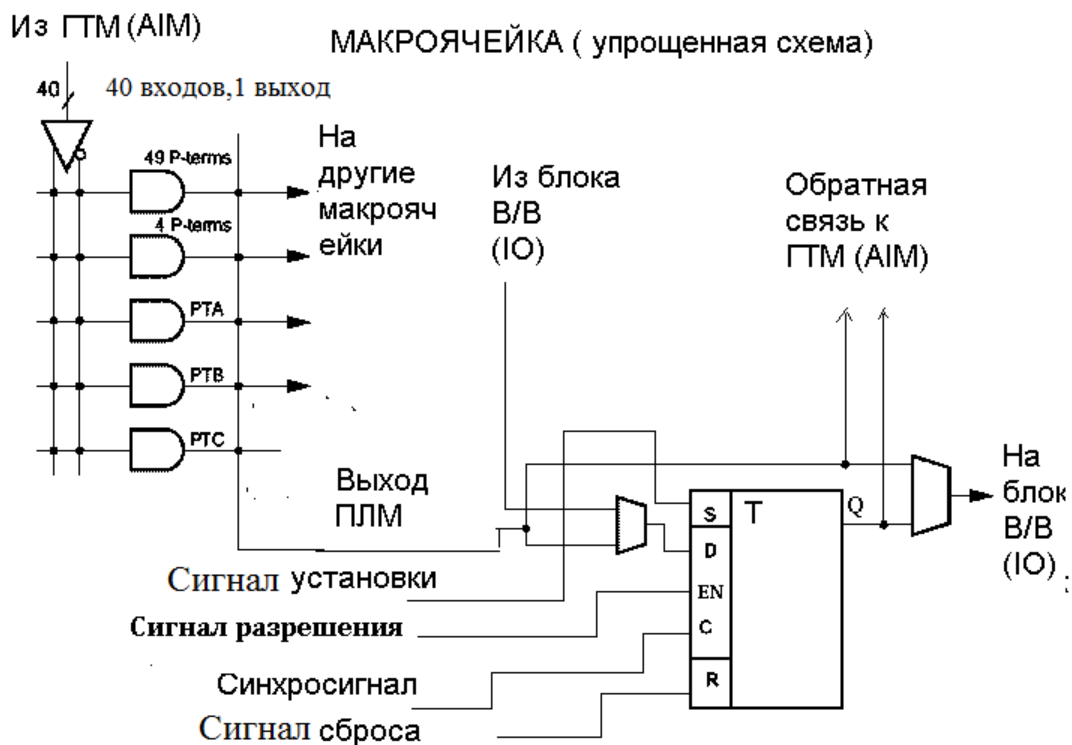


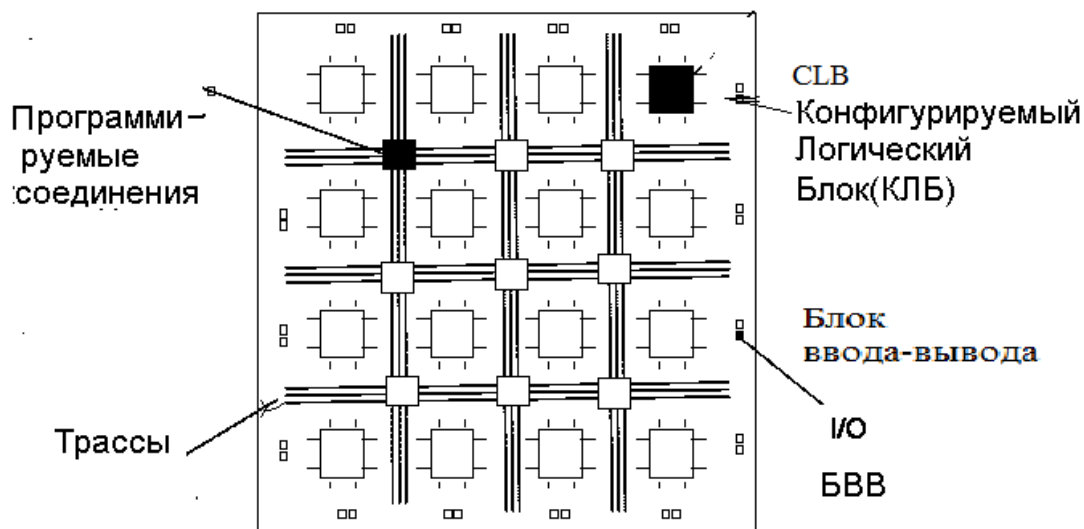
Рис. 6.4. Упрощенная схема макроячейки ПЛИС семейства COOLRUNNER 2.

Семейство ПЛИС COOLRUNNER 2 отличается пониженным энергопотреблением (статический ток не превышает 100 мкА). Эти ПЛИС выпускаются в плоских корпусах. Снизу корпуса или с боков расположены выводы микросхемы, сверху указано ее обозначение.

Например, обозначение XC2C256 говорит о том, что это микросхема фирмы XILINX (X), типа CPLD серии COOLRUNNER 2 (C2), число макроячеек в которой 256. Микросхемы этого типа могут быть применены при создании нестандартных АЛУ, дешифраторов, мультиплексоров, конечных автоматов и т.д., т.е. при создании устройств, в которых реализуются логические функции большого числа переменных и используется относительно небольшое число триггеров.

## 6.2. Схемотехника ПЛИС типа FPGA.

**FPGA** (Field Programmable Gate Array) – это другой тип ПЛИС. На площади кристалла микросхемы ПЛИС (рис.6.5) типа FPGA размещена матрица из множества программируемых функциональных блоков и множество программируемых соединений (PM–Programmable Interconnections). Функциональные логические блоки в ПЛИС типа FPGA называются конфигурируемыми логическими блоками (КЛБ), а в англоязычной литературе CLB – Configurable Logic Block. В свою очередь КЛБ состоят из логических ячеек (ЛЯ).

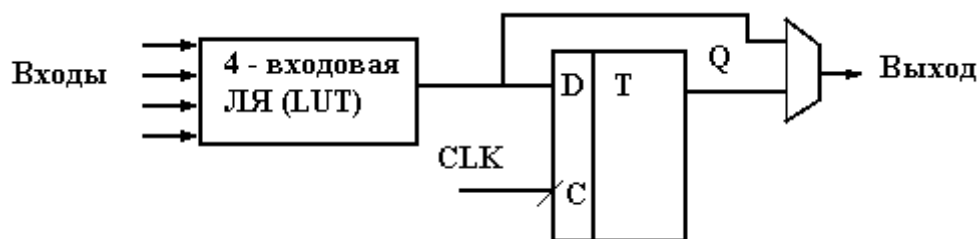


**Рис. 6.5. Структура микросхемы ПЛИС типа FPGA.**

По периметру микросхемы размещены блоки ввода–вывода сигналов (IOB–Input Output Block). В отличие от ПЛИС типа CPLD функциональные блоки FPGA имеют другую организацию и логические возможности, а трассировочные ресурсы более разнообразны, т.к. состоят из линий разной длины и коммутаторов.

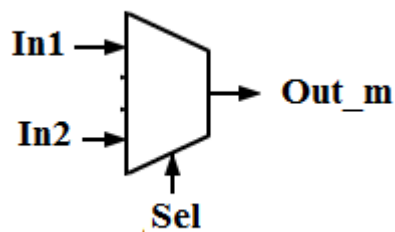
### 6.2.1. Логическая ячейка ПЛИС типа FPGA.

Конфигурируемый Логический блок (КЛБ) образован из нескольких секций–slice, которые в свою очередь состоят обычно из двух логических ячеек (ЛЯ). Логическая ячейка является базовым логическим элементом ПЛИС типа FPGA (рис.6.6). Она состоит из 4–6-ти входовой (в зависимости от типа FPGA) схемы, выполняющей логическую функцию – логической таблицы (ЛТ, ЛУТ) по-английски – LUT–Lus Up Table), реализуемую с помощью постоянного запоминающего устройства (ППЗУ), D–триггера (DFF–D–Flip Flop), дополнительной управляющей логики и схемы ускорения переноса, используемой при построении сумматоров. Часто для всей логической ячейки используется то же наименование ЛУТ (LUT) как и для отдельной логической таблицы.



**Рис. 6.6. Упрощенная структура четырехвходовой логической ячейки.**

Обычно, как уже отмечалось, логическая функция ячейки ПЛИС типа FPGA реализуется таблично с помощью Постоянного Запоминающего Устройства (ПЗУ). ПЗУ после записи хранит записанную в него информацию. Каждому информационному слову сопоставлен его адрес. С помощью ПЗУ емкостью в 16 одноразрядных слов ( $16 \times 1$ ) можно реализовать любую булевскую функцию от четырех аргументов, записав в ПЗУ таблицу истинности этой функции, а при обращении к ПЗУ в качестве адреса использовать набор значений аргументов (четырёхразрядный вектор или четырёхразрядное двоичное число). В качестве примера в табл.6.1 представлена таблица истинности логической функции мультиплексора 2–1, имеющего три входа: in1, in2 и sel и один выход– out\_m (рис.6.7, а также см.гл.3, раздел мультиплексор). При sel=0 мультиплексор пропускает на выход сигнал с входа in1, а при sel=1 с входа in2.



**Рис. 6.7. УГО мультиплексора 2-1 (ANSI).**

Эта функция реализуется при занесении в ПЗУ ЛЯ емкостью  $16 \times 1$  соответствующей табл.6.1 информации. Старший разряд адреса, обозначенный как X4 в данном случае, при реализации функции трех аргументов с помощью ПЗУ с четырёхразрядным адресом, не задействован и равен 0, что позволяет обращаться только к первым восьми ячейкам ПЗУ. Например, мультиплексор 2-1 должен передавать на выход out\_m значение сигнала 1 при in1=1, in2=0 и управляющем сигнале sel =0. Если сопоставить входам ЛЯ

X4-0, X3-Sel, X2-In2, X1-IN1Б где X4- старший разряд адреса, то, соответственно комбинация 0001, рассматриваемая как номер строки табл.6.1 или как адрес ячейки ПЗУ, при обращении по этому адресу выбирает из памяти значение = 1. И так далее. Помимо настройки на выполнение основной функции – четырехвходового логического элемента, логическая ячейка может настраиваться при программировании ПЛИС на выполнение



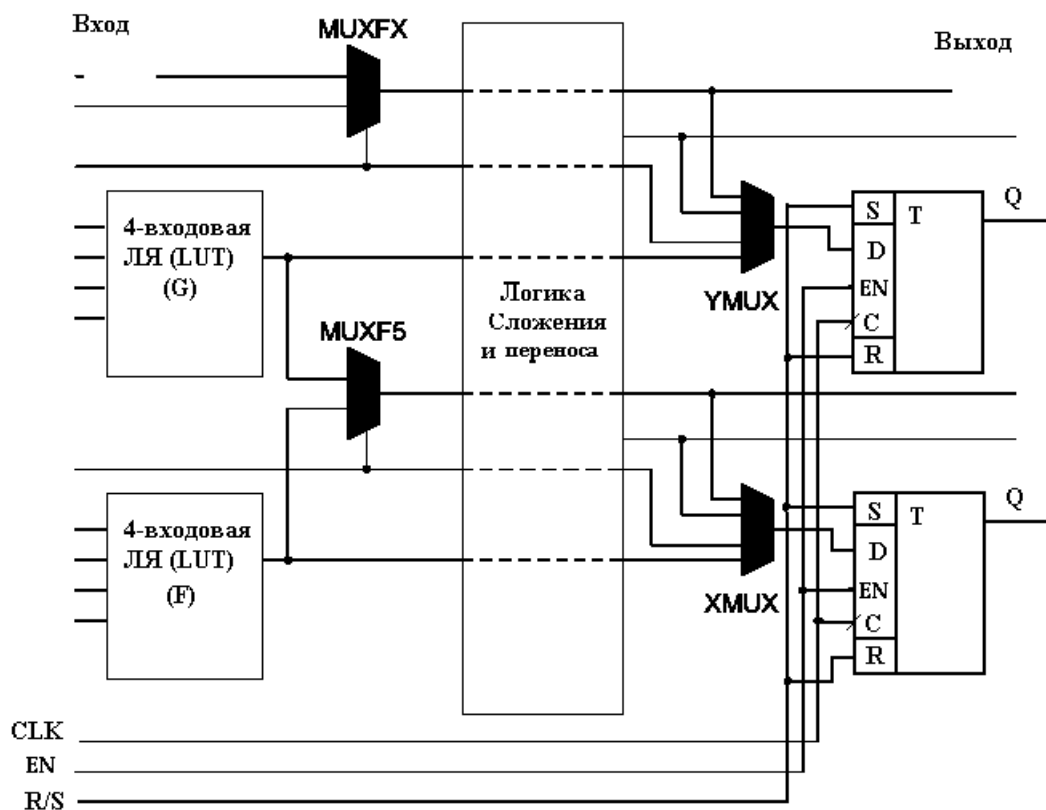
другой функции, 16 разрядного регистра сдвига. ПЗУ в этом варианте настройки ЛЯ используется по прямому назначению как ЗУ.

**Таблица 6.1. Реализация логической функции мультиплексора 2–1 с помощью ПЗУ 16х1**

Значения входных сигналов, которые формируют адрес ячейки памяти X4 sel in2 in1	Содержимое ячейки определяет значение выхода out_m
0 0 0 0	0
0 0 0 1	1
0 0 1 0	0
0 0 1 1	1
0 1 0 0	0
0 1 0 1	0
0 1 1 0	1
0 1 1 1	1

В логической ячейке используются программируемые D–триггеры (рис. 6.6). При программировании ПЛИС можно задать различные режимы работы такого триггера, такие как триггер–защелка (D–Latch), синхронный D–триггер (FD), D–триггер с начальным сбросом (FDR) или начальной установкой (FDS), с записью по фронту или спаду синхросигнала, с разрешением (FDE) записи и т.п. Как уже отмечалось, пара ЛЯ объединяется в секцию (slice), где также имеются узлы ускорения переноса, позволяющие ускорить и упростить реализацию арифметических операций. На рис.6.18 дано упрощенное представление секции, состоящей из двух ЛЯ.

Примером недорогой микросхемы типа FPGA является микросхема XC3S200–4–FT256C фирмы XILINX. Это микросхема серии SPARTAN 3(3S) с эквивалентной логической емкостью 200 тысяч двухвходовых вентилей, классом быстродействия (–4) , корпусом типа FT256 (корпус, в котором 256 штырьковых выводов расположены по периметру), предназначенная для работы в диапазоне температур аппаратуры коммерческого (C– commercial) применения. В ней более 4000 логических ячеек – (LUT). Помимо этого в микросхеме имеется много других логических ресурсов (см. следующий параграф) – встроенных умножителей (MUL) 18\*18, блоков памяти (BRAM)–емкостью 16 кбит, блоков цифрового управления синхросигналами (DCM)и др., рассматриваемых ниже.



**Рис.6.18. Упрощенное представление секции (slice) из двух ЛЯ.**

Сравнение ПЛИС типа FPGA и CPLD показывает, что при одинаковой сложности микросхем в ПЛИС типа FPGA число логических ячеек и соответственно триггеров примерно на порядок больше чем в CPLD, но логические возможности каждой из ячеек примерно на порядок ниже.

ПЛИС конфигурируются путем загрузки конфигурационных данных во внутреннюю конфигурационную память.

Для ПЛИС типа CPLD – это память типа FLASH, сохраняющая информацию после снятия напряжения питания (энергонезависимая память)

Для ПЛИС типа FPGA – это память типа Оперативного Запоминающего Устройства (ОЗУ), не являющаяся энергонезависимой.

### 6.2.2. Дополнительные типы блоков ПЛИС типа **FPGA**.

#### **Блоки встроенных умножителей (MUL) и умножителей–аккумуляторов (MAC-DSP48)**

Хотя основным логическим ресурсом ПЛИС типа FPGA являются КЛБ, состоящие из секций, в свою очередь состоящих из ЛЯ (LUT), современные ПЛИС имеют также и так называемые **встроенные ядра**, представляющие собой отдельные типовые узлы, устройства и даже микропроцессоры. Одними из таких типовых встроенных ядер являются **блоки умножителей (MUL)**. Например, в дешевых ПЛИС серии СПАРТАН– 3 это умножители двух 18 разрядных чисел. Таких умножителей в зависимости от сложности

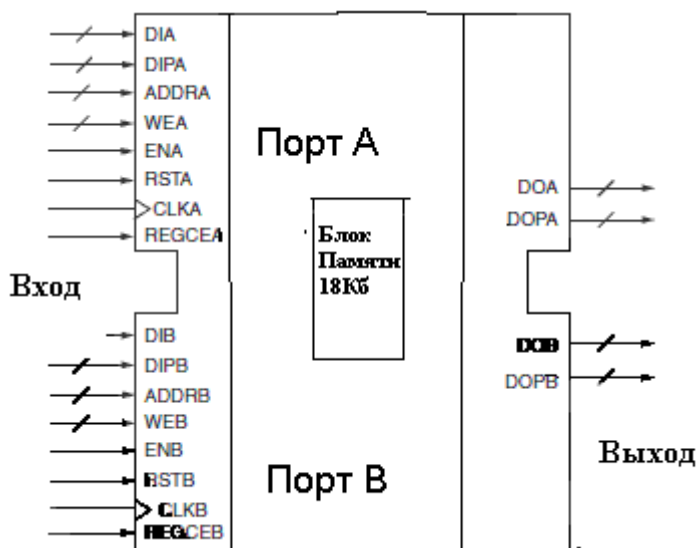
микросхемы ПЛИС от нескольких десятков до сотен. Для ПЛИС, ориентированных на реализацию систем цифровой обработки сигналов (Digital Signal Processing–DSP), где типовой операцией является умножение с накоплением (MAC–Multiply And Accumulate), это программируемые встроенные ядра с умножителями 25 разрядных чисел на 18- разрядные и с 48- разрядными трехвходовыми сумматорами–накопителями (блоки DSP48 ПЛИС серий VIRTEX–4,5,6 фирмы XILINX).

### **Встроенные ядра ОЗУ и FIFO.**

Для реализации в ПЛИС типа FPGA модулей ОЗУ предусмотрено две возможности. Первую возможность предоставляет каждая ЛЯ, которая, как уже отмечалось, при 4–х входных ЛЯ может быть сконфигурирована как синхронное ОЗУ емкостью в 16 одноразрядных чисел (16 x 1). Две соседних ЛЯ могут быть сконфигурированы как 16 x 1 двухпортовое ОЗУ с записью и чтением по одному адресу и чтением по другому адресу. Если необходимо иметь ОЗУ большей емкости, то оно строится на базе нескольких логических ячеек. Такое ОЗУ распределено по площади микросхемы ПЛИС и поэтому названо распределенным (Distributed RAM).

Вторую возможность реализации ОЗУ и ПЗУ в ПЛИС предоставляют встроенные ядра – блоки синхронной памяти (Block RAM) (рис.6.9).

Определение «синхронная память» означает, что она срабатывает по приходу синхроимпульса и содержимое ячейки, адрес которой совпадает со значением кода на регистре адреса, появляется на выходе при считывании или изменяется при записи.



**Рис.6.9. УГО Блока синхронной памяти (Block RAM).**

Информационная емкость каждого такого блока памяти для разных серий ПЛИС FPGA колеблется от 16 до 36 килобит. Они могут быть сконфигурированы в пределах этой емкости как однопортовое или двухпортовое ОЗУ различной разрядности и количества слов. Начальное состояние этой памяти задается при программировании ПЛИС, поэтому она

может быть использована также как ПЗУ. В сериях VIRTEX–5 и 6 эти блоки можно конфигурировать и как память типа очередь – FIFO с разными синхросигналами на входах чтения и записи, что позволяет их использовать как буфера на границах областей синхронизации.

### **Блоки ввода–вывода (IOB.)**

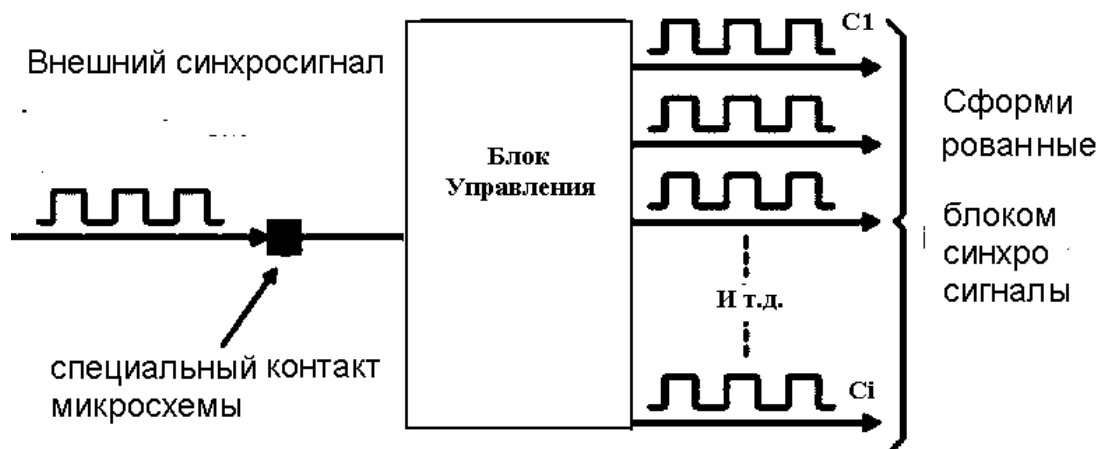
Блоки ввода–вывода (БВВ) расположены по периферии микросхемы ПЛИС. Их число определяется количеством контактов микросхемы, за исключением контактов питания, земли и т.п. Особенностью БВВ является возможность быть настроенными на различные (более 10) сигнальные стандарты: уровни сигналов, сопротивления источников, способы передачи и т.п. В числе этих стандартов:

- дифференциальные (двухпроводные) сигнальные стандарты: LVDS, BLVDS, ULVDS – (LVDS–низковольтный дифференциальный),
- однопроводные низковольтные стандарты: TTL и КМОП – LVTTL, LVCMOS (3.3, 2.5, 1.8, 1.2 V),
- шинные стандарты: PCI, PCI–X и др.

Программируемые сопротивления (DCI–Digital Controlled Impedance), имеющиеся в БВВ, позволяют упростить решение задачи согласования сопротивлений источников и приемников сигналов.

### **Блоки управления частотой и фазировкой синхросигналов.**

В ПЛИС FPGA несколько контактов соединены со специальными входными буферами (Clock Buffer), которые в свою очередь связаны с сетями распределения синхросигналов по микросхеме. Например, в ПЛИС Spartan–3 имеется до 8 глобальных тактовых входов – GCLK0 – GCLK7. Для управления частотой, задержкой и фазой тактовых сигналов предназначены программируемые блоки **DCM (Digital Clock Manager)** и **Clock Management Tiles (CMT)**, выходы которых можно подключать к тактовым буферам (рис.6.10).



**Рис.6.10. Цифровой блок управления синхросигналами (DCM, CMT).**

## **Трассировочные ресурсы ПЛИС**

Отличительной особенностью ПЛИС типа FPGA (рис.6.5) является сложная организация трассировочных ресурсов– линий связи, которые осуществляют электрическое соединение различных функциональных элементов ПЛИС друг с другом. Существует 4 типа линий связи: «длинные линии», «полудлинные (hex) –линии», «двойные линии» и «короткие – линии прямой связи». Эта градация определяется количеством КЛБ, через которые связь проходит. Следует учесть, что соединения линий связи осуществляются с помощью программируемых ключей, обладающих существенными задержками, сравнимыми с задержками ЛЯ. Естественно, что программы САПР, осуществляющие трассировку связей элементов микросхемы ПЛИС, ведут ее с учетом минимизации длин и задержек связей и обеспечения 100% автоматической трассировки соединений. Как показывает практика в случаях, когда полнота использования логических ресурсов ПЛИС типа FPGA превышает 90%, задача трассировки существенно усложняется и помимо увеличения задержек связей проект часто требует ручной дотрассировки.

### **Внутренние шины на элементах с тремя состояниями.**

Блоки ввода–вывода всех ПЛИС могут программироваться на организацию тристабильных выходов. Однако внутри ПЛИС буфера с тристабильными выходами и общие шины на их базе применяются редко из–за технологических трудностей реализации таких буферов, а также увеличенной задержки их переключения. Только в дорогих сериях ПЛИС, например VIRTEX–2,4,5,6 фирмы Xilinx предусмотрены возможности организации шин на их базе. В обычных шинах третье состояние характеризуется уровнем, находящимся между уровнями логическая 1 и логический 0. Однако в случае, когда все буферы передатчиков, подключенных к общей шине, будут в третьем – высокоимпедансном состоянии, сигналы помех оказывают на нее большое влияние. Для уменьшения их влияния, общая шина обычно «подтянута», т.е. нагружена специальной схемой, которая подтягивает уровень шины или к уровню слабая 1(H), или к уровню слабый 0(L). Это свойство шин в ПЛИС также программируется. При организации общих шин на элементах с тремя состояниями аппаратные затраты в несколько раз меньше, чем в шинах, реализованных на мультиплексорах.

### **Встроенные процессорные ядра.**

В качестве встроенных ядер ПЛИС типа FPGA могут выступать мощные микропроцессоры. Например, для ПЛИС XILINX серии VIRTEX–5 это 32–разрядный микропроцессор PowerPC 440 с RISC– архитектурой, семикаскадным конвейером команд, 32– килобайтными кэш памятью команд и данных, 500 мегагерцовой тактовой частотой. В более поздних сериях

(Серии 7000) это микропроцессор ARM 9. С помощью таких процессорных ядер, блочной памяти и других встроенных ядер можно строить на ПЛИС сложные системы на одном кристалле (SOC–System On Chip).

### **Ядра шинных и сетевых интерфейсов.**

В дорогих и высокоскоростных сериях ПЛИС (VIRTEX 5,6) в число встроенных ядер входят блоки типа PCI Express с поддержкой 8-канальных

Gen1 (2,5 Гбит/с) и 4-канальных Gen2 (5,0 Гбит/с) связей и сетевые Ethernet контроллеры ТЕМАС – 10/100/1000 Мбит/с.

В некоторые серии ПЛИС (Спартан–6, например) в состав ядер включен контроллер внешней памяти, программируемый под стандарты DDR и обеспечивающий скорость передачи до 12,8 Гбит/с.

### **Последовательные приёмопередатчики (трансиверы).**

Реализация высокоскоростных параллельных шин усложняется взаимными помехами, несовпадением длин проводников и т.п. Поэтому в последнее время наблюдается интерес к последовательным приёмопередатчикам (трансиверам). Соответствующие ядра встраиваются в современные ПЛИС. В числе их, например, GTP – 3,125 Гбит/с приёмопередатчики ПЛИС серии VIRTEX–5.

### **Аналого-цифровые ПЛИС.**

Для решения многих задач необходимо иметь в составе системы не только цифровые, но и аналоговые блоки – усилители, преобразователи аналог–цифра (АЦП) и наоборот (ЦАП) и др. Поэтому некоторые фирмы, например такие, как Lattice Semiconductor ([www.lattice.com](http://www.lattice.com)), особое внимание уделяют развитию аналого–цифровых ПЛИС.

### **Основные параметры, по которым отличаются ПЛИС.**

- 1) Тип – CPLD или FPGA.
- 2) Стоимость и быстродействие:
  - дешевые семейства– COOLRUNNER 2, SPARTAN–3,6 (стоимость микросхемы от десятка долларов, тактовые частоты 100–300 МГц).
  - дорогие и быстродействующие VIRTEX 4–6 (от сотен до тысяч долларов, тактовые частоты 200–700 МГц).
- 3) Логические возможности микросхем, измеряемые либо в количестве логических ячеек (макроячейки, LUT)– от сотен до сотен тысяч, либо в количестве эквивалентных двухвходовых вентилей 2И: от десятков тысяч до нескольких миллионов.
- 4) Специализация – подсемейства ПЛИС, ориентированные на определенный класс задач – цифровая обработка сигналов, встроенные системы и т.п.
- 5) Конструктивные и электрические параметры – для коммерческого, автотранспортного, аэрокосмического, военного назначения и т.п.

### **Специализация подсемейств ПЛИС.**

В зависимости от специализации, семейства ПЛИС делятся на подсемейства. Например, для семейства VIRTEX–5 это подсемейства LX, LXT, SXT, TXT, FXT.

- LX: логическая обработка данных;
- LXT: логическая обработка данных с высокоскоростными последовательными приемопередатчиками;
- SXT: цифровая обработка сигналов (DSP) с высокоскоростными последовательными приемопередатчиками;
- TXT: цифровая обработка сигналов с высокоскоростными последовательными приемопередатчиками удвоенной производительности;
- FXT: системы со встроенными процессорами и высокоскоростными последовательными приемопередатчиками.

### **6.2.3. Конфигурирование ПЛИС.**

ПЛИС семейства Spartan-3 конфигурируются путем загрузки конфигурационных данных во внутреннюю конфигурационную память. Часть специальных контактов, которые при этом используются, не могут применяться для других целей, в то же время остальные могут после завершения конфигурирования служить в качестве контактов ввода-вывода общего назначения.

### **6.2.4 Проектирование систем на ПЛИС.**

Проектирование цифровых систем на ПЛИС осуществляется автоматизированным способом, с применением САПР.

Типичные этапы автоматизированной разработки устройств на базе ПЛИС перечислены в таблице ниже:

Этапы проектирования устройства	Этапы верификации проекта
Создание проекта и ввод исходного функционального описания (Design entry)	Функциональная верификация (Behavioral simulation)
Логический Синтез (Synthesis)	Логическое моделирование (Simulate Post-Translate Model)
Конструкторско-технологическое проектирование (Implementation)	Временное моделирование (Post place & routing simulation)

Программирование (конфигурирование) микросхемы ПЛИС	Верификация схемы проекта на отладочной плате
---	--

Исходное описание проекта выполняется либо в текстовой форме на HDL, либо в графической с использованием схемного редактора. Наблюдается тенденция к высокоуровневому описанию проекта, в частности на языке программирования С, на котором описывается алгоритм работы проектируемого устройства. Затем САПР переводит это описание на HDL. Кроме того, использование библиотек готовых типовых решений (IP-ядер) также упрощает и ускоряет процесс проектирования.

Элементы функционального моделирования уже иллюстрировались в предыдущих главах на примерах моделей инвертора, схемы 3И и др.

Логический синтез заключается в автоматизированной реализации схемы проекта в элементном базисе ПЛИС.

Логическое моделирование этой схемы не учитывает задержки и является предварительным этапом проверки соответствия поведения полученной схемы ее функциональному описанию.

Автоматизированное конструкторско-технологическое проектирование включает стадии размещения спроектированной схемы на кристалле ПЛИС и разводке соединений. Получаемая информация о длине проводников позволяет оценить задержки сигналов, которые учитываются при так называемом посттрассировочном (временном) моделировании.

После этого система подготавливает файл программирования ПЛИС и этот файл из компьютера, на котором осуществлялось автоматизированное проектирование, загружается по кабелю через порт USB в порт отладочной платы с ПЛИС. После физической верификации проекта на отладочной плате проект готов к проверке в составе реального устройства.

Ниже приведены в качестве примера результаты этапов проектирования D- триггера.

## 1. 1. Создание HDL- ОПИСАНИЯ

```
library IEEE;-- используется стандартная библиотека IEEE
use IEEE.STD_LOGIC_1164.ALL;-- подключаемые пакеты
entity dtrig is
    Port ( C : in  STD_LOGIC;
          D : in  STD_LOGIC;
          Q : out STD_LOGIC;
          NQ : out STD_LOGIC);
end dtrig;

architecture dtr_arch of dtrig is
begin
    process (C) begin
        if C'event and C='1' then
```



```

        Q<=D;
        NQ<= not D;
    end if;
end process;
end dtr_arch;

```

## 1.2. Создание HDL- ОПИСАНИЯ ТЕСТИРУЮЩЕЙ ПРОГРАММЫ (TEST\_BENCH)

**---- Описание тестирующей программы может быть в отдельном файле, а для его автоматизированного получения можно использовать средства САПР ISE.(project> new file>vhdl testbench>)**

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
-- Uncomment the following library declaration if using
-- arithmetic functions with Signed or Unsigned values
--USE ieee.numeric_std.ALL;

ENTITY test IS
END test;

ARCHITECTURE behavior OF test IS

    -- Component Declaration for the Unit Under Test (UUT)

    COMPONENT dtrig
    PORT(
        C : IN  std_logic;
        D : IN  std_logic;
        Q : OUT std_logic;
        NQ : OUT std_logic
    );
    END COMPONENT;

    --Inputs
    signal C : std_logic := '0';
    signal D : std_logic := '0';

    --Outputs
    signal Q : std_logic;
    signal NQ : std_logic;
    constant clock_period : time := 20 ns;

BEGIN

    -- Instantiate the Unit Under Test (UUT)
    uut: dtrig PORT MAP (

```

```

C => C,
D => D,
Q => Q,
NQ => NQ
);

```

-- Clock process definitions

```

clock_process :process
begin
    C <= '0';
    wait for clock_period/2;
    C <= '1';
    wait for clock_period/2;
end process;

```

-- Stimulus process

```

stim_proc: process
begin
    -- hold reset state for 100 ns.
    wait for 100 ns;

    -- insert stimulus here
    D<='1';
    wait for 3 * clock_period; wait until clk'event and clk='0';
    D<='0';
    wait for 3 * clock_period; wait until clk'event and clk='0';

end process;

```

*-- процесс сравнения значений выходов тестируемого объекта с  
--ожидаемыми*

```

check: process -- процесс самопроверки модели
    wait until clk'event and clk='1';
    wait for 3 ns;-- задержка на предполагаемое время

```

*прохождения*

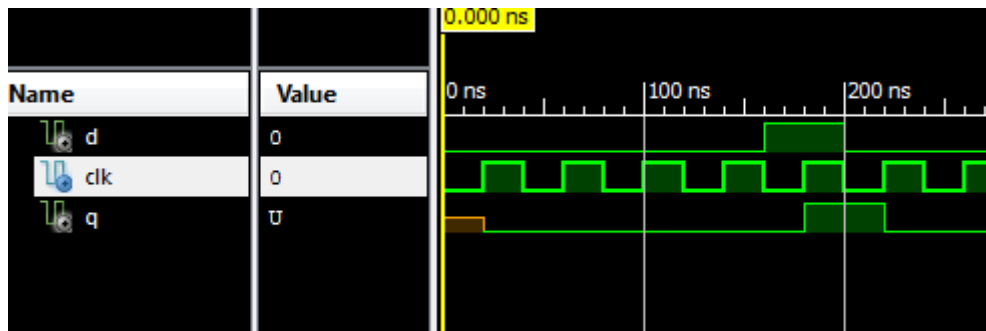
```

    ---сигнала в D-триггере и выходном порте микросхемы!
    assert(d = q) report "OCHIBKA !! MISCOMPARING ERROR"
        severity FAILURE;
end process;
end;

```

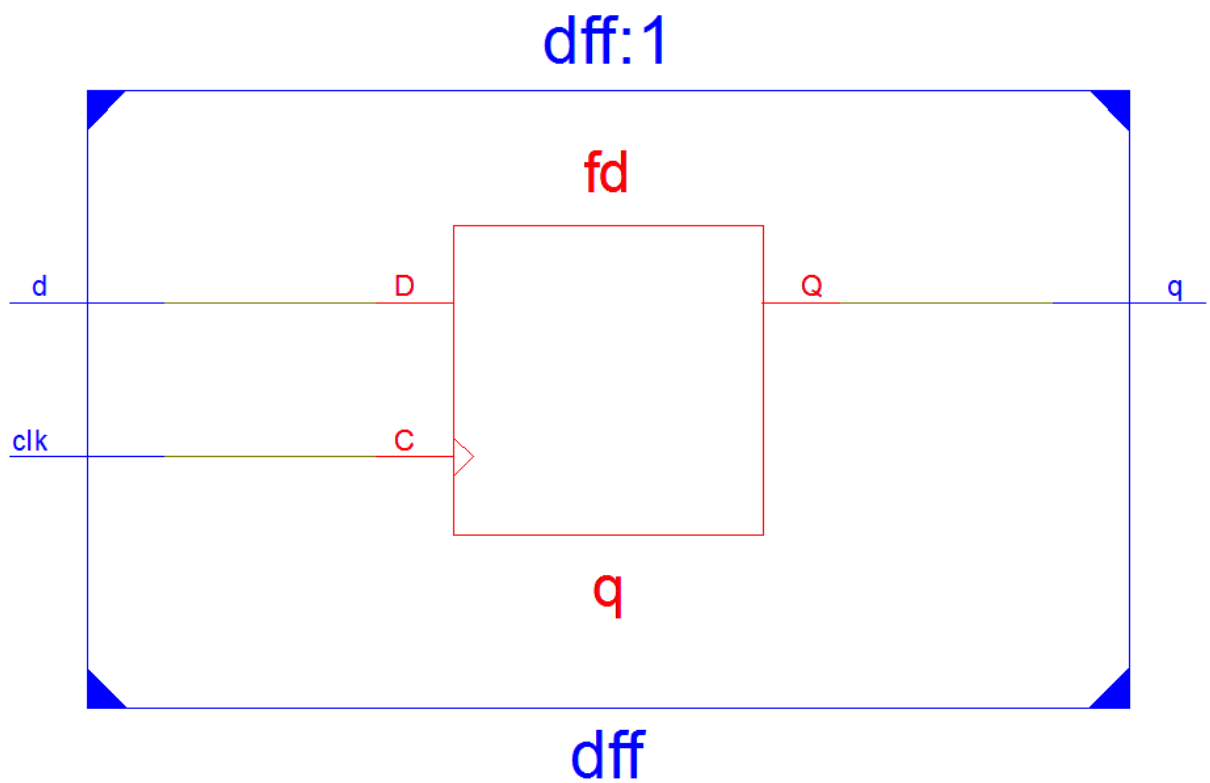
## 2. Функциональная верификация проекта (Behavioral simulation)

Ниже представлена временная диаграмма функционального моделирования



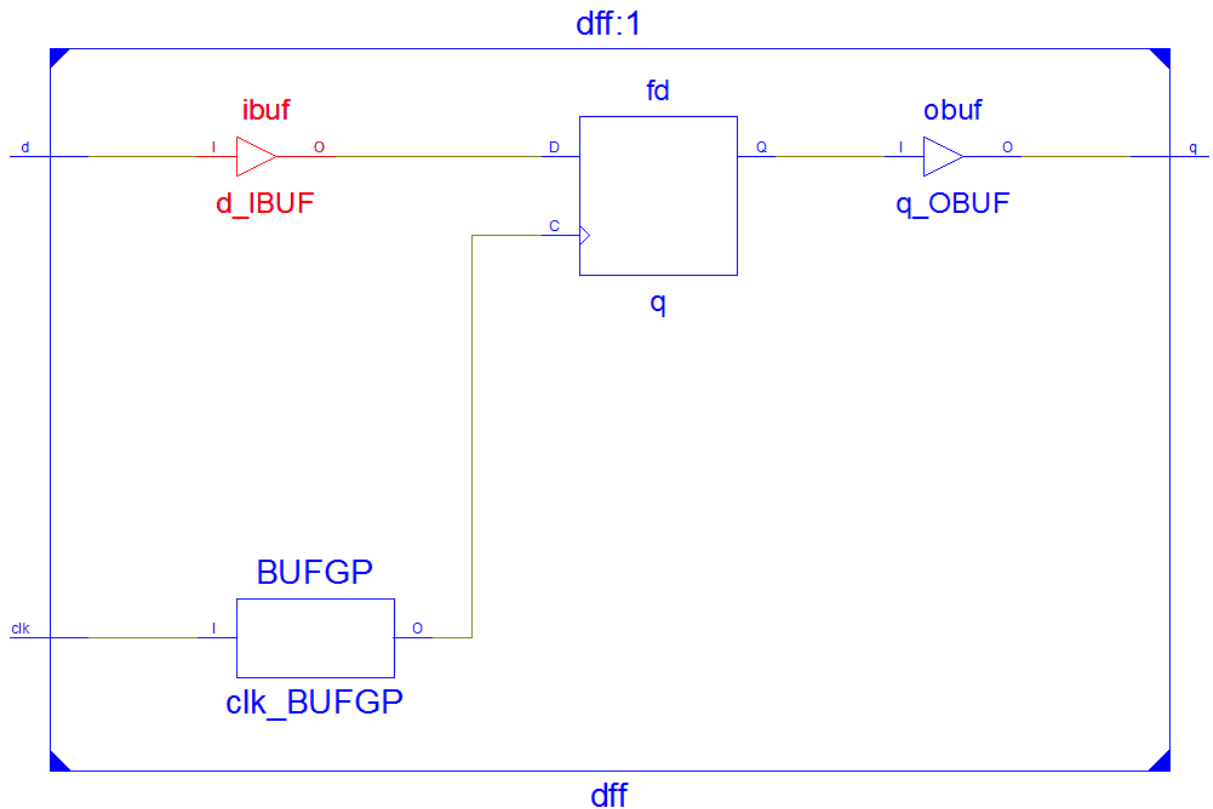
### 3.Синтез

#### 3.1. функциональная схема



#### 3.2 Схема принципиальная.

На схеме видны входные и выходные буферные элементы. Сам триггер реализован на D-триггере, входящем в состав ЛУТ



### 3.3. Фрагмент текстового отчета синтезатора.

Из отчета видно, что использовался D-триггер, входящий в состав буферного элемента ПЛИС, из трех буферных элементов один представляет буфер для ввода тактового сигнала. Этот сигнал трассируется в ПЛИС специальным образом- см. главу по проектированию синхронных схем.

Device utilization summary:

-----

Selected Device : 3s200ft256-5

Number of Slices:	0 out of 1920	0%
Number of IOs:	3	
Number of bonded IOBs:	3 out of 173	1%
IOB Flip Flops:	1	
Number of GCLKs:	1 out of 8	12%

Фрагмент отчета о предварительной оценке быстродействия схемы задержках сигналов (примерно 6.2 нс задержка выходного сигнала, из них во входном буфере 0.7 нс, в проводнике 0.68 нс, в самом триггере 0.17 6 нс. Остальное в выходном буфере) Виден высокий процент задержек в проводниках ПЛИС по отношению к задержкам логических элементов

Timing Summary:

-----

Speed Grade: -5

Minimum period: No path found

Minimum input arrival time before clock: 1.572ns

Maximum output required time after clock: 6.216ns

Maximum combinational path delay: No path found

Data Path: d to q

Cell:in->out	Gate	Net	Delay	Delay	Logical Name (Net Name)
-----					
IBUF:I->O	1	0.715	0.681	d_IBUF	(d_IBUF)
FD:D		0.176		q	
-----					
Total		1.572ns (0.891ns logic, 0.681ns route)			
		(56.7% logic, 43.3% route)			

Data Path: q to q

Cell:in->out	Gate	Net	Delay	Delay	Logical Name (Net Name)
-----					
FD:C->Q	1	0.626	0.681	q	(q_OBUF)
OBUF:I->O		4.909		q_OBUF	(q)
-----					
Total		6.216ns (5.535ns logic, 0.681ns route)			
		(89.0% logic, 11.0% route)			

# Архитектура ПЛИС CPLD

CPLD — микросхемы высокого уровня интеграции, основными частями которых являются:

- PAL (GAL) — подобные функциональные блоки;
- система коммутации, позволяющая объединять функциональные блоки в единое устройство, выполненная в виде матрицы соединений.
- блоки ввода/вывода.

Все составные части CPLD программируются. Обобщенная структура CPLD показана на рис. 1.1.

В структурной схеме приняты следующие обозначения. Через ФБ (FB) обозначены функциональные блоки, число которых  $N$  зависит от уровня интеграции микросхемы и изменяется в довольно широких пределах. В каждом ФБ имеется  $n$  макроячеек МЯ (МС, Macrocells). Функциональные блоки получают входные сигналы от программируемой матрицы соединений ПМС (PIA, Programmable Interconnect Array). Число таких сигналов  $m$ . Выходные сигналы ФБ поступают как в ПМС, так и в блоки ввода/вывода CPLD (IOBs, Input/Output Blocks, БВВ). ПМС обеспечивает полную коммутируемость функциональных блоков, т. е. возможность подавать сигналы с любого их выхода на любой вход.

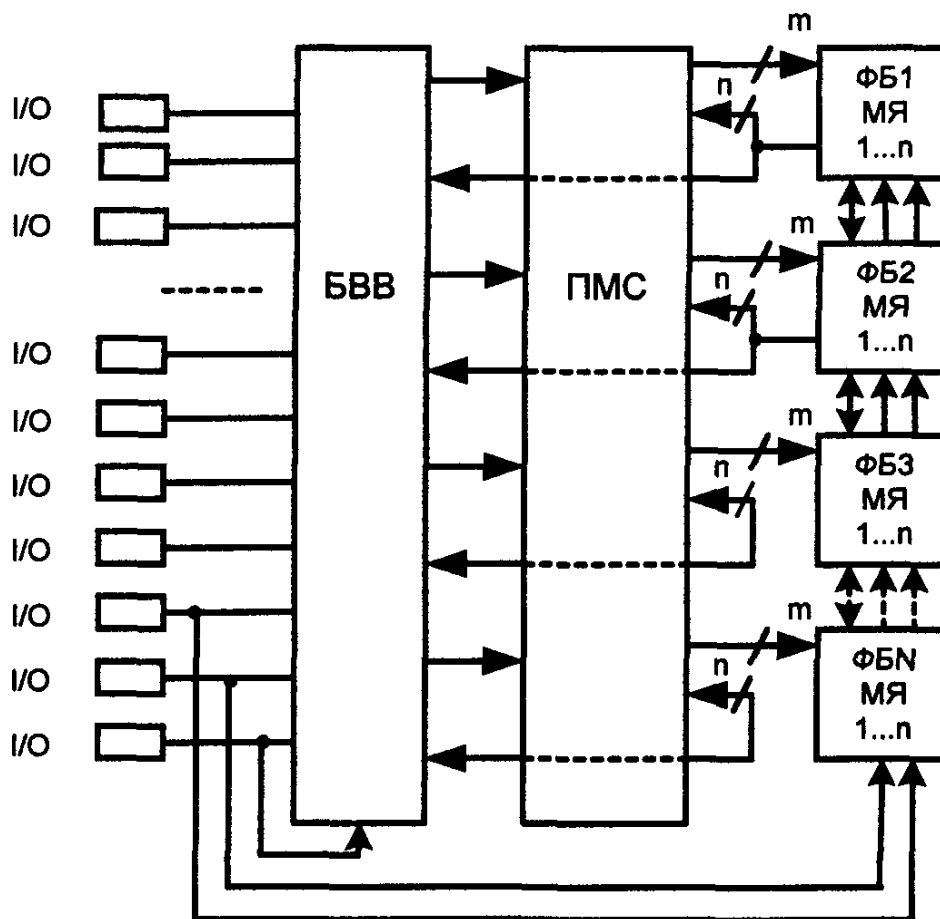


Рис. 1.1. Обобщенная структура CPLD

Блоки ввода/вывода связаны с внешними двунаправленными выводами I/O, которые, в зависимости от программирования, могут быть использованы как входы или как выходы. Три нижних вывода либо специализируются для подачи на матрицу функциональных блоков сигналов GCK (Global Clocks) глобального тактирования, сигналов GSR (Global Set/Reset) глобальной установки/сброса и сигналов GTS (Global 3 -state Control) глобального управления третьим состоянием выходных буферов, либо эти же выводы могут быть использованы для операций ввода/вывода. Здесь и далее термин "глобальный" применяется для сигналов, общих для всей микросхемы.

Число контактов ввода/вывода может совпадать с числом выходов всех ФБ, но может быть и меньшим. В последнем случае часть макроячеек может быть использована только для выработки внутренних сигналов устройства (в частности, сигналов обратной связи). Необходимость в таких сигналах типична для структур большинства цифровых устройств. Структура на рис. 1.1 несколько упрощена. Кроме показанных блоков в CPLD могут присутствовать контроллеры для управления операциями программирования

непосредственно в системе (In System Programmability, ISP), контроллеры для работы с интерфейсом JTAG и др.

## 2 Функциональные блоки CPLD

CPLD различных фирм -изготовителей и разной сложности имеют функциональные блоки, в принципиальном отношении мало отличающиеся друг от друга по своей архитектуре и составу элементов. Обобщенная структура функционального блока CPLD показана на рис. 1.2.

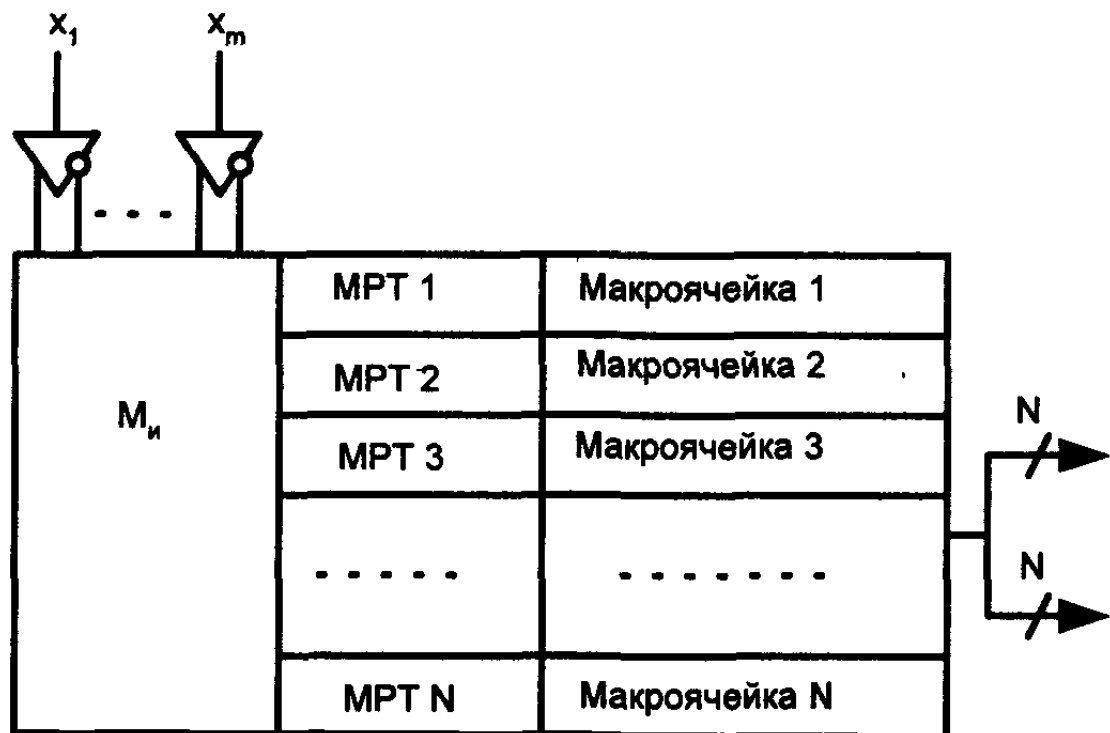


Рис. 1.2. Структура функционального блока CPLD

Основными частями функциональных блоков CPLD являются программируемая матрица элементов И ( $M_n$ ), матрица распределения термов MPT и группа из нескольких (N) макроячеек. По существу, каждый ФБ представляет собою PAL -подобную структуру с некоторыми отличиями от вариантов, используемых в простых PLD (ПМЛ). Как и в классических PLD, в блоке имеется многовходовая (Wide) матрица  $M_n$ , вырабатывающая конъюнктивные термы для их использования в последующих частях блока. В классических PLD типа ПМЛ термы жестко распределяются между дизъюнкторами,



формирующими выходные функции в форме ДНФ. Совокупность дизъюнкторов образует фиксированную (не программируемую) матрицу элементов ИЛИ.

Макроячейка содержит в качестве основы программируемые мультиплексоры, триггер (или триггеры) и формирует группу выходных сигналов ФБ в нескольких их вариантах.

(Термин "макроячейка" трактуется в разных источниках по-разному. Наряду с указанным определением встречаются и такие, согласно которым макроячейкой называют часть ФБ, содержащую все его последовательно включенные части (группу элементов И, МРТ и все последующие элементы, относящиеся к данному каналу выработки выходных функций).)

На рис. 1.3 раскрыта схема одной из идентичных макроячеек ФБ. Прообразом показанной схемы является макроячейка CPLD XC9500 фирмы Xilinx, не имеющая разделяемого (общего) логического расширителя.

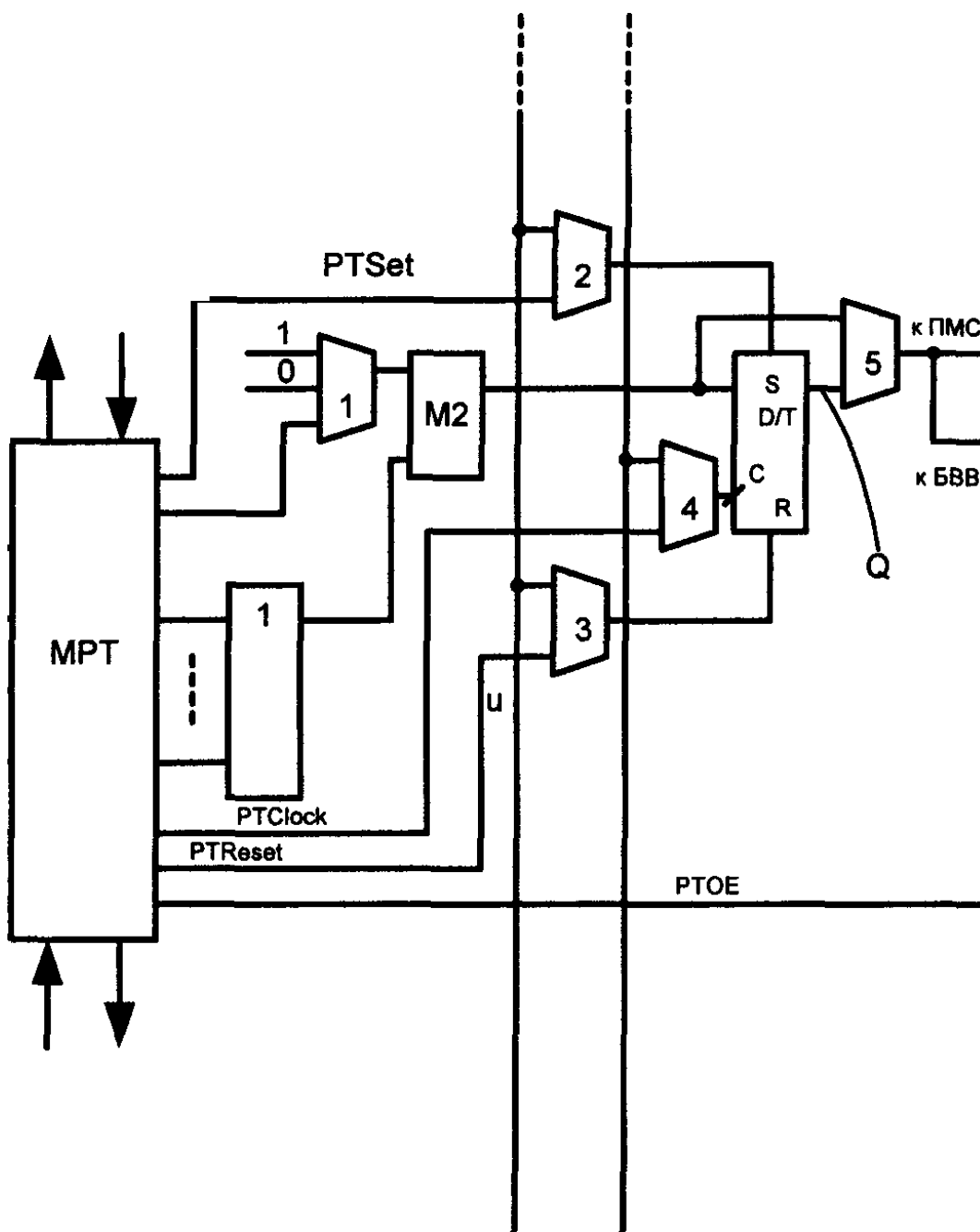


Рис. 1.3. Пример схемы макроячейки функционального блока CPLD

Программируемость мультиплексоров в этой схеме и всех дальнейших не отображается, т.к. она присуща всем имеющимся в схеме мультиплексорам, если не оговорено противоположное. В зависимости от программирования каждый мультиплексор передает на выход сигнал с того или иного входа. Триггер может программироваться на режимы работы триггера типа D или T. Заметим, кстати, что при описании микросхем программируемой логики триггеры в иностранной литературе чаще всего называют регистрами. Триггеры тактируются положительными фронтами синхросигналов и имеют

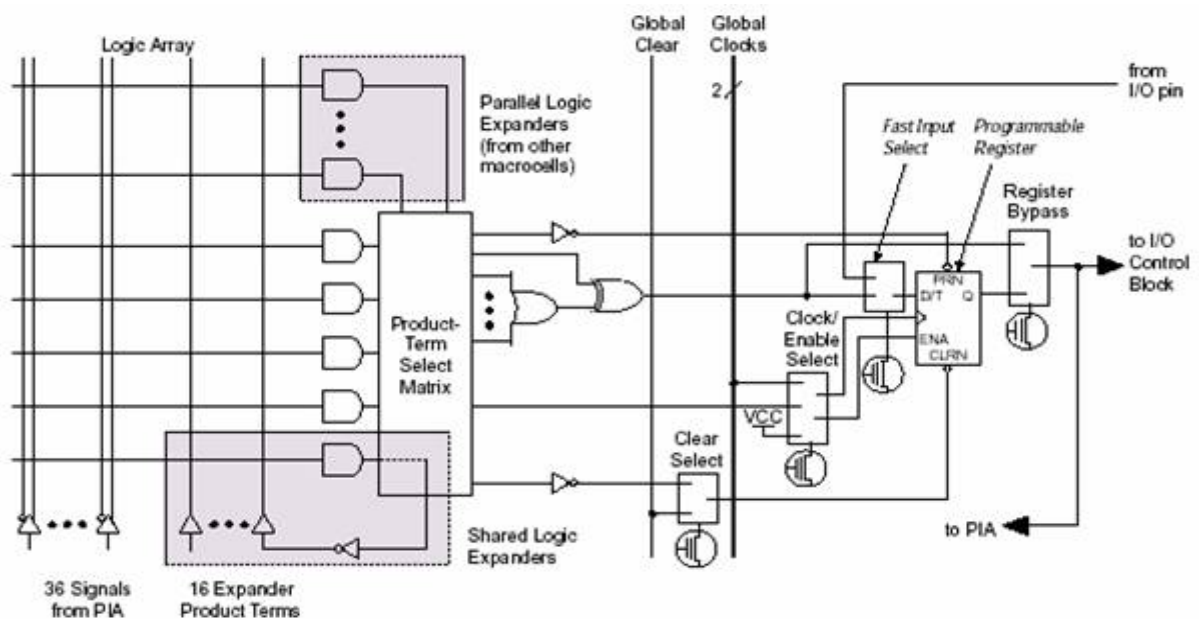
входы установки S и сброса R. Выходные сигналы ФБ передаются в ПМС и в блоки ввода/вывода БВВ.

Аргументы  $x_1, \dots, x_M$  реализуемой макроячейкой функции поступают на матрицу  $M_i$  из ПМС. Аргументами для МЯ могут быть как входные сигналы, поступающие извне через БВВ, так и сигналы обратных связей, подаваемые в матрицу И с выходов макроячеек. На рис. 1.2 входные сигналы матрицы независимо от их характера обозначены через  $x_1, \dots, x_M$ . Входные буферы преобразуют сигналы в парафазные, представляя каждый сигнал его прямым и инверсным значениями, так что в матрице имеется  $2M$  вертикальных линий и образующие ее конъюнкторы имеют по  $1M$  входов. Пять термов из матрицы И поступают на элемент ИЛИ для образования логической функции. Для управления триггером и буферами блока ввода/вывода вырабатываются также термы PTSet, PTClock, PTRreset, которые могут быть использованы как сигналы установки, синхронизации и сброса триггера. Терм PTOE — программируемый терм управления третьим состоянием буфера БВВ (OE, Output Enable). Всего в матрице И на рис. 1.3 программируются  $9N$  термов.

На выходе элемента ИЛИ вырабатывается логическая функция в форме ДНФ ранга не более  $M$ . Ее значение передается дальше через элемент сложения по модулю 2, на второй вход которого, в зависимости от программирования мультиплексора 1, может быть подан логический нуль, логическая единица или терм PT1. В первом случае функция передается без изменений ( $F = F^*$ ), во втором инвертируется ( $F = !F^*$ ), в третьем передается в прямом виде во всех ситуациях за исключением такой, в которой  $PT1 = 1$ . Мультиплексор MUX5 программируется для передачи на выход МЯ либо непосредственно значения функции  $F$  (комбинационный выход), либо состояния триггера (регистровый выход). Характер тактирования триггера определяется программированием мультиплексора MUX4, при этом возможно использование глобального синхросигнала (GCK, Global Clock) или сигнала, порождаемого термом PTClock. Асинхронные установка и сброс триггера производятся либо глобальным сигналом (GSR, Global Set/Reset), либо термами PTSet и PTRreset, что определяется программированием мультиплексоров MUX2 и MUX3. Сам триггер программируется на режимы триггера задержки (типа D) или счетного (типа T). Основной выходной сигнал макроячейки поступает как в ПМС, которая может направлять его по любому требуемому маршруту, так и в блоки ввода/вывода.

### 3 Структура макроячейки

МЯ может быть запрограммирована на сброс или предустановку по включению питания. Регистр МЯ может быть сконфигурирован как D-триггер, Т-триггер, регистр-защелка или не задействован, если МЯ необходима для реализации комбинаторной функции. Каждый из указанных выше триггеров может тактироваться от любого из восьми источников сигнала или его инверсии. К этим источникам тактового сигнала относятся: 2 глобальных тактовых сигнала, выбранные из четырех глобальных сигналов, поступающих напрямую от контактов микросхемы; общий сигнал синхронизации (терм от одного из ФБ кристалла); локальные термы управления (из данного ФБ) - LCT[4:7]; терм синхронизации РТС. В МЯ существует две мультиплексные связи с переключающей матрицей ZIA. Один мультиплексор выбирает либо выход мультиплексора VFM, либо выход регистра. Другой мультиплексор выбирает либо выход регистра, либо сигнал с контакта микросхемы. Когда контакт ввода-вывода используется как выход, выходной буфер задействован, линия обратной связи МЯ может быть использована для реализации обратной связи внутри МЯ. Когда контакт ввода-вывода используется как вход, выходной буфер переведен в третье состояние и соединение контакта ввода-вывода с переключающей матрицей осуществляется через линию обратной связи ячейки ввода-вывода. Если контакт микросхемы используется как регистровый вход, то соединение контакта и входа регистра осуществляется по линии прямой связи, что обеспечивает минимальное время установки сигнала. Если регистр МЯ сконфигурирован как регистр-защелка, вход разрешения тактирования регистра МЯ не функционирует. Структурная схема макроячейки показана на рисунке.



## 4 Технические характеристики семейств CPLD

XC9500XL — семейство программируемых вентильных матриц оптимизированное для применения в высокопроизводительных системах.

Технические характеристики:

- Задержка сигнала от входа до выхода 5 нсек

- Системная частота до 208МГц

- Компактные корпуса (VQFP, TQFP, CSP)

- Поддержка стандартов ввода 2.5, 3.3 и 5.0В

- Поддержка стандартов вывода 2.5 и 3.3В

- Технология производства 0.35 микрон CMOS Flat Flash

- Перепрограммирование непосредственно в системе

- 4 кристалла ёмкостью от 36 до 288 макро ячеек и от 800 до 6400 системных вентилей

- До 90 термов на макроячейку

- Программируемый режим пониженной потребляемой мощности в каждой макроячейке

Управление задержкой сигнала по любому из выходов

Защита системы от копирования

Полная поддержка сканирования в соответствии со стандартом IEEE Std 1149.1

(JTAG)

10000 циклов перепрограммирования

20 лет хранения конфигурации

Совместимость по выводам с семейством 5V XC9500

Семейство CPLD XC9500XL предназначено для применения в телекоммуникационных и компьютерных системах. CPLD CoolRunnerII — это семейство программируемых вентильных матриц предназначенное для применения в системах с напряжением питания 1,8В.

Технические характеристики:

Самое быстрое семейство CPLD с низким энергопотреблением

Потребление электроэнергии в статическом режиме менее 100 мкА

Емкость от 32 до 512 макро ячеек

Технология производства 0.18 микрон CMOS CPLD

Оптимизированная архитектура для эффективного логического синтеза

Поддержка стандартов ввода/вывода 1.5, 1.8, 2.5 и 3.3В

Высокоскоростное программирование в системе с напряжением питания 1.8В по стандарту IEEE 1532 (JTAG)

Конфигурирование «налету» (On The Fly Configuration)

Полная поддержка сканирования в соответствии со стандартом IEEE Std 1149.1

(JTAG)

Установка на входных цепях ввода триггера Шмидта

Гибкая система синхронизации: возможность применения триггеров, тактируемых фронтом и спадом сигнала синхронизации; делитель тактового сигнала с коэффициентом 2, 4, 6, 8, 10, 12, 14 и 16; методика Cool Clock

Защита системы от копирования

Наличие сигнала тактирования в каждой макро ячейке

Асинхронное тактирование элементов устройства с использованием тактовых сигналов, формируемых внутри логического блока, и четырех глобальных тактовых сигналов, поступающих с выводов кристалла

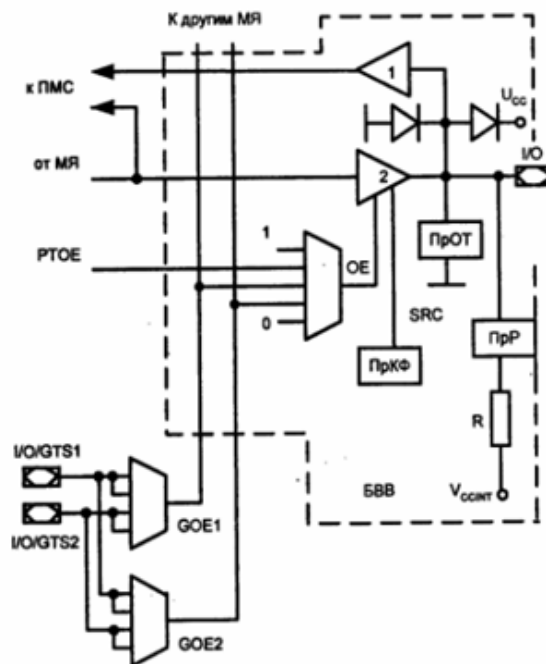
Широкий выбор различных корпусов (BGA, TQFP, PQFP, PLCC)

1000 циклов перепрограммирования

20 лет хранения конфигурации

## 5 Особенности конфигурации ПЛИС CPLD

Блоки ввода-вывода соединяют внешние контакты микросхемы с ее внутренними цепями. Примером такого блока может служить БВВ CPLD типа XC9500 фирмы Xilinx на рисунке.



Пример схемы блока ввода/вывода CPLD

Основой БВВ служат два буфера — входной (1) и выходной (2). Чтобы обеспечить постоянство уровней напряжения, поступающих на входной буфер, и их независимость от амплитуды входных сигналов, в схеме вырабатывается внутреннее напряжение питания  $V_{CCINT}$  и вводится цепь из двух фиксирующих диодов.

Схема программируемой общей точки ПрОТ позволяет пользователю при необходимости получать дополнительный "заземленный" вывод. Дополнительные выводы для системы "заземления" повышают ее качество и тем самым снижают уровень помех в микросхеме.

Схема программирования подключаемого резистора ПрР введена для исключения плавающих потенциалов на контактах ввода, когда они не используются в рабочем режиме. В этом случае контакту задается высокий потенциал от цепи  $V_{CCINT}$  – R. Резистор R используется и в некоторых других режимах, а в рабочих режимах отключается.

Выходной буфер 2 получает сигналы разрешения работы ОЕ и управления крутизной фронта выходного напряжения SRC (Slew Rate Control). Сигнал ОЕ с помощью программируемого мультиплексора MUX3 вырабатывается в нескольких вариантах: от термина РТОЕ, получаемого от макроячейки, от любого из глобальных сигналов управления третьим состоянием (GOE1, GOE2), от константы 1 и от константы 0. Глобальные сигналы управления третьим состоянием образуются с возможностью выбора любой полярности исходных сигналов GTS1 и GTS2.

Выходные буферы конфигурируются для работы с напряжениями питания 5 или 3,3 В при подключении внешнего источника питания с тем или иным уровнем напряжения.