

## Realizarea circuitelor logice de adunare și scădere cu DMUX 1:8

Deliu Georgiana

Grupa 262, Grupa 1

### Introducere

Demultiplexorul (DMUX) face parte din categoria circuitelor logice combinaționale (CLC) și are rolul de a direcționa o singură intrare (D) către una dintre cele  $2^n$  linii de ieșire, în funcție de combinația semnalelor de pe cele  $n$  linii de selecție. În aplicațiile de comandă și control, DMUX-urile sunt utilizate pentru extinderea numărului de ieșiri ale circuitelor reprogramabile care controlează dispozitive periferice. Aceste circuite logice sunt disponibile în versiuni digitale, analogice sau mixte, cum este cazul circuitului integrat CD4051BE, care poate funcționa atât ca demultiplexor, cât și ca multiplexor (MUX).

Scopul lucrării este proiectarea și implementarea unui sumator complet și a unui scăzător elementar folosind un demultiplexor 1:8. Se va utiliza circuitul integrat din seria CD4051, prezentat în figurile 1 și 2, alături de porți logice, în funcție de rezultatul minimizării și proiectării logice.

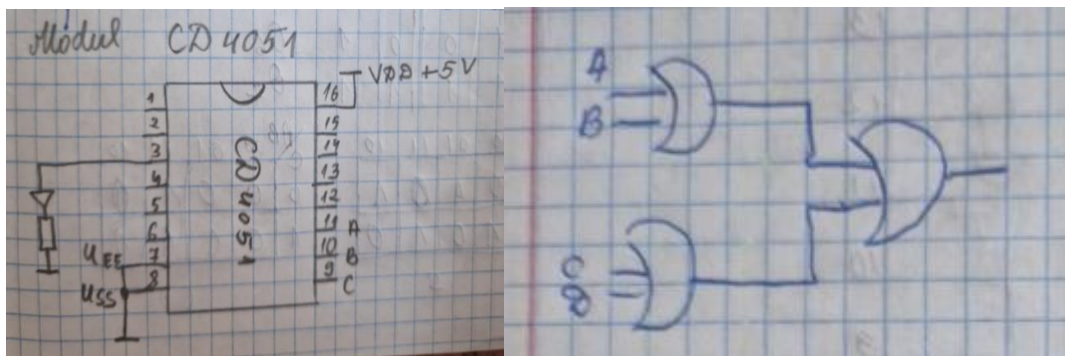
### Grupul 1:

- Tensiunea de alimentare  $VCC = 5\text{ V}$ ;
- Tensiune de intrare/ieșire max.  $5\text{ VCC}$ ;
- $R = 2.8\text{ V} / 15 \cdot 10^{-3}\text{ A} = 187\ \Omega$ .

Pentru a efectua lucrarea de laborator, am folosit 2 rezistențe de  $220\ \Omega$ , corespunzătoare celor 2 LED-uri, pentru a limita curentul să ajungă la valoarea necesară.

Pentru realizarea acestui circuit, am folosit componentele următoare:

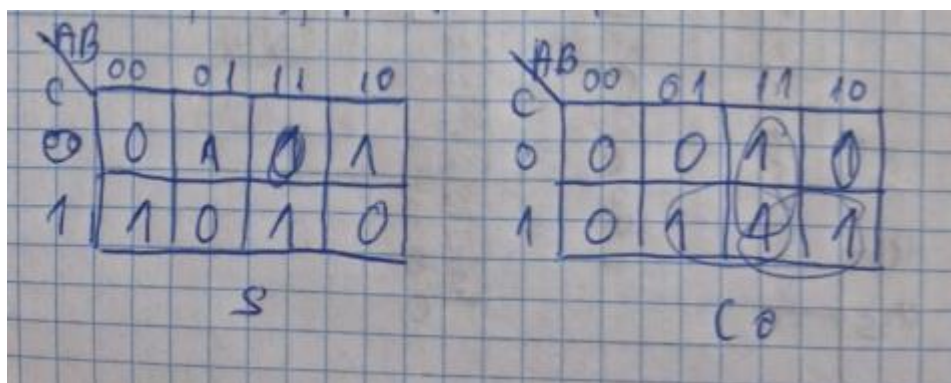
- Un modul de alimentare
- Un breadboard Arduino
- Două Led-uri (Am folosit 2 Led-uri de culoare albastră)
- 2 rezistențe
- Fire de conexiune
- Circuit integrat CD4051BE.



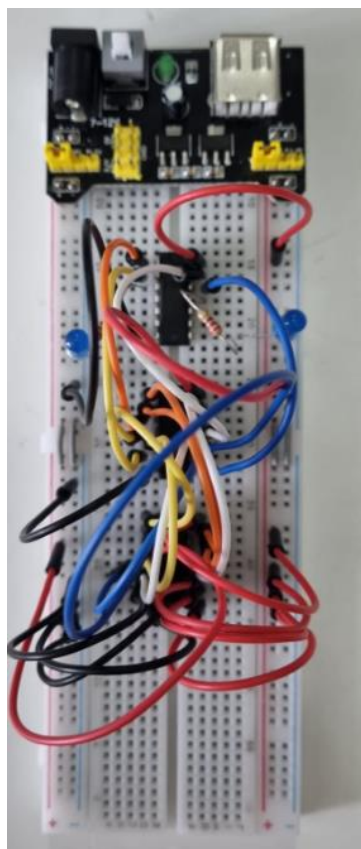
**Figura 1.** Desenul circuitului logic.

| A | B | C | S | C <sub>0</sub> |                |
|---|---|---|---|----------------|----------------|
| 0 | 0 | 0 | 0 | 0              | 0 <sub>0</sub> |
| 0 | 0 | 1 | 1 | 0              | 0 <sub>1</sub> |
| 0 | 1 | 0 | 1 | 0              | 0 <sub>2</sub> |
| 0 | 1 | 1 | 0 | 1              | 0 <sub>3</sub> |
| 1 | 0 | 0 | 1 | 0              | 0 <sub>4</sub> |
| 1 | 0 | 1 | 0 | 1              | 0 <sub>5</sub> |
| 1 | 1 | 0 | 0 | 1              | 0 <sub>6</sub> |
| 1 | 1 | 1 | 1 | 1              | 0 <sub>7</sub> |

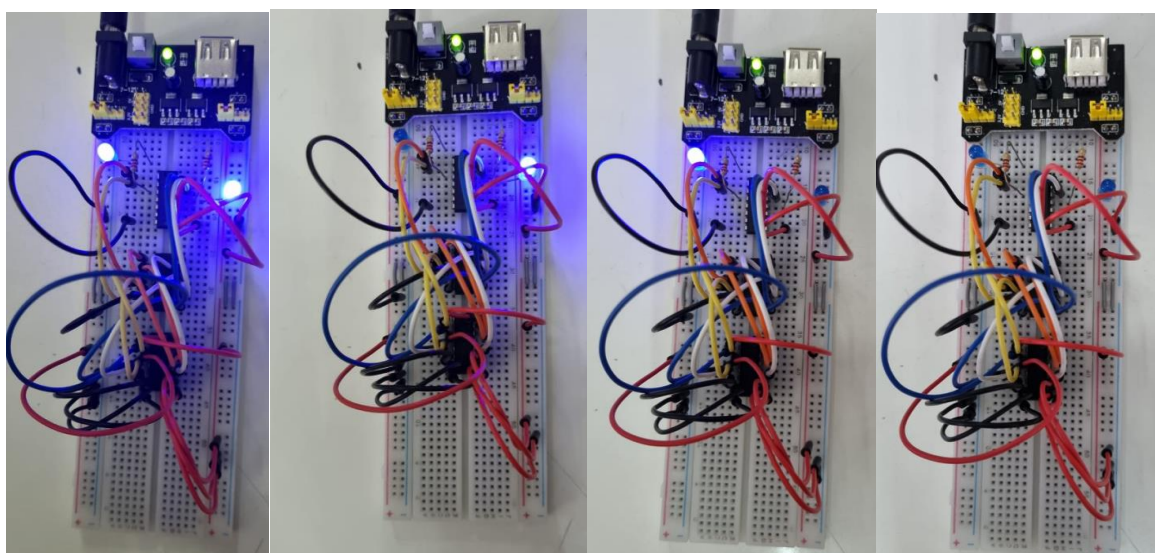
**Figura 2.** Tabela de adevăr pentru adunare.



**Figura 3.** Diagramele K-map pentru adunare.



**Figura 4.** Implementarea circuitului logic pentru adunare.



**Figura 5.** Verificarea tabelului de adevăr.

| A | B | C | S | B |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

**Figura 6.** Tabela de adevăr pentru scădere.

| AB | 00 | 01 | 11 | 10 |
|----|----|----|----|----|
| C  | 0  | 1  | 0  | 1  |
| 0  | 0  | 1  | 0  | 0  |
| 1  | 1  | 0  | 1  | 0  |

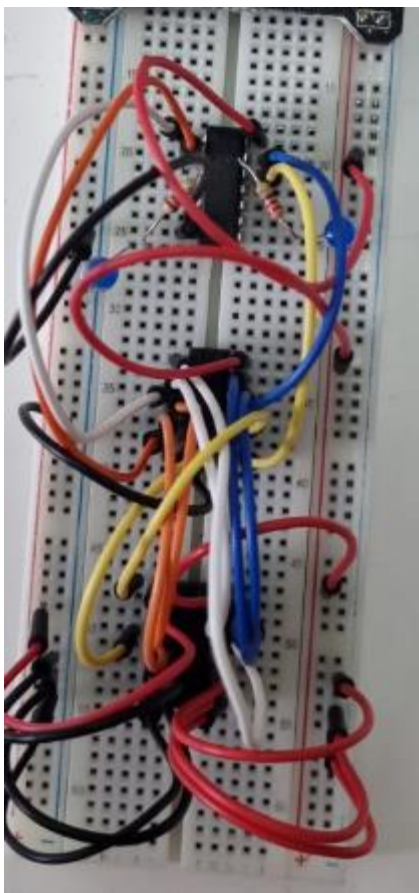
S

| AB | 00 | 01 | 11 | 10 |
|----|----|----|----|----|
| C  | 0  | 1  | 0  | 1  |
| 0  | 0  | 1  | 0  | 0  |
| 1  | 1  | 1  | 1  | 0  |

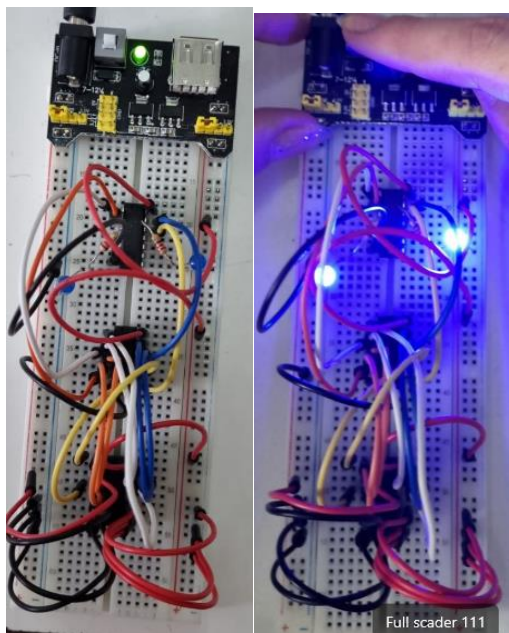
B

**Figura 7.** Diagramele K-map pentru scădere.





**Figura 8.** Implementarea circuitului logic pentru Full Scader.



**Figura 9.** Verificarea tabelii de adevăr. În exemplul de mai sus se vad stările în 000 și 111.

**Concluzii:** În concluzie, utilizarea unui demultiplexor 1:8, precum circuitul integrat CD4051, permite implementarea eficientă a unor funcții logice complexe, cum sunt sumatorul complet și scăzătorul elementar. Această abordare evidențiază versatilitatea circuitelor logice combinaționale în proiectarea de sisteme digitale, demonstrând cum componente simple, precum DMUX-ul, pot fi utilizate pentru a construi funcționalități esențiale în arhitectura calculatoarelor și în sistemele de control. Lucrarea subliniază importanța înțelegerii modului de funcționare al acestor circuite și a aplicării lor practice în proiecte electronice.