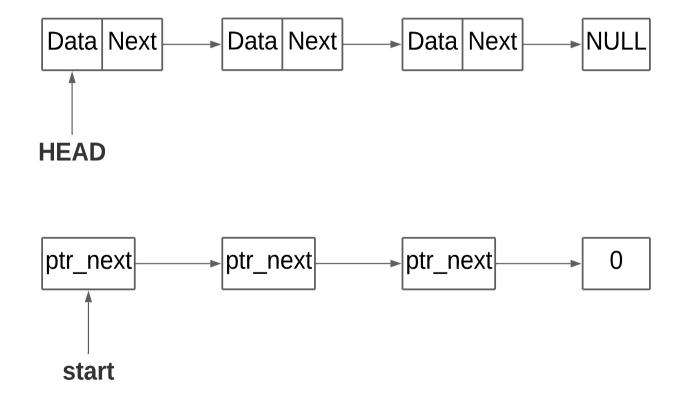
Связанный список

Проектирование на System Verilog

• Связанный список

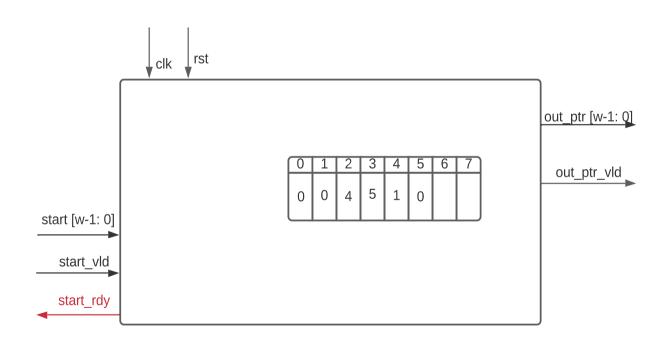


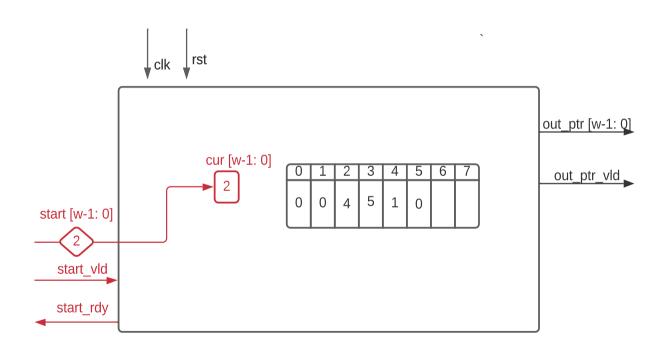
План:

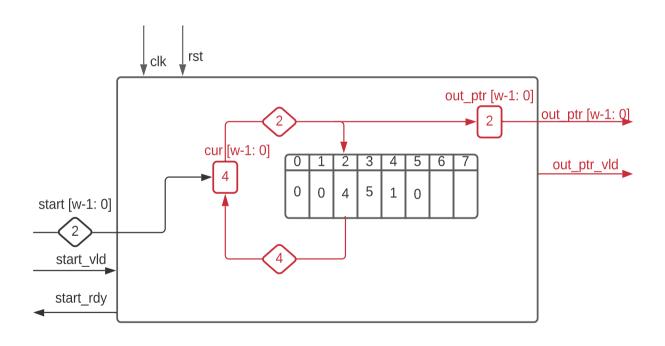
- 1. Указатели хранятся в массиве констант
- 2. Указатели хранятся в регистровом файле
- 3. Выносим регистровый файл в отдельный модуль
- 4. Заменяем регистровый файл на SRAM с латентностью Lat
- 5. Скрываем латентность

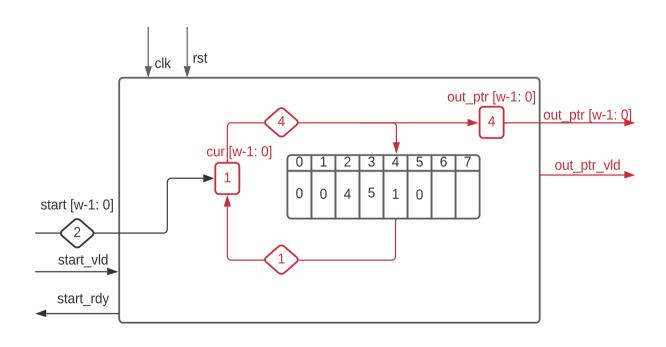
1. Указатели хранятся в

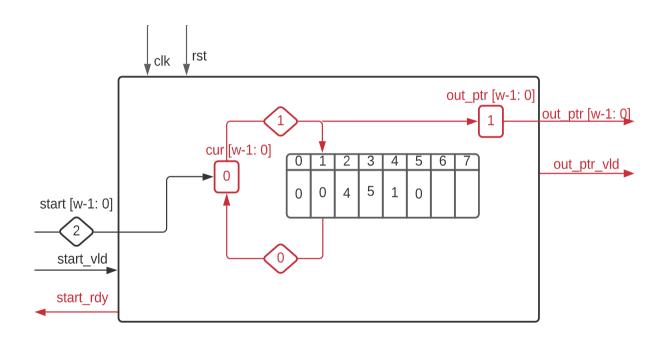
массиве констант

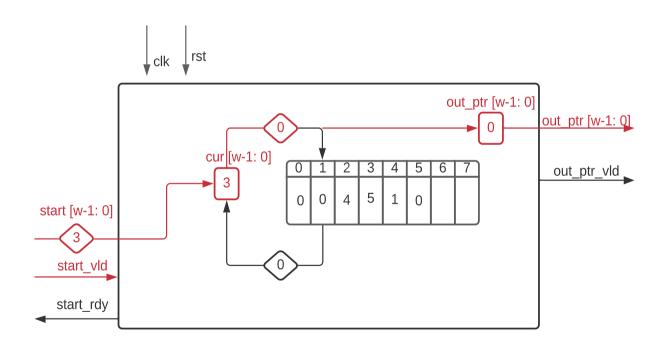


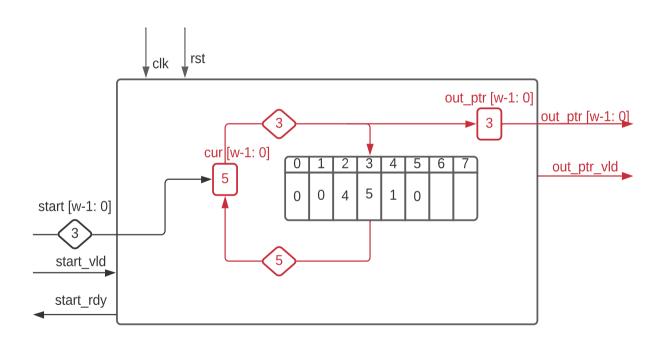


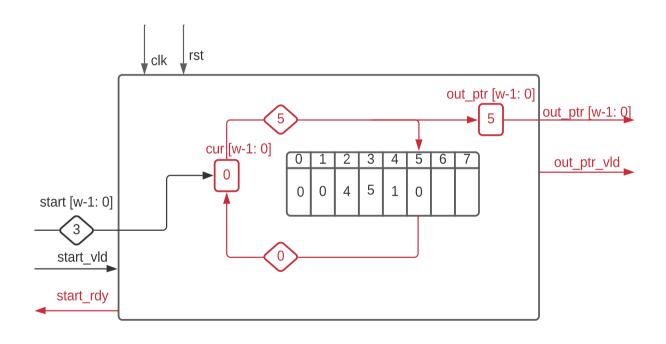


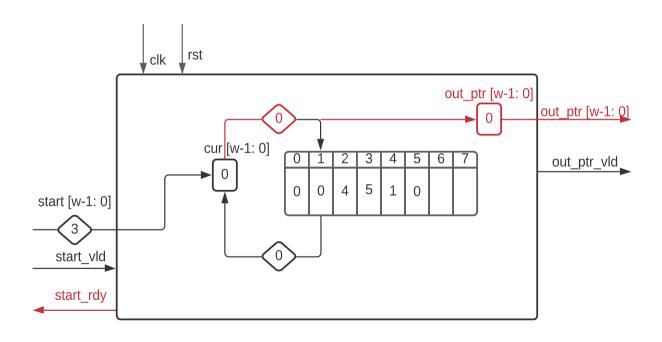












Демонстрация

В памяти устройства записаны следующие последовательности указателей:

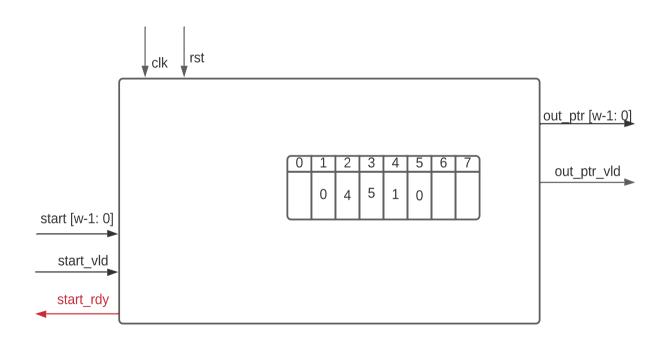
```
7 F 8 0
6 0
2 4 0
1 5 3 A 0
9 E B D C 0
```

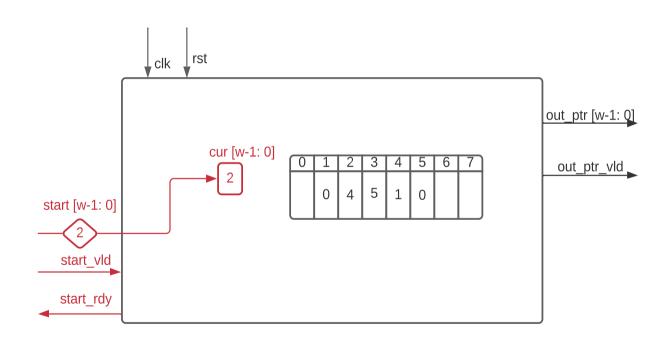
Генератор запросов к аппаратному блоку работы со связным списком подает на вход start указатели в следующем порядке:

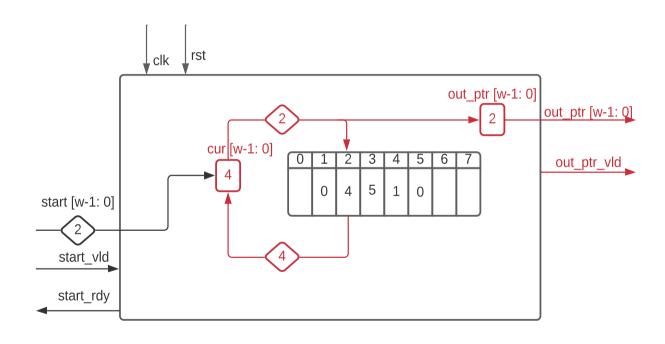
 $7 \rightarrow 6 \rightarrow 2 \rightarrow 1 \rightarrow 0 \rightarrow 9 \rightarrow 9 \rightarrow 9 \rightarrow$ И Т. Д.

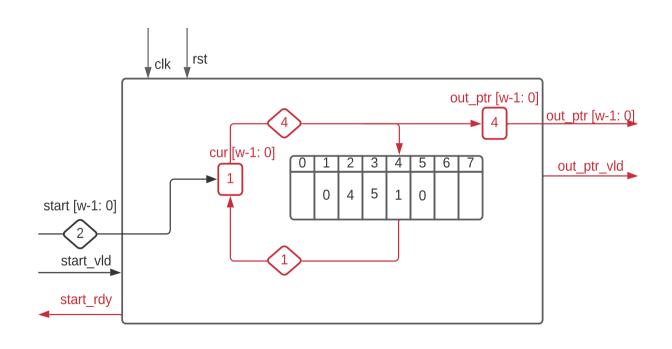
массиве констант (no gaps)

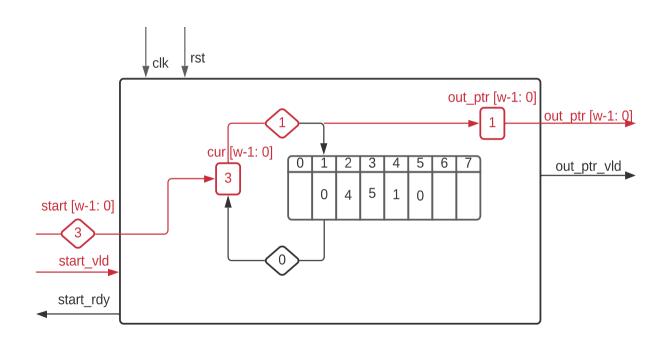
1*. Указатели хранятся в

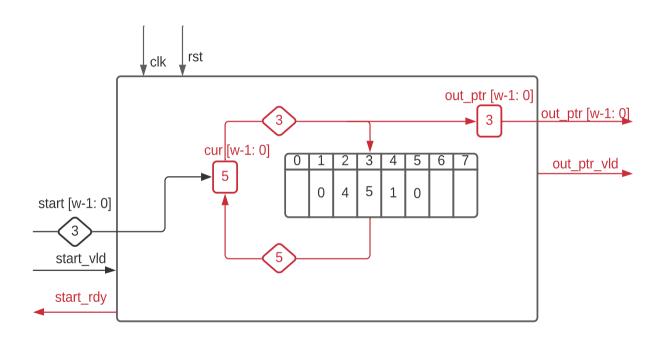


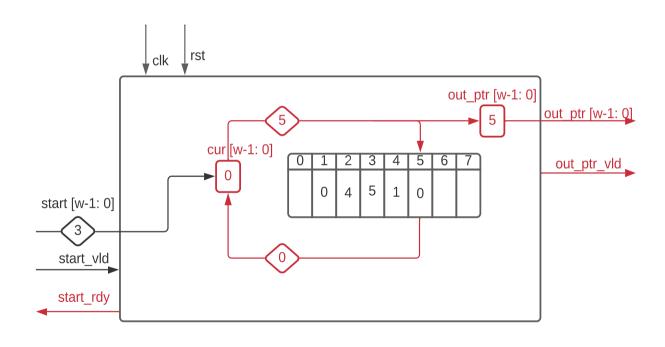


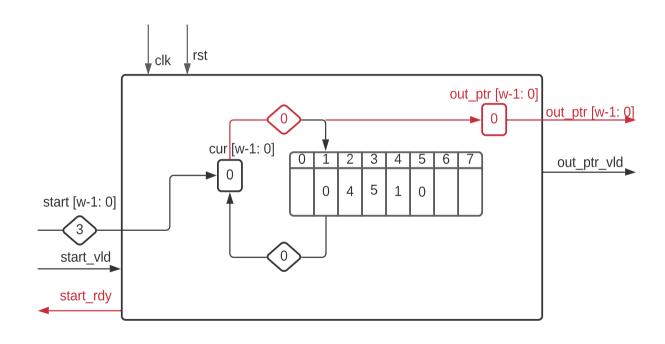












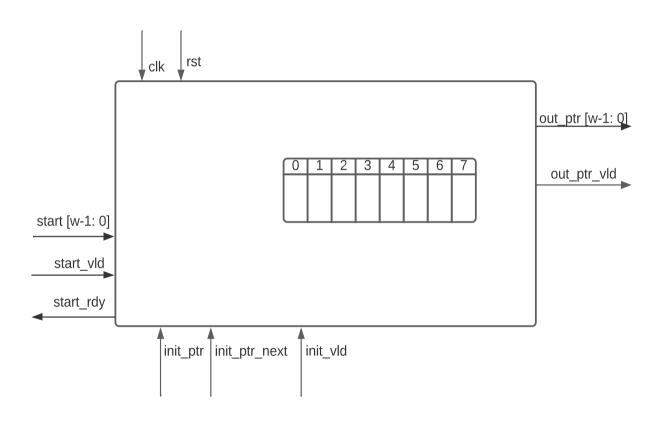
Демонстрация

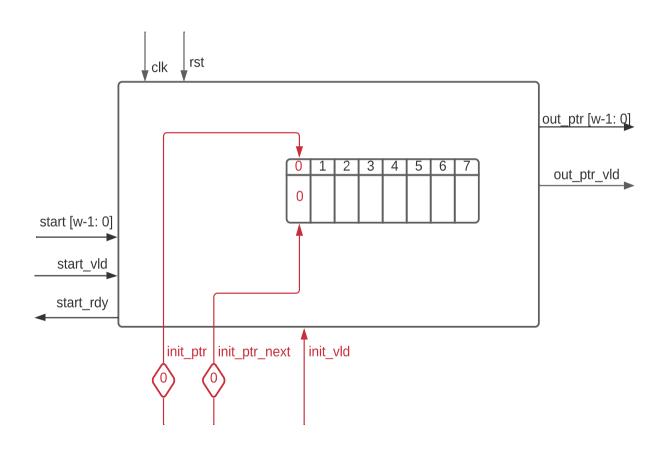
В памяти устройства записаны следующие последовательности указателей:

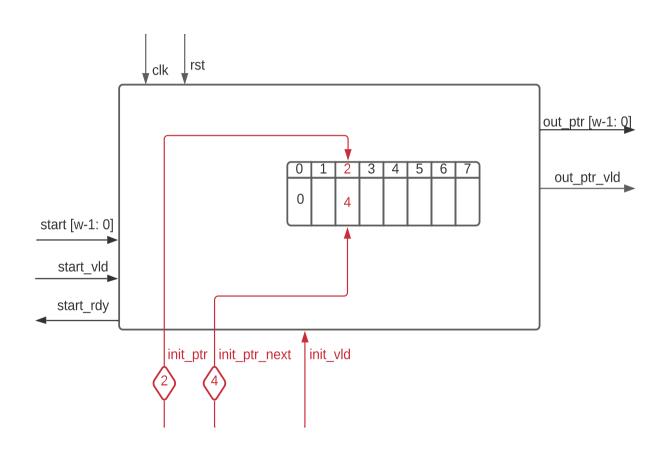
```
7 F 8 0
6 0
2 4 0
1 5 3 A 0
9 E B D C 0
```

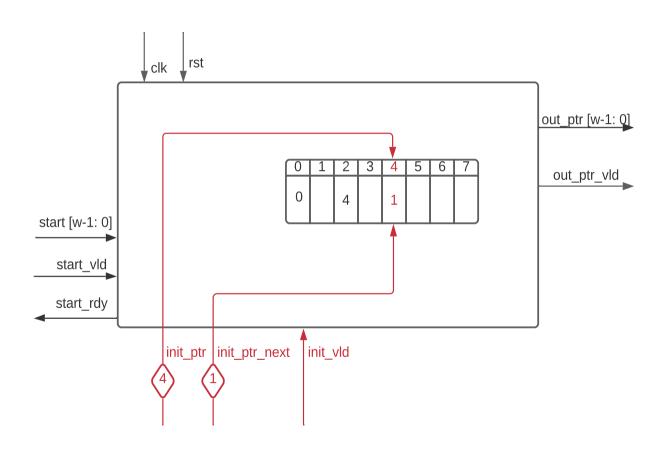
Генератор запросов к аппаратному блоку работы со связным списком подает на вход start указатели в следующем порядке:

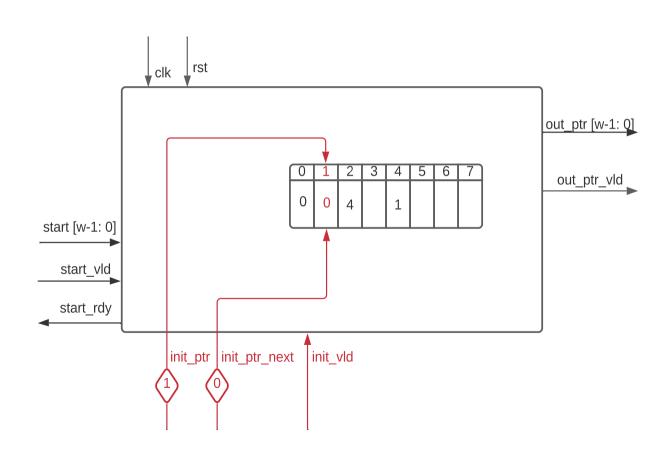
 $7 \rightarrow 6 \rightarrow 2 \rightarrow 1 \rightarrow 0 \rightarrow 9 \rightarrow 9 \rightarrow 9 \rightarrow$ И Т. Д.

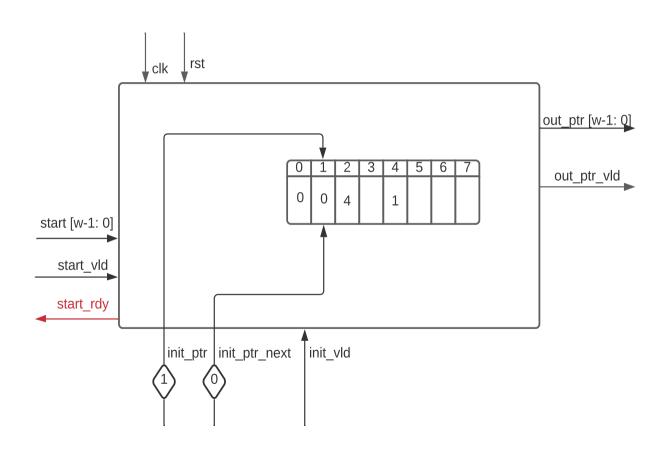












Демонстрация

В памяти устройства записаны следующие последовательности указателей:

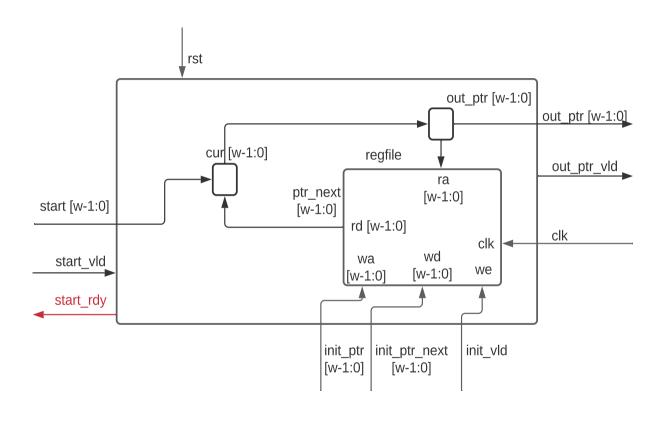
```
7 F 8 0
6 0
2 4 0
1 5 3 A 0
9 E B D C 0
```

Генератор запросов к аппаратному блоку работы со связным списком подает на вход start указатели в следующем порядке:

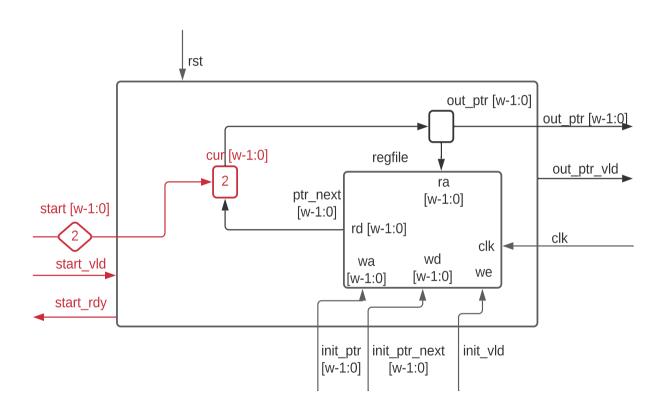
 $7 \rightarrow 6 \rightarrow 2 \rightarrow 1 \rightarrow 0 \rightarrow 9 \rightarrow 9 \rightarrow 9 \rightarrow$ И Т. Д.

3. Выносим регистровый файл в отдельный модуль

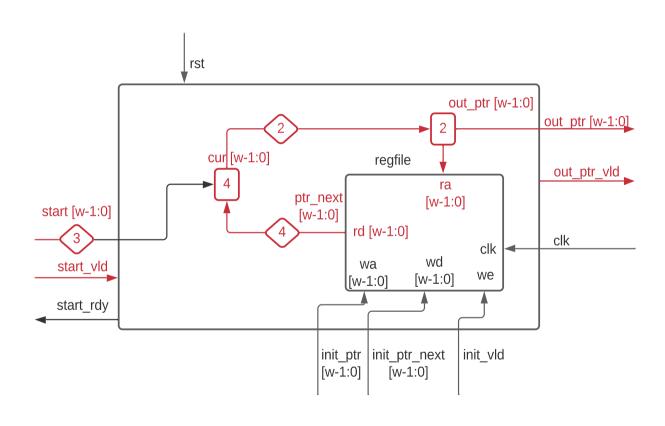
• 3. Выносим регистровый файл в отдельный модуль

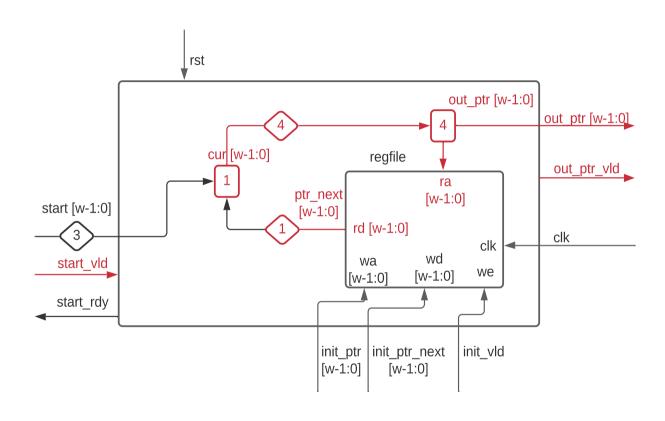


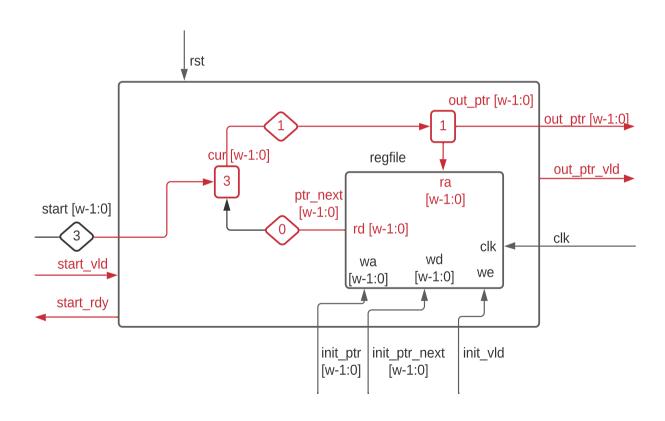
• 3. Выносим регистровый файл в отдельный модуль

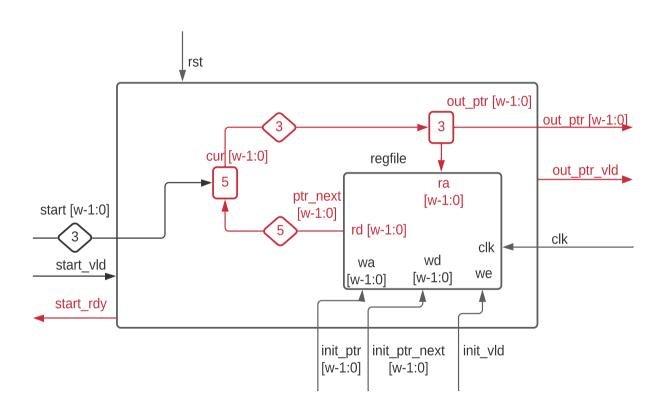


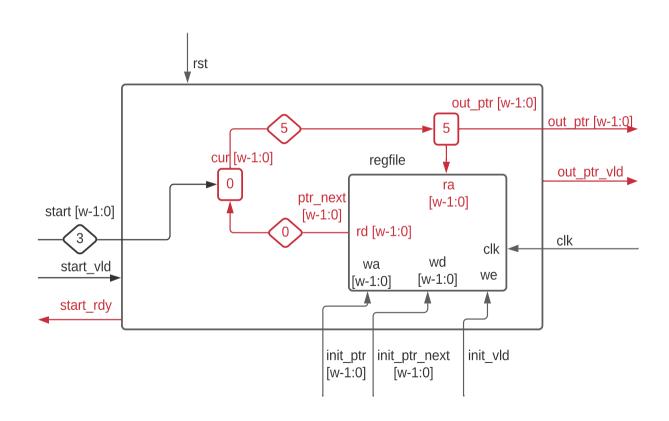
• 3. Выносим регистровый файл в отдельный модуль

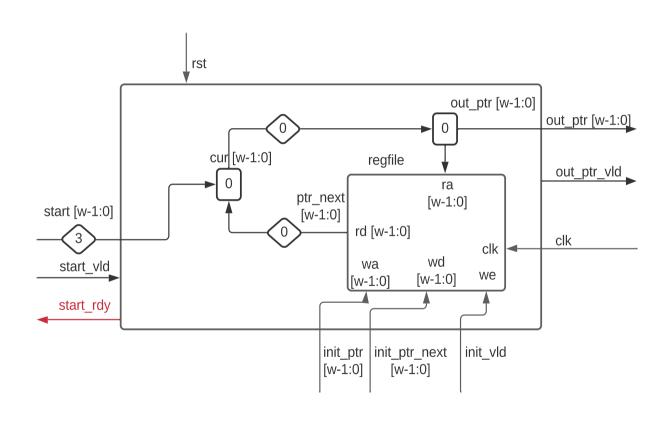












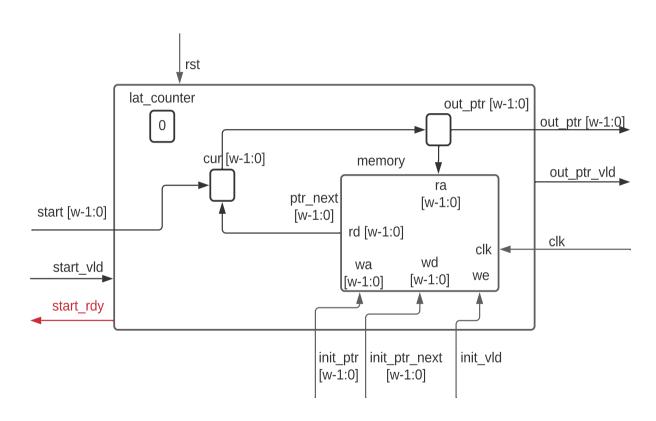
Демонстрация

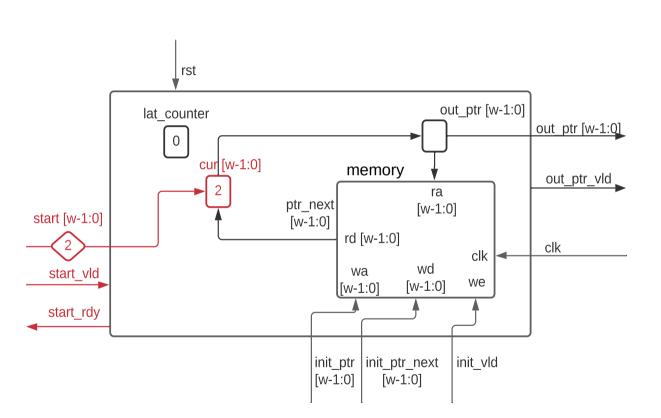
В памяти устройства записаны следующие последовательности указателей:

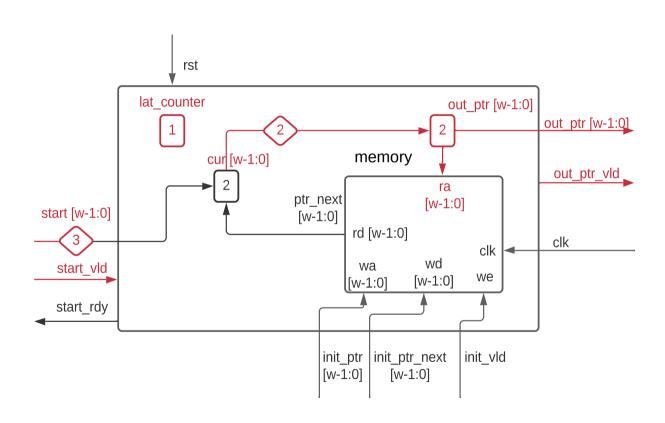
```
7 F 8 0
6 0
2 4 0
1 5 3 A 0
9 E B D C 0
```

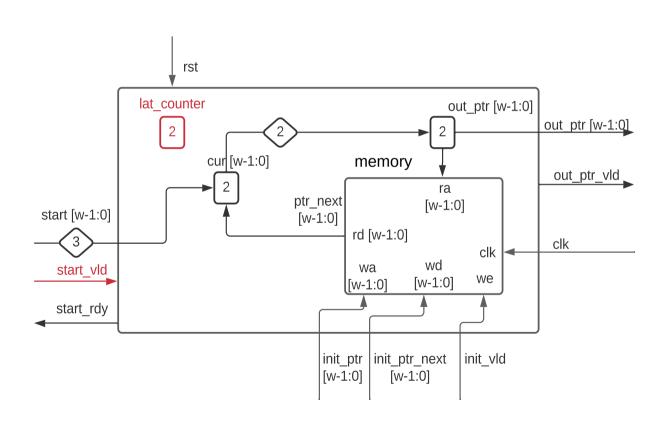
Генератор запросов к аппаратному блоку работы со связным списком подает на вход start указатели в следующем порядке:

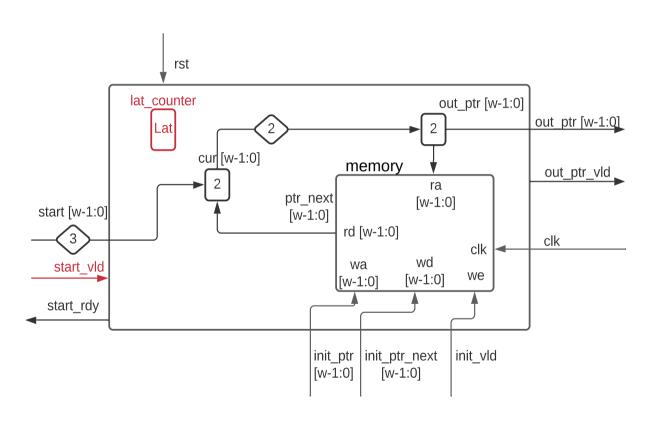
 $7 \rightarrow 6 \rightarrow 2 \rightarrow 1 \rightarrow 0 \rightarrow 9 \rightarrow 9 \rightarrow 9 \rightarrow$ И Т. Д.

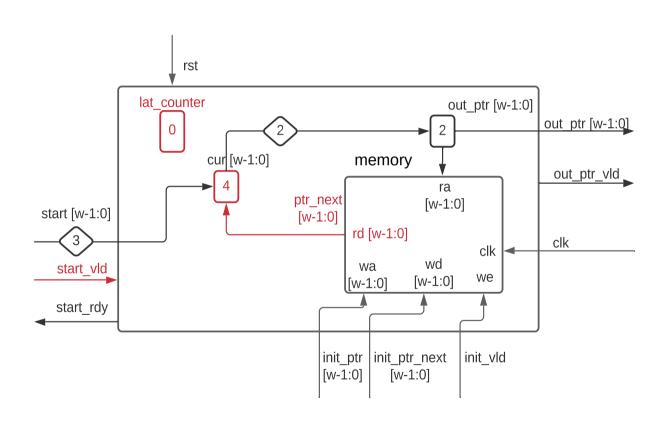


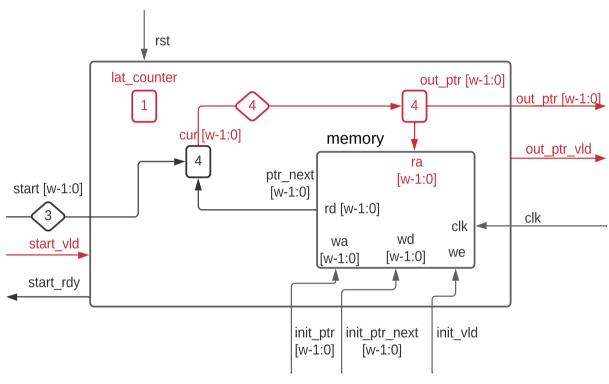












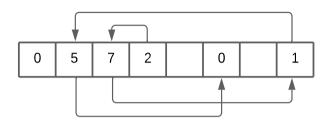
Демонстрация

В памяти устройства записаны следующие последовательности указателей:

```
7 F 8 0
6 0
2 4 0
1 5 3 A 0
9 E B D C 0
```

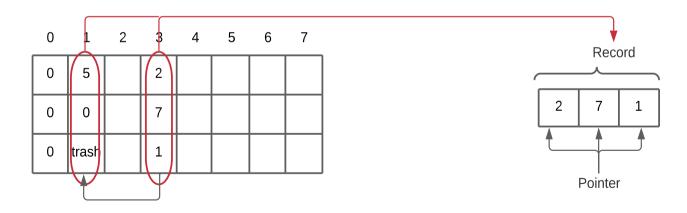
Генератор запросов к аппаратному блоку работы со связным списком подает на вход start указатели в следующем порядке:

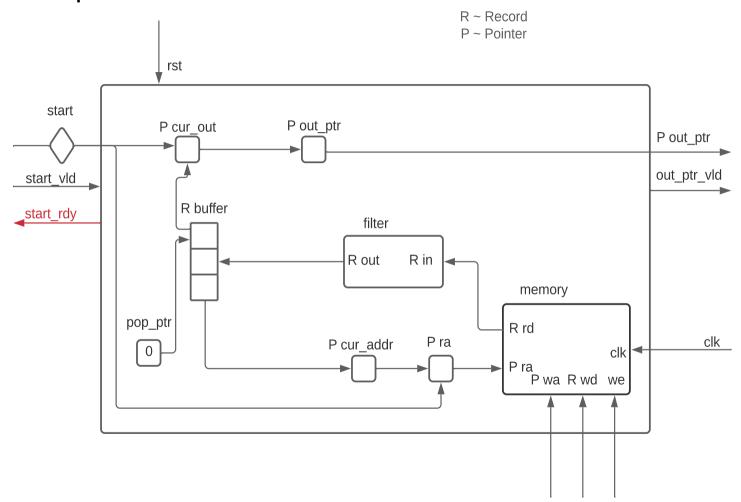
 $7 \rightarrow 6 \rightarrow 2 \rightarrow 1 \rightarrow 0 \rightarrow 9 \rightarrow 9 \rightarrow 9 \rightarrow$ И Т. Д.

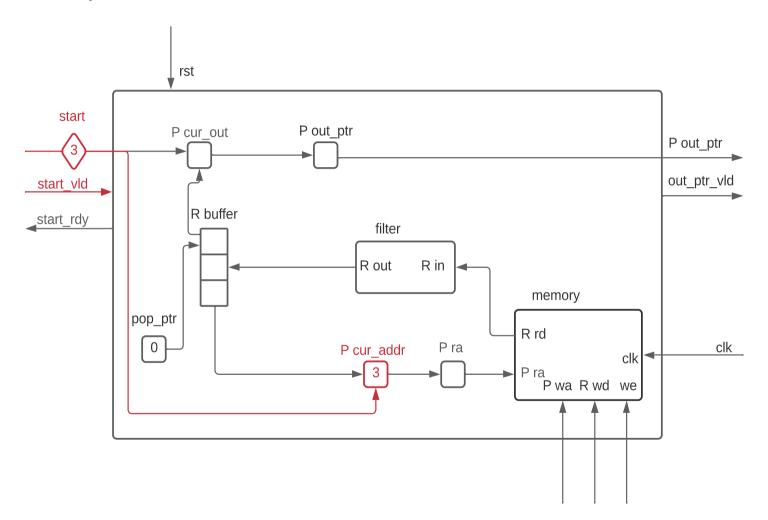


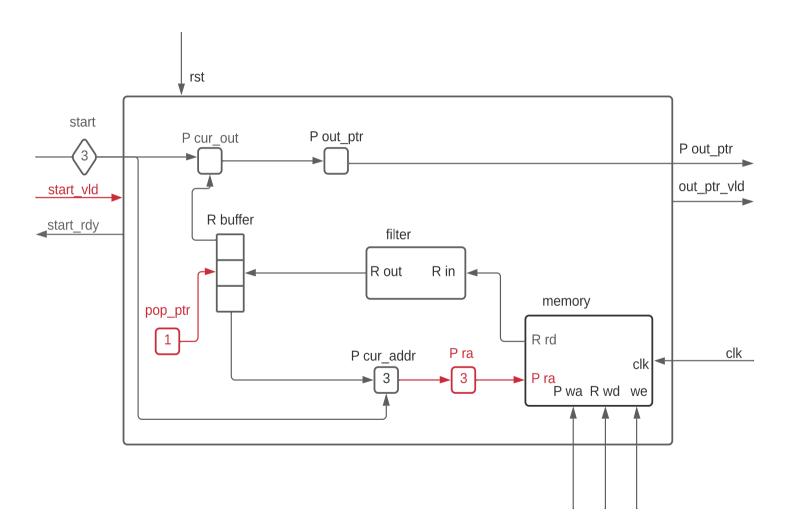
typedef logic [Width] Pointer; typedef Pointer [Lat + 1] Record;

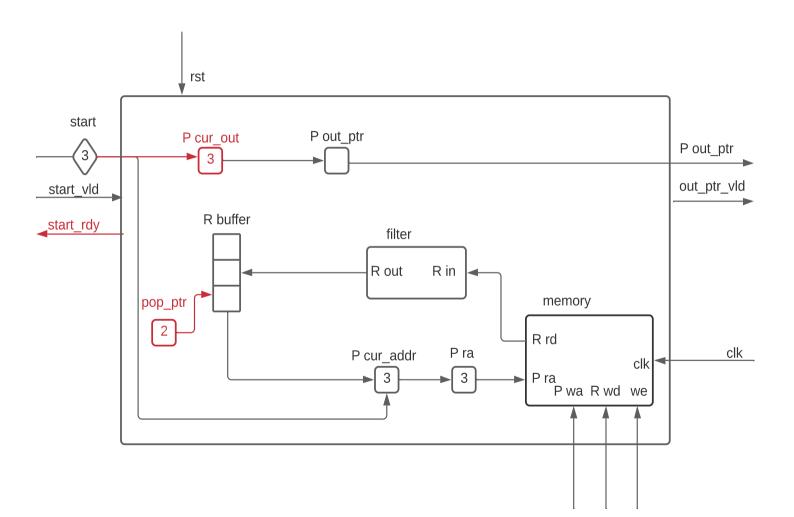
327150

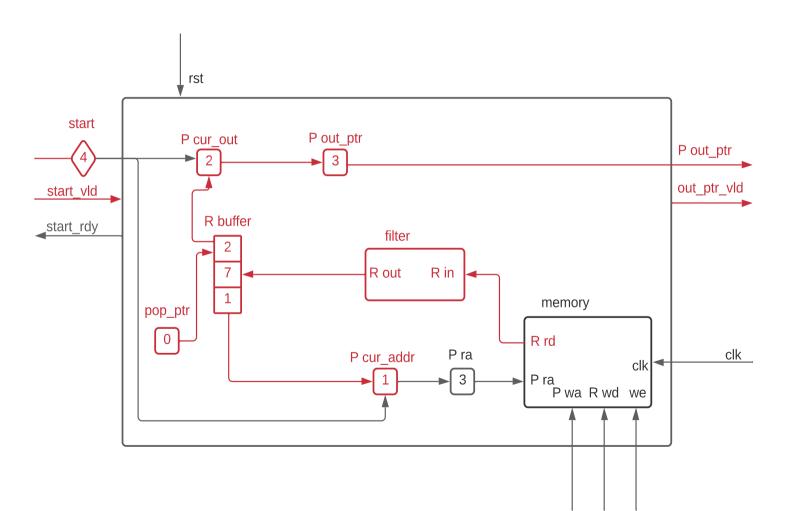


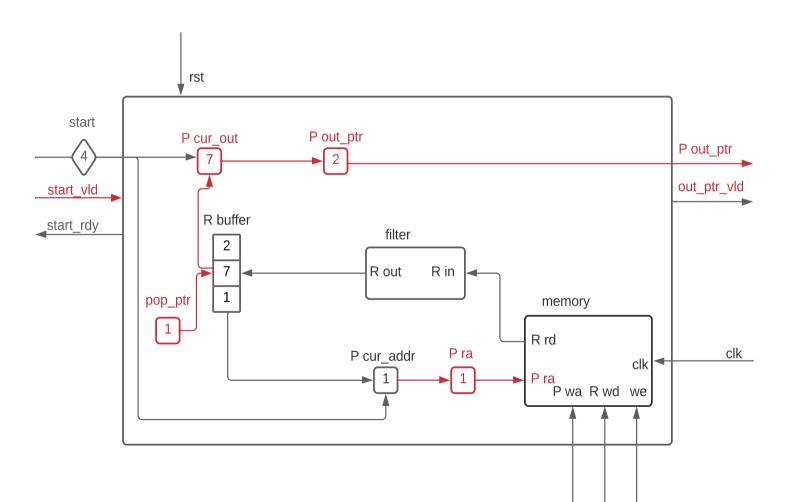


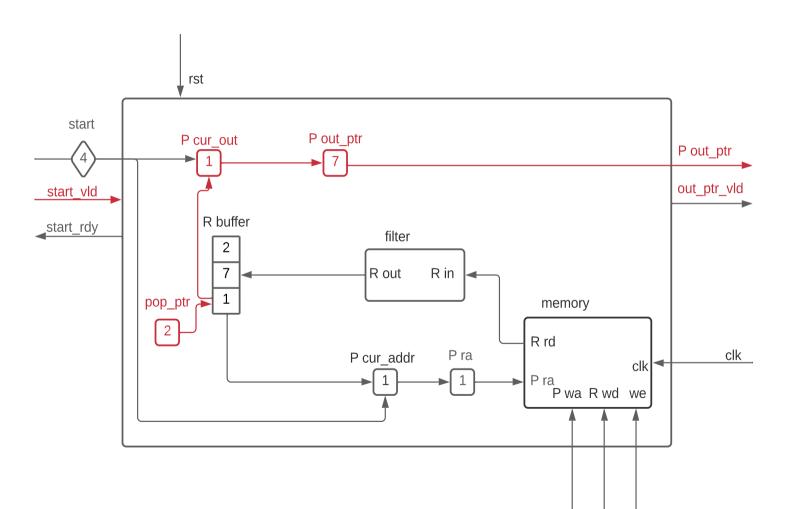


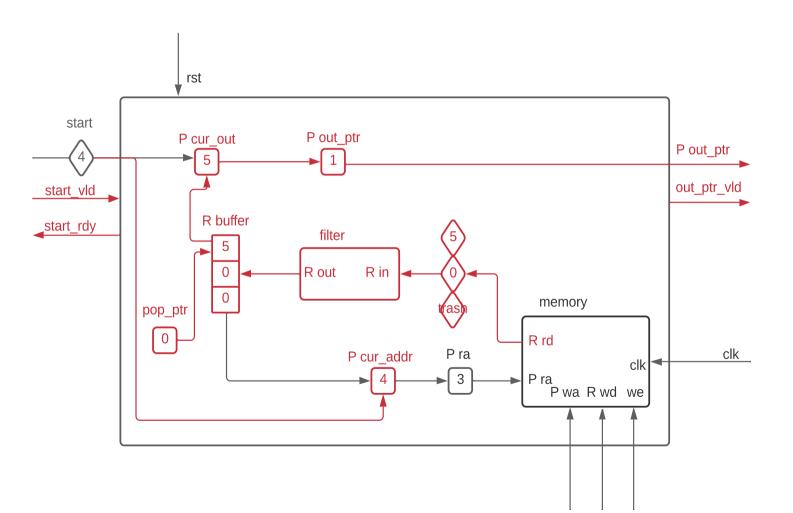


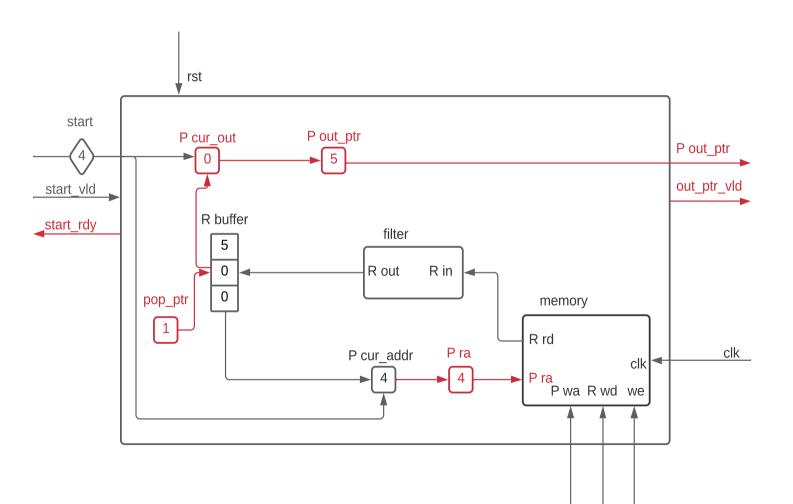


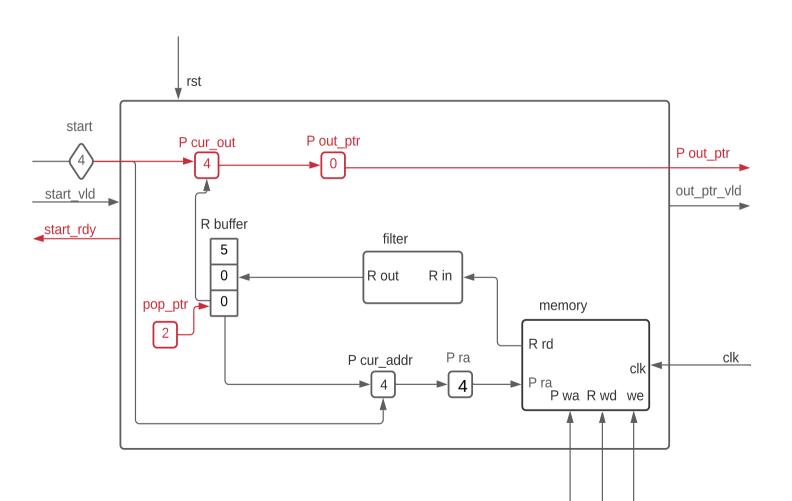


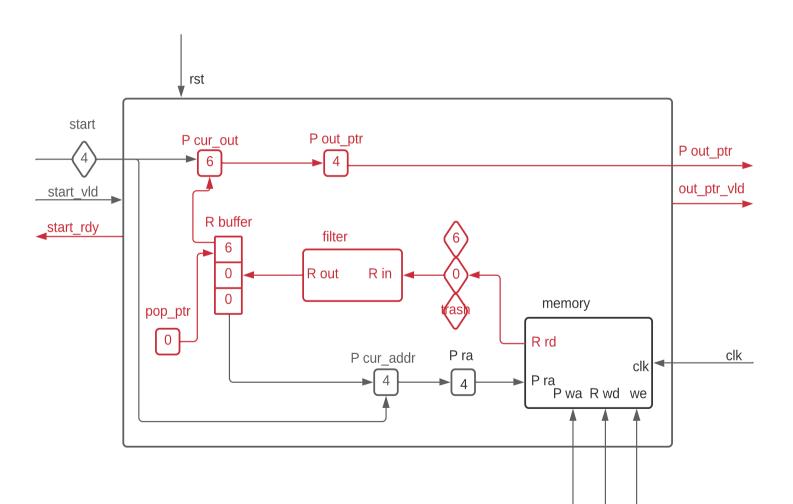


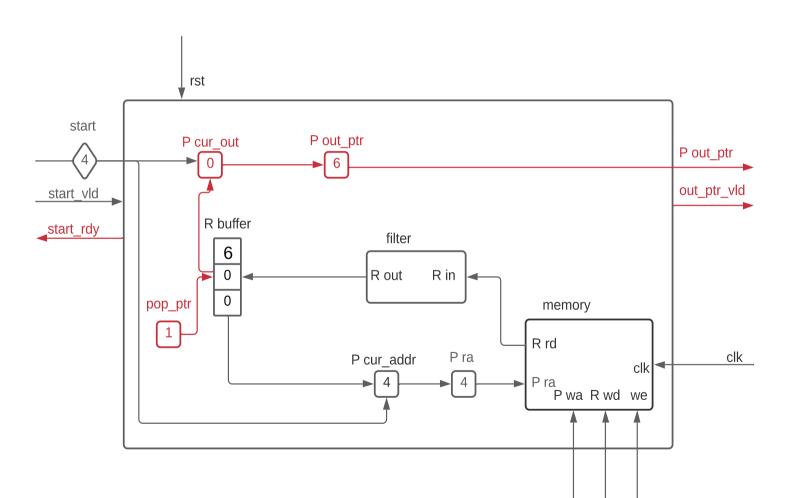


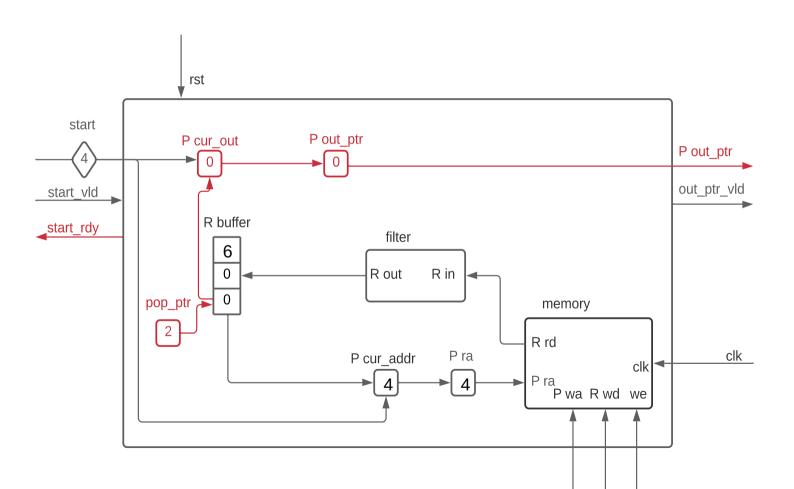












Демонстрация

В памяти устройства записаны следующие последовательности указателей:

```
7 F 8 0
6 0
2 4 0
1 5 3 A 0
9 E B D C 0
```

Генератор запросов к аппаратному блоку работы со связным списком подает на вход start указатели в следующем порядке:

 $7 \rightarrow 6 \rightarrow 2 \rightarrow 1 \rightarrow 0 \rightarrow 9 \rightarrow 9 \rightarrow 9 \rightarrow$ И Т. Д.

Спасибо за внимание