Семинар 12. Ассемблер, вещественные числа

Вещественная арифметика

- FPU это набор команд процессора для работы с вещественной арифметикой
- Основная задача оптимизировать время выполнения операций над вещественными числами на аппаратном уровне
- Регистры FPU реализованы в виде стека st=st(0), st(1), st(2), st(3), st(4), st(5), st(6), st(7)
- Когда в сопроцессор загружается число, оно кладется в st(0), а все другие регистры сдвигаются

Вещественная арифметика

- fld, fst, fstp, суффиксы s (float), I (double), t (long double)
- fxch, fadd, fsub, fmul, fdiv, fabs, fsqrt

Соглашение о вызовах

- Вещественные аргументы передаются через стек
- Вещественный результат возвращается в %st(0)

Регистры SSE

- SSE набор инструкций, разработанный Intel. SIMD (Single Instruction, Multiple Data)
- Восемь 128-битных регистров и набор инструкций, работающих со скалярными и упакованными типами данных
- Преимущество в производительности достигается в том случае, когда необходимо произвести одну и ту же последовательность действий над разными данными

Регистры SSE

- Для хранения аргументов операций SSE используются регистры xmm (%xmm0 ... %xmm7), размер - 128 бит
- При вызове подпрограмм сохранение этих регистров не гарантируется
- Интерпретация записанных в xmm значений зависит от используемой команды
- В x64 регистры xmm используются для вещественных аргументов и результата

Команды SSE

- movs, суффиксы s (float), d (double)
- adds, subs, muls, divs, sqrts, maxs, mins
- cvtsd2si, cvtsd2ss, cvtsi2sd, cvtss2sd, cvtss2si, cvtsi2ss команды приведения типа
- comisd, comiss команды сравнения (устанавливают флаги)

Векторные вычисления SSE

- Значения упаковываются в регистры xmm (два double или четыре float)
- movapd адрес должен быть выровнен по 16, movupd адрес может быть не выровнен
- Те же команды, только р вместо s (adds addp)

Горизонтальные операции

- Горизонтальная операция вовлекает значения из одного регистра
- Например, haddps сложит четыре float-значения, записанные в одном регистре