

## Homework 4 Report

Student ID: 112062542

Name: 賴琮翰

---

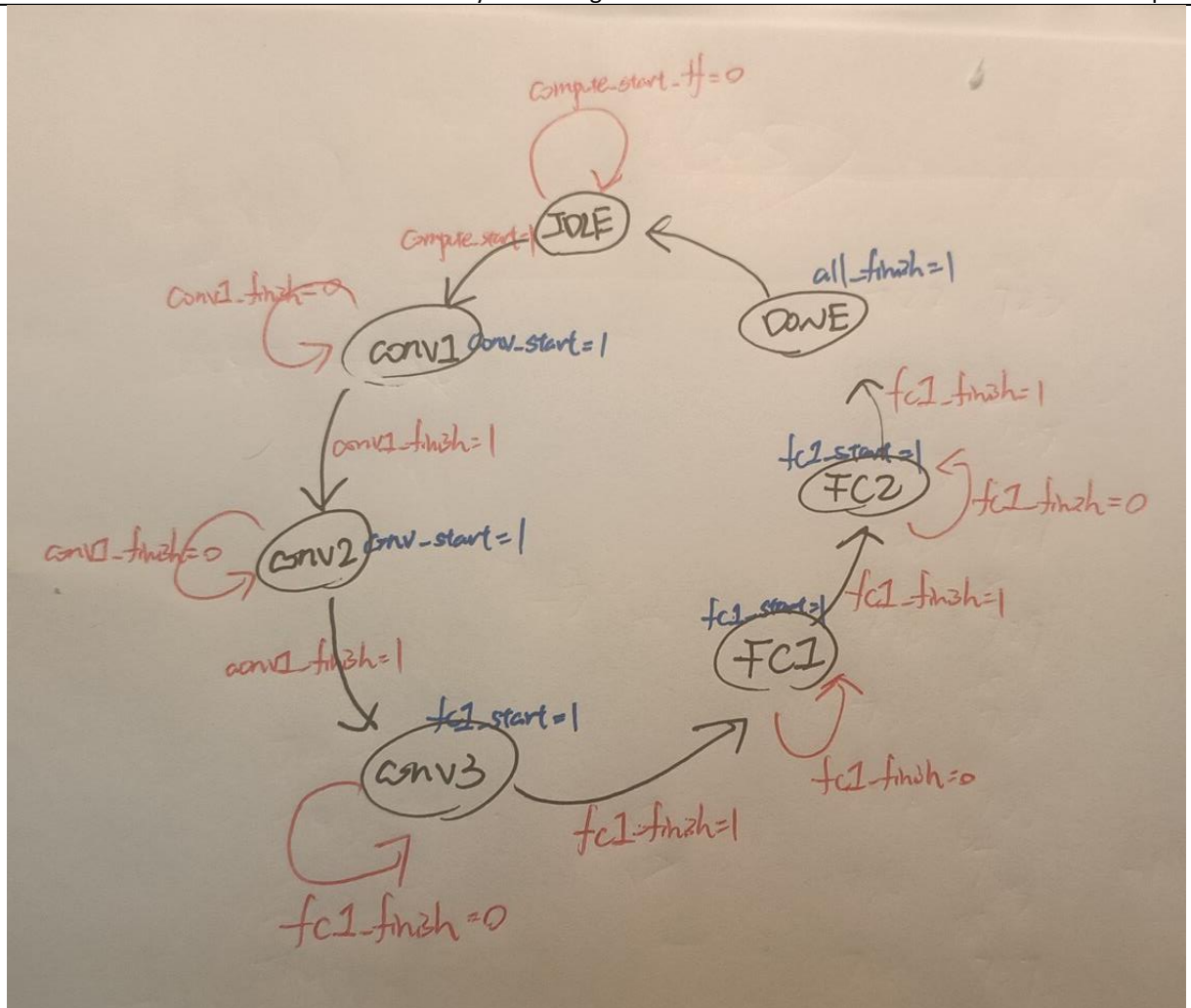
### 1. Design concept:

- Explanation of the overall hardware architecture, and block diagram of each component.

這次作業我透過 2 種不同的硬體模組組合而成。第一種是 HW3 中完成的全連接層 Module，可以處理 CONV3、FC1、FC2。基本上實現方式與上次作業差不多，只是多了幾個多工器判斷當前處理 layer 的不同變數 upper bound，這些 upper bound 包含有 input column、input row、input map、weight map 等等，內部會有一個 FSM 來控制 Module 的輸出訊號，並且有多個 Counter 控制當前處理到的 index，以便處理每個 cycle 的 sram index。

第二種 Module 用來處理 CONV1 和 CONV2 中計算 5\*5 Kernel 的部分，同樣的會有多個多工器處理 layer 的不同變數上限，比較特別的是因為要算的是 5\*5 Kernel，為了更有效率的計算方式，需要有一些 Counter 來處理 Delay，計算方式在 Dataflow 部分說明。





最外層的 FSM 用來控制當前運算的 Layer，其首先會等待外部傳入的總起始訊號，之後便開始依序計算，在對應 layer 處會送入啟動訊號給對應的 Module，並等待該 Module 計算完成，直至完成整個運算。

在內部 Module State Diagram 的設計上，我使用了 4 個 states，分別是 IDLE/READ/WRITE/DONE。IDLE 會等待外部的控制訊號，之後切換至 READ，每次 READ state 會計算完 8 個 output element 的結果，而每筆 element 的累積方式在兩個 Module 之間也略有不同，例如負責 CONV 的 Module 就需要等 6\*6 window(4 個 5\*5 kernel，並且要做 Max Pooling)計算完成，並且處理完所有 input map dimension 之後才是完成一筆輸出。之後切換到 WRITE 把資料寫到 SRAM 上，當已經計算完所有資料，且最後一筆資料也已經寫入 SRAM 了，就可以切換到 DONE 並把 compute finish 拉高

- Explanation of the dataflow.

Dataflow 部分因為 FC 和上次作業類似，這邊主要著重說明 CONV Module，因為要做 6\*6 window，然後每次 cycle 我們可以讀到 8 筆 element，也就是說每次 cycle 可以進行兩組 window 的計算，因此只要將 weight delay 2 cycle，就能配合上 activation，在 6 個 cycles 算出一層 input map 的結果。

- You may write the report in Chinese.

## 2. Result

Item	Description	Unit
RTL simulation	PASS	---
Gate-level simulation	PASS	---
Gate-level simulation clock period	7	ns
Gate-level simulation latency	29508	cycles
Total cell area	53310.687589	$\mu m^2$

## 3. Others (optional)

- Suggestions or comments about this class to teacher or TA.