**CTS:** clock balancing，盡可能讓clock skew and clock latency 最小化

**方法：**調整clock tree結構、插入buffer and inverter

**Set up time**：clock上升前，資料存進暫存器前需維持一段穩定的時間，才能保證存進暫存器的值沒有問題，這段需維持穩定的時間就稱為set up time．

**Hold time**：clock上升後，在暫存器的資料值需穩定一段時間，才能保證傳到下一層時的值是正確的，這段穩定的時間就稱為hold time

方法：在data path中插入buffer (可能增加RC-delay)

gate sizing (upsize/downsize修正setup/hold time violation)

**Routing under nanometer design rules:**

* end-end separation rule
* minimum length rule

**Dummy Fill Insertion:**

在空白區域插入填充物來均衡密度 避免CMP的結果表面不平整

**Detailed Placement Refinement:**

1. ion implant area constraint

在某些區域植入特定的雜質來滿足半導體的特性

– minimum implant width W

– minimum spacing S between the same type of implant regions

1. abutment constraint

standard cell 需要直接相鄰 滿足製成需求

source to source / source to drain / drain to drain

**Lithography Hotspot Detection:**