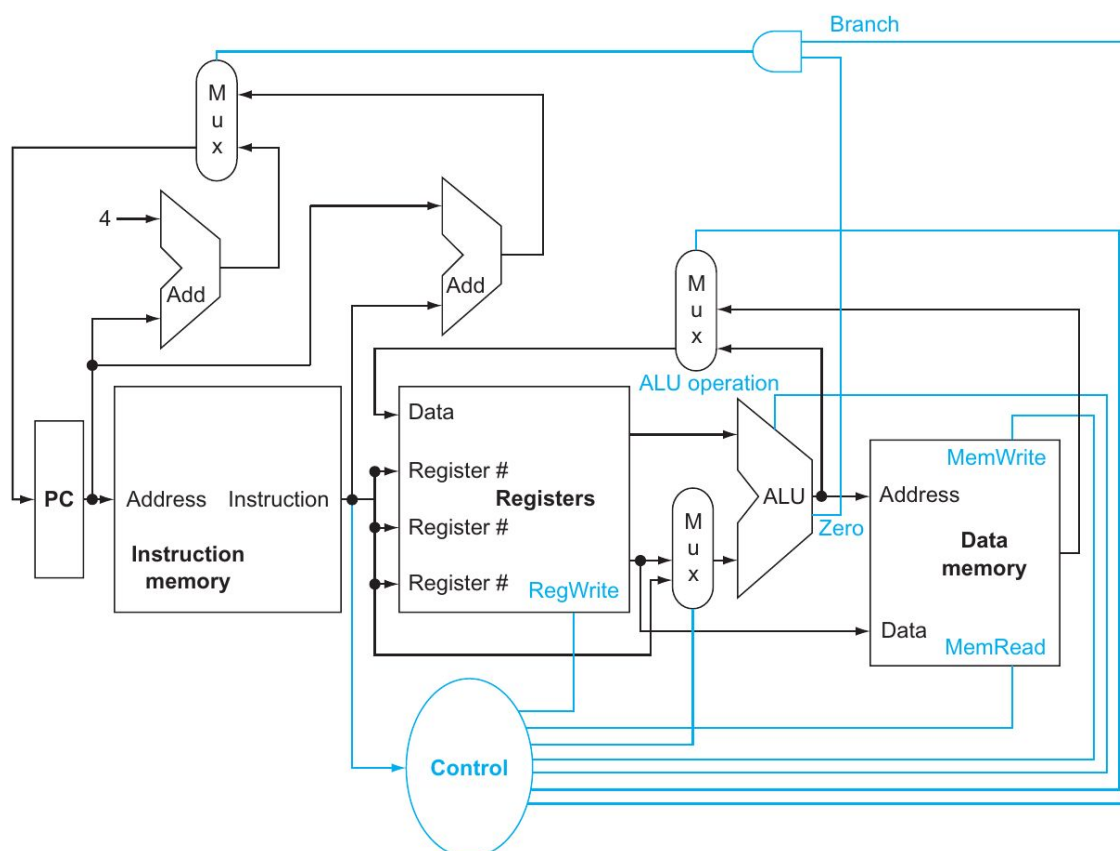


O trabalho consiste na implementação de uma versão simplificada do caminho de dados do RISC-V. O caminho de dados é apresentado abaixo. Trata-se da Figura 4.2 da edição RISC-V do livro.



**Forma de entrega:** Github para o código, Classroom para a documentação em PDF e para o vídeo em formato MP4.

O que deve ser entregue:

- Documentação simplificada do trabalho prático em formato SBC;
- Vídeo de apresentação de no máximo 3 minutos;
- Arquivos fonte SystemVerilog/Verilog e arquivos de simulação através do GitHub, como no trabalho anterior.

Será atribuída pontuação extra para os trabalhos que implementarem caminhos de dados que suportem outras instruções.

Critérios de avaliação:

- A documentação deverá conter, pelo menos, introdução, desenvolvimento e considerações finais. Além disso, o texto da mesma deve ser justificado e com referências, todo no formato SBC, caso existam;
- O trabalho deverá ser apresentado em um vídeo de no máximo 3 minutos;
- O caminho de dados do aluno irá passar por casos de testes previamente selecionados pelo professor, de modo que a nota irá sofrer alteração dependendo do resultado obtido;
- Cópias de trabalhos práticos serão exemplarmente punidas. A punição será a mesma para quem copiou e para quem forneceu o trabalho prático.

Na simulação, pelo menos as primeiras 32 posições da memória devem ser exibidas na tela.

Instruções a serem implementadas:

ADD, SUB, AND, OR, LD, SD, BEQ