

# Homework1

學號: 110062173

姓名: 鄭亮瑜

## A. How to perform simulation

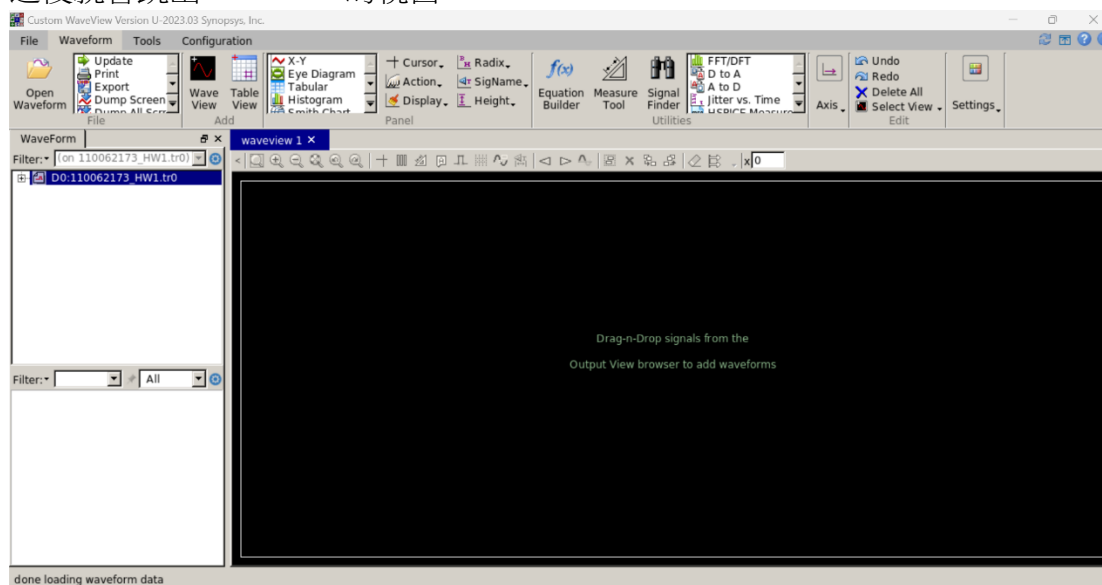
我在工作站上使用 ic53 機器，創立一個新的資料夾 PA1\_demo，mkdir PA1\_demo 並且將寫好的 110062173\_HW1.sp 放入 PA1\_demo 這個資料夾中，然後按照以下指令順序輸入指令：

1. `source /users/cad/synopsys/CIC/hspice.cshrc`
2. `hspice -i 110062173_HW1.sp -o 110062173_HW1.lis`
3. `source /users/cad/synopsys/CIC_new/customexplorer.cshrc`
4. `wv 110062173_HW1.tr0 &`

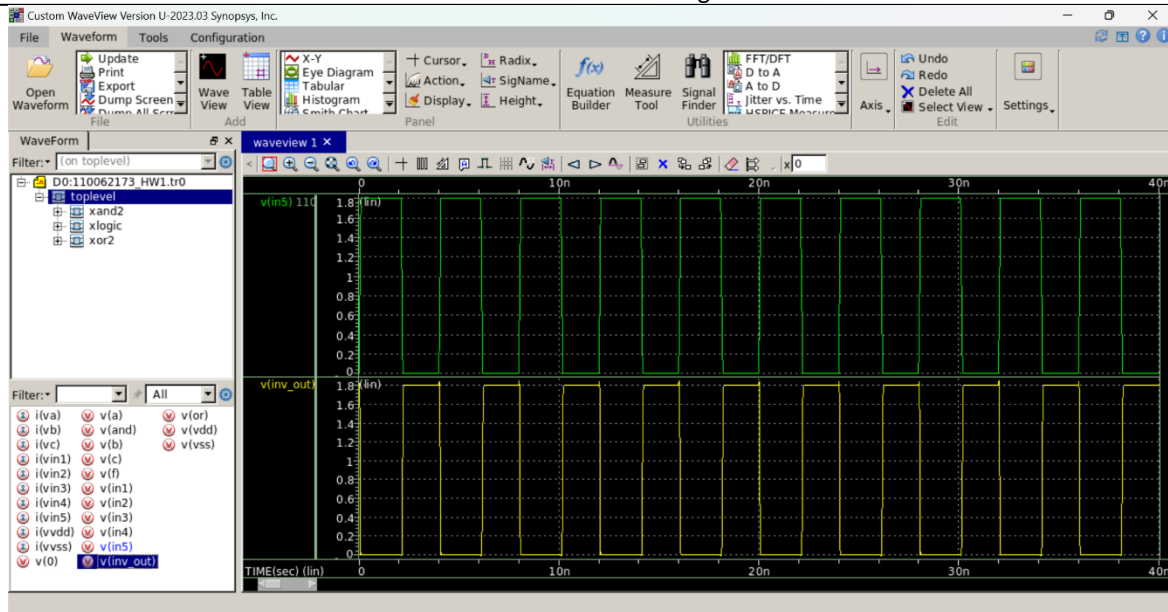
```
u110062173@ic53 ~/PA1_demo$ source /users/cad/synopsys/CIC/hspice.cshrc
u110062173@ic53 ~/PA1_demo$ hspice -i 110062173_HW1.sp -o 110062173_HW1.lis
Using: /users/cad/synopsys/hspice/2023.03/hspice/Linux64/hspice -i '110062173_HW1.sp' -o 110062173_HW1.lis

>info:          ***** hspice job concluded
u110062173@ic53 ~/PA1_demo$ source /users/cad/synopsys/CIC_new/customexplorer.cshrc
set customexplorer version: 2023.03/ (default)
u110062173@ic53 ~/PA1_demo$ wv 110062173_HW1.tr0 &
[1] 19480
u110062173@ic53 ~/PA1_demo$
```

之後就會跳出 waveview 的視窗：



在右上的白色小視窗有一個 D0:110062173\_HW1.tr0，點開之後有一個 toplevel，在右下的白色小視窗就會跳出各個 signal，點選想要的 Signal，下圖展示 Inverter signal，選擇的是 in5 和 inv\_out 這兩個 signal。

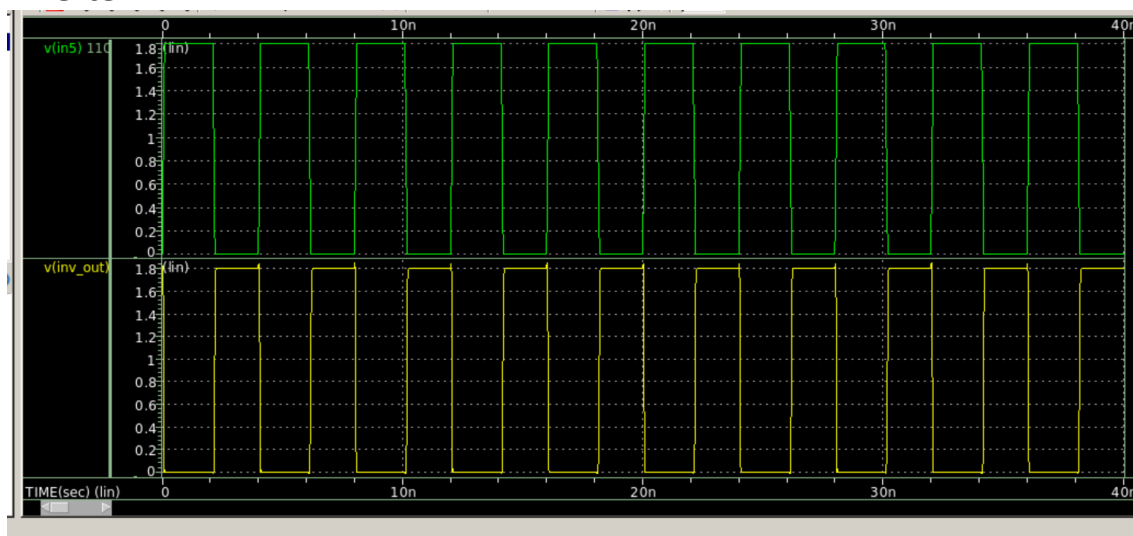


## B. The completion of the assignment

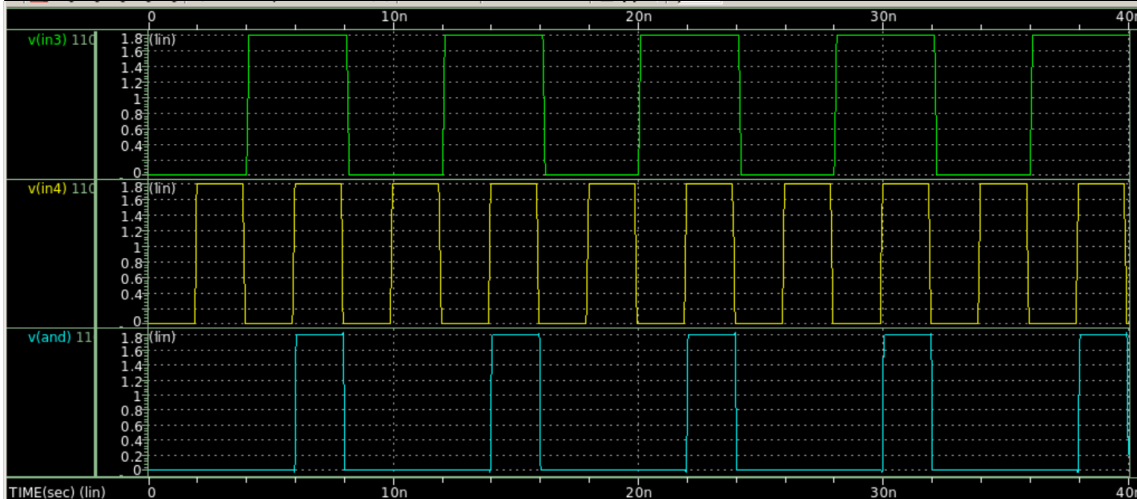
- ☒ The inverter CMOS gate
- ☒ The simulation of inverter CMOS gate
- ☒ The OR CMOS gate
- ☒ The simulation of OR CMOS gate
- ☒ The AND CMOS gate
- ☒ The simulation of AND CMOS gate
- ☒ The logic function F
- ☒ The simulation of logic Function F
- ☐ The 4:1 mux
- ☐ The simulation of 4:1 mux

## C. Waveforms of the inverter, AND, OR, and logic function F

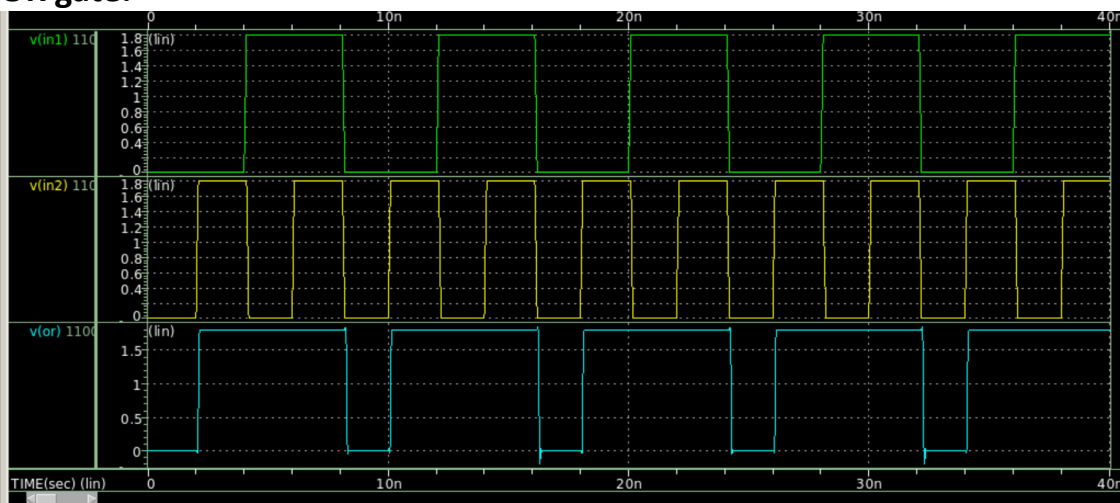
Inverter:



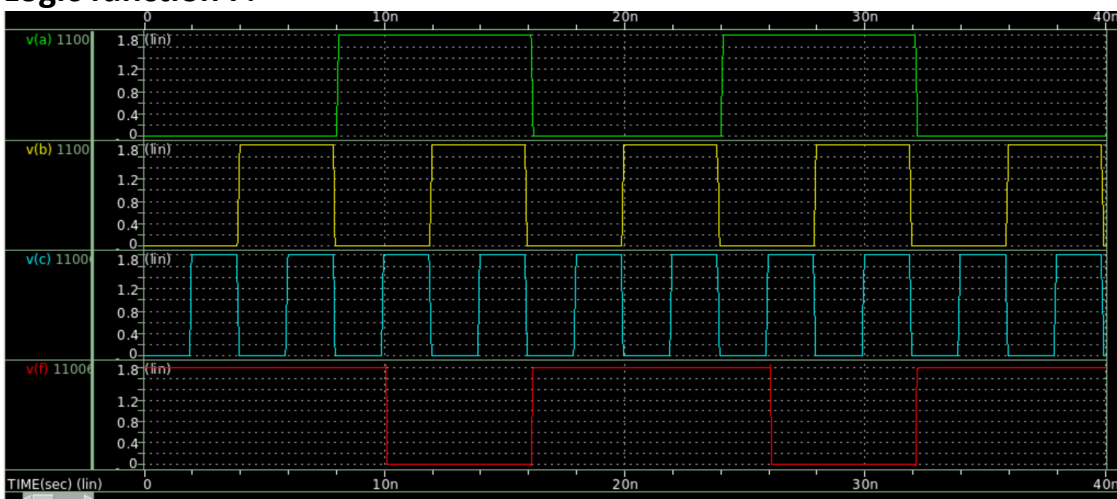
AND gate:



OR gate:



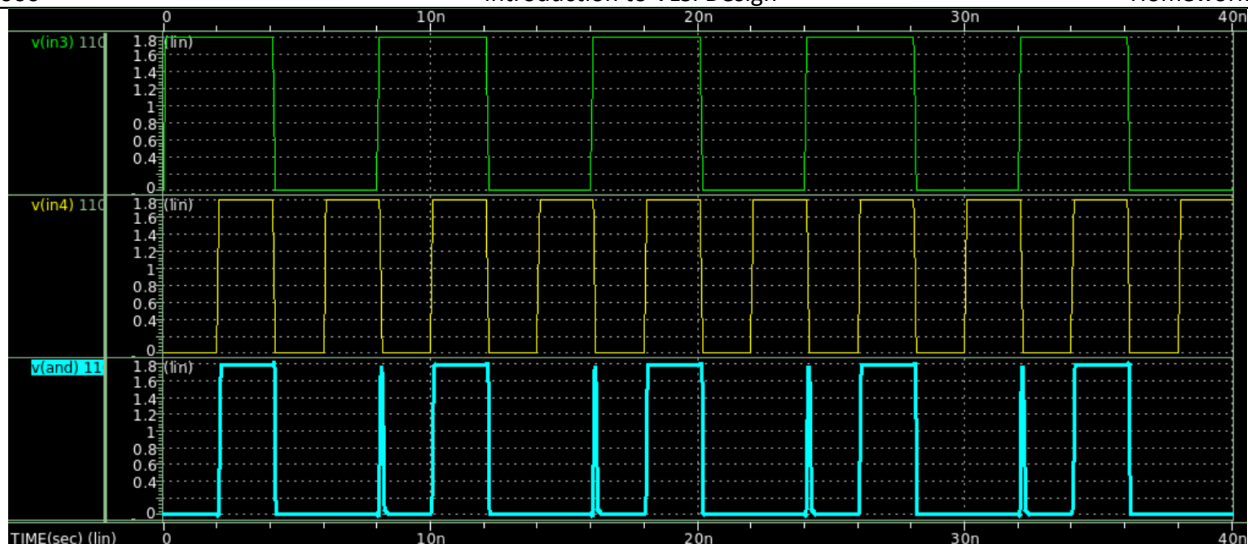
Logic function F:



## D. Problem Encountered

a) 在實作 AND 與 logic Function F 的時候，如何解決 glitch issue 令我苦惱許久

Glitch 的成因是因為兩個 input 訊號其中有一個比較快改變，另一個比較慢改變，造成有一個瞬間會從 0 變回 1 再變回 0，或是從 1 變回 0 再變回 1，比如 AND 從 (0, 1) -> (1, 0)，如果 in3 先從 0 變成 1，in4 仍會是 1，就會出現結果為 1 的 glitch，如下圖：

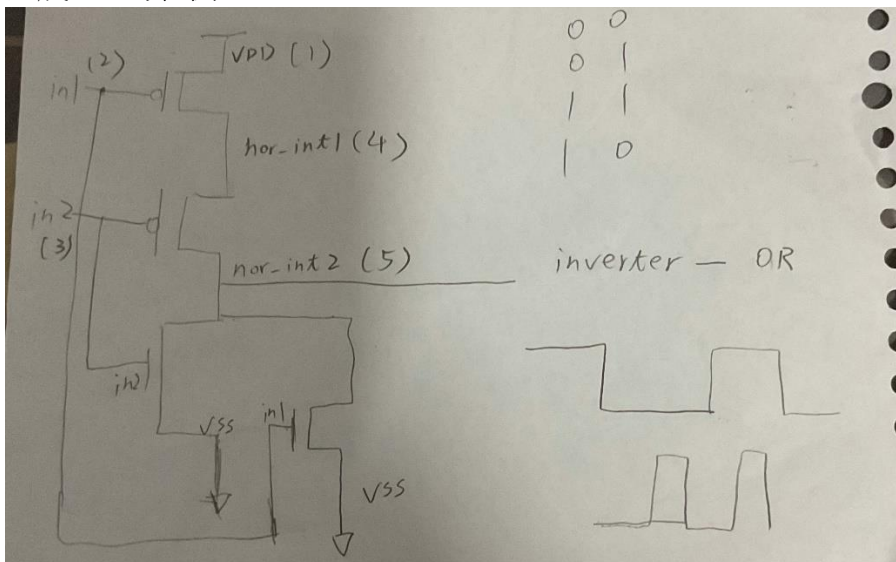


為了解決這個問題，就要從調整 input signal 下手，把 In4 的 pulse time 和 delay 設為 1.875 nanoseconds，就可以讓 in4 比原本提早改變，就可以達成和 in3 同樣的時間進行數值的變更。

```
* Definition for (in3, in4)
Vin3 in3 0 PULSE(0 1.8 4n 0.1n 0.1n 4n 8n)
Vin4 in4 0 PULSE(0 1.8 1.875n 0.1n 0.1n 1.875n 4n)
```

## b) NOR 和 NAND 在寫 SPICE 時，會遇到 gate drain src 接錯的情況，造成 OR 和 AND 沒有正確 output

因為相比於 inverter，NOR 與 NAND 涉及到 pmos 與 nmos 的串聯與並聯所以會複雜許多，這導致我在寫 SPICE 時可能會把 drain 寫成 source，source 寫成 gate 之類的問題，但是後來我發現只要把圖畫出來，最後再使用數字標示每條線，就可以解決搞混的問題，比如下圖是一個 NOR 與 inverter 組成 OR 的範例。



## E. Suggestions

1. 希望以後學弟妹在做作業時，可以提點一下要注意 glitch 的問題以及可能的解決辦法，不然要花好久的時間修這個 bug。
2. 請給這一次出題的助教頒贈一塊匾額，SPEC 寫的很用心，一目了然。