HW2\_report

ID：111062107

Name：鄧弘利

目錄

[1. The circuit diagram of your design and explaining your design 2](#_Toc183295330)

[2. Pre-sim waveform 3](#_Toc183295331)

[3. Screenshot of your layout (with total area measurement) 3](#_Toc183295332)

[4. Screenshot of DRC summary report 4](#_Toc183295333)

[5. Screenshot of LVS report include the message of passing LVS 6](#_Toc183295334)

[6. Post-sim waveform 7](#_Toc183295335)

[7. Screenshot of the post-simulation result 7](#_Toc183295336)

[8. Write down your delay and the difference in delay between rising and falling delay in the 3-input XOR gate 8](#_Toc183295337)

[9. The hardness of this assignment and how you overcome it 8](#_Toc183295338)

[10. Any suggestions about this programming assignment 8](#_Toc183295339)

[11. Bonus part 9](#_Toc183295340)

[12. Command to open virtuoso 13](#_Toc183295341)

# The circuit diagram of your design and explaining your design

一張含有 文字, 圖表, 方案, 圖解 的圖片

自動產生的描述

一張含有 圖表, 寫生, 方案, 行 的圖片

自動產生的描述

根據作業檔案界介紹裡面給的圖，我們可以知道在n跟p端，串接並聯的模式是一樣的，都是，所以就可以做出這樣的circuit diagram。

# Pre-sim waveform

一張含有 螢幕擷取畫面, 行 的圖片

自動產生的描述

# Screenshot of your layout (with total area measurement)

一張含有 螢幕擷取畫面, 鮮豔 的圖片

自動產生的描述

26.460 \* 15.310

# Screenshot of DRC summary report

一張含有 螢幕擷取畫面, 陳列, 文字, 軟體 的圖片

自動產生的描述

一張含有 文字, 螢幕擷取畫面, 陳列, 數字 的圖片

自動產生的描述

一張含有 文字, 螢幕擷取畫面, 字型, 收據 的圖片

自動產生的描述

# Screenshot of LVS report include the message of passing LVS

一張含有 文字, 螢幕擷取畫面, 陳列, 數字 的圖片

自動產生的描述

一張含有 文字, 螢幕擷取畫面, 陳列, 軟體 的圖片

自動產生的描述

一張含有 文字, 螢幕擷取畫面, 圖表, 數字 的圖片

自動產生的描述

# Post-sim waveform

一張含有 螢幕擷取畫面, 行 的圖片

自動產生的描述

# Screenshot of the post-simulation result

一張含有 文字, 螢幕擷取畫面, 字型 的圖片

自動產生的描述

# Write down your delay and the difference in delay between rising and falling delay in the 3-input XOR gate

Delay1XOR= 242.4443 ps

Delay2XOR= 312.2270 ps

|Delay1XOR − Delay2XOR| = 69.7827 ps

# The hardness of this assignment and how you overcome it

我覺得最難的地方在於一開始Design rule check的地方，想要縮面積，但是又要考慮那些rule的話，是件很難的事情，尤其是我是新手，還沒有很熟悉介面的時候，需要花些時間才可以比較熟悉那些操作。後來我是聽我朋友的建議，就每畫一些，就開DRC檢查，這樣就比較可以避免最後跳出一堆錯誤的情況。

# Any suggestions about this programming assignment

我覺得可以再多介紹一些畫layout的小技巧。

# Bonus part

* + 1. circuit diagram

一張含有 圖表, 工程製圖, 寫生, 方案 的圖片

自動產生的描述

* + 1. Pre-sim waveform

一張含有 螢幕擷取畫面, 行, Rectangle, 陳列 的圖片

自動產生的描述

* + 1. Screenshot of your layout

一張含有 螢幕擷取畫面, 行, 鮮豔, 文字 的圖片

自動產生的描述

18.330 \* 15.310

* + 1. Screenshot of DRC summary report

一張含有 螢幕擷取畫面, Rectangle, 行 的圖片

自動產生的描述

* + 1. Screenshot of LVS report includes the message of passing LVS

一張含有 文字, 螢幕擷取畫面, 字型, 平行 的圖片

自動產生的描述

* + 1. Post-sim waveform

一張含有 螢幕擷取畫面, 陳列, 文字, 行 的圖片

自動產生的描述

* + 1. Screenshot of the post-simulation result

一張含有 文字, 螢幕擷取畫面, 字型, 軟體 的圖片

自動產生的描述

* + 1. Write down your delay and the difference in delay between rising and falling delay in the 3-input XOR gate.

Delay1XOR= -7.4527 ps

Delay2XOR= 13.8008 ps

|Delay1XOR − Delay2XOR| = 21.2535 ps

# Command to open virtuoso

一張含有 文字, 螢幕擷取畫面, 字型 的圖片

自動產生的描述

source /usr/cad/synopsys/CIC/hspice.cshrc

source /usr/cad/synopsys/CIC/customexplorer.cshrc

source /usr/cad/cadence/CIC/ic.cshrc

source /usr/cad/mentor/CIC/calibre.cshrc

一張含有 文字, 螢幕擷取畫面, 字型, 行 的圖片

自動產生的描述

cd layout

icfb &