



МИНОБРНАУКИ РОССИИ
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
«МИРЭА – Российский технологический университет»
РТУ МИРЭА

Институт информационных технологий
Кафедра вычислительной техники

Отчет по практической работе №4
по дисциплине
«Архитектура процессоров и микропроцессоров»

Выполнил: студент группы ИВБО-02-19 К. Ю. Денисов

Принял: старший преподаватель ка- Ю. М.Скрябин
федры ВТ

Работа выполнена «_____» _____ 202__

«Зачтено» «_____» _____ 202__

Москва 2021

1 Цель работы

Для заданного в таблице 4 закодированного графа разработать три микропрограммных автомата (МПА):

1. МПА Мили на жесткой логике;
2. Управляющий автомат на программируемой логике (УАПЛ) с принудительной адресацией с 2-я адресными полями;
3. УАПЛ с естественной адресацией.

Для УАПЛ выбрать смешанный способ микропрограммирования.

2 Индивидуальный вариант № 9

2.1 Перечень сокращений

Приведем также перечень сокращений, используемых в ходе данной работы:

МКП — микропрограмма

МПА — микропрограммный автомат

ГСА — граф-схема автомата

АЛУ — арифметико-логическое устройство

УУ — устройство управления

КС1 — первая комбинационная схема

КС2 — вторая комбинационная схема

ОП — операционное поле

АП — адресное поле

БП — безусловный переход

УП — условный переход

СЧАМК — счетчик адреса микрокоманд

ОЗУ — оперативное запоминающее устройство

РК — регистр команд

ДС — дешифратор

SM — сумматор

КОП — код операции

РА1, РА2 — входные регистры АЛУ

PC1, PC2 — входные регистры сумматора

PP_{АЛУ} — регистр результата АЛУ

РОН — регистр общего назначения

ЧТРОН — управляющий сигнал на чтение РОН

РД_{РОН} — регистр данных регистров общего назначения

РА_{РОН} — регистр адреса регистров общего назначения

УС — указатель стека

В ходе данной лабораторной работы нам было предложено разработать три микропрограммных автомата (МПА). Приведем абстрактный граф-схему автомата (ГСА) (см. Рисунок 2.1). Где $a_1...a_5$ — состояния автомата, причем a'_1 — конечное состояние автомата.

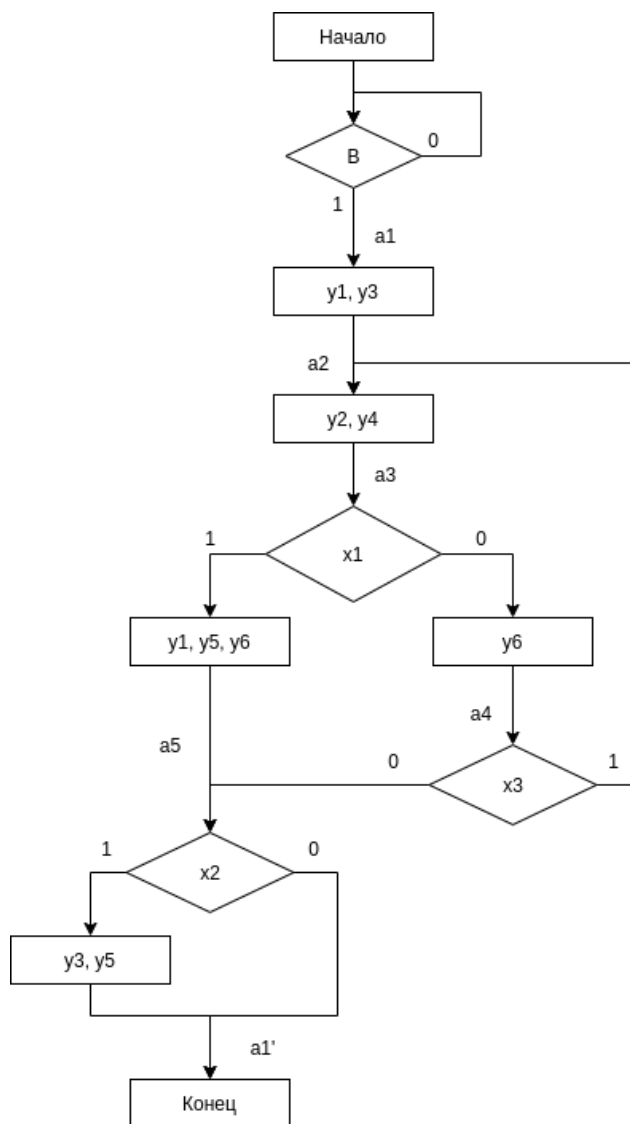
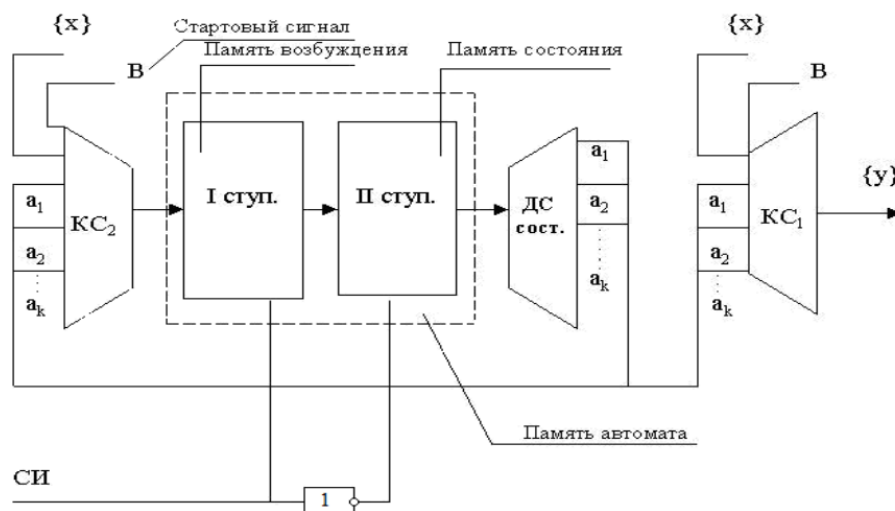


Рисунок 2.1 – Граф-схема автомата

Получим закодированный граф на базе ФСА, заменив микрооперации управ-

ляющими сигналами $\{y\}$, а логические условия — осведомительными сигналами $\{x\}$.



В состав 2.2 МПА входят следующие структурные элементы:

Память служит для запоминания состояния автомата.

Двухступенчатая память применяется для исключения «гонок» из-за разницы в величине задержек в КС1 при переключении различных разрядов памяти.

ДВОИЧНЫЕ КОДЫ:

$$a1(a1') = 000$$

$$a2 = 001$$

$$a3 = 010$$

$$a4 = 011$$

$$a5 = 100$$

Для кодирования пяти состояний потребовалось три двоичных разряда, соответственно память автомата будет строиться на трех триггерах. Выход вершины «начало» и вход в вершину «конец» отмечен одним и тем же символом $a1$. Это соответствует одному и тому же состоянию памяти и означает, что после выполнения своих функций по генерации $\{y\}$ в соответствии заданной ГСА, МПА возвращается в исходное положение до следующей инициализации. Для этого в ГСА после вершины «Начало» необходимо поставить ждущую вершину:

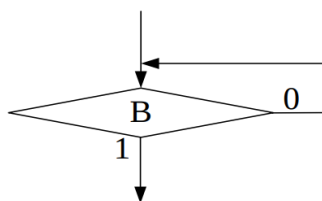


Рисунок 2.3 – Ждущая вершина

Начало работы автомата обеспечивает сигнал «В», устанавливаемый извне в «1» (интерпретируется как осведомительный сигнал). После этого он сбрасывается в «0», а МПА после завершения работы снова переходит в состояние покоя « $a1$ ». Для реализации МПА необходимо по ГСА построить таблицу состояний и переходов автомата (Рисунок 2.4).

В таблице отмечаются состояния МПА, управляющие сигналы, формируемые в каждом состоянии при наличии определенных значений осведомительных сигналов. Кроме того, в правой колонке таблицы записываются сигналы возбуждения памяти, формируемые по кодам состояния текущего и следующего состояния памяти.

Значения сигналов определяются таблицами переключения триггеров, выбранных для построения памяти. В данном случае память реализована на RS-

Текущее состояние	Код текущего состояния	Управляющие сигналы (вход. Набор)	Осведомительные сигналы (условие)	Следующее состояние	Код следующего состояния	Сигналы возбуждения памяти
a1	000	y1, y3 -	B !B	a2 a1	001 000	S1 -
a2	001	y2, y4	1	a3	010	S2 R1
a3	010	y1, y5, y6 y6	x1 !x1	a5 a4	100 001	S3 R2 R1 R3 R2 S1
a4	011	y2, y4 -	x3 !x3	a2 a5	001 100	R3 R2 S1 S3 R2 R1
a5	100	y3, y5 -	x2 !x2	a1' Ф1'	000 000	R3 R2 R1 R3 R2 R1

Рисунок 2.4 – Таблица состояний

триггерах. Таблица позволяет описать логическую организацию схем КС1 и КС2, т.е. произвести их абстрактный синтез.

Для КС1

$$y_1 = a_2 B + a_5 x_1$$

$$y_2 = a_3 + a_2 x_3$$

$$y_3 = a_2 B + a_1 x_2$$

$$y_4 = a_3 + a_2 x_3$$

$$y_5 = a_5 x_1 + a_1 x_2$$

$$y_6 = a_5 x_1 + a_4 \bar{x}_1$$

Для КС2

$$S_1 = a_2 B + a_4 \bar{x}_1 + a_2 x_3$$

$$R_1 = a_3 + a_5 x_1 + a_5 \bar{x}_3 + a_1 \bar{x}_2$$

$$S_2 = a_3$$

$$R_2 = a_5 + a_4 + a_2 + a_1$$

$$S_3 = a_5 x_1 + a_5 \bar{x}_3$$

$$R_3 = a_4 \bar{x}_1 + a_2 x_3 + a_1$$

По полученным логическим выражениям произведем структурный синтез схем КС1 и КС2 и построим электрическую функциональную схему МПА.

Реализация блока управления на базе МПА с программируемой логикой. В МПА с программируемой логикой ГСА реализуется посредством микропрограммы (МКП), хранимой в управляющей памяти. Микропрограмма состоит из микрокоманд (МК), последовательность которых описывает графсхему алгоритма управления. Микрокоманда представляет собой машинное слово, состоящее из двух полей (Рисунок 2.5).

ОП	АП
----	----

Рисунок 2.5 – Машинное слово МПА

В ОП микрокоманды записываются управляющие сигналы или их коды. В АП — коды номеров условных вершин ГСА и адрес или адреса перехода к следующей микрокоманде.

Организуем ОП смешанным горизонтально-вертикальным способом. В нашем случае ОП будет состоять из трех сегментов $NY1-NY3$, по которым распределяются управляющие сигналы (см. Таблицу 2.1).

NY1		NY2		NY3	
01	y1	01	y5	01	y6
10	y4	10	y2	10	y3
11	y _k				
00	отс.	00	отс.	00	отс.

Таблица 2.1 – Организация ОП смешанным способом

Способы перехода в микропрограммах к следующей микрокоманде определяются форматами адресных полей МК и правилами перехода. Принудительный переход выполняется по адресу, указанному в самой МК. Это соответствует безусловному переходу команд БП. При естественной адресации микрокоманд следующая микрокоманда адресуется посредством инкремента счетчика адреса микрокоманд (СЧАМК).

Микропрограммный автомат с принудительной адресацией МК Форматы МК с двумя адресными полями при принудительной адресации могут иметь следующий вид (Рисунок 2.6.

ОП	№X	A ₀	-	МК безусловного перехода
ОП	№X	A ₀	A ₁	МК условного перехода

Рисунок 2.6 – Форматы микрокоманд

В Таблице 2.2 представлена МКП, описывающая рассматриваемый алгоритм управления

Разряды	0:1	2:3	4:5	6:7	8:10	11:13	Вид
Адрес в УП	NY1	NY2	NY3	NX	A ₀	A ₁	УП
1	<y1>	-	<y3>	00	2	-	БУ
2	<y4>	<y2>	-	NX1	3	4	УП
3	-	-	<y6>	NX3	5	2	УП
4	<y1>	<y5>	<y6>	NX2	7	6	УП
5	-	-	-	NX2	7	6	УП
6	-	<y5>	<y3>	00	7	-	БУ
7	<yк>	-	-	-	-	-	

Таблица 2.2 – Алгоритм управления

Микропрограммный автомат с естественной адресацией Рассмотрим вариант, предлагающий наличие двух типов микрокоманд: операционной, которая выполняет полезную работу и обрабатывает операторные вершины ГСА, и управляющей МК условного и безусловного переходов (рис. 9).

3 Порядок выполнения работы

3.1 ФСА цикла исполнения команд

Вывод

В ходе данной практической работы мы ознакомились со структурной схемой ядра ЭВМ, изучили процесс выполнения ЭВМ арифметических операций, изучили режим адресации с базированием и индексированием, научились строить функциональную схему алгоритма цикла исполнения команд. Полученные знания применили на практике.