



МИНОБРНАУКИ РОССИИ  
Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
**«МИРЭА – Российский технологический университет»**  
**РТУ МИРЭА**

---

Институт информационных технологий  
Кафедра вычислительной техники

**Отчет по практической работе №3**  
по дисциплине  
**«Архитектура процессоров и микропроцессоров»**

**Выполнил:** студент группы ИВБО-02-19

К. Ю. Денисов

**Принял:** старший преподаватель ка-  
федры ВТ

Ю. М.Скрябин

Москва 2021

# 1 Цель работы

Разработать для указанных в заданиях команд функциональные схемы алгоритмов (ФСА) циклов исполнения команд и структурные электрические схемы операционной части блока обработки команд.

## 2 Индивидуальный вариант № 9

В ходе данной лабораторной работы нам было предложено разработать функциональные схемы алгоритмов (ФСА) циклов исполнения команд и структурные электрические схемы операционной части блока обработки команд.

Набор режимов адресации расширен за счет адресации с базированием и с индексированием. Для данной адресации применяются следующие обозначения в адресных полях команд: В и Х — адреса РОН для хранения модификаторов — базовой константы и текущего значения индекса соответственно. D — прямое смещение относительно модификаторов (может обозначаться, как А — прямой адрес).

Исполнительный адрес ( $A_{исп}$ ) — адрес обращения к ОЗУ, для относительной адресации будет определяться суммой модификаторов, выбираемых из РОН, и смещения. В общем виде:  $A_{исп} = РОН(В) + РОН(Х) + D$   
В команде могут присутствовать оба модификатора или только один.

АО	ВЗ	DЗ
----	----	----

1-й и 2-й операнды взять из обратного стека. ВЗ, DЗ — адресные поля результата

АО — арифметическая операция;

ВЗ — адрес регистра общего назначения для хранения модификаторов

DЗ — прямое смещение относительно модификаторов

## **3 Порядок выполнения работы**

### **3.1 Перечень сокращений**

Приведем также перечень сокращений, используемых в ходе данной работы:

АЛУ — арифметико-логическое устройство

УУ — устройство управления

ША — шина адреса

ШД — шина данных

ШУ — шина управления

СЧАК — счетчик адреса команд

ОЗУ — оперативное запоминающее устройство

РА<sub>ОЗУ</sub> — регистр адреса оперативного запоминающего устройства

РД<sub>ОЗУ</sub> — регистр данных оперативного запоминающего устройства

ШД<sub>ОЗУ</sub> — шина адреса оперативного запоминающего устройства

РК — регистр команд

ДС — дешифратор

SM — сумматор

КОП — код операции

РА1, РА2 — входные регистры АЛУ

РС1, РС2 — входные регистры сумматора

РР<sub>АЛУ</sub> — регистр результата АЛУ

РОН — регистр общего назначения

ЧТРОН — управляющий сигнал на чтение РОН

РД<sub>РОН</sub> — регистр данных регистров общего назначения

РА<sub>РОН</sub> — регистр адреса регистров общего назначения

УС — указатель стека

### **3.2 ФСА цикла исполнения команд**

Для начала составим функциональную схему алгоритма цикла исполнения команд (см. рис. 1).

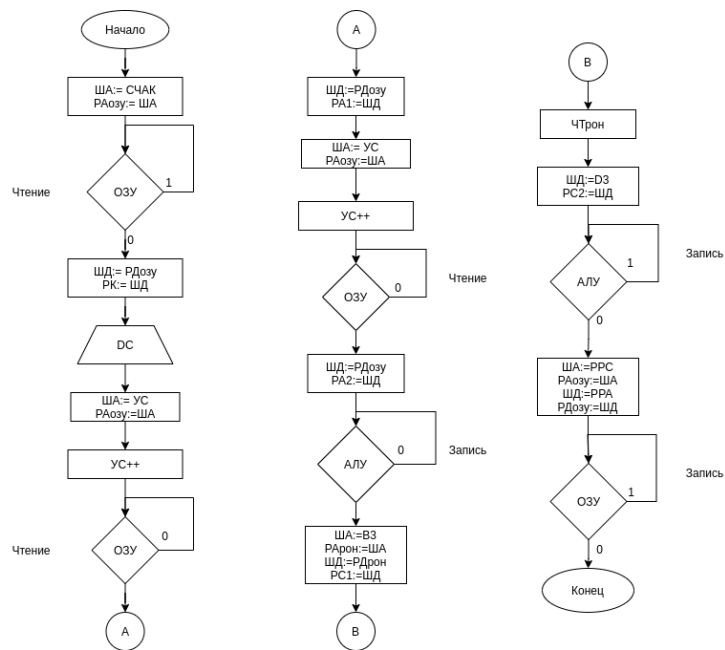


Рис. 1: Алгоритм цикла исполнения команд

### 3.3 Структурная электрическая схема

Теперь приведем структурную электрическую схему операционной части блока обработки команд (см. рис. 2).

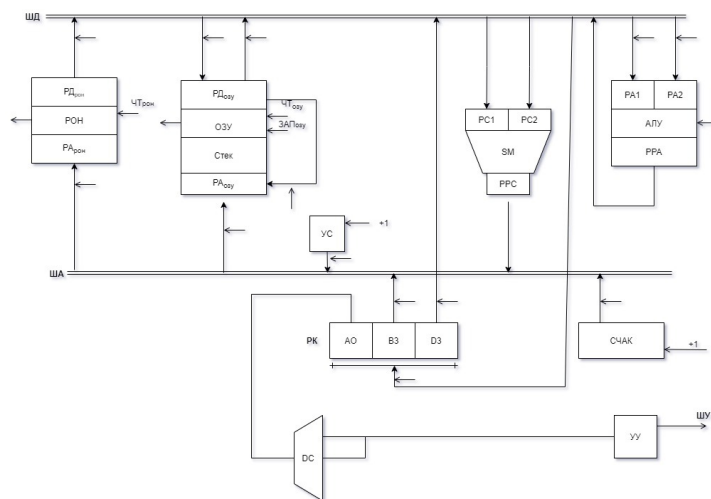


Рис. 2: Структурная схема

## **Вывод**

В ходе данной практической работы мы ознакомились со структурной схемой ядра ЭВМ, изучили процесс выполнения ЭВМ арифметических операций, изучили режим адресации с базированием и индексированием, научились строить функциональную схему алгоритма цикла исполнения команд. Полученные знания применили на практике.