



МИНОБРНАУКИ РОССИИ
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
«МИРЭА – Российский технологический университет»
РТУ МИРЭА

Институт информационных технологий
Кафедра Вычислительной техники

Отчет по лабораторной работе №3
по дисциплине
«Проектирование и разработка систем на базе ПЛИС»

Тема работы:
«Проектирование цифрового узла анализатора
последовательности и его верификация средствами САПР Xilinx
ISE 14.x.»

Выполнил: студент группы ИВБО-02-19

К. Ю. Денисов

Принял: ассистент

А. С. Боронников

Работа выполнена «____» _____ 202__

«Зачтено» «____» _____ 202__

Москва 2021

Постановка задачи

Требуется разработать цифровой узел на основе отладочной платы Digilent Nexys 4, представляющий собой анализатор фиксированной последовательности логических сигналов. Узел должен обеспечивать индикацию ожидаемых и вводимых элементов последовательности посредством входящих в состав отладочной платы семисегментных индикаторов согласно данному заданию.

Узел должен быть реализован в виде синтезируемой модели на языке Verilog HDL.

Интерфейс верхнего уровня иерархии модели должен состоять из набора сигналов, представленного на рис. 1.

Автомат должен иметь интерфейс, представленный на рис ??.

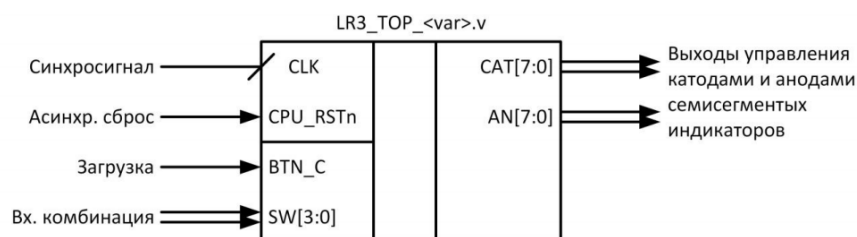


Рисунок 1 — Интерфейс модели цифрового узла

Разрабатываемое устройство является синхронным цифровым узлом, срабатывающим по восходящим фронтам синхросигнала CLK. Исключение составляет асинхронный вход сброса CPU_RSTn, принудительно устанавливающий все регистры узла в исходное состояние. Подача сигнала сброса на вход узла осуществляется посредством соответствующей кнопки (CPU_RSTn) отладочной платы.

Распознавание элементов последовательности осуществляется четверками, т.е. необходимо обеспечить последовательную загрузку в узел элементов Y с номерами 0-3, 4- 7, 8-B, C-F для успешного распознавания последовательности. При осуществлении ввода значения, не соответствующего текущему ожидаемому элементу последовательности, необходимо повторить ввод всей четверки элементов заново

Индикация работы узла посредством двух блоков семисегментных индикаторов для каждого варианта осуществляется аналогично примеру, представленному на рис. 3 и подчиняется следующим правилам:

1. Левый блок семисегментных индикаторов отображает ожидаемый (младший разряд) и введенные (три старших разряда) элементы последовательности в объеме распознаваемой четверки.
2. Правый блок семисегментных индикаторов отображает предысторию ввода комбинаций последовательности. Последняя введенная комбинация отображается в младшем разряде блока.
3. Не задействованные в текущий момент времени семисегментные индикаторы на обоих блоках должны находиться в выключенном состоянии.
4. Обновление отображаемых значений на обоих блоках семисегментных индикаторов рекомендуется выполнять с частотой от 60Гц до 200Гц.

Результат работы

Реализуем устройство, являющегося синхронным цифровым узлом. Его работу организуем по восходящему фронту синхросигнала, асинхронный сброс — по нисходящему фронту сигнала CPU_RSTn.

Приведем таблицу состояний устройства (см. Таблицу 1). Текущее состояние цифрового устройства зависит от последнего введенного пользователем с помощью движковых переключателей элемента последовательности.

Таблица 1 — Состояния цифрового устройства

Состояние	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Значение	0	4	4	8	3	0	7	2	2	D	7	C	5	2	A	C	—
Разряд	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	—

Приведем граф состояний цифрового устройства (см. Рисунок 2). Переход в следующее состояние происходит только в случае ввода верного элемента последовательности. При неправильном вводе цифровое устройство переходит в ближайшее пройденное состояние, номер которого кратен 4. Номер состояния, в которое перейдет устройство в случае некорректного ввода можно вычислить по формуле

$$S_{i+1} = (S_i \div 4) \cdot 4$$

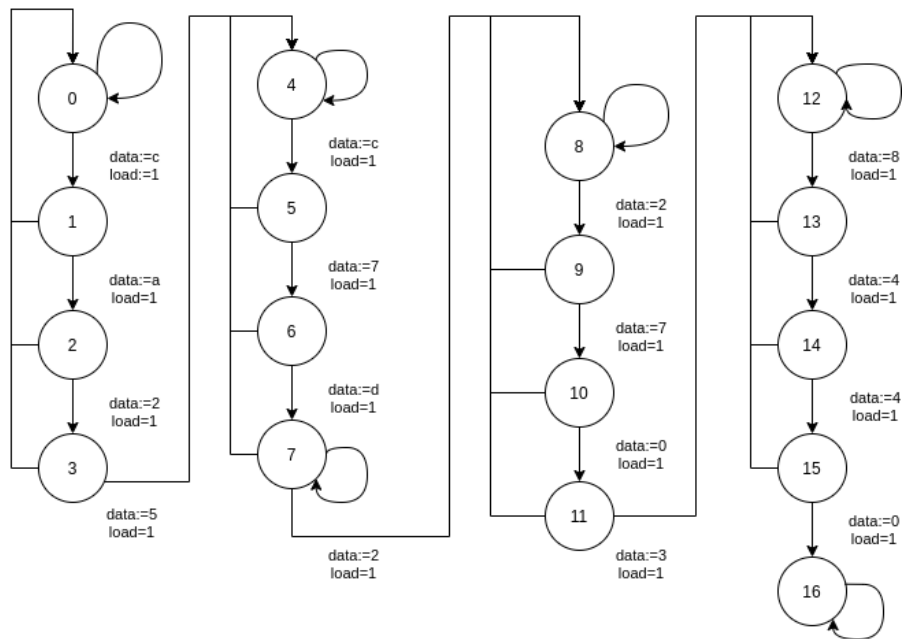


Рисунок 2 — Граф состояний

Приведем блок схему работы устройства (см. Рисунок 3). Значение X представляет собой номер элемента цифровой последовательности, ввод значения которого (Y) ожидается. Значения Y каждого элемента цифровой последовательности определяются вариантом задания.

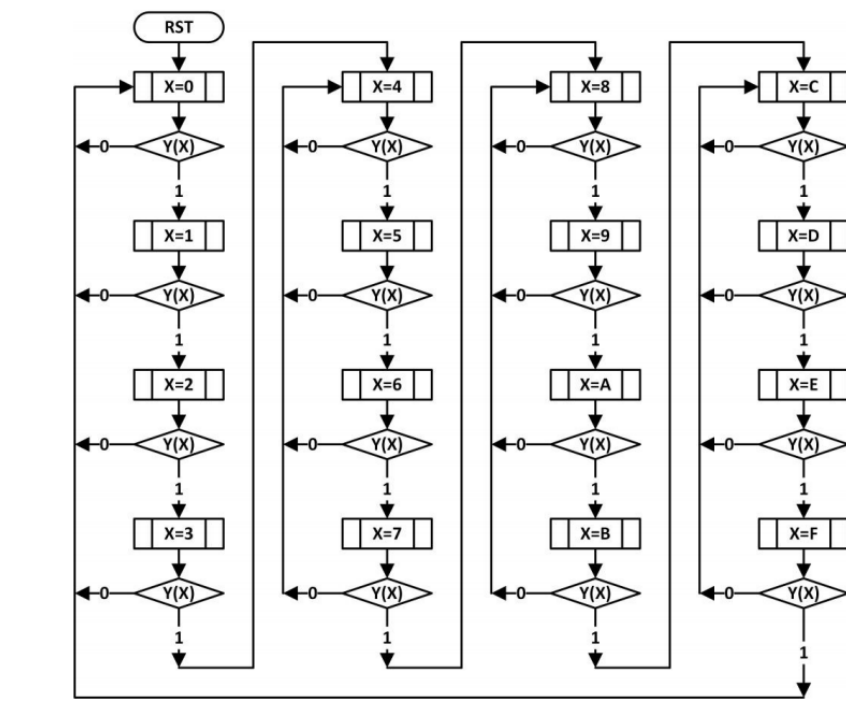


Рисунок 3 — Алгоритм распознавания последовательности

Приведем структурную схему синхронного цифрового узла (см. Рисунок 4).

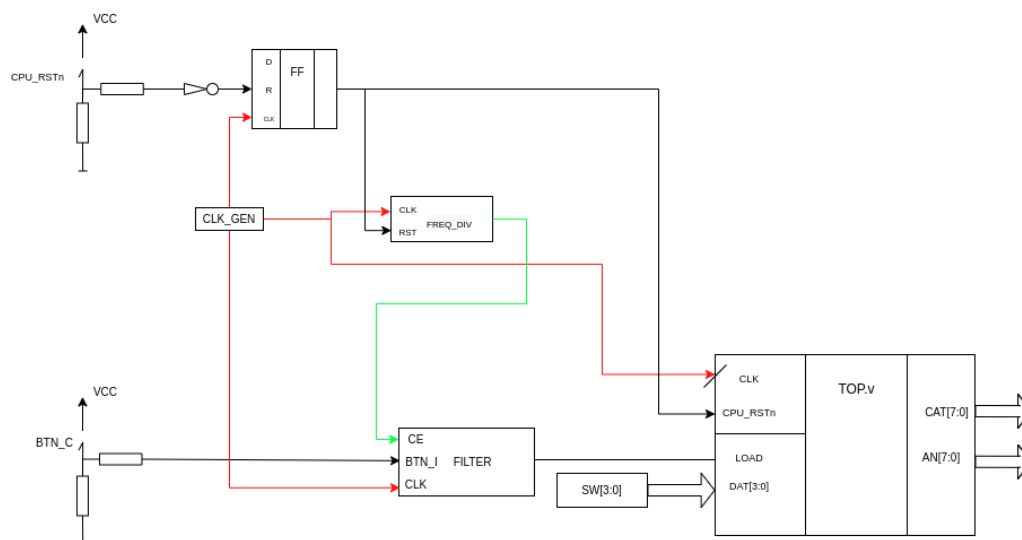


Рисунок 4 — Структурная схема узла

Описание принципа работы

Вывод: В ходе данной практической работы нами были получены общие навыки работы с программным обеспечением Xilinx ISE Design Suite, изучены основы языка Verilog.

С помощью полученных знаний был спроектирован конечный автомат, представляющий собой генератор фиксированной последовательности логических сигналов, в виде синтезируемой модели.