



МИНОБРНАУКИ РОССИИ  
Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
**«МИРЭА – Российский технологический университет»**  
**РТУ МИРЭА**

---

Институт информационных технологий  
Кафедра Вычислительной техники

**Отчет по практической работе №3**

по дисциплине  
«Теория автоматов»

**Тема практической работы:**  
«Делитель 4-разрядных чисел без знака»

**Выполнил** студент группы ИВБО-02-19

К. Ю. Денисов

**Проверил** ассистент

А. С. Боронников

Москва 2021

# **Содержание**

<b>1</b>	<b>Общее строение автомата</b>	<b>3</b>
<b>2</b>	<b>Индивидуальное задание</b>	<b>4</b>
<b>3</b>	<b>Алгоритм работы автомата</b>	<b>5</b>
<b>4</b>	<b>Реализация Операционного автомата</b>	<b>5</b>
<b>5</b>	<b>Реализация управляющего автомата</b>	<b>7</b>
<b>6</b>	<b>Тестирование работы автомата</b>	<b>7</b>
<b>7</b>	<b>Вывод</b>	<b>9</b>
	<b>ПРИЛОЖЕНИЕ А</b>	<b>10</b>

# 1 Общее строение автомата

В любом устройстве обработки цифровой информации можно выделить два основных блока – операционный автомат (ОА) и управляющий автомат (УА). Операционный автомат (ОА) служит для хранения слов информации, выполнения набора микроопераций и вычисления значений логических условий, т.е. операционный автомат является структурой, организованной для выполнения действий над информацией. Микрооперации, выполняемые ОА, задаются множеством *управляющих* сигналов  $Y \{y_1, \dots, y_M\}$ , с каждым из которых отождествляется определенная микрооперация.

Значения логических условий, вычисляемые в операционном автомате, отображаются множеством *осведомительных* сигналов  $X = \{x_1, \dots, x_L\}$ , каждый из которых отождествляется с определенным логическим условием.

Управляющий автомат (УА) генерирует последовательность управляющих сигналов, предписанную микропрограммой и соответствующую значениям логическим условий. Управляющий автомат задает порядок выполнения действий в ОА, вытекающий из алгоритма выполнения операций. Наименование операции, которую необходимо выполнить в устройстве, определяется кодом  $g$  операции, поступающим в УА извне.

В отличие от УА с жесткой логикой, закон функционирования которого обеспечивается определенным образом соединенными логическими элементами, в автоматах, построенных на основе ПЗУ, заданная микропрограмма реализуется в явной форме и хранится в памяти в виде последовательности управляющих слов. Управляющее слово определяет порядок работы устройства в течение одного такта и на-

зывается микрокомандой (МК). Она содержит информацию о микрооперациях, которые должны выполняться в данном такте, и (или) об адресе следующей микрокоманды.

## 2 Индивидуальное задание

В ходе данной практической работы был реализован автомат, выполняющий деление 4-разрядных чисел без знака (алгоритм без восстановления остатка). Управляющий автомат был построен по схеме с одним адресом в памяти в последовательном варианте. Рассмотрим строение управляющего автомата. См рисунок 1.

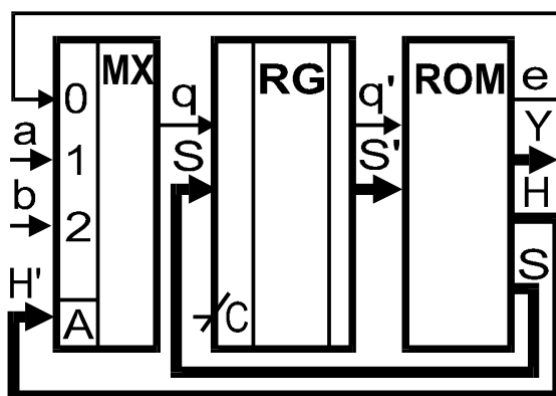


Рис. 1: УА с одним адресом в памяти; последовательный вариант

В конкретной реализации на информационные входы мультиплексора подаются сигналы  $e$  – сигнал с ПЗУ,  $B\_IS\_NULL$  – признак нулевого делителя,  $CT\_IS\_NULL$  – признак окончания счета,  $b\_high$  – значение старшего бита частичного остатка на текущей итерации, а на адресный вход подается двухбитовый сигнал  $H$ .

### 3 Алгоритм работы автомата

Опишем алгоритм работы автомата с помощью блок схемы. Используем сумматор для нахождения текущего значения частичного остатка (ЧО), счетчик для подсчета обработанных разрядов и регистры для хранения и использования разрядов делителя и делимого. Обозначим микрокоманды от  $m_0$  до  $m_4$ . См. рисунок 5 в Приложении А.

После построения алгоритма работы автомата следует перейти к реализации операционной части.

### 4 Реализация Операционного автомата

Построим операционный автомат, выполняющий деление двух 4-разрядных чисел посредством использования четырех регистров, в том числе трех сдвиговых. Приведем названия и назначения каждого из регистров. См. таблицу 1.

Идентификатор	Назначение
$RG\_A$	Сдвиговый регистр. Хранит разряды делимого
$RG\_B$	Хранит разряды делителя
$RG\_REM$	Сдвиговый регистр. Хранит разряды частичного остатка
$RG\_RES$	Сдвиговый регистр. Хранит разряды результата

Таблица 1: Регистры операционного автомата

Укажем необходимые признаки, которые впоследствии будут вырабатываться управляющим автоматом. См. таблицу 2. С целью ре-

Признак	Назначение
$S$	Хранит адрес следующей операции
$H$	Адресный вход мультиплексора
$R0$	Сигнализирует об окончании операции деления
$ERROR$	Сигнализирует об ошибке ввода – делитель равен нулю
$L\_RG_A$	Загрузка в регистр $RG\_A$
$L\_RG_B$	Загрузка в регистр $RG\_B$
$L\_RG_{REM}$	Загрузка в регистр $RG\_REM$
$CLR$	Асинхронный сброс всех элементов
$COUNT\_CT$	Счет. Декремент счетчика, если $L\_CT == 1$
$L\_CT$	Загрузка счетчика
$SHIFT$	Левый сдвиг в регистрах $RG\_A$ и $RG\_RES$

Таблица 2: Осведомительные сигналы (признаки)

ализации левого сдвига в сдвиговых регистрах разряды делимого и текущего значения частичного остатка загружаются в регистры в обратном порядке. Это позволяет отказаться от универсального сдвигового регистра, так как реализации данного алгоритма необходим только левый сдвиг, и как следствие, упрощает схему.

Для исключения возникновения ошибки при левом сдвиге разрядов частичного остатка в случае, когда два его старших разряда различны, использованы 6-разрядные регистры. См. сноску 1.

Соединим все элементы в соответствии с алгоритмом задачи. См. рисунок 6 в приложении **Приложении А**.

$$\begin{aligned}
 -|B| &\neq 10X...X \\
 -|B| &= 110X...X
 \end{aligned}
 \tag{1}$$

## 5 Реализация управляющего автомата

Приступим к построению управляющего автомата, определяющего последовательность выполнения микрокоманд для деления двух 4-разрядных чисел без знака.

Определим разрядность ПЗУ, участвующего в построении УА по схеме с одним адресом в памяти. Адрес должен иметь 4 разряда, где 3 старших разряда — текущее значение параметра  $S$ , а младший разряд — значение  $q$ , генерируемое мультиплексором. Микрокоманда представлена в виде 15 бит — 12 признаков, расположенных в следующем порядке:  $S, H, R0, ERROR, CLR, L\_CT, COUNT\_CT, SHIFT, L\_RG\_REM, L\_RG\_B, L\_RG\_A, e$ . Адрес текущей команды будет храниться в 4-разрядном регистре.

Заполним память в соответствии в алгоритмом, подключим ПЗУ и регистр последовательным способом. См рисунок 2.

## 6 Тестирование работы автомата

После реализации операционного и управляющего автомата следует приступить к объединению данных устройств, тестированию их совместной работы. Подключим признаки к входам соответствующих логических элементов и цифровых устройств с помощью туннелей. Добавим блок ввода исходных данных, используя контакты, блок вывода — регистр результата операции деления и регистр остатка, индикатор завершения операции деления.

Проведем проверку корректности выходных результатов построенного цифрового устройства. Разделим два наибольших 4-разрядных двоичных числа  $1111_2 \div 1111_2$  ожидая получить частное  $1_2$  и остаток

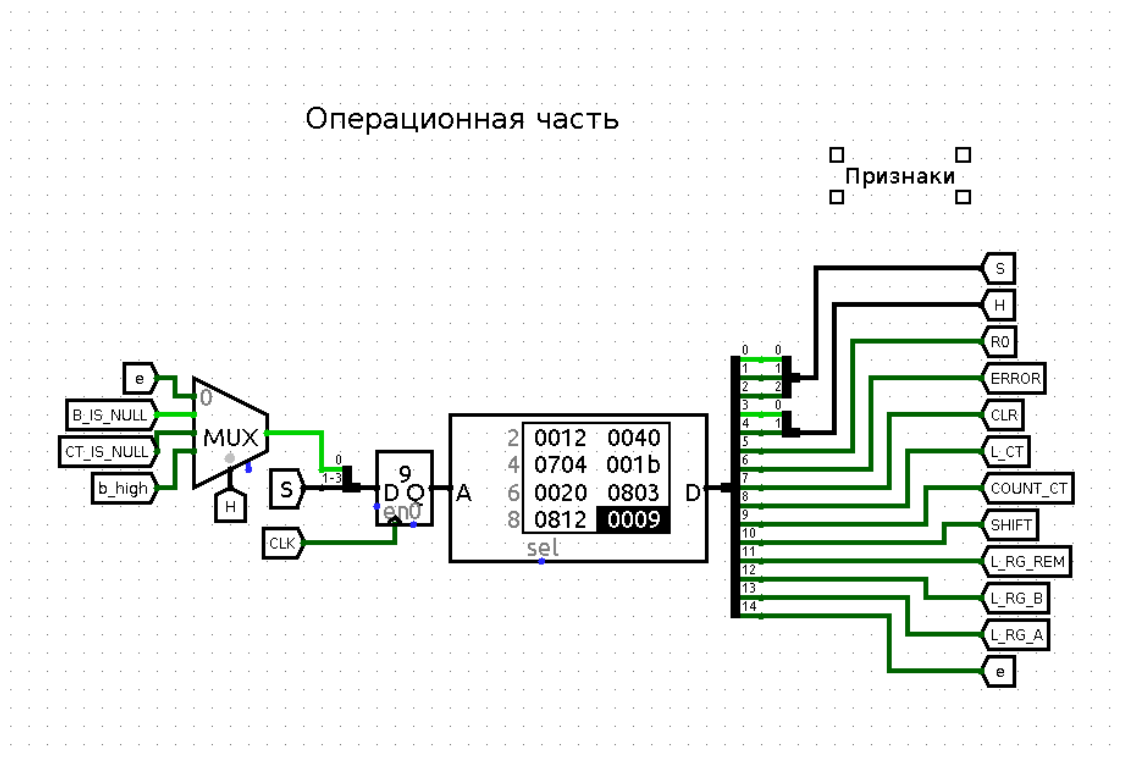


Рис. 2: Схема операционного автомата

$0_2$  . Укажем входные данные, будем подавать тактовые сигналы до тех пор, пока индикатор не сообщит нам о завершении операции, сравним практические результаты с ожидаемыми. См рисунок 3. Умножение выполнено корректно. Ожидаемые и полученные результаты совпадают.

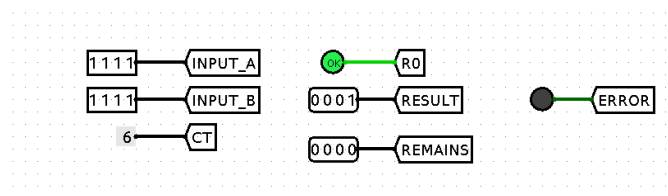


Рис. 3: Проверка работы автомата

Протестируем работу автомата на входных данных, которые гипо-



тетически могут привести к ошибке — поделим число  $101_2$  на число  $1111_2$ . Ошибка состоит в том, что в случае использования регистров недостаточной разрядности, левый сдвиг при вычислении очередного остатка произойдет некорректно, что приведет к неверному результату. Введем данные, пронаблюдаем за работой автомата. См рисунок 4. Операция выполнена верно. Использование регистров большей разрядности исключило возможность ошибки.

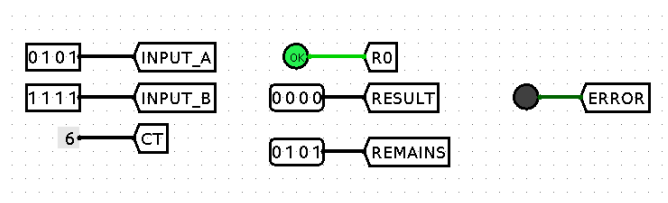


Рис. 4: Вторая проверка работы автомата

## 7 Вывод

В ходе данной практической работы было рассмотрено строение и работа управляющего автомата, построенного по схеме с одним адресом в памяти. Используя полученные знания на практике, на основе данного управляющего автомата построено вычислительное устройство (операционный и управляющий автомат), реализующее операцию деления двух 4-разрядных чисел без знака.

Работа данного устройства испытана, проверена корректность полученных результатов при работе со всеми категориями входных данных.

# ПРИЛОЖЕНИЕ А

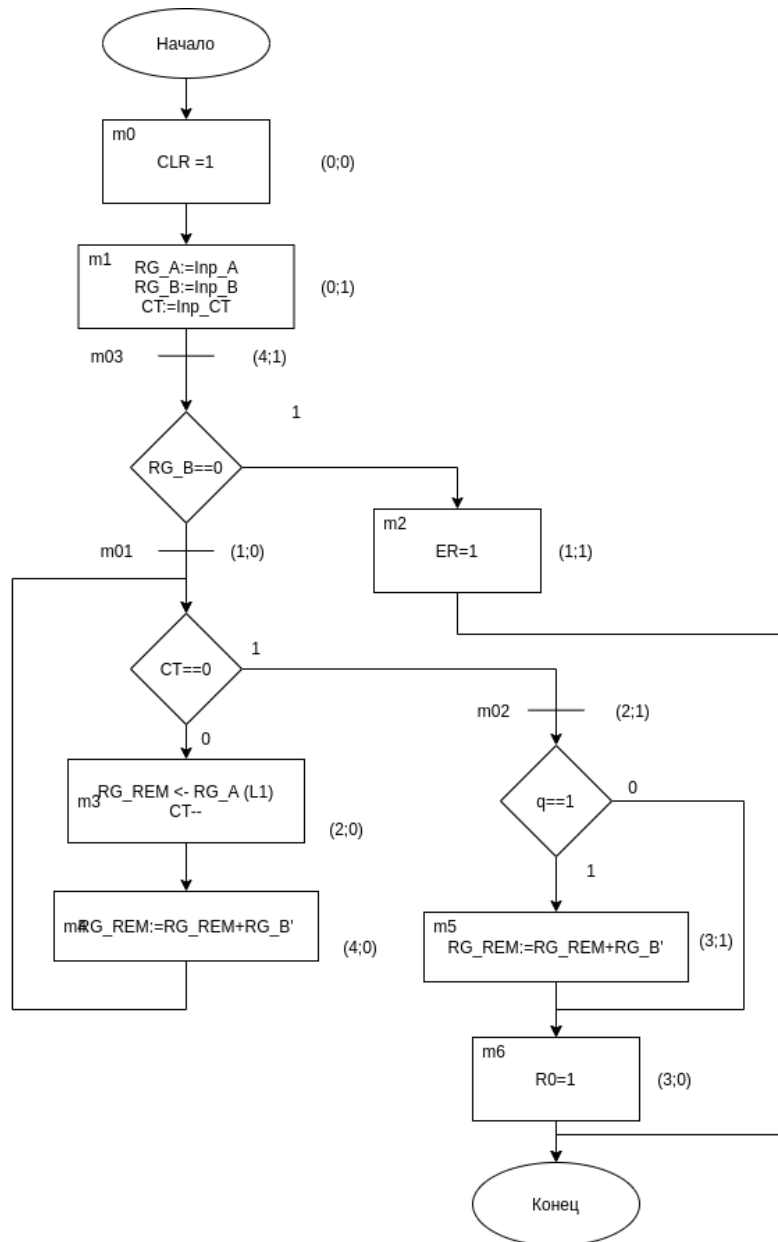


Рис. 5: Алгоритм деления двух 4-разрядных чисел

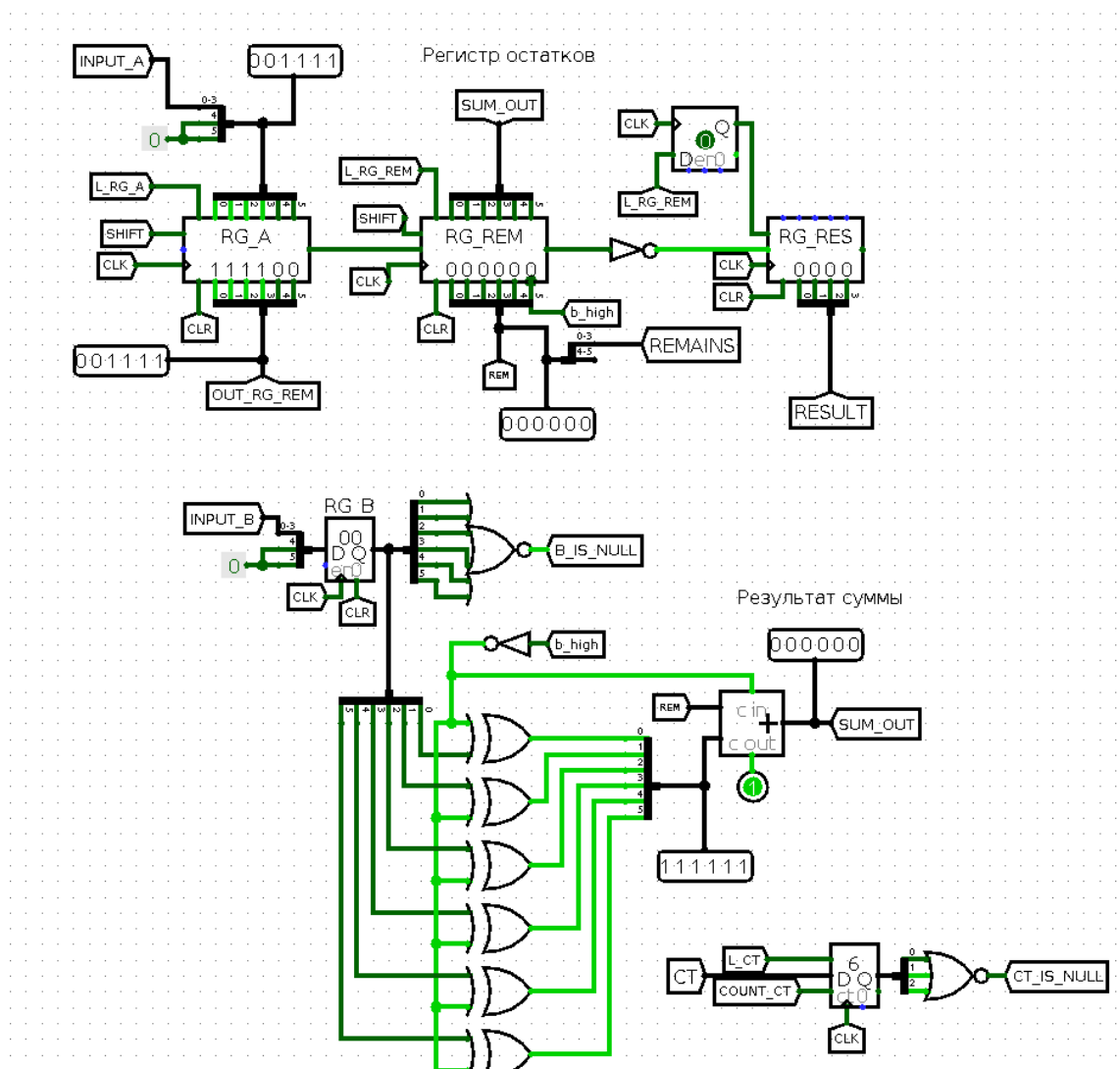


Рис. 6: Схема операционного автомата