



МИНОБРНАУКИ РОССИИ
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
«МИРЭА – Российский технологический университет»
РТУ МИРЭА

Институт информационных технологий
Кафедра вычислительной техники

Отчет по практической работе №3
по дисциплине
«Архитектура процессоров и микропроцессоров»

Выполнил: студент группы ИВБО-02-19

А. М. Сосунов

Принял: старший преподаватель кафедры ВТ

Ю. М. Скрыбин

Работа выполнена «____» _____ 202__

«Зачтено» «____» _____ 202__

Москва 2021

ПЕРЕЧЕНЬ СОКРАЩЕНИЙ

АЛУ — арифметико-логическое устройство

УУ — устройство управления

ША — шина адреса

ШД — шина данных

ШУ — шина управления

СЧАК — счетчик адреса команд

ОЗУ — оперативное запоминающее устройство

РА_{ОЗУ} — регистр адреса оперативного запоминающего устройства

РД_{ОЗУ} — регистр данных оперативного запоминающего устройства

ШД_{ОЗУ} — шина адреса оперативного запоминающего устройства

РК — регистр команд

ДС — дешифратор

SM — сумматор

КОП — код операции

РА1, РА2 — входные регистры АЛУ

РС1, РС2 — входные регистры сумматора

РР_{АЛУ} — регистр результата АЛУ

РОН — регистр общего назначения

ЧТРОН — управляющий сигнал на чтение РОН

РД_{РОН} — регистр данных регистров общего назначения

РА_{РОН} — регистр адреса регистров общего назначения

УС — указатель стека

Цель работы

Разработать для указанных в заданиях команд функциональные схемы алгоритмов (ФСА) циклов исполнения команд и структурные электрические схемы операционной части блока обработки команд.

Описание работы

В ходе данной лабораторной работы нам было предложено разработать функциональные схемы алгоритмов (ФСА) циклов исполнения команд и структурные электрические схемы операционной части блока обработки команд.

Набор режимов адресации расширен за счет адресации с базированием и с индексированием. Для данной адресации применяются следующие обозначения в адресных полях команд: В и Х — адреса РОН для хранения модификаторов — базовой константы и текущего значения индекса соответственно. D — прямое смещение относительно модификаторов (может обозначаться, как А — прямой адрес).

Исполнительный адрес ($A_{\text{исп}}$) — адрес обращения к ОЗУ, для относительной адресации будет определяться суммой модификаторов, выбираемых из РОН, и смещения. В общем виде: $A_{\text{исп}} = \text{РОН}(В) + \text{РОН}(Х) + D$ В команде могут присутствовать оба модификатора или только один.

| | | |
|----|----|----|
| АО | ВЗ | DЗ |
|----|----|----|

1-й и 2-й операнды взять из обратного стека. ВЗ, DЗ — адресные поля результата

АО — арифметическая операция;

ВЗ — адрес регистра общего назначения для хранения модификаторов

DЗ — прямое смещение относительно модификаторов

Ход работы

ФСА цикла исполнения команд

Для начала составим функциональную схему алгоритма цикла исполнения команд (см. рисунок 1).

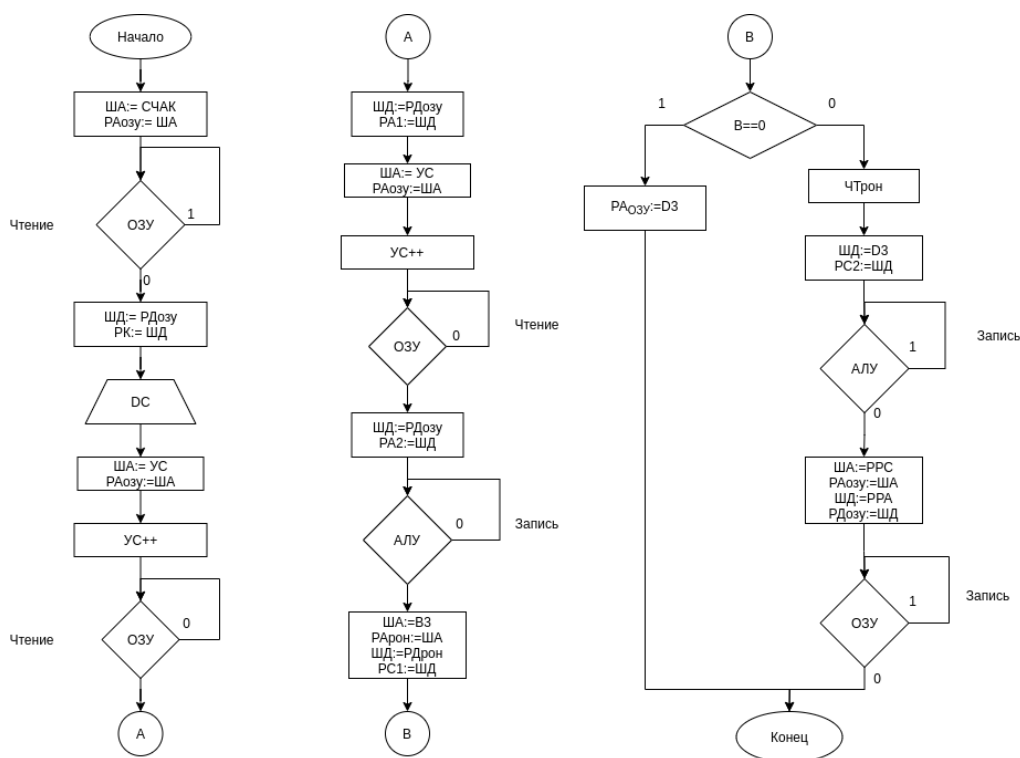


Рисунок 1 — Алгоритм цикла исполнения команд

Структурная электрическая схема

Теперь приведем структурную электрическую схему операционной части блока обработки команд, разработанной в ходе данной практической работы (см. рисунок 2).

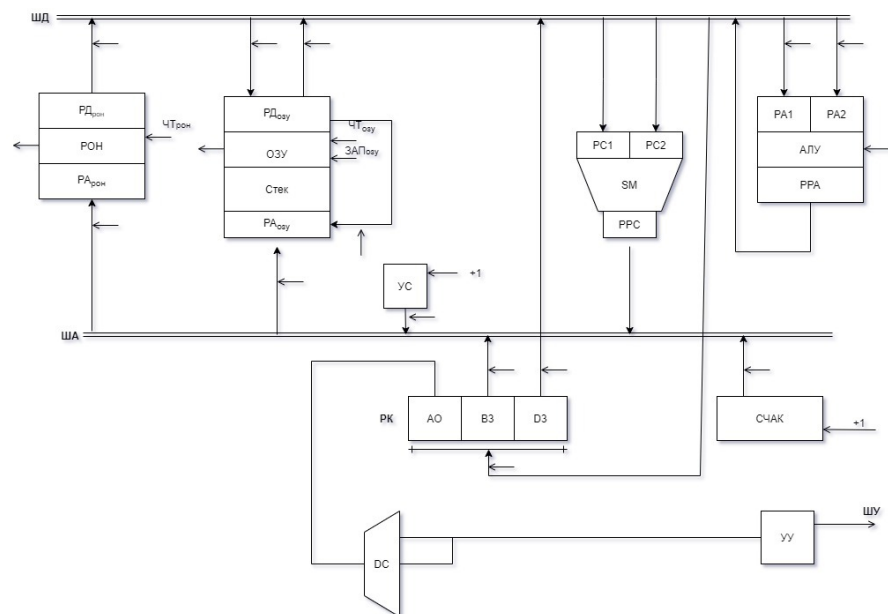


Рисунок 2 — Структурная схема

Вывод: в ходе данной практической работы мы ознакомились со структурной схемой ядра ЭВМ, изучили процесс выполнения ЭВМ арифметических операций, изучили режим адресации с базированием и индексированием, научились строить функциональную схему алгоритма цикла исполнения команд.