



МИНОБРНАУКИ РОССИИ  
Федеральное государственное бюджетное образовательное учреждение  
высшего профессионального образования  
**«МИРЭА – Российский технологический университет»**  
**РТУ МИРЭА**

---

Институт информационных технологий  
Кафедра вычислительной техники

**Отчет по лабораторной работе №1**  
по дисциплине  
**«Архитектура процессоров и микропроцессоров»**

**Выполнил:** студент группы ИВБО-02-19

Д. Н. Федосеев

**Принял:** старший преподаватель кафедры ВТ

Ю. М. Скрыбин

Работа выполнена «\_\_\_\_\_» \_\_\_\_\_ 202\_\_

«Зачтено» «\_\_\_\_\_» \_\_\_\_\_ 202\_\_

Москва 2021

## Цель работы

Целью работы является исследование работы процессора при выполнении команд пересылок и арифметических операций.

## Описание работы

В ходе данной лабораторной работы нам были предложены две программы, которые необходимо было занести в память эмулируемого процессора KP580BM80. В таблице 1 данные программы приведены побайтово, на рисунках А.1 и А.2 приведены состояния регистров и флагов во время выполнения данных программ.

*Таблица 1 — Программы к выполнению*

1)	3A	48	77	1	D5	B8	7	25	2D	89	86	3F
2)	B2	C3	E9	CD	C9	76	0	DC				

## Ход работы

1. Войти в «окно», «структурная схема микропроцессора»;
2. Установить потактный режим работы, указав «мышкой» кнопку «Тк»;
3. Установить режим «ОЗУ» указав «мышкой» клавишу «ОЗУ», набрать на цифровой клавиатуре адрес ОЗУ, затем ввести код требуемой команды согласно варианту задания и «нажать» клавишу «Ввод». Если данная команда требует участия регистров или регистровых пар, необходимо записать в указанные регистры информацию следующим образом: войти в режим работы с регистровой памятью, указав клавишу «Рег.», ввести в него информацию. Любая процедура записи в ОЗУ или в регистры завершается «нажатием» клавиши «Ввод».
4. Установить адрес ячейки ОЗУ, по которому записана команда.
5. Нажимая «мышкой» клавишу «Вып.», выполнить команду в потактном режиме, фиксируя в соответствующей таблице, состояние процессора в

каждом такте каждого цикла. Структурная схема позволяет проследить в этом режиме последовательность всех процедур выполнения команды.

**Вывод:** в ходе данной лабораторной работы мы ознакомились со структурной схемой процессора КР580ВМ80, регистрами общего назначения данного процессора КР580ВМ80, научились заносить программу в память процессора, исследовали работу процессора при выполнении данных программ.

## ПРИЛОЖЕНИЕ А

Таблица состояний процессора																					Оценки правильности выполнения командой своих функций									
Состояние регистров общ. назначения																					Состояние флагов									
Команда	N цикла	N такты	РК	СК	УС	Бур. адр. данных	W	Z	A	B	C	D	E	H	L	Z	S	P	C	AC										
LDA #R	0	0	00	0000	FFFF	0000	00	00	00	00	00	00	00	00	00	00	0	0	0	0										
	1	1	00	0000	FFFF	0000	00	00	00	00	00	00	00	00	00	00	0	0	0	0										
	1	2	00	0000	FFFF	0000	00	00	00	00	00	00	00	00	00	00	0	0	0	0										
	1	3	3A	0000	FFFF	0000	3A	00	00	00	00	00	00	00	00	00	0	0	0	0										
	1	4	3A	0001	FFFF	0000	3A	00	00	00	00	00	00	00	00	00	0	0	0	0										
	2	5	3A	0001	FFFF	0001	3A	00	00	00	00	00	00	00	00	00	0	0	0	0										
	2	6	3A	0001	FFFF	0001	40	00	00	00	00	00	00	00	00	00	0	0	0	0										
	2	7	3A	0002	FFFF	0001	40	00	00	00	00	00	00	00	00	00	0	0	0	0										
LDA #R	3	8	3A	0002	FFFF	0002	40	00	00	00	00	00	00	00	00	00	0	0	0	0										
	3	9	3A	0002	FFFF	0002	77	77	40	00	00	00	00	00	00	00	0	0	0	0										
	3	10	3A	0002	FFFF	0002	77	40	00	00	00	00	00	00	00	00	0	0	0	0										
	4	11	3A	0003	FFFF	7740	77	40	00	00	00	00	00	00	00	00	0	0	0	0										
	4	12	3A	0003	FFFF	7740	01	77	40	01	00	00	00	00	00	00	0	0	0	0										
	4	13	3A	0003	FFFF	7740	01	77	40	01	00	00	00	00	00	00	0	0	0	0										
	1	1	3A	0003	FFFF	0003	01	77	40	01	00	00	00	00	00	00	0	0	0	0										
	1	2	3A	0003	FFFF	0003	01	77	40	01	00	00	00	00	00	00	0	0	0	0										
LXI B, #R	1	1	0E	0004	FFFF	0003	01	77	40	01	00	00	00	00	00	00	0	0	0	0										
	2	5	0E	0004	FFFF	0004	50	77	40	01	00	50	00	00	00	00	0	0	0	0										
	2	6	0E	0004	FFFF	0004	50	77	40	01	00	50	00	00	00	00	0	0	0	0										
	2	7	0E	0005	FFFF	0004	50	77	40	01	00	50	00	00	00	00	0	0	0	0										
	2	8	0E	0005	FFFF	0005	50	77	40	01	00	50	00	00	00	00	0	0	0	0										
	2	9	0E	0005	FFFF	0005	50	77	40	01	00	50	00	00	00	00	0	0	0	0										
	2	10	0E	0006	FFFF	0005	00	77	40	01	00	50	00	00	00	00	0	0	0	0										
	2	11	0E	0006	FFFF	0006	00	77	40	01	00	50	00	00	00	00	0	0	0	0										
RLC	1	1	0E	0006	FFFF	0006	00	77	40	01	00	50	00	00	00	00	0	0	0	0										
	1	2	0E	0006	FFFF	0006	07	77	40	01	00	50	00	00	00	00	0	0	0	0										
	1	3	07	0006	FFFF	0006	07	77	40	01	00	50	00	00	00	00	0	0	0	0										
	1	4	07	0006	FFFF	0006	07	77	40	01	00	50	00	00	00	00	0	0	0	0										
	1	5	07	0007	FFFF	0006	07	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	6	07	0007	FFFF	0007	07	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	7	07	0007	FFFF	0007	07	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	8	07	0007	FFFF	0007	25	77	40	02	00	50	00	00	00	00	0	0	0	0										
DOX H	1	1	25	0007	FFFF	0007	25	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	2	07	0007	FFFF	0007	25	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	3	25	0008	FFFF	0007	25	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	4	25	0007	FFFF	0007	25	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	5	25	0008	FFFF	0007	25	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	6	25	0008	FFFF	0008	20	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	7	20	0008	FFFF	0008	20	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	8	20	0008	FFFF	0008	20	77	40	02	00	50	00	00	00	00	0	0	0	0										
DOX L	1	1	25	0008	FFFF	0008	25	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	2	25	0008	FFFF	0008	20	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	3	20	0008	FFFF	0008	20	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	4	20	0008	FFFF	0008	20	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	5	20	0009	FFFF	0008	20	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	6	20	0009	FFFF	0009	20	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	7	20	0009	FFFF	0009	20	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	8	20	0009	FFFF	0009	20	77	40	02	00	50	00	00	00	00	0	0	0	0										
ADC C	1	1	20	0009	FFFF	0009	20	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	2	20	0009	FFFF	0009	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	3	00	0009	FFFF	0009	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	4	00	0009	FFFF	0009	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	5	00	000A	FFFF	000A	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	6	00	000A	FFFF	000A	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	7	00	000A	FFFF	000A	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	8	00	000A	FFFF	000A	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
ADC M	1	1	00	000A	FFFF	000A	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	2	00	000A	FFFF	000A	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	3	00	000A	FFFF	000A	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	4	00	000A	FFFF	000A	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	5	00	000A	FFFF	000A	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	6	00	000A	FFFF	000A	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	7	00	000B	FFFF	000B	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	8	00	000B	FFFF	000B	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
CMC	1	1	00	000B	FFFF	000B	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	2	00	000B	FFFF	000B	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	3	00	000B	FFFF	000B	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	4	00	000B	FFFF	000B	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	5	00	000B	FFFF	000B	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	6	00	000B	FFFF	000B	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	7	00	000B	FFFF	000B	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	8	00	000B	FFFF	000B	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
CMC	1	1	00	000C	FFFF	000C	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	2	00	000C	FFFF	000C	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	3	00	000C	FFFF	000C	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	4	00	000C	FFFF	000C	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	5	00	000C	FFFF	000C	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	6	00	000C	FFFF	000C	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	7	00	000C	FFFF	000C	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	8	00	000C	FFFF	000C	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
CMC	1	1	00	000C	FFFF	000C	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	2	00	000C	FFFF	000C	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	3	00	000C	FFFF	000C	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	4	00	000C	FFFF	000C	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	5	00	000C	FFFF	000C	00	77	40	02	00	50	00	00	00	00	0	0	0	0										
	1	6	00	000C	FFFF	000C	0																							

Рисунок А.1 — Таблица состояний процессора. Первая программа

Таблица состояний процессора																Оценка правильности выполнения юмандри своих функций				
Команда	N цикла	N такта	PK	СК	УС	Биф. адр.	Биф. данных	Состояние регистров общ. назначения									Состояние флагов			
								W	Z	A	B	C	D	E	H		L	Z	S	P
XRA B	0	0						00	00	00	F1	00	00	00	00	00	0	0	0	0
XRA B	1	1			FFFF	0000		00	00	00	F1	00	00	00	00	00	1	0	0	0
XRA B	1	2			FFFF	0000	A8	00	00	00	F1	00	00	00	00	00	1	0	0	0
XRA B	1	3	A8		FFFF	0000	A8	00	00	00	F1	00	00	00	00	00	1	0	0	0
XRA B	1	4	A8		FFFF	0000	A8	00	00	00	F1	00	00	00	00	00	1	0	1	0
XRA B	1	5	A8	0001	FFFF	0000	A8	00	00	00	F1	00	00	00	00	00	1	0	1	0
ORA B	1	1	A8	0001	FFFF	0001	A8	00	00	00	F1	00	00	00	00	00	1	0	1	0
ORA B	1	2	A8	0001	FFFF	0001	B0	00	00	00	F1	00	00	00	00	00	1	0	1	0
ORA B	1	3	B0	0001	FFFF	0001	B0	00	00	00	F1	00	00	00	00	00	1	0	1	0
ORA B	1	4	B0	0001	FFFF	0001	B0	00	00	F1	F1	00	00	00	00	00	1	0	0	0
ORA B	1	5	B0	0002	FFFF	0001	B0	00	00	F1	F1	00	00	00	00	00	1	0	0	0
JM adr	1	1	B0	0002	FFFF	0002	B0	00	00	F1	F1	00	00	00	00	00	0	1	0	0
JM adr	1	2	B0	0002	FFFF	0002	FA	00	00	F1	F1	00	00	00	00	00	0	1	0	0
JM adr	1	3	FA	0002	FFFF	0002	FA	00	00	F1	F1	00	00	00	00	00	0	1	0	0
JM adr	1	4	FA	0003	FFFF	0002	FA	00	00	F1	F1	00	00	00	00	00	0	1	0	0
JM adr	2	5	FA	0003	FFFF	0003	FA	00	00	F1	F1	00	00	00	00	00	0	1	0	0
JM adr	2	6	FA	0003	FFFF	0003	07	00	00	F1	F1	00	00	00	00	00	0	1	0	0
JM adr	2	7	FA	0004	FFFF	0003	07	07	00	F1	F1	00	00	00	00	00	0	1	0	0
JM adr	3	8	FA	0004	FFFF	0004	07	07	00	F1	F1	00	00	00	00	00	0	1	0	0
JM adr	3	9	FA	0004	FFFF	0004	00	07	00	F1	F1	00	00	00	00	00	0	1	0	0
JM adr	3	10	FA	0007	FFFF	0004	00	07	00	F1	F1	00	00	00	00	00	0	1	0	0
NOP	1	1	FA	0007	FFFF	0007	00	07	00	F1	F1	00	00	00	00	00	0	1	0	0
NOP	1	2	FA	0007	FFFF	0007	00	07	00	F1	F1	00	00	00	00	00	0	1	0	0
NOP	1	3	00	0007	FFFF	0007	00	07	00	F1	F1	00	00	00	00	00	0	1	0	0
NOP	1	4	00	0008	FFFF	0007	00	07	00	F1	F1	00	00	00	00	00	0	1	0	0
CZ adr	1	1	00	0008	FFFF	0008	00	07	00	F1	F1	00	00	00	00	00	0	1	0	0
CZ adr	1	2	00	0008	FFFF	0008	CC	07	00	F1	F1	00	00	00	00	00	0	1	0	0
CZ adr	1	3	CC	0008	FFFF	0008	CC	07	00	F1	F1	00	00	00	00	00	0	1	0	0
CZ adr	1	4	CC	0009	FFFF	0008	CC	07	00	F1	F1	00	00	00	00	00	0	1	0	0
CZ adr	2	5	CC	0009	FFFF	0009	CC	07	00	F1	F1	00	00	00	00	00	0	1	0	0
CZ adr	2	6	CC	0009	FFFF	0009	00	07	00	F1	F1	00	00	00	00	00	0	1	0	0
CZ adr	2	7	CC	000A	FFFF	0009	00	00	00	F1	F1	00	00	00	00	00	0	1	0	0
CZ adr	3	8	CC	000A	FFFF	000A	00	00	00	F1	F1	00	00	00	00	00	0	1	0	0
CZ adr	3	9	CC	000A	FFFF	000A	00	00	00	F1	F1	00	00	00	00	00	0	1	0	0
CZ adr	3	10	CC	000B	FFFF	000A	00	00	00	F1	F1	00	00	00	00	00	0	1	0	0
CZ adr	1	1	CC	000B	FFFF	000B	00	00	00	F1	F1	00	00	00	00	00	0	1	0	0

Рисунок А.2 — Таблица состояний процессора. Вторая программа