



МИНОБРНАУКИ РОССИИ
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«МИРЭА – Российский технологический университет»
РТУ МИРЭА

Институт информационных технологий
Кафедра Вычислительной техники

Отчет по лабораторной работе №1
по дисциплине
«Проектирование и разработка систем на базе ПЛИС»

Выполнили: студенты группы ИВБО-02-19

К. Ю. Денисов

Принял: ассистент

А. С. Боронников

Москва 2021

Содержание

1	Ход работы	3
1.1	Постановка задачи	3
1.2	Индивидуальный вариант 149	3
1.3	Построение таблицы истинности	3
1.4	Построение карт Карно	4
1.5	Минимизация булевых функций	4
1.6	Реализация функций в схемотехническом редакторе	6
1.7	Реализация функций на вентильном уровне	6
1.8	Реализация функций на поведенческом уровне	8
1.9	Создание проекта САПР Xilinx ISE	9
1.10	Тестирование и отладка средствами симулятора iSim	9
2	Вывод	11

1 Ход работы

1.1 Постановка задачи

Спроектировать синтезируемые модели комбинационной схемы 4х4, описанной таблицей истинности согласно варианту задания, тремя различными способами:

1. На вентильном уровне, методом карт Карно в виде МДНФ, в схемотехническом редакторе Schematic editor САПР Xilinx ISE Design Suite.
2. На вентильном уровне, методом карт Карно в виде МКНФ, на языке описания аппаратуры Verilog.
3. На поведенческом уровне, на языке описания аппаратуры Verilog. Реализовать на языке Verilog тестовое окружение и провести верификацию спроектированных моделей при помощи симулятора iSim из состава САПР Xilinx ISE Design Suite.

Провести апробацию моделей при помощи отладочной платы Digilent Nexys 4 на ПЛИС Xilinx Artix 7 XC7A100T-1CSG324. Комбинации на входах комбинационных схем должны задаваться при помощи движковых переключателей отладочной платы, комбинации на выходах комбинационных схем должны отображаться светодиодами отладочной платы.

1.2 Индивидуальный вариант 149

Спроектировать синтезируемые модели комбинационной схемы 4х4 согласно данной таблице истинности и вектор-функции (см. таблицу 1).

F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0
0	4	4	8	3	0	7	2	2	D	7	C	5	2	A	C

Таблица 1: Вектор-функция

1.3 Построение таблицы истинности

Построим таблицу истинности по заданному вектору. Входы обозначим X_3, X_2, X_1, X_0 , а выходы Q_3, Q_2, Q_1, Q_0 соответственно (см. таблицу 2).

№	X_3	X_2	X_1	X_0	F	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0	c	1	1	0	0
1	0	0	0	1	a	1	0	1	0
2	0	0	1	0	2	0	0	1	0
3	0	0	1	1	5	0	1	0	1
4	0	1	0	0	c	1	1	0	0
5	0	1	0	1	7	0	1	1	1
6	0	1	1	0	0	1	1	0	1
7	0	1	1	1	2	0	0	1	0
8	1	0	0	0	2	0	0	1	0
9	1	0	0	1	7	0	1	1	1
10	1	0	1	0	0	0	0	0	0
11	1	0	1	1	3	0	0	1	1
12	1	1	0	0	8	1	0	0	0
13	1	1	0	1	4	0	1	0	0
14	1	1	1	0	4	0	1	0	0
15	1	1	1	1	0	0	0	0	0

Таблица 2: Таблица истинности

1.4 Построение карт Карно

Построим карты Карно для 4 переменных X_3, X_2, X_1, X_0 для каждой из бинарных функций Q_3, Q_2, Q_1, Q_0 (см. рис. 1).

1.5 Минимизация булевых функций

По построенным картам Карно опишем **МДНФ** для реализации данных функций на вентильном уровне в редакторе Schematic editor САПР Xilinx ISE Design Suite.

$$Q_3 = \bar{X}_3 \bar{X}_2 \bar{X}_1 \vee X_2 \bar{X}_1 \bar{X}_0 \vee \bar{X}_3 X_2 \bar{X}_0$$

$$Q_2 = \bar{X}_3 \bar{X}_1 \bar{X}_0 \vee \bar{X}_3 \bar{X}_2 X_1 X_0 \vee X_2 \bar{X}_1 X_0 \vee X_2 X_1 \bar{X}_0 \vee X_3 \bar{X}_1 X_0$$

$$Q_1 = \bar{X}_3 \bar{X}_1 X_0 \vee \bar{X}_3 \bar{X}_2 X_1 \bar{X}_0 \vee \bar{X}_3 X_2 X_0 \vee X_3 \bar{X}_2 \bar{X}_1 \vee X_3 \bar{X}_2 X_0$$

$$Q_0 = \bar{X}_2 X_1 X_0 \vee \bar{X}_3 X_2 \bar{X}_1 X_0 \vee \bar{X}_3 X_2 X_1 \bar{X}_0 \vee X_3 \bar{X}_2 X_0$$

	X_0		\bar{X}_0		
\bar{X}_3	1	0	1	1	X_1
X_3	0	0	0	0	
\bar{X}_3	0	0	0	1	
X_3	0	0	0	1	
	\bar{X}_2		X_2		\bar{X}_1

а)

	X_0		\bar{X}_0		
\bar{X}_3	0	1	1	1	X_1
X_3	1	0	0	1	
\bar{X}_3	1	0	1	0	
X_3	0	0	0	1	
	\bar{X}_2		X_2		\bar{X}_1

б)

	X_0		\bar{X}_0		
\bar{X}_3	0	0	0	0	X_1
X_3	0	0	1	1	
\bar{X}_3	1	1	0	1	
X_3	1	0	1	0	
	\bar{X}_2		X_2		\bar{X}_1

в)

	X_0		\bar{X}_0		
\bar{X}_3	0	0	1	0	X_1
X_3	0	0	0	1	
\bar{X}_3	1	1	1	0	
X_3	0	0	0	0	
	\bar{X}_2		X_2		\bar{X}_1

г)

Рис. 1: Карты Карно для 4-х переменных для функций а) Q_3 , б) Q_2 , в) Q_2 , г) Q_1 , д) Q_0

Также опишем **МКНФ** для реализации булевых функций средствами VHDL в САПР Xilinx ISE Design Suite.

$$Q_3 = (\bar{X}_3 \vee \bar{X}_1) \cdot (X_2 \vee \bar{X}_1) \cdot (\bar{X}_2 \vee \bar{X}_0)$$

$$Q_2 = (X_2 \vee X_2 \vee X_1 \vee \bar{X}_0) \cdot (\bar{X}_3 \vee X_2 \bar{X}_1) \cdot (X_2 \vee \bar{X}_1 \vee X_0) \cdot (\bar{X}_2 \vee \bar{X}_1 \vee \bar{X}_0) \cdot (\bar{X}_3 \vee X_1 \vee X_0)$$

$$Q_1 = (X_3 \vee X_1 \vee X_0) \cdot (\bar{X}_3 \vee X_1 \bar{X}_0) \cdot (\bar{X}_3 \vee \bar{X}_2) \cdot (X_3 \vee X_2 \vee \bar{X}_1 \vee \bar{X}_0) \cdot (\bar{X}_2 \vee X_0)$$

$$Q_0 = (X_3 \vee X_2 \vee X_1) \cdot (X_2 \vee X_0) \cdot (X_1 \vee X_0) \cdot (\bar{X}_3 \vee \bar{X}_2) \cdot (\bar{X}_2 \vee \bar{X}_1 \vee \bar{X}_0)$$

1.6 Реализация функций в схемотехническом редакторе

Опишем функции Q_3 , Q_2 , Q_1 , Q_0 на вентиляльном уровне в схемотехническом редакторе Schematic editor САПР Xilinx ISE Design Suite (см. рис. 2, 3).

1.7 Реализация функций на вентиляльном уровне

На основании МКНФ опишем функции Q_3 , Q_2 , Q_1 , Q_0 на вентиляльном уровне с помощью языка Verilog.

/home/denilai/Documents/repos/latex/scripts/mknf.v

```

1  `timescale 1ns / 1ps
   module mknf(
3      input [3:0]  X,
      output [3:0] Y
5      );
      assign Y[3] = (~X[3]|~X[1])&(X[2]|~X[1])&(~X[2]|~X[0])&(~X[3]|X[2]);
7      assign Y[2] = (X[3]|X[2]|X[1]|~X[0])&(~X[3]|X[2]|~X[1])&(X[2]|~X[1]|X[0])
                      &(~X[2]|~X[1]|~X[0])&(~X[3]|X[1]|X[0]);
9      assign Y[1] = (X[3]|X[1]|X[0])&(~X[3]|~X[1]|X[0])&(~X[3]|~X[2])
                      &(X[3]|X[2]|~X[1]|~X[0])&(~X[2]|X[0]);
11     assign Y[0] = (X[3]|X[2]|X[1])&(X[2]|X[0])&(X[1]|X[0])
                      &(~X[3]|~X[2])&(~X[2]|~X[1]|~X[0]);
13 endmodule

```

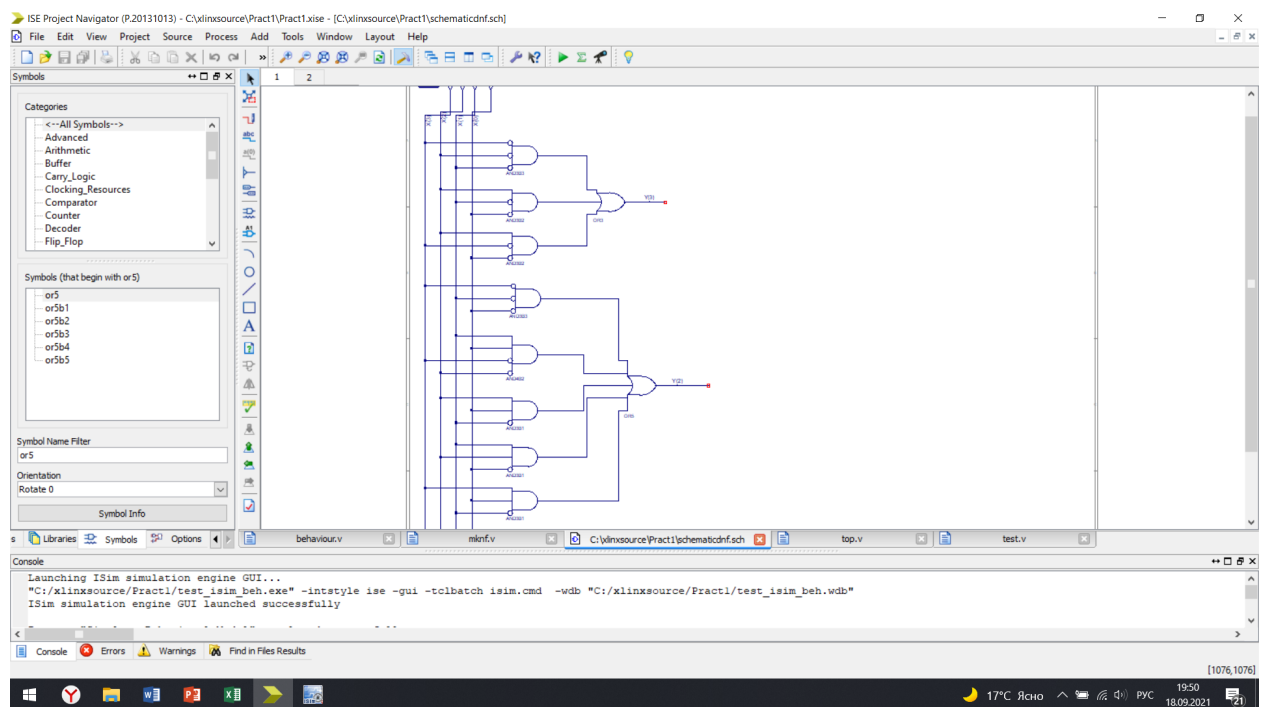


Рис. 2: Схемотехнический редактор. Лист 1

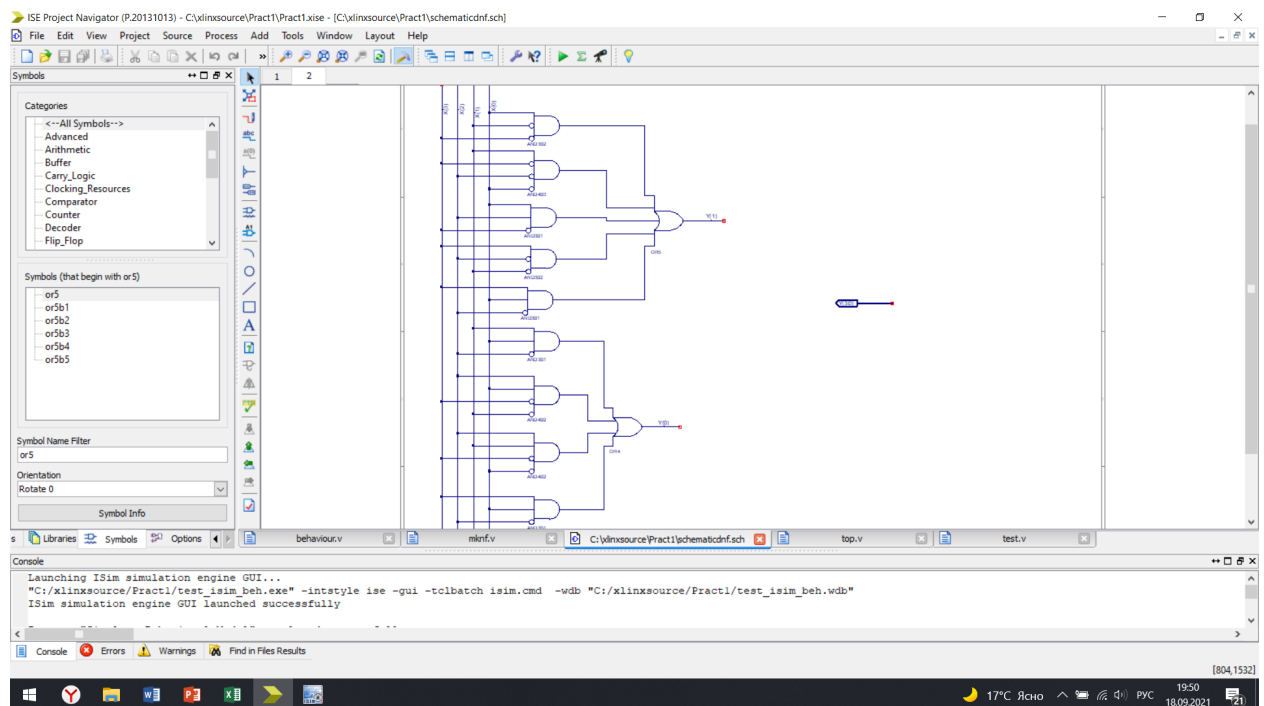


Рис. 3: Схемотехнический редактор. Лист 2

1.8 Реализация функций на поведенческом уровне

На основании построенной ранее таблицы истинности (см. таблицу 2) опишем функции Q_3 , Q_2 , Q_1 , Q_0 на поведенческом уровне с помощью языка Verilog.

/home/denilai/Documents/repos/latex/scripts/behaviour.v

```
1  `timescale 1ns / 1ps
3  module beheviour(
4      input [3:0] X,
5      output reg [3:0] Y
6  );
7      always@(X)
8          case(X)
9              4'h0: Y<=4'hc;
10             4'h1: Y<=4'ha;
11             4'h2: Y<=4'h2;
12             4'h3: Y<=4'h5;
13             4'h4: Y<=4'hc;
14             4'h5: Y<=4'h7;
15             4'h6: Y<=4'hd;
16             4'h7: Y<=4'h2;
17             4'h8: Y<=4'h2;
18             4'h9: Y<=4'h7;
19             4'ha: Y<=4'h0;
20             4'hb: Y<=4'h3;
21             4'hc: Y<=4'h8;
22             4'hd: Y<=4'h4;
23             4'he: Y<=4'h4;
24             4'hf: Y<=4'h0;
25             default: Y<=4'h0;
26
27     endcase
28 endmodule
```


1.9 Создание проекта САПР Xilinx ISE

Опишем файл верхнего уровня проекта САПР Xilinx ISE Design Suite, в котором подключим все остальные модули, укажем входные и выходные сигналы.

/home/denilai/Documents/repos/latex/scripts/top.v

```
'timescale 1ns / 1ps
2 module top(
    input [11:0] SW,
    4 output [11:0] LED
        );
    6 behaviour CL1 (
        .X(SW[3:0]) ,
    8 .Y(LED[3:0])
        );
    10
    12 mknf CL2(
        .X(SW[7:4]) ,
    14 .Y(LED[7:4])
        );
    16
    18 schematicdnf CL3(
        .X(SW[11:8]) ,
    20 .Y(LED[11:8])
        );
    endmodule
```

1.10 Тестирование и отладка средствами симулятора iSim

После компоновки проекта, подключения модуля верхнего уровня, проведем верификацию спроектированных моделей с помощью симулятора iSim из состава САПР Xilinx ISE Design Suite. Результаты тестирования можно видеть на рис. 4 и 5.

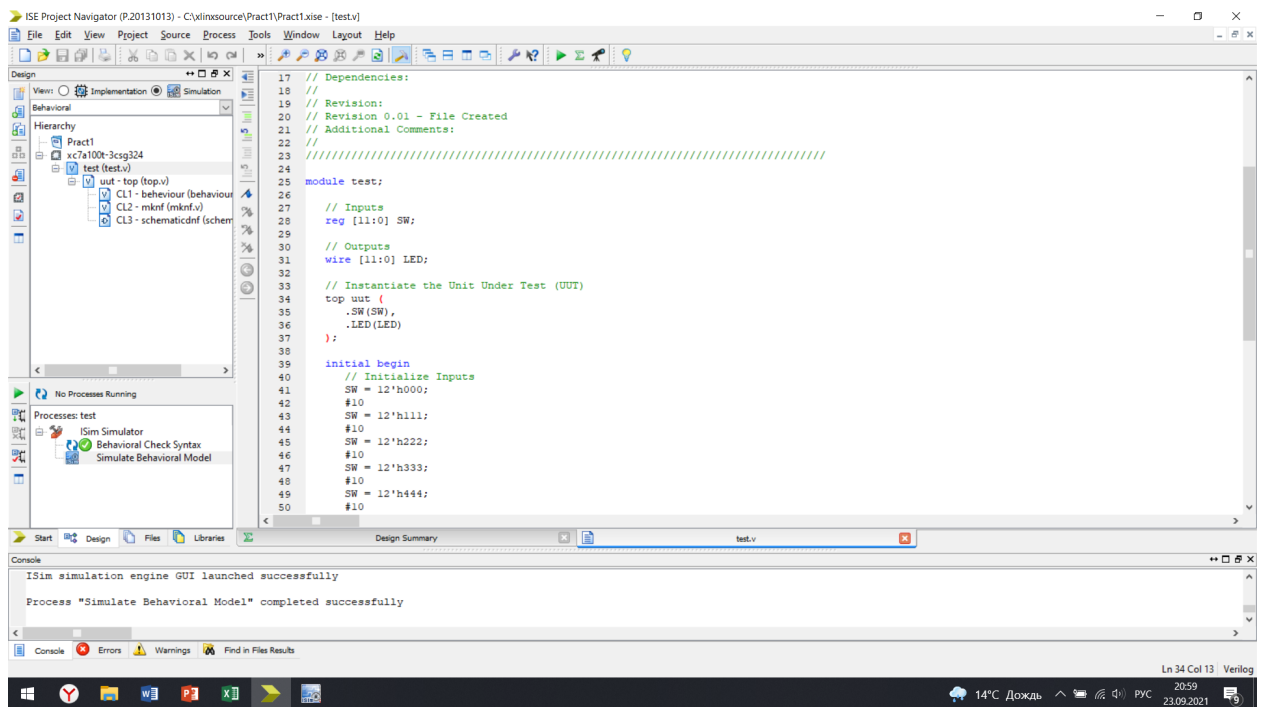


Рис. 4: Проверка синтаксиса

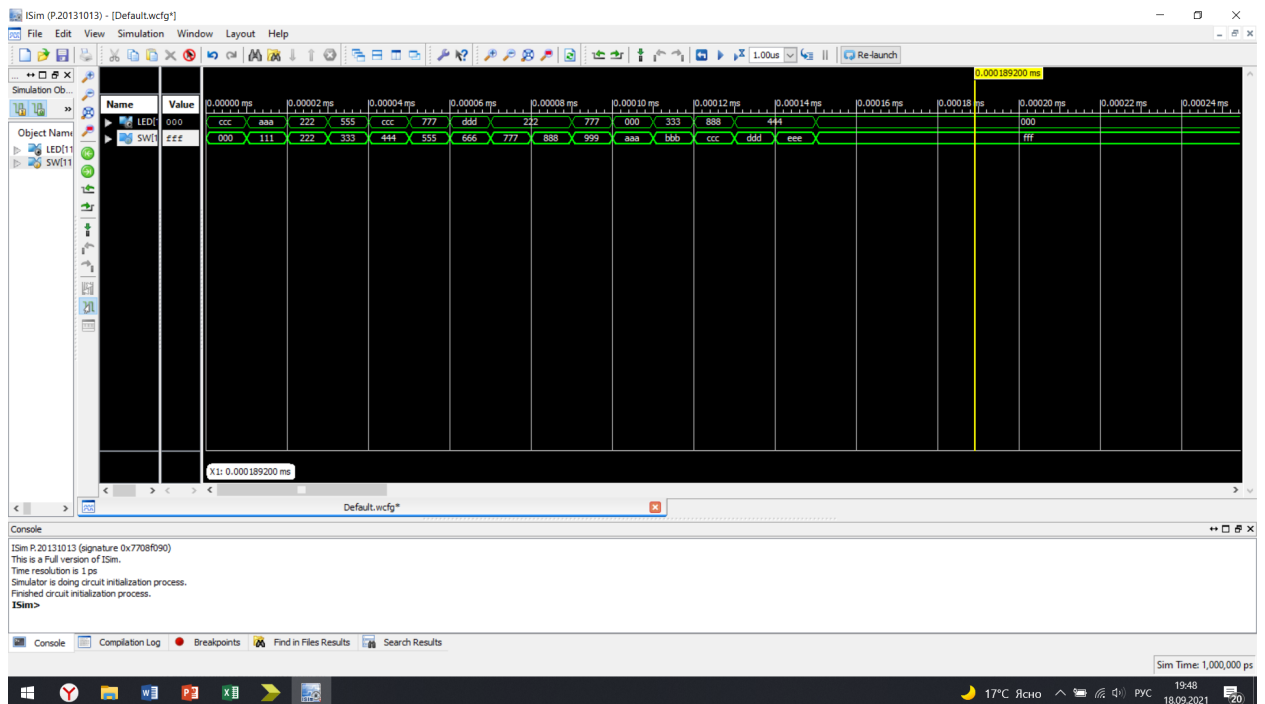


Рис. 5: Вывод iSim

2 Вывод

В ходе данной практической работы нами были получены общие навыки работы с программным обеспечением Xilinx ISE Design Suite, изучены основы языка Verilog. С помощью полученных знаний была спроектированы синтезируемые модели комбинационной схемы 4х4, описанной тремя различными способами.