




МИНОБРНАУКИ РОССИИ
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«МИРЭА – Российский технологический университет»
РТУ МИРЭА

Институт информационных технологий
Кафедра вычислительной техники

Отчет по практической работе №1
по дисциплине
«Архитектура процессоров и микропроцессоров»

Выполнил: студент группы ИВБО-02-19



Д. Н. Федосеев

Принял: старший преподаватель кафедры ВТ

Ю. М.Скрябин

Москва 2021

1 Цель работы

Разработать для указанных в заданиях команд функциональные схемы алгоритмов (ФСА) циклов исполнения команд и структурные электрические схемы операционной части блока обработки команд.

2 Индивидуальный вариант № 9

В ходе данной лабораторной работы нам было предложено разработать функциональные схемы алгоритмов (ФСА) циклов исполнения команд и структурные электрические схемы операционной части блока обработки команд для следующей команды

АО	I1	A2	R3
----	----	----	----

Первое поле в формате команды — поле кода операции (КОП).

АО — арифметическая операция;

ЛО — логическая операция;

В адресных полях команд адреса оперативного запоминающего устройства (ОЗУ) обозначаются А;

Адреса регистров общего назначения (РОН) — R;

I1 — непосредственный операнд;

A2 — адрес 2-го операнда;

R3 — адрес результат.

3 Порядок выполнения работы

3.1 Перечень сокращений

Приведем также перечень сокращений, используемых в ходе данной работы:

АЛУ — арифметико-логическое устройство

УУ — устройство управления

ША — шина адреса

ШД — шина данных

ШУ — шина управления

СЧАК — счетчик адреса команд

ОЗУ — оперативное запоминающее устройство

РА_{ОЗУ} — регистр адреса оперативного запоминающего устройства

РД_{ОЗУ} — регистр данных оперативного запоминающего устройства

ШД_{ОЗУ} — шина адреса оперативного запоминающего устройства

РК — регистр команд

ДС — дешифратор

SM — сумматор

КОП — код операции

P1, P2 — входные регистры АЛУ

PP_{АЛУ} — регистр результата АЛУ

РОН — регистр общего назначения

РД_{РОН} — регистр данных регистров общего назначения

РА_{РОН} — регистр адреса регистров общего назначения

УС — указатель стека

3.2 ФСА цикла исполнения команд

Для начала составим функциональную схему алгоритма цикла исполнения команд (см. рис. 3.1).

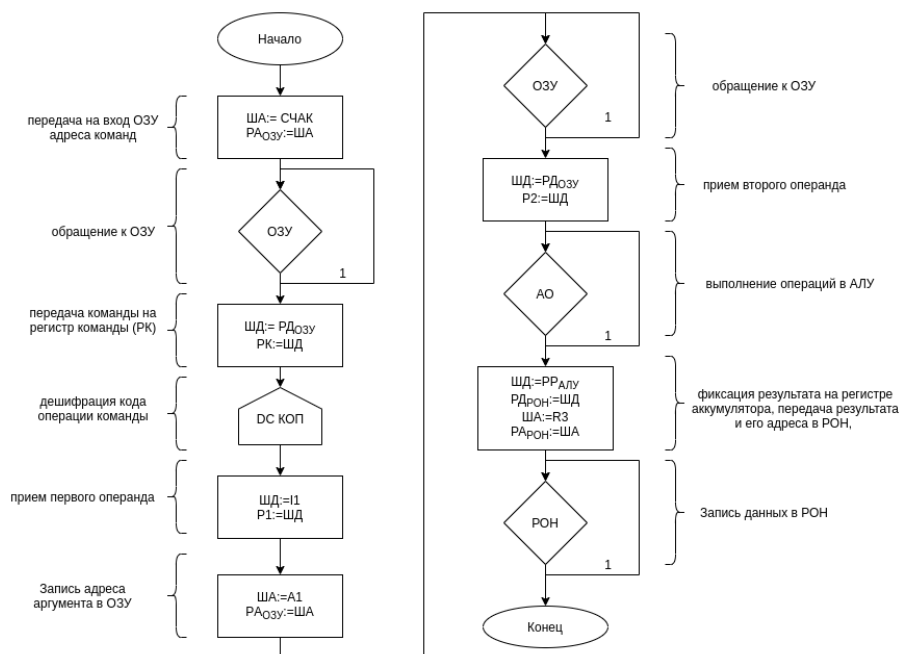


Рисунок 3.1 – Алгоритм цикла исполнения команд

3.3 Структурная электрическая схема

Теперь приведем структурную электрическую схему операционной части блока обработки команд (см. рис. 3.2).

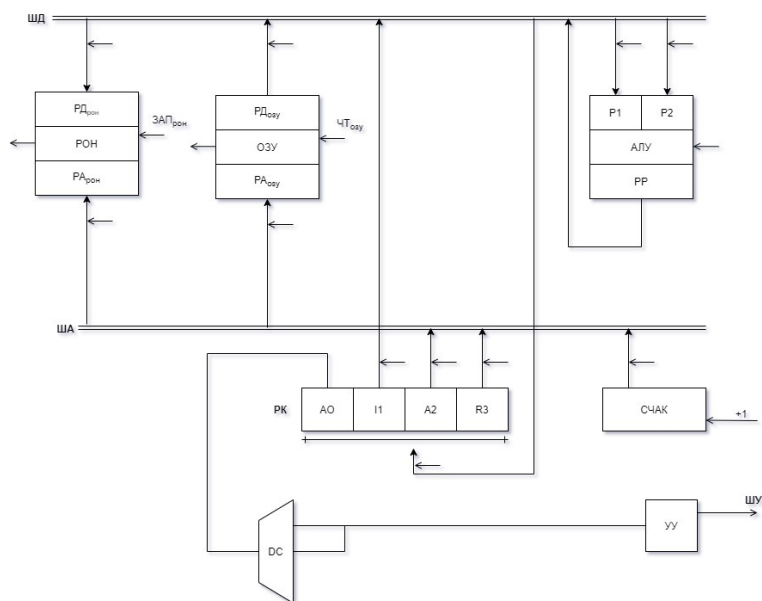


Рисунок 3.2 – Структурная схема

Вывод

В ходе данной практической работы мы ознакомились со структурной схемой ядра ЭВМ, изучили с процесс выполнения ЭВМ арифметических операций, научились строить функциональную схему алгоритма цикла исполнения команд. Полученные знания применили на практике.