



МИНОБРНАУКИ РОССИИ
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
«МИРЭА – Российский технологический университет»
РТУ МИРЭА

Институт информационных технологий
Кафедра вычислительной техники

Отчет по практической работе №2
по дисциплине
«Архитектура процессоров и микропроцессоров»

Выполнил: студент группы ИВБО-02-19

Д. Н. Федосеев

Принял: старший преподаватель кафедры ВТ

Ю. М. Скрыбин

Работа выполнена «_____» _____ 202__

«Зачтено» «_____» _____ 202__

Москва 2021

ПЕРЕЧЕНЬ СОКРАЩЕНИЙ

АЛУ — арифметико-логическое устройство

УУ — устройство управления

ША — шина адреса

ШД — шина данных

ШУ — шина управления

СЧАК — счетчик адреса команд

ОЗУ — оперативное запоминающее устройство

РА_{ОЗУ} — регистр адреса оперативного запоминающего устройства

РД_{ОЗУ} — регистр данных оперативного запоминающего устройства

ШД_{ОЗУ} — шина адреса оперативного запоминающего устройства

РК — регистр команд

ДС — дешифратор

SM — сумматор

КОП — код операции

P1, P2 — входные регистры АЛУ

РР_{АЛУ} — регистр результата АЛУ

РОН — регистр общего назначения

РД_{РОН} — регистр данных регистров общего назначения

РА_{РОН} — регистр адреса регистров общего назначения

Цель работы

Разработать для указанных в заданиях команд функциональные схемы алгоритмов (ФСА) циклов исполнения команд и структурные электрические схемы операционной части блока обработки команд.

Описание работы

В ходе данной лабораторной работы нам было предложено разработать функциональные схемы алгоритмов (ФСА) циклов исполнения команд и структурные электрические схемы операционной части блока обработки команд для команды, приведенной в таблице 1.

Таблица 1 — Реализуемая команда

Зп2	R1	ПА2	A2
-----	----	-----	----

Первое поле в формате команды — поле кода операции (Зп2);

Зп2 — запись второго типа;

R1 — адрес регистра;

ПА2 — признак адресации

A2 — адрес в ОЗУ.

ФСА цикла исполнения команд

Цикл исполнения команд — это интервал времени, начиная с выборки команды из памяти, до ее завершения. Этот цикл можно представить в виде следующей диаграммы (рисунок 1):

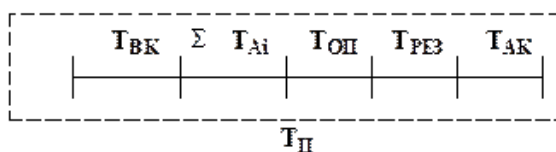


Рисунок 1 — Временная диаграмма

$T_{Ц}$ — время цикла исполнения команды.

Этапы цикла:

1. ТВК – время выборки команды и дешифрации кода операции;
2. $\sum T_{Ai}$ – суммарное время выборки операндов;
3. $T_{ОП}$ – время выполнения операции;
4. $T_{РЕЗ}$ – время размещения результата;
5. $T_{АК}$ – время вычисления адреса следующей команды.

Для начала составим функциональную исполнения команд (см. рисунок 2).

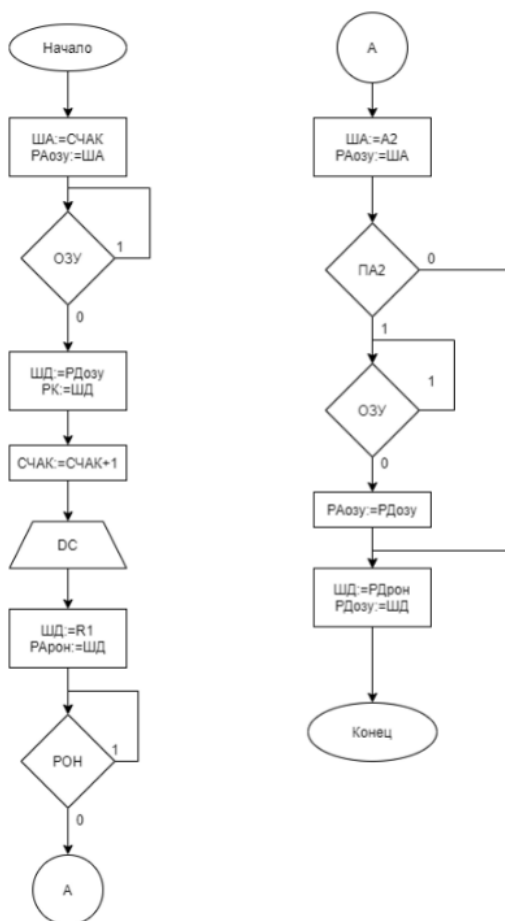


Рисунок 2 — Алгоритм цикла исполнения команд

Структурная электрическая схема

Теперь приведем структурную электрическую схему операционной части блока обработки команд (см. рисунок 3).

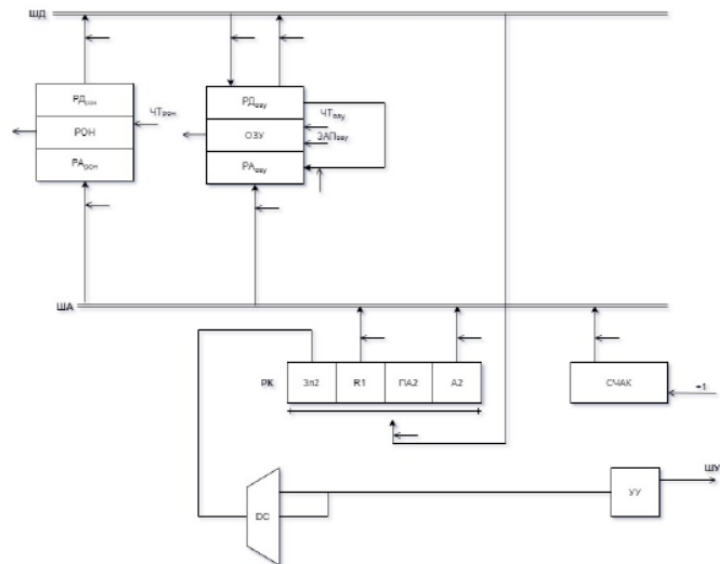


Рисунок 3 — Структурная электрическая схема

Вывод: в ходе данной практической работы мы ознакомились со структурной схемой ядра ЭВМ, изучили процесс выполнения ЭВМ арифметических операций, научились строить функциональную схему алгоритма цикла исполнения команд.