

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования

«МИРЭА – Российский технологический университет» РТУ МИРЭА

Институт информационных технологий Кафедра вычислительной техники

Отчет по практической работе №1

по дисциплине

«Архитектура процессоров и микропроцессоров»

ПЕРЕЧЕНЬ СОКРАЩЕНИЙ

АЛУ — арифметико-логическое устройство

УУ — устройство управления

ША — шина адреса

ШД — шина данных

ШУ — шина управления

СЧАК — счетчик адреса команд

ОЗУ — оперативное запоминающее устройство

РАОЗУ — регистр адреса оперативного запоминающего устройства

РДозу — регистр данных оперативного запоминающего устройства

 $\coprod \mathcal{I}_{O3\mathcal{Y}}$ — шина адреса оперативного запоминающего устройства

РК — регистр команд

DC — дешифратор

SM - сумматор

КОП — код операции

Р1, Р2 — входные регистры АЛУ

РРАЛУ — регистр результата АЛУ

РОН — регистр общего назначения

РДРОН — регистр данных регистров общего назначения

РАРОН — регистр адреса регистров общего назначения

УС — указатель стека

Цель работы

Разработать для указанных в заданиях команд функциональные схемы алгоритмов (ФСА) циклов исполнения команд и структурные электрические схемы операционной части блока обработки команд.

Описание работы

В ходе данной лабораторной работы нам было предложено разработать функциональные схемы алгоритмов (ФСА) циклов исполнения команд и структурные электрические схемы операционной части блока обработки команд для команды, приведенной в таблице 1.

Таблица 1 — Реализуемая команда

Первое поле в формате команды — поле кода операции (КОП).

АО — арифметическая операция;

ЛО — логическая операция;

В адресных полях команд адреса оперативного запоминающего устройства (ОЗУ) обозначаются А;

R — Адреса регистров общего назначения (РОН);

I1 — непосредственный операнд;

A2 — адрес 2-го операнда;

R3 —адрес результат.

Ход работы

ФСА цикла исполнения команд

Для начала составим функциональную схему алгоритма цикла исполнения команд (см. рисунок 1).

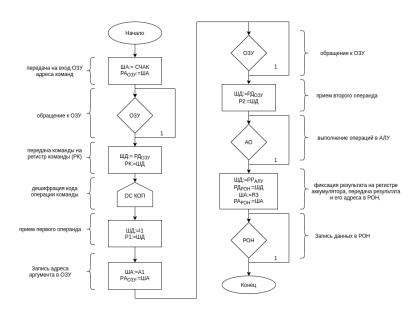


Рисунок 1 — Алгоритм цикла исполнения команд

Структурная электрическая схема

Теперь приведем структурную электрическую схему операционной части блока обработки команд (см. рисунок 2).

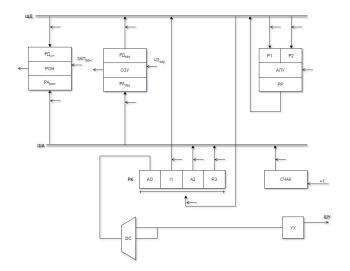


Рисунок 2 — Структурная схема

Вывод: в ходе данной практической работы мы ознакомились со структурной схемой ядра ЭВМ, изучили с процесс выполнения ЭВМ арифметических операций, научились строить функциональную схему алгоритма цикла исполнения команд.