



МИНОБРНАУКИ РОССИИ
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
«МИРЭА – Российский технологический университет»
РТУ МИРЭА

Институт информационных технологий
Кафедра вычислительной техники

Отчет по практической работе №4
по дисциплине
«Архитектура процессоров и микропроцессоров»

Выполнил: студент группы ИВБО-02-19

К. Ю. Денисов

Принял: старший преподаватель кафедры ВТ

Ю. М. Скрыбин

Работа выполнена «____» _____ 202__

«Зачтено» «____» _____ 202__

Москва 2021

ПЕРЕЧЕНЬ СОКРАЩЕНИЙ

МКП — микропрограмма

МПА — микропрограммный автомат

УАПЛ — управляющий автомат на программируемой логике

ГСА — граф-схема автомата

АЛУ — арифметико-логическое устройство

УУ — устройство управления

КС1 — первая комбинационная схема

КС2 — вторая комбинационная схема

ОП — операционное поле

АП — адресное поле

БП — безусловный переход

УП — условный переход

СЧАМК — счетчик адреса микрокоманд

ОЗУ — оперативное запоминающее устройство

РК — регистр команд

РС — распределитель сигналов

ДС — дешифратор

КОП — код операции

РОН — регистр общего назначения

Задание

Для заданного в таблице 4 закодированного графа разработать три микропрограммных автомата (МПА):

1. МПА Мили на жесткой логике;
2. Управляющий автомат на программируемой логике (УАПЛ) с принудительной адресацией с 2-я адресными полями;
3. УАПЛ с естественной адресацией.

Для УАПЛ выбрать смешанный способ микропрограммирования.

Ход работы

В ходе данной лабораторной работы нам было предложено разработать три микропрограммных автомата (МПА). Приведем абстрактный граф-схему автомата (ГСА) (см. рисунок 1). Где $a_1 \dots a_5$ — состояния автомата, причем a'_1 — конечное состояние автомата.

Получим закодированный граф на базе ФСА, заменив микрооперации управляющими сигналами $\{y\}$, а логические условия — осведомительными сигналами $\{x\}$.

Рассмотрим реализацию блока управления на базе МПА с жесткой логикой (автомат Мили), приведенного на рисунке 2.

В состав 2 МПА входят следующие структурные элементы:

- 2-х ступенчатая память автомата;
- дешифратор состояния (ДСсост.);
- две комбинационные схемы КС1 и КС2.

Память служит для запоминания состояния автомата.

Во второй ступени фиксируется текущее состояние, по которому комбинационная схема КС1 формирует набор управляющих сигналов. Первая ступень предназначена для формирования следующего состояния в зависимости от предыдущего и значений осведомительных сигналов. Переключение первой ступени памяти осуществляет схема КС1.

Двухступенчатая память применяется для исключения «гонок» из-за разницы в величине задержек в КС1 при переключении различных разрядов па-

следующие двоичные коды:

$$a1(a1') = 000$$

$$a2 = 001$$

$$a3 = 010$$

$$a4 = 011$$

$$a5 = 100$$

Для кодирования пяти состояний потребовалось три двоичных разряда, соответственно память автомата будет строиться на трех триггерах. Выход вершины «начало» и вход в вершину «конец» отмечен одним и тем же символом $a1$. Это соответствует одному и тому же состоянию памяти и означает, что после выполнения своих функций по генерации $\{y\}$ в соответствии заданной ГСА, МПА возвращается в исходное положение до следующей инициализации. Для этого в ГСА после вершины «Начало» необходимо поставить ждущую вершину:

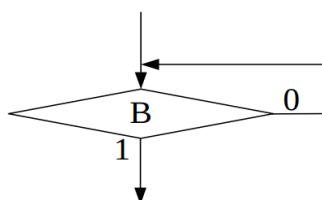


Рисунок 3 — Ждущая вершина

Начало работы автомата обеспечивает сигнал «В», устанавливаемый извне в «1» (интерпретируется как осведомительный сигнал). После этого он сбрасывается в «0», а МПА после завершения работы снова переходит в состояние покоя « $a1$ ». Для реализации МПА необходимо по ГСА построить таблицу состояний и переходов автомата (Таблица 1).

В таблице отмечаются состояния МПА, управляющие сигналы, формируемые в каждом состоянии при наличии определенных значений осведомительных сигналов. Кроме того, в правой колонке таблицы записываются сигналы возбуждения памяти, формируемые по кодам состояния текущего и следующего состояния памяти.

Значения сигналов определяются таблицами переключения триггеров, выбранных для построения памяти. В данном случае память реализована на RS-

Таблица 1 — Таблица состояний

Текущее состояние	Код текущего состояния	Управляющие сигналы (вход. набор)	Осведомительные сигналы (условие)	Следующее состояние	Код следующего состояния	Сигналы возбуждения памяти
a1	000	y3, y1	B	a2	001	S1
		- -	!B	a1	000	- -
a2	001	y2, y4	1	a3	010	S2 R1
a3	010	y1, y5, y6	x1	a5	100	S3 R2
		y6	!x1	a4	011	S1
a4	011	-	x3	a2	001	R2
		-	!x3	a5	100	S3 R2 R1
a5	100	y3, y5	x2	a1	000	R3
		-	!x2	a1	000	R3

триггерах. Таблица позволяет описать логическую организацию схем КС1 и КС2, т.е. произвести их абстрактный синтез.

Для КС1

$$y_1 = a_3x_1 + a_1B$$

$$y_2 = a_2$$

$$y_3 = a_1B + a_5x_2$$

$$y_4 = a_2$$

$$y_5 = a_3x_1 + a_5x_2$$

$$y_6 = a_3$$

Для КС2

$$S_1 = a_1B + a_3\bar{x}_1$$

$$R_1 = a_2 + a_4\bar{x}_3$$

$$S_2 = a_2$$

$$R_2 = a_3x_1 + a_4$$

$$S_3 = a_3x_1 + a_4\bar{x}_3$$

$$R_3 = a_5$$

По полученным логическим выражениям произведем структурный синтез схем КС1 и КС2 и построим электрическую функциональную схему МПА.

Приведем схему МПА, построенного на основе автомата Мили адресацией (рисунок 4).

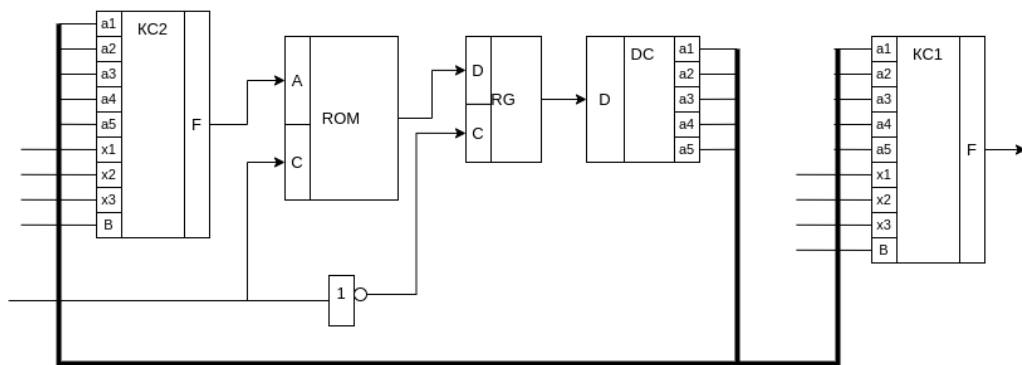


Рисунок 4 — МПА на основе автомата Мили

Реализация блока управления на базе МПА с программируемой логикой.

В МПА с программируемой логикой ГСА реализуется посредством микропрограммы (МКП), хранимой в управляющей памяти. Микропрограмма состоит из микрокоманд (МК), последовательность которых описывает графсхему алгоритма управления. Микрокоманда представляет собой машинное слово, состоящее из двух полей (рисунок 5).

ОП	АП
----	----

Рисунок 5 — Машинное слово МПА

В ОП микрокоманды записываются управляющие сигналы или их коды. В АП — коды номеров условных вершин ГСА и адрес или адреса перехода к следующей микрокоманде.

Организуем ОП смешанным горизонтально-вертикальным способом. В нашем случае ОП будет состоять из трех сегментов $NY1-NY3$, по которым распределяются управляющие сигналы (см. Таблицу 2).

Таблица 2 — Организация ОП смешанным способом

NY1		NY2		NY3	
01	y1	01	y6	1	y5
10	y4	10	y2	0	отс.
11	ук	11	y3		
00	отс.	00	отс.		

Способы перехода в микропрограммах к следующей микрокоманде определяются форматами адресных полей МК и правилами перехода. Принуди-

тельный переход выполняется по адресу, указанному в самой МК. Это соответствует безусловному переходу команд БП. При естественной адресации микрокоманд следующая микрокоманда адресуется посредством инкремента счетчика адреса микрокоманд (СЧАМК).

Микропрограммный автомат с принудительной адресацией МК Форматы МК с двумя адресными полями при принудительной адресации могут иметь следующий вид (рисунок 6).

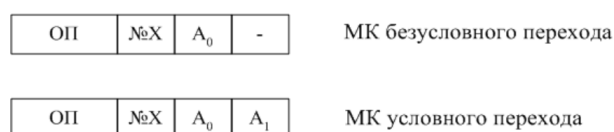


Рисунок 6 — Форматы микрокоманд. Принудительная адресация

В Таблице 3 представлена МКП, описывающая рассматриваемый алгоритм управления

Таблица 3 — Алгоритм управления. Принудительная адресация

Разряды	0:1	2:3	4	5:6	7:9	10:12	Прим.
Адрес в УП	NY1	NY2	NY3	NX	A0	A1	УП
1	<y1>	<y3>	-	00	2	-	БУ
2	<y4>	<y2>	-	NX1	3	4	УП
3	-	<y6>	-	NX3	5	2	УП
4	<y1>	<y6>	<y5>	NX2	7	6	УП
5	-	-	-	NX2	7	6	УП
6	-	<y3>	<y5>	00	7	-	БУ
7	<ук>	-	-	-	-	-	-

Опишем структуру блока формирования сигналов перехода в виде следующей микрокоманды:

$$Z_1 = \text{БП} + (NX1\bar{x}_1 + NX2\bar{x}_2 + NX3\bar{x}_3)$$

$$Z_2 = NX1x_1 + NX2x_2 + NX3x_3$$

Приведем схему МПА с принудительной адресацией (рисунок 7).

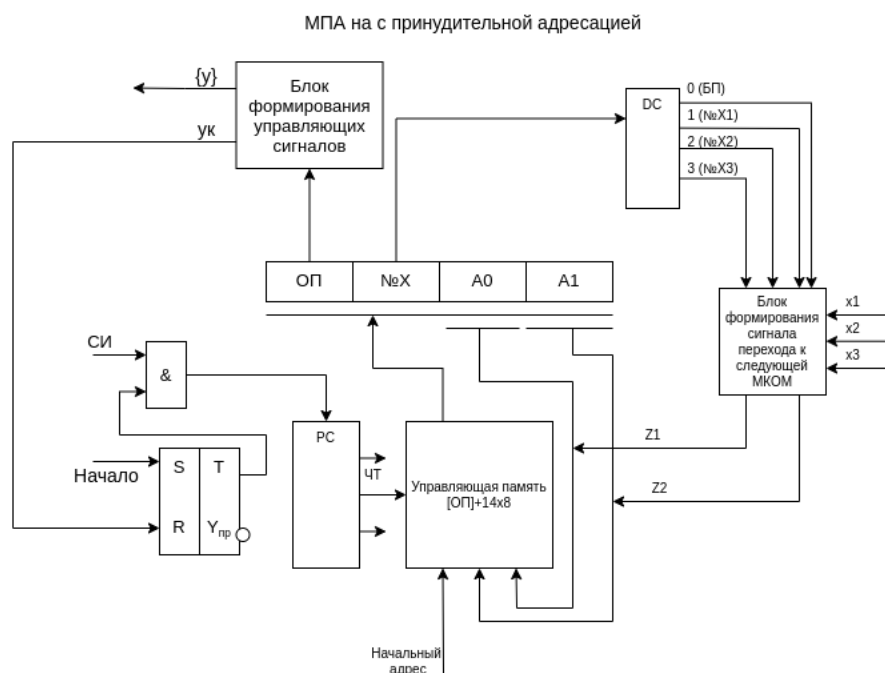


Рисунок 7 — МПА с принудительной адресацией

Микропрограммный автомат с естественной адресацией Рассмотрим вариант, предлагающий наличие двух типов микрокоманд: операционной, которая выполняет полезную работу и обрабатывает операторные вершины ГСА, и управляющей МК условного и безусловного переходов (рисунок 8).

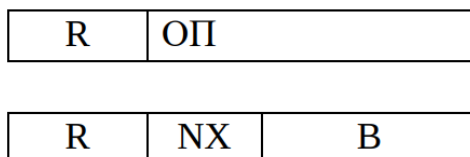


Рисунок 8 — Формат микрокоманд. Естественная адресация

В Таблице 4 представлена МКП, описывающая рассматриваемый алгоритм управления.

Опишем структуру блока формирования сигналов перехода в виде следующей микрокоманды:

$$Z_1 = R + \bar{R} (NX1\bar{x}_1 + NX2\bar{x}_2 + NX3\bar{x}_3)$$

$$Z_2 = R [\text{БП} + (NX1x_1 + NX2x_2 + NX3x_3)]$$

Приведем схему МПА с естественной адресацией (рисунок 9).

Таблица 4 — Алгоритм управления. Естественная адресация

Адр. МКОП	R	NY1	NY2	NY3	доп
Разр.	0	1:2	3:4	5	6
Адр. МКОП	R	NX	B		
Разр.	0	1:2	3:6		
1	0	<y1>	<y3>	-	0
2	0	<y4>	<y2>	-	0
3	1	NX1	7		
4	-	-	<y6>	-	0
5	1	NX3	2		
6	1	00	8		
7	0	<y1>	<y6>	<y5>	0
8	1	NX2	10		
9	0	<yк>	-	-	0
10	0	-	<y3>	<y5>	0
11	0	<yк>	-	-	0

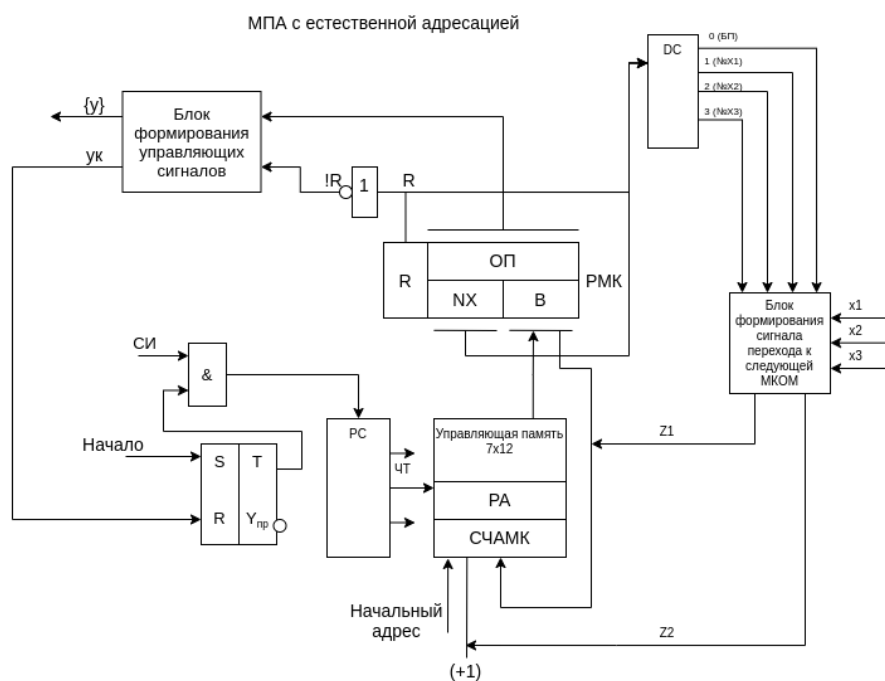


Рисунок 9 — МПА с естественной адресацией

Вывод: в ходе данной практической работы мы ознакомились, разработали три МПА Мили на жесткой логике, УАПЛ с принудительной адресацией с двумя адресными полями, УАПЛ с естественной адресацией.