



МИНОБРНАУКИ РОССИИ
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
«МИРЭА – Российский технологический университет»
РТУ МИРЭА

Институт информационных технологий
Кафедра вычислительной техники

Отчет по лабораторной работе №1
по дисциплине
«Архитектура процессоров и микропроцессоров»

Выполнил: студент группы ИВБО-02-19

Д. Н. Федосеев

Принял: старший преподаватель кафедры ВТ

Ю. М. Скрыбин

Работа выполнена «_____» _____ 202__

«Зачтено» «_____» _____ 202__

Москва 2021

Цель работы

Целью работы является исследование работы процессора при выполнении команд пересылок и арифметических операций.

Описание работы

В ходе данной лабораторной работы нам были предложены две программы, которые необходимо было занести в память эмулируемого процессора КР580ВМ80. В таблице 1 данные программы приведены побайтово, на рисунках А.1 и А.2 приведены состояния регистров и флагов во время выполнения данных программ.

Таблица 1 — Программы к выполнению

1)	3A	48	77	1	D5	B8	7	25	2D	89	86	3F
2)	B2	C3	E9	CD	C9	76	0	DC				

Ход работы

1. Войти в «окно», «структурная схема микропроцессора»;
2. Установить потактный режим работы, указав «мышкой» кнопку «Тк»;
3. Установить режим «ОЗУ» указав «мышкой» клавишу «ОЗУ», набрать на цифровой клавиатуре адрес ОЗУ, затем ввести код требуемой команды согласно варианту задания и «нажать» клавишу «Ввод». Если данная команда требует участия регистров или регистровых пар, необходимо записать в указанные регистры информацию следующим образом: войти в режим работы с регистровой памятью, указав клавишу «Рег.», ввести в него информацию. Любая процедура записи в ОЗУ или в регистры завершается «нажатием» клавиши «Ввод».
4. Установить адрес ячейки ОЗУ, по которому записана команда.

5. Нажимая «мышкой» клавишу «Вып.», выполнить команду в потактном режиме, фиксируя в соответствующей таблице, состояние процессора в каждом такте каждого цикла. Структурная схема позволяет проследить в этом режиме последовательность всех процедур выполнения команды.

Вывод: в ходе данной лабораторной работы мы ознакомились со структурной схемой процессора КР580ВМ80, регистрами общего назначения данного процессора КР580ВМ80, научились заносить программу в память процессора, исследовали работу процессора при выполнении данных программ.

ПРИЛОЖЕНИЕ А

Таблица состояний процессора																					Оценя правильности выполнения командой своих функций
Состояние регистров общ. назначения																Состояние флагов					
Команда	N цикла	N такта	РК	СК	УС	Бурф. адреса	Бурф. данных	W	Z	A	B	C	D	E	H	L	Z	S	P	C	АС
LDA aR	0	0	00	0000	FFFF	0000	00	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	1	1	00	0000	FFFF	0000	00	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	2	2	00	0000	FFFF	0000	00	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	3	3	00	0000	FFFF	0000	00	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	4	4	00	0001	FFFF	0000	00	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	5	5	00	0001	FFFF	0001	00	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	6	6	00	0001	FFFF	0001	00	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	7	7	00	0002	FFFF	0001	00	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	8	8	00	0002	FFFF	0002	00	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	9	9	00	0002	FFFF	0002	00	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	10	10	00	0003	FFFF	0002	00	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	11	11	00	0003	FFFF	7740	00	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	12	12	00	0003	FFFF	7740	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	13	13	00	0003	FFFF	7740	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	14	14	00	0003	FFFF	0002	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	15	15	00	0003	FFFF	0003	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	16	16	00	0003	FFFF	0003	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	17	17	00	0004	FFFF	0003	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	18	18	00	0004	FFFF	0004	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	19	19	00	0004	FFFF	0004	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	20	20	00	0005	FFFF	0004	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	21	21	00	0005	FFFF	0005	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	22	22	00	0005	FFFF	0005	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	23	23	00	0005	FFFF	0005	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	24	24	00	0006	FFFF	0005	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	25	25	00	0006	FFFF	0006	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	26	26	00	0006	FFFF	0006	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	27	27	00	0006	FFFF	0006	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	28	28	00	0006	FFFF	0006	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	29	29	00	0007	FFFF	0006	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	30	30	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	31	31	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	32	32	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	33	33	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	34	34	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	35	35	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	36	36	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	37	37	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	38	38	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	39	39	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	40	40	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	41	41	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	42	42	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	43	43	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	44	44	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	45	45	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	46	46	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	47	47	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	48	48	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	49	49	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	50	50	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	51	51	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	52	52	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	53	53	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	54	54	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	55	55	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	56	56	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	57	57	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	58	58	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	59	59	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	60	60	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	61	61	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	62	62	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	63	63	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	64	64	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	65	65	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	66	66	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	67	67	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	68	68	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	69	69	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	70	70	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	71	71	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	72	72	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	73	73	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	74	74	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	75	75	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0
LDA aR	76	76	00	0007	FFFF	0007	01	00	00	00	00	00	00	00	00	00	00	0	0	0	0

Рисунок А.1 — Таблица состояний процессора. Первая программа

Таблица состояний процессора																	Оценка правильности выполнения юмандри своих функций						
Команда	N цикла	N такта	PK	СК	УС	Биф. адр.	Биф. данных	Состояние регистров общ. назначения										Состояние флагов					
								W	Z	A	B	C	D	E	H	L		Z	S	P	C	AC	
XRA B	0	0			FFFF	0000		00	00	00	F1	00	00	00	00	00	0	0	0	0	0		
XRA B	1	1			FFFF	0000		00	00	00	F1	00	00	00	00	00	1	0	0	0	0		
XRA B	1	2			FFFF	0000	A8	00	00	00	F1	00	00	00	00	00	1	0	0	0	0		
XRA B	1	3	A8		FFFF	0000	A8	00	00	00	F1	00	00	00	00	00	1	0	0	0	0		
XRA B	1	4	A8		FFFF	0000	A8	00	00	00	F1	00	00	00	00	00	1	0	1	0	0		
XRA B	1	5	A8	0001	FFFF	0000	A8	00	00	00	F1	00	00	00	00	00	1	0	1	0	0		
ORA B	1	1	A8		FFFF	0001	A8	00	00	00	F1	00	00	00	00	00	1	0	1	0	0		
ORA B	1	2	A8	0001	FFFF	0001	B0	00	00	00	F1	00	00	00	00	00	1	0	1	0	0		
ORA B	1	3	B0	0001	FFFF	0001	B0	00	00	00	F1	00	00	00	00	00	1	0	1	0	0		
ORA B	1	4	B0	0001	FFFF	0001	B0	00	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
ORA B	1	5	B0	0002	FFFF	0001	B0	00	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
JM adr	1	1	B0	0002	FFFF	0002	B0	00	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
JM adr	1	2	B0	0002	FFFF	0002	FA	00	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
JM adr	1	3	FA	0002	FFFF	0002	FA	00	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
JM adr	1	4	FA	0003	FFFF	0002	FA	00	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
JM adr	2	5	FA	0003	FFFF	0003	FA	00	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
JM adr	2	6	FA	0003	FFFF	0003	07	00	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
JM adr	2	7	FA	0004	FFFF	0003	07	07	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
JM adr	3	8	FA	0004	FFFF	0004	07	07	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
JM adr	3	9	FA	0004	FFFF	0004	00	07	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
JM adr	3	10	FA	0007	FFFF	0004	00	07	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
NOP	1	1	FA	0007	FFFF	0007	00	07	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
NOP	1	2	FA	0007	FFFF	0007	00	07	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
NOP	1	3	00	0007	FFFF	0007	00	07	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
NOP	1	4	00	0008	FFFF	0007	00	07	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
CZ adr	1	1	00	0008	FFFF	0008	00	07	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
CZ adr	1	2	00	0008	FFFF	0008	CC	07	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
CZ adr	1	3	CC	0008	FFFF	0008	CC	07	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
CZ adr	1	4	CC	0009	FFFF	0008	CC	07	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
CZ adr	2	5	CC	0009	FFFF	0009	CC	07	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
CZ adr	2	6	CC	0009	FFFF	0009	00	07	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
CZ adr	2	7	CC	000A	FFFF	0009	00	00	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
CZ adr	3	8	CC	000A	FFFF	000A	00	00	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
CZ adr	3	9	CC	000A	FFFF	000A	00	00	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
CZ adr	3	10	CC	000B	FFFF	000A	00	00	00	F1	F1	00	00	00	00	00	0	1	0	0	0		
CZ adr	1	1	CC	000B	FFFF	000B	00	00	00	F1	F1	00	00	00	00	00	0	1	0	0	0		

Рисунок А.2 — Таблица состояний процессора. Вторая программа