



Министерство науки и высшего образования Российской Федерации  
Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
«Московский государственный технический университет  
имени Н. Э. Баумана  
(национальный исследовательский университет)»  
(МГТУ им. Н. Э. Баумана)

---

ФАКУЛЬТЕТ «Информатика и системы управления»

КАФЕДРА «Программное обеспечение ЭВМ и информационные технологии»

---

## ОТЧЕТ

по лабораторной работе № 3

по курсу «Архитектура ЭВМ»

на тему: «Организация памяти конвейерных суперскалярных электронных  
вычислительных машин»

Студент ИУ7-53Б  
(Группа)

\_\_\_\_\_  
(Подпись, дата)

Д. В. Недолужко  
(И. О. Фамилия)

Преподаватель

\_\_\_\_\_  
(Подпись, дата)

А. Ю. Попов  
(И. О. Фамилия)

2022 г.

# 1 Теоретический раздел

**Цель работы** - освоение принципов эффективного использования подсистемы памяти современных универсальных ЭВМ, обеспечивающей хранение и своевременную выдачу команд и данных в центральное процессорное устройство. Работа проводится с использованием программы для сбора и анализа производительности PCLAB.

В ходе работы необходимо ознакомиться с теоретическим материалом, касающимся особенностей функционирования подсистемы памяти современных конвейерных суперскалярных ЭВМ, изучить возможности программы PCLAB, изучить средства идентификации микропроцессоров, провести исследования времени выполнения тестовых программ, сделать выводы о архитектурных особенностях используемых ЭВМ

## 2 Практический раздел

### 2.1 Задание 1. Знакомство с программой PCCLAB

#### Идентификационная информация на вкладке «Идентификация процессора».

Vendor ID: "GenuineIntel"; CPUID level 13

Дополнительные функции Intel:

Версия 0001067a:

Type 0 - Original OEM

Family 6 - Pentium Pro

Model 7 - Pentium III/Pentium III Xeon - external L2 cache

Stepping 10

Reserved 4

Extended brand string: "Intel(R) Celeron(R) CPU E3300 @ 2.50GHz"

CLFLUSH instruction cache line size: 8

Initial APIC ID: 1

Hyper threading siblings: 2

Feature flags bfebfbff:

0 FPU Присутствует Математический сопроцессор

1 VME Поддержка расширенных возможностей обработки прерываний в режиме виртуального i8086

2 DE Поддержка отладки

3 PSE Поддержка страниц размером 4 МВ

4 TSC Счетчик меток реального времени

5 MSR Поддержка команд rdmsr и wrmsr

6 PAE Поддержка физического адреса более 32 бит

7 MCE Поддержка исключений 18 - об аппаратных ошибках

8 CX8 Поддержка инструкции cmprchg8b

9 APIC Микропроцессор содержит программно доступный контроллер прерываний

- 11 SEP Поддержка инструкций быстрых системных вызовов `sysenter` и `sysexit`
- 12 MTRR Поддержка регистра `mtrr_sar` (относится к MSR-регистрам)
- 13 PGE Поддержка глобальных страниц
- 14 MCA Поддержка архитектуры машинного контроля
- 15 CMOV Поддержка инструкций условной пересылки `cmov`, `fcmovss`, `fcomi`
- 16 PAT Процессор поддерживает таблицу атрибутов страницы
- 17 PSE-36 Процессор поддерживает 4 МВ страницы, которые способны адресовать физическую память до 64 GB
- 19 CLFLSH Поддержка инструкции `CLFLUSH`
- 21 DS Поддержка записи отладочной информации
- 22 ACPI Управление охлаждением процессора с помощью пустых циклов в зависимости от температуры
- 23 MMX Поддержка MMX
- 24 FXSR Поддержка инструкций `FXSAVE` и `FXRSTOR`
- 25 SSE Поддержка SSE
- 26 SSE2 Поддержка SSE2
- 27 SS Управление конфликтующими типами памяти
- 28 HTT Поддержка Hyper-Threading
- 29 TM Поддержка автоматического мониторинга температуры
- 31 SBF Сигнал Остановка при FERR

TLB and cache info:

- b1: unknown TLB/cache descriptor
  - b0: дескриптор TLB-команд, 4К страницы, асс. 4-направ., 128 элементов
  - 05: unknown TLB/cache descriptor
  - f0: unknown TLB/cache descriptor
  - 57: unknown TLB/cache descriptor
  - 56: unknown TLB/cache descriptor
  - 78: unknown TLB/cache descriptor
  - 30: L1 кэш-команд, 32 KB, асс. 8-направ., длина строки 64 байта
  - b4: unknown TLB/cache descriptor
  - 2c: L1 кэш-данных, 32 KB, асс. 8-направ., длина строки 64 байта
- Processor serial: 0001-067A-BFEB-FBFF-0400-E3BD

## 2.2 Задание 2. Определение параметров процессора

Размер линейки кэш-памяти верхнего уровня = 32 KB

Объем физической памяти до 64 GB.

## 2.3 Задание 3. Эксперимент «Исследование расслоения динамической памяти»

**Цель эксперимента:** определение способа трансляции физического адреса, используемого при обращении к динамической памяти.

**Исходные данные:** размер линейки кэш-памяти верхнего уровня; объем физической памяти

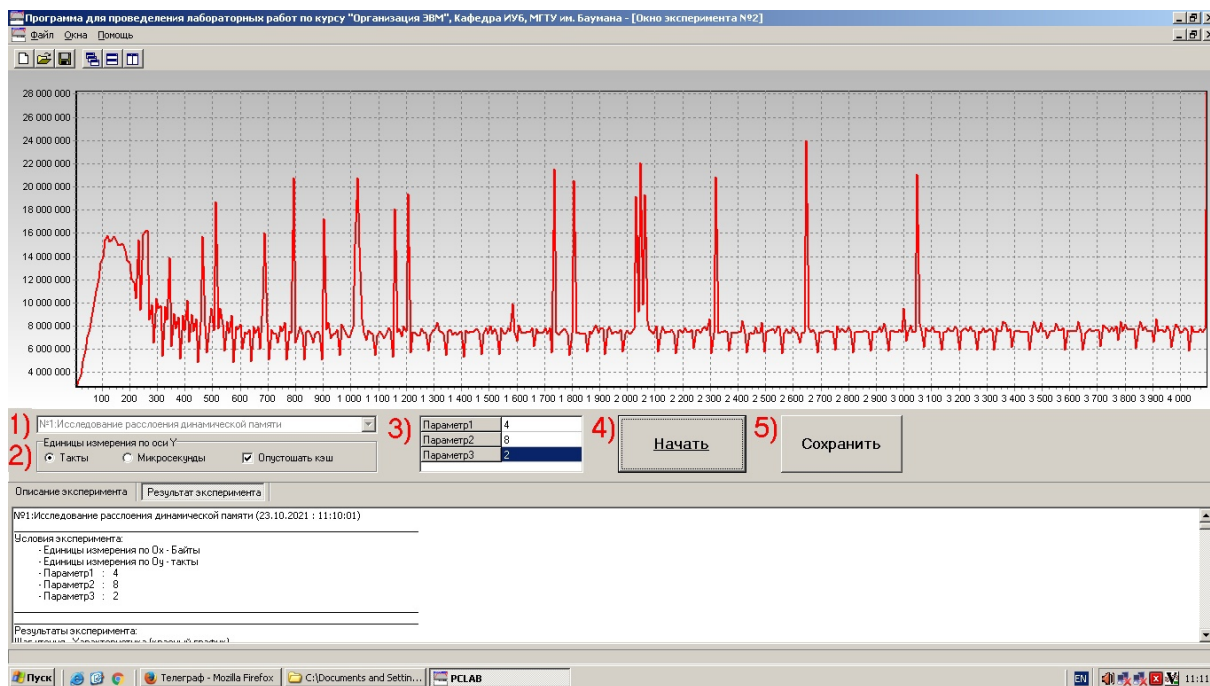


Рисунок 2.1 – Результат эксперимента задания 3

$$T_1 = 128$$

$$T_2 = 4096$$

$$П = 64$$

$$Б = \frac{T_1}{П} = 2$$

$$РС = \frac{T_2}{Б} = 2048$$

$$С = \frac{О}{РС \cdot Б \cdot П} = \frac{4Гб}{2048 * 2 * 32Кб} = 32 \text{ страницы}$$

### Результат

Количество страниц физической памяти - 32.

## 2.4 Задание 4. Эксперимент «Сравнение эффективности ссылочных и векторных структур»

**Цель эксперимента:** оценка влияния зависимости команд по данным на эффективность вычислений.

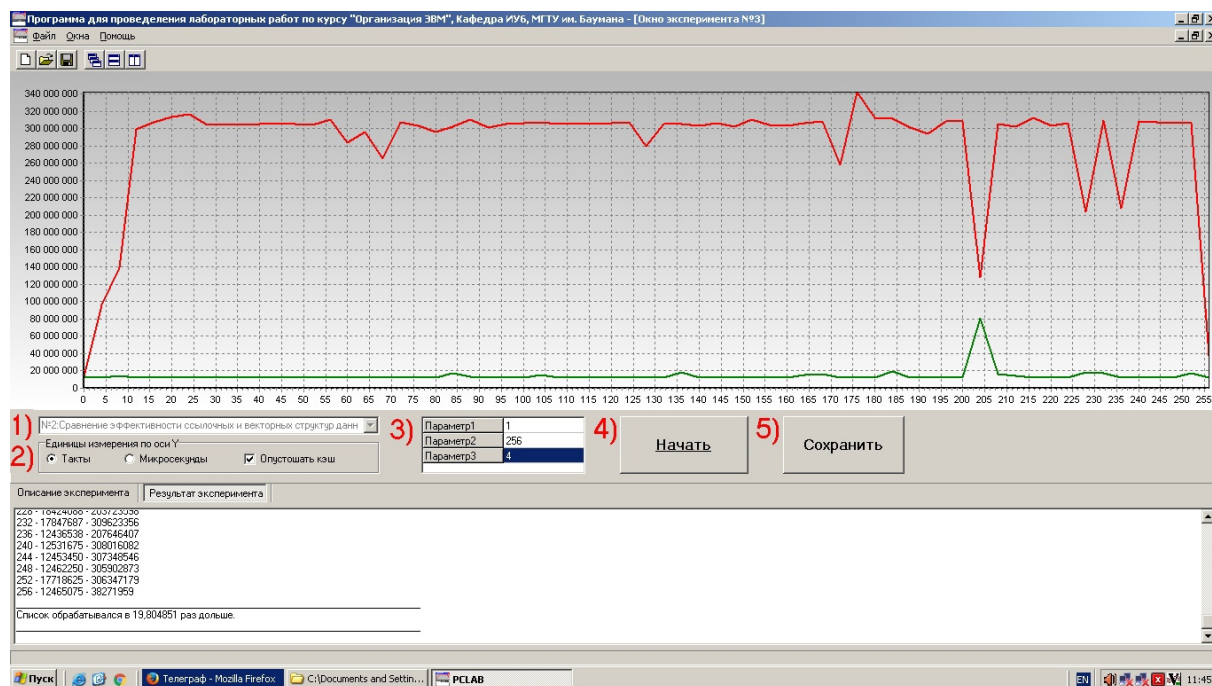


Рисунок 2.2 – Результат эксперимента задания 4

### Результат

Список обрабатывался в 19,804851 раз дольше.

## 2.5 Задание 5. Эксперимент «Исследование эффективности программной предвыборки»

**Цель эксперимента:** выявление способов ускорения вычислений благодаря применению предвыборки данных.

**Исходные данные:** степень ассоциативности и размер TLB данных.

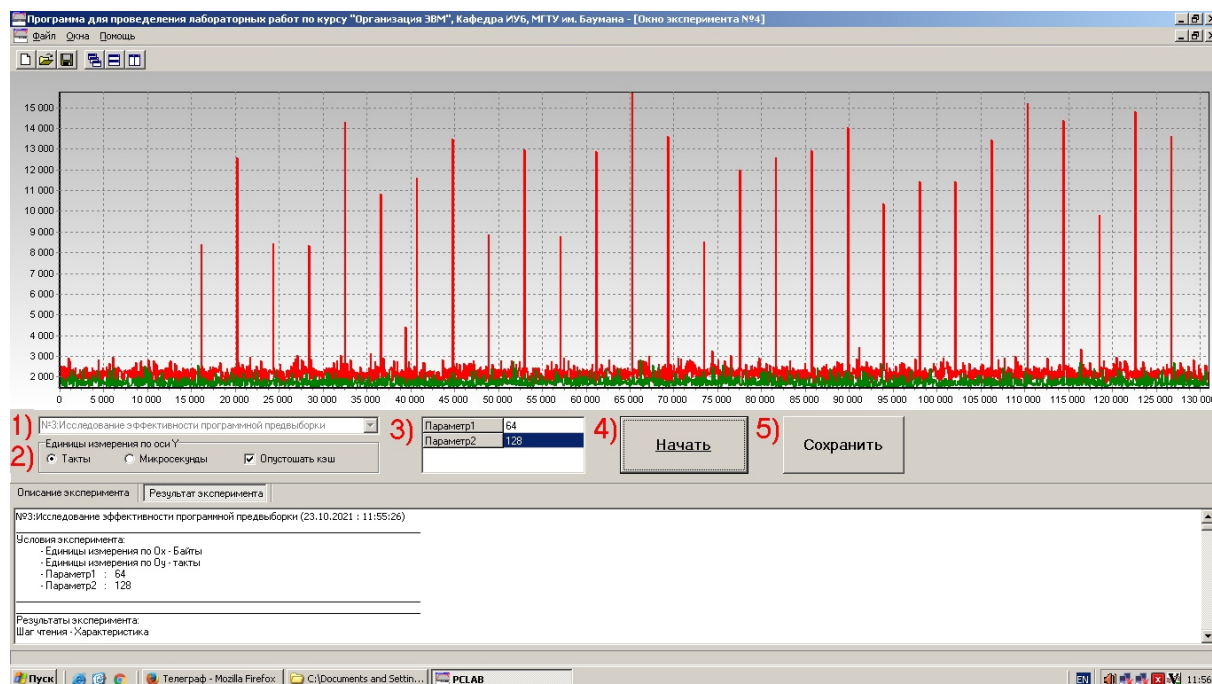


Рисунок 2.3 – Результат эксперимента задания 5

### Результат

Обработка без загрузки таблицы страниц в TLB производилась в 1,3134548 раз дольше.



## 2.6 Задание 6. Эксперимент «Исследование способов эффективного чтения оперативной памяти»

**Цель эксперимента:** исследование возможности ускорения вычислений благодаря использованию структур данных, оптимизирующих механизм чтения оперативной памяти.

**Исходные данные:** Адресное расстояние между банками памяти, размер буфера чтения.

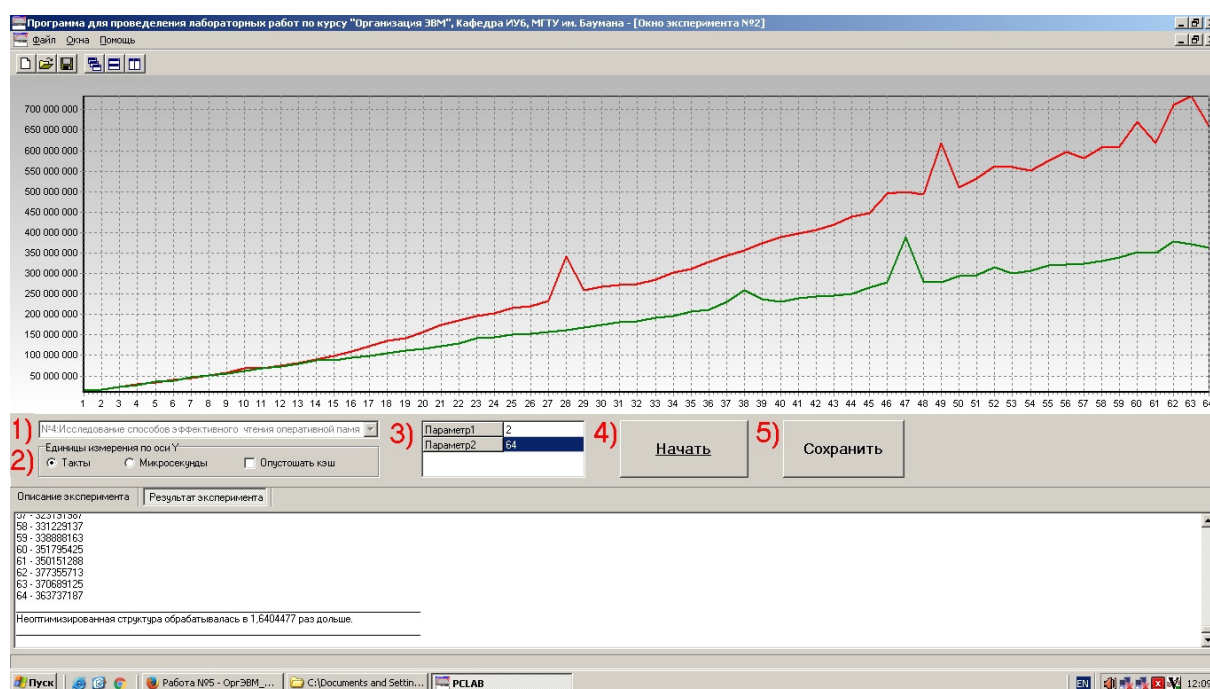


Рисунок 2.4 – Результат эксперимента задания 6

### Результат

Неоптимизированная структура обрабатывалась в 1,6404477 раз дольше.

## 2.7 Задание 7. Эксперимент «Исследование конфлик- тов в кэш-памяти»

**Цель эксперимента:** исследование влияния конфликтов кэш-памяти на эффективность вычислений.

**Исходные данные:** Размер банка кэш-памяти данных первого и второго уровня, степень ассоциативности кэш-памяти первого и второго уровня, размер линейки кэш- памяти первого и второго уровня.

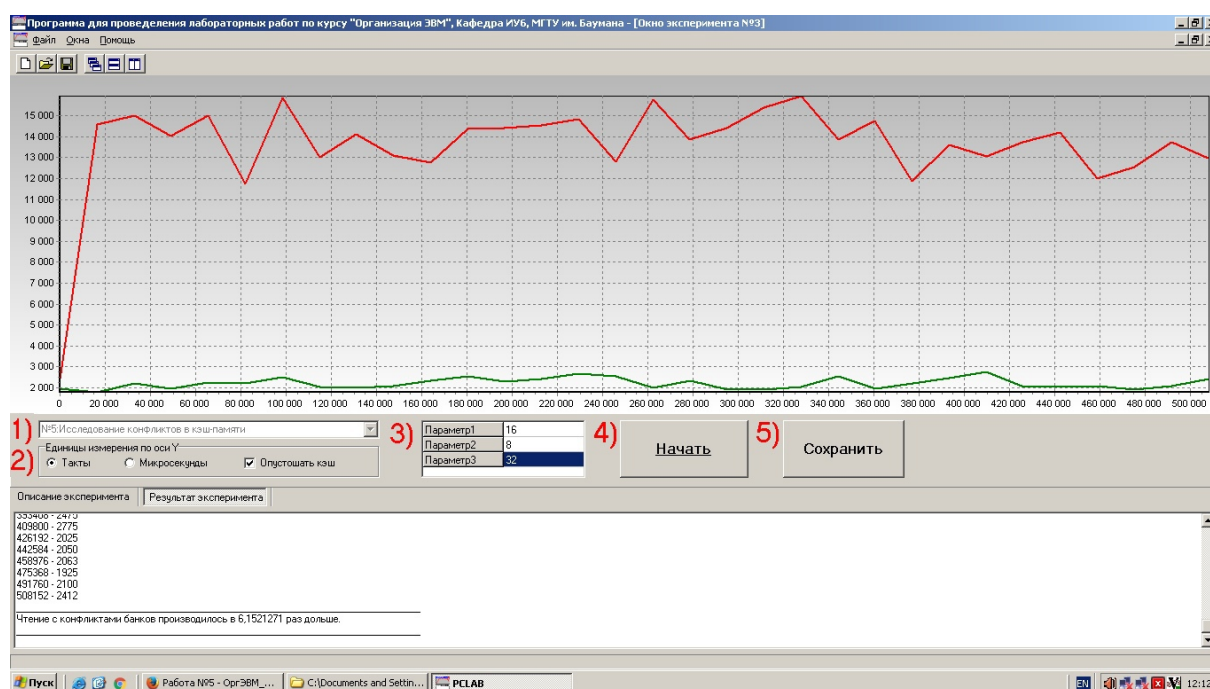


Рисунок 2.5 – Результат эксперимента задания 7

### Результат

Чтение с конфликтами банков производилось в 6,1521271 раз дольше.

## 2.8 Задание 8. Эксперимент «Сравнение алгоритмов сортировки»

**Цель эксперимента:** исследование способов эффективного использования памяти и выявление наиболее эффективных алгоритмов сортировки, применимых в вычислительных системах.

**Исходные данные:** количество процессоров вычислительной системы, размер пакета, количество элементов в массиве, разрядность элементов массива

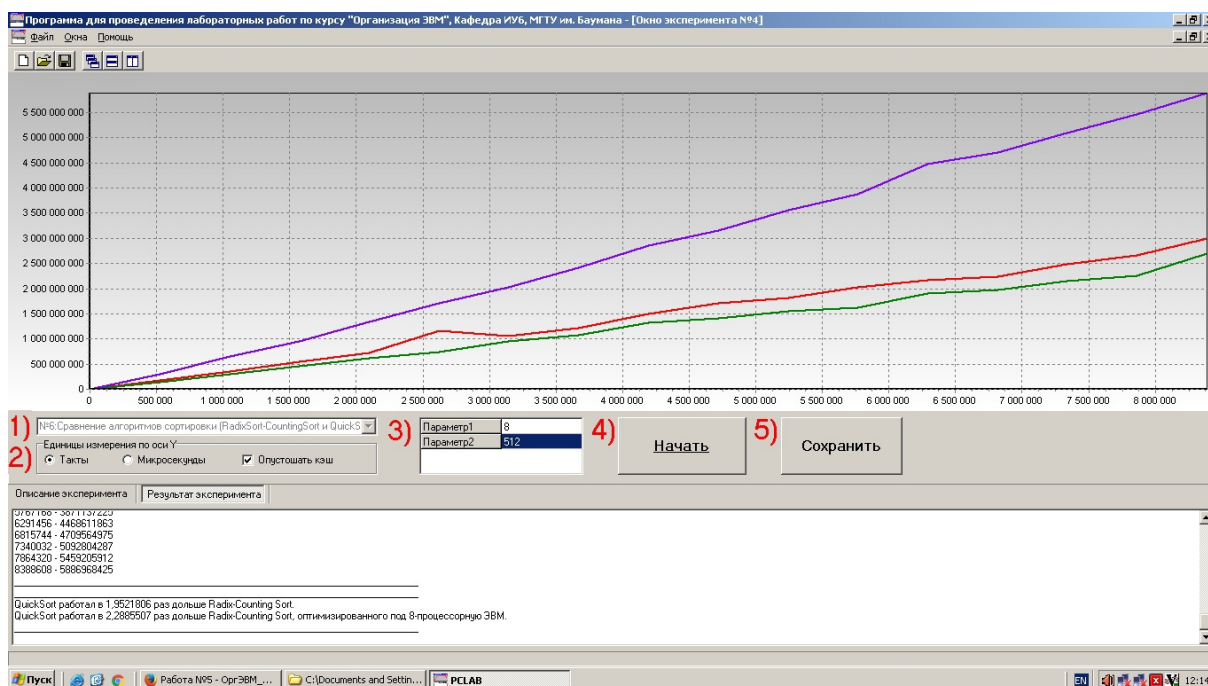


Рисунок 2.6 – Результат эксперимента задания 8

### Результат

QuickSort работал в 1,9521806 раз дольше Radix-Counting Sort.

QuickSort работал в 2,2885507 раз дольше Radix-Counting Sort, оптимизированного под 8-процессорную ЭВМ.