

УНИВЕРСИТЕТ ИТМО

Санкт-Петербург, 2021

## Темы, освещенные в презентации

- ✓ Логические элементы
- ✓ Триггеры на логических элементах
- ✓ Регистры и счетчики

## Основные параметры логических элементов

1. Каждый элемент реализует какую-то логическую операцию, поэтому к первому пункту отнесем конкретный набор логических функций данного элемента.

2. Конкретные значения напряжений  $U^1$ ,  $U^0$ , отвечающие логической единице и логическому нулю, а также логический перепад.

3. Передаточная характеристика, т.е. зависимость  $U_{\text{вых}}$  от  $U_{\text{вх}}$ .

4. Помехоустойчивость.

5. Коэффициент объединения по входу  $K_{\text{об}}$ .

Коэффициент объединения по входу – это число входных сигналов, которые могут быть поданы на вход усилителя.

6. Коэффициент разветвления по выходу  $K_{\text{разв}}$ .

Коэффициент разветвления – это максимальное число таких же логических элементов, которые можно подключить параллельно к выходу данного логического элемента.

7. Быстродействие.

Быстродействие логического элемента характеризуется временем задержки выходного сигнала по отношению к входному при переключении элемента.

8. Средняя потребляемая мощность и работа переключения схемы.

# Разновидности логических элементов

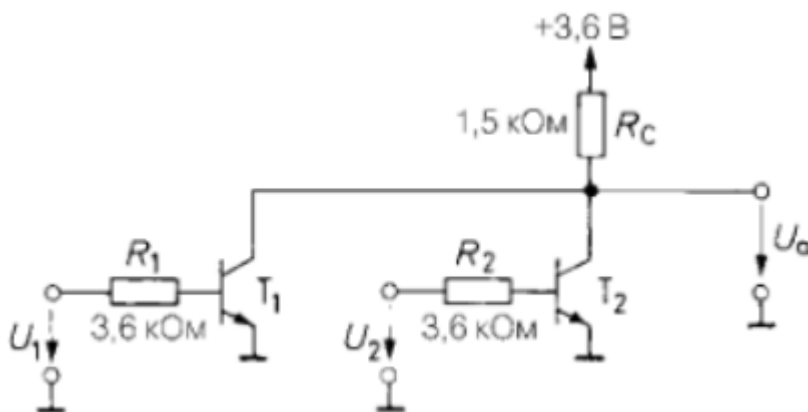
В настоящее время используется несколько видов логических элементов:

- диодно-транзисторная логика (ДТЛ)
- транзисторно-транзисторная логика (ТТЛ, TTL)
- логика на основе комплементарных МОП транзисторов (КМОП, CMOS)
- на основе сочетания комплементарных МОП и биполярных транзисторов (BiCMOS)

	Напряжение питания , В	Уровень лог.0, В	Уровень лог. 1, В
ТТЛ	$5 \pm 0,5$	0,4	2,4
ТТЛШ	$5 \pm 0,5$	0,5	2,7
КМОП	3...15	$< 0,1$	$\sim U_{\text{пит}}$
Быстродейств. КМОП	2...6	$< 0,1$	$\sim U_{\text{пит}}$
ЭСЛ	$-5,2 \pm 0,5$	-1,65	-0,96

## Резистивно-транзисторная логика

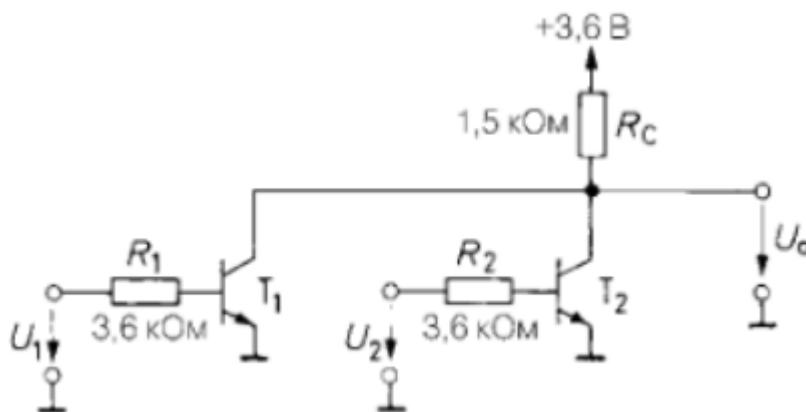
Элементы РТЛ логики представляют собой вариант переключающих схем на транзисторах в режиме насыщения. В приведенной на рисунке схеме реализуется логическая функция ИЛИ-НЕ.



## Резистивно-транзисторная логика

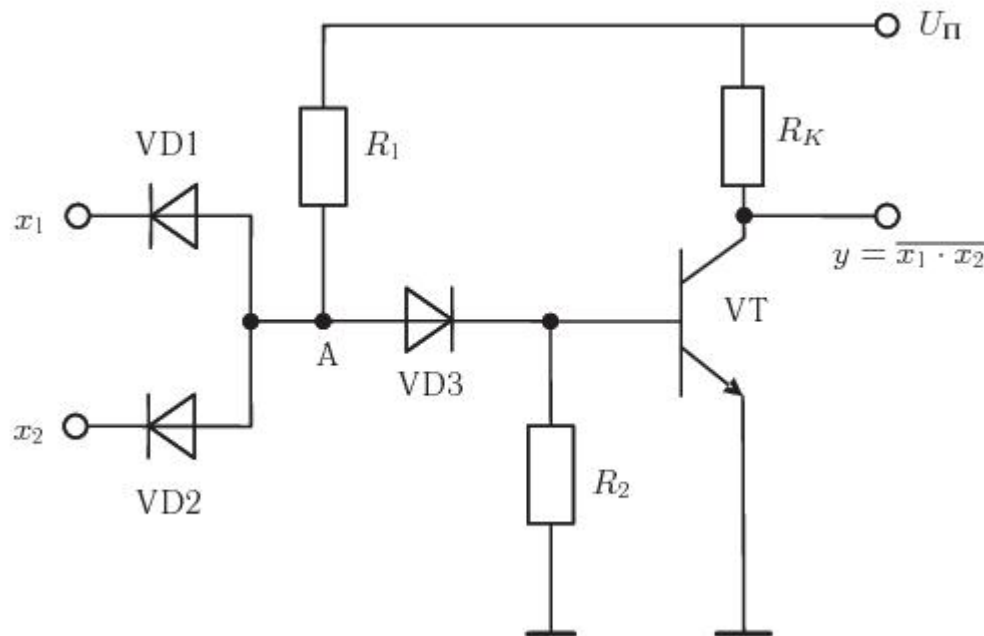
Схема обладает низким коэффициентом разветвления по выходу. В настоящее время РТЛ логика не используется.

Потребляемая мощность РТЛ элемента ИЛИ-НЕ (МС717) 5 мВт, быстродействие 25 нс.



# Логический элемент диодно-транзисторной логики (ДТЛ)

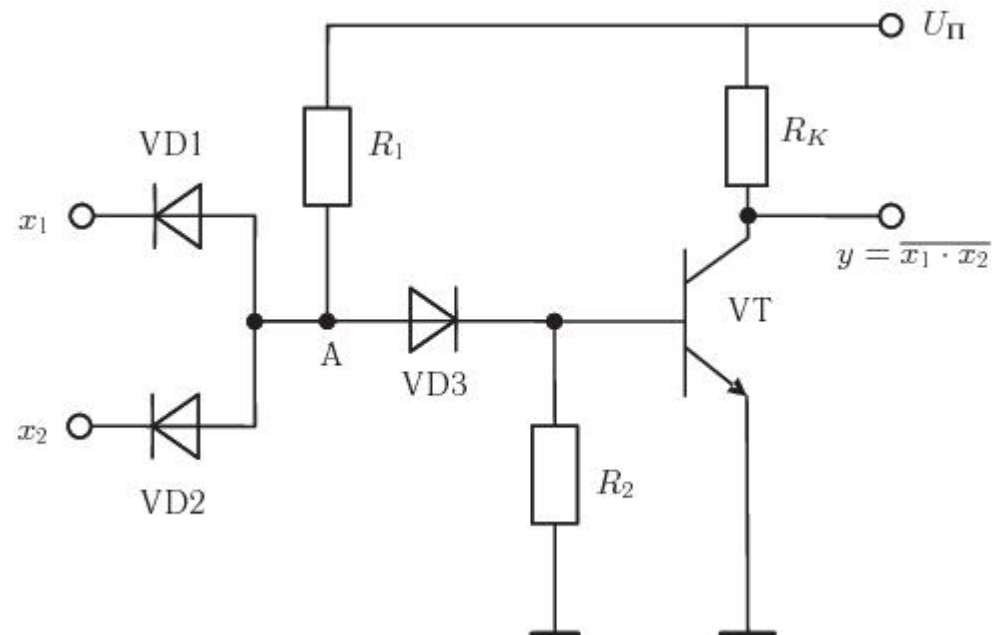
Название связано с тем, что входная логика в этих элементах реализуется с помощью диодов, а выходная – с помощью биполярного транзистора. Схема логического элемента ДТЛ с двумя входами изображена на рисунке.



## Логический элемент И-НЕ диодно-транзисторной логики (ДТЛ)

Логический элемент И-НЕ ДТЛ служит прообразом более распространенного элемента И-НЕ ТТЛ. Входная логика элемента ТТЛ реализуется с помощью многоэмиттерного транзистора.

Логический элемент ДТЛ И-НЕ типа МС849 потребляет мощность 15 мВт, быстродействие 25 нс.

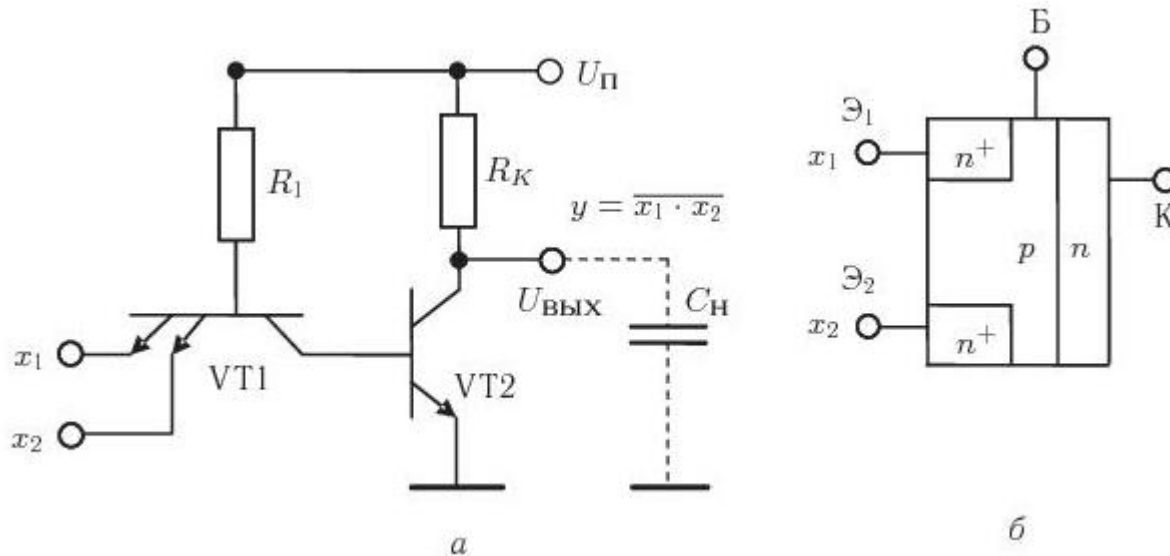




## Простейший элемент ТТЛ

Простейшая схема элемента ТТЛ изображена на рисунке а).

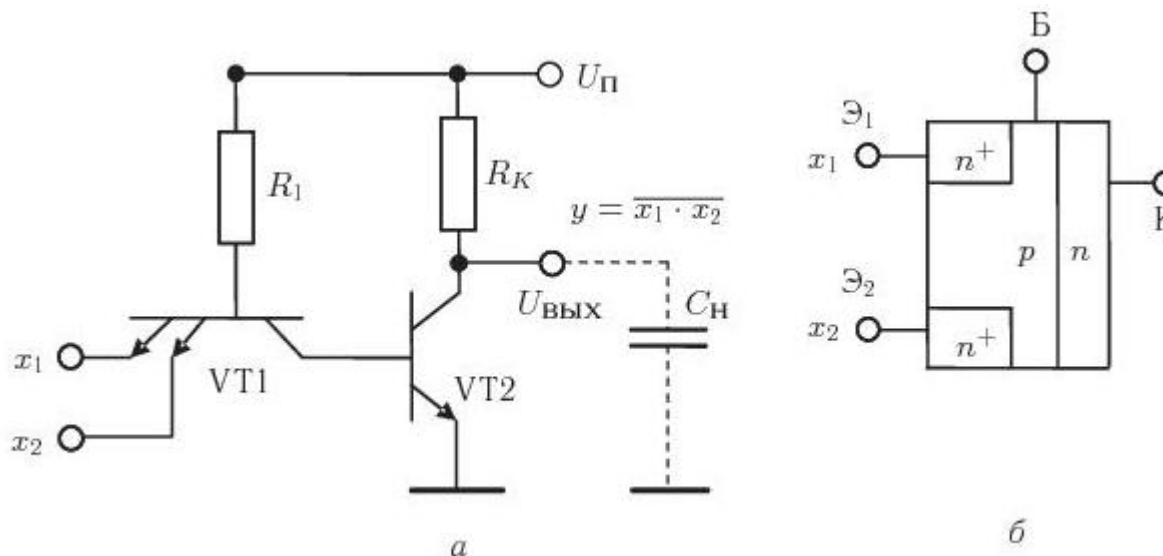
На входе схемы стоит многоэмиттерный транзистор VT1, включенный по схеме с общей базой. С помощью этого транзистора осуществляется входная логика. Многоэмиттерный транзистор имеет два (или несколько) эмиттеров, одну общую для них базу и один коллектор. Схематически биполярный транзистор с двумя эмиттерами изображен на рисунке б).



## Простейший элемент И-НЕ ТТЛ

Простейшая схема элемента И-НЕ ТТЛ (рисунок а).

В зависимости от входных сигналов возможна ситуация, при которой один из эмиттерных переходов включен прямо, а другой – обратно, т.е. ток может течь через один эмиттер, в то время как тока через другой эмиттер нет.



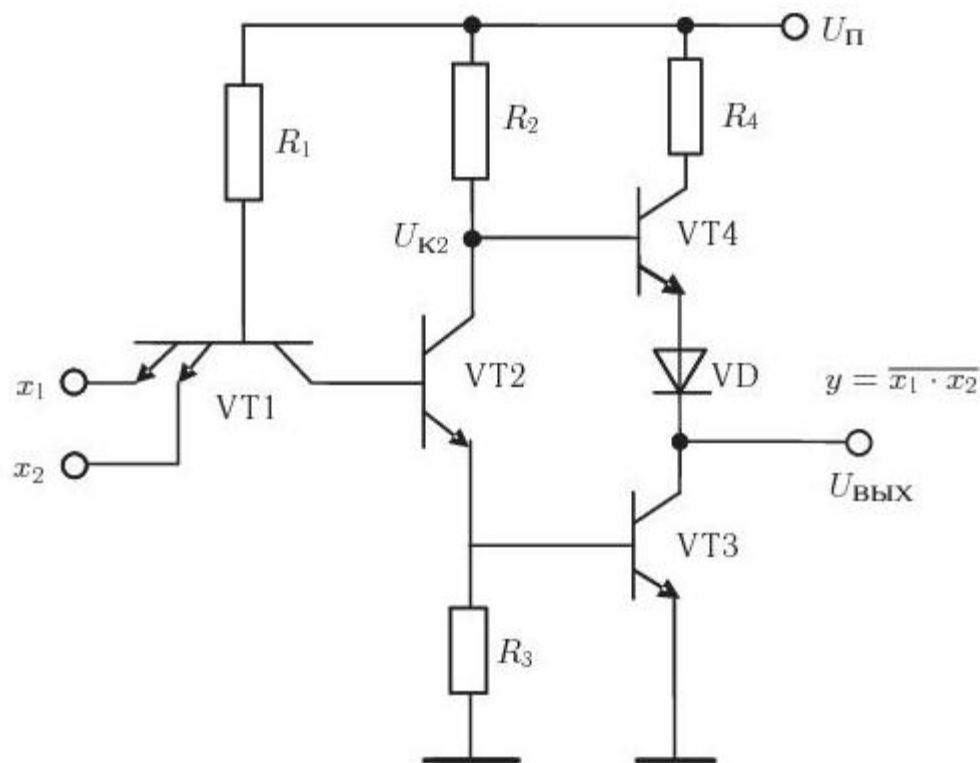
Недостаток схемы – низкая экономичность. Когда транзистор  $VT2$  в насыщении, ток коллектора высок, приводит к увеличению потребляемой мощности. Уменьшение тока за счет  $R_K$  ведет к снижению уровня логической единицы, уменьшению нагрузочной способности и уменьшению быстродействия.

Для защиты схемы при воздействии отрицательных импульсов между эмиттерами и корпусом устанавливают диоды.

## Логический элемент И-НЕ со сложным инвертором.

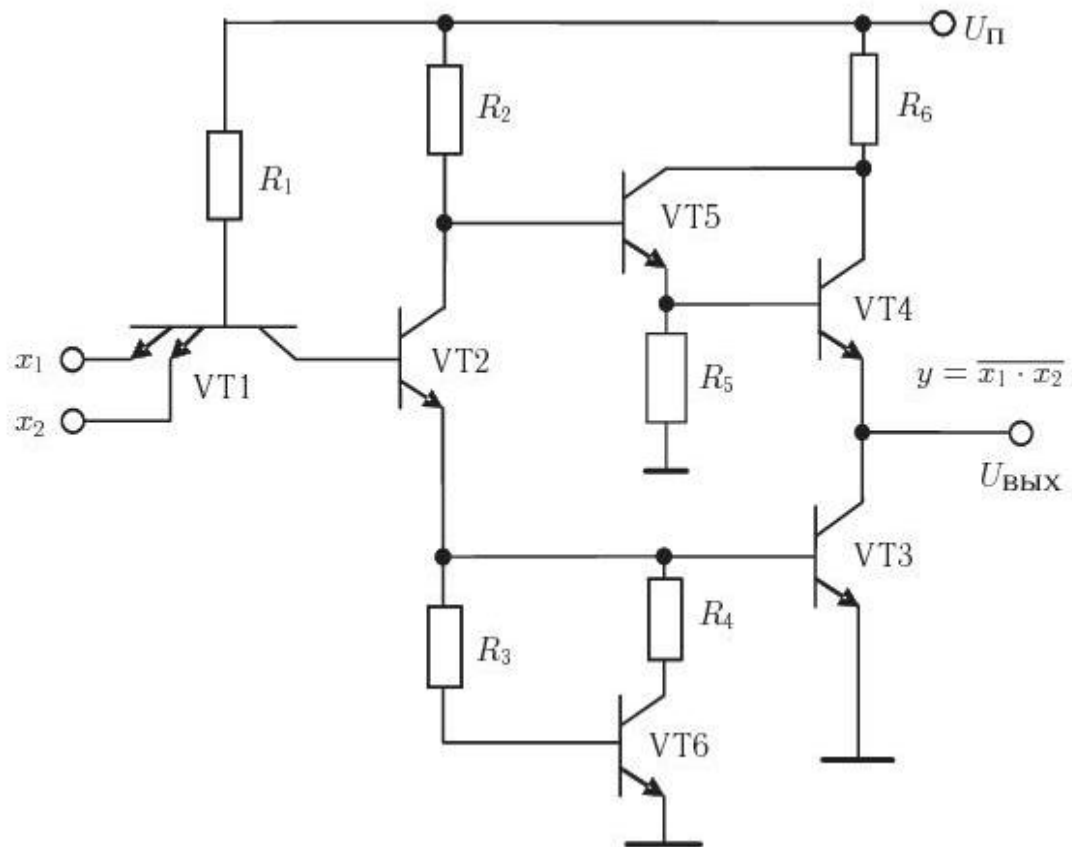
Нагрузочный транзистор VT4 работает в противофазе с выходным транзистором VT3.

При переходе из состояния  $y=0$  в состояние  $y=1$  заряд емкости нагрузки идет через открытый транзистор VT4 с малым входным сопротивлением, что обеспечивает высокое быстродействие схемы. В состоянии  $y=0$  транзистор VT4 закрывается. При этом через выходной транзистор VT3 идет только ток из нагрузок; ток через VT4 отсутствует. Нагрузочная способность этого элемента оказывается значительно выше, чем нагрузочная способность простейшего элемента ТТЛ. Таким образом, использование данной схемы позволяет улучшить быстродействие и увеличить нагрузочную способность логического элемента.



## Логический элемент И-НЕ ТТЛ с составным нагрузочным транзистором

В изображенном на рисунке логическом элементе транзисторы VT4, VT5, включенные по схеме Дарлингтона, образуют составной нагрузочный транзистор. База транзистора VT4 связана с эмиттером транзистора VT5, а коллекторы у этих транзисторов соединены. Переход коллектор-база транзистора VT4 не может быть включен прямо.

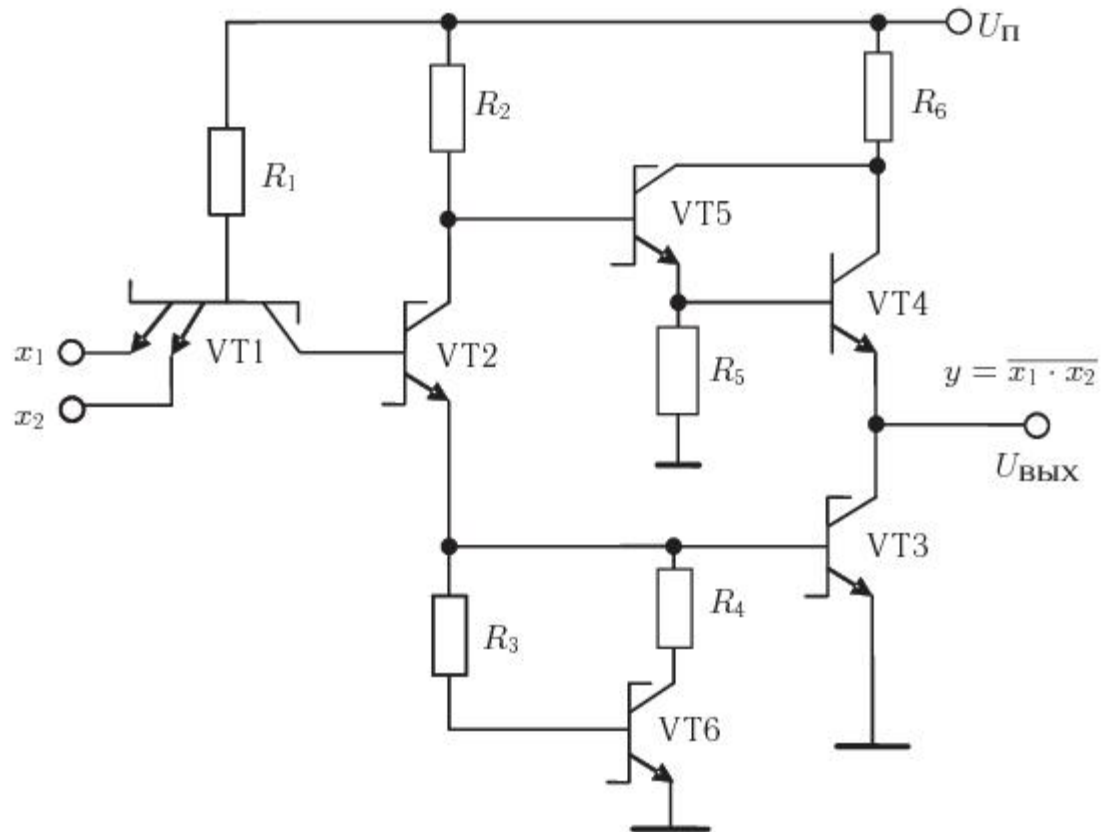


## Транзистор-транзисторная логика с диодами Шоттки

Быстродействие элементов ТТЛ ограничено сравнительно большим временем рассасывания избыточного заряда в базах транзисторов.

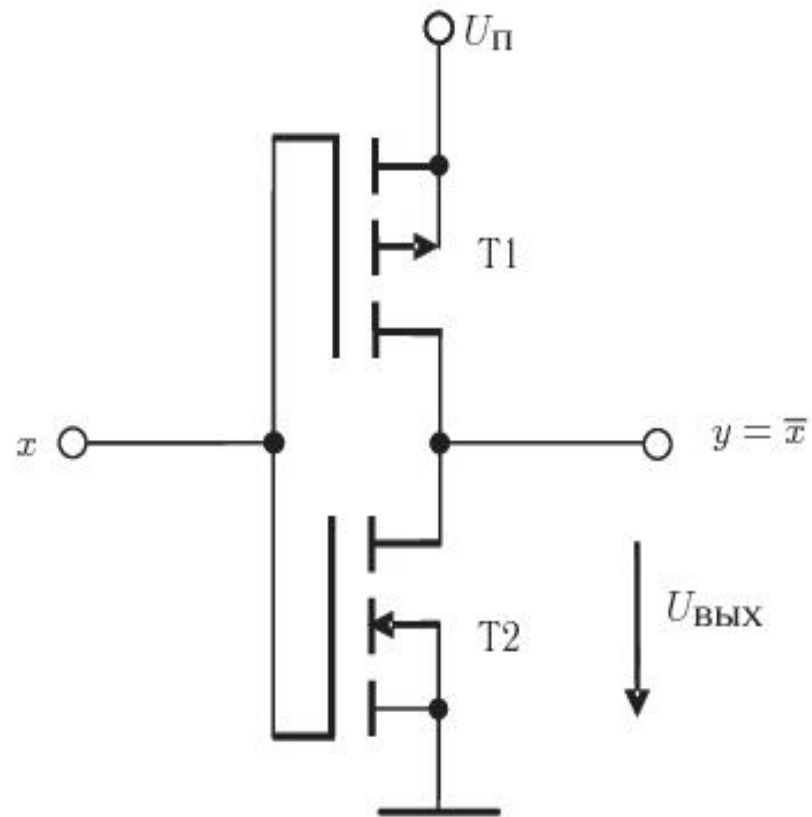
Для уменьшения времени переключения применяют элементы с транзисторами Шоттки, в которых отсутствует насыщение. Применение схем ТТЛШ позволяет уменьшить время задержки с 10 нс (для ТТЛ) до 3 нс.

Схема логического элемента ТТЛ с транзисторами Шоттки (ТТЛШ) представлена на рисунке.



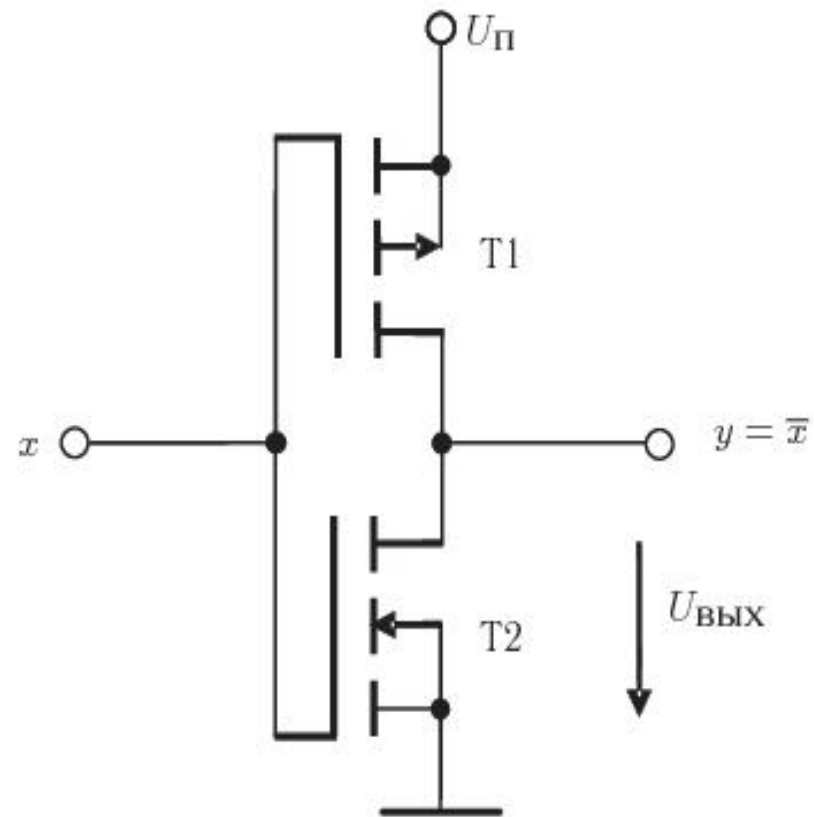
## Логические элементы на комплементарных транзисторах с изолированным затвором

Основу этих логических элементов составляет пара комплементарных МДП (или МОП) транзисторов с индуцированным каналом, т.е. транзисторов с идентичными параметрами, но с разным типом проводимости каналов. Ток через схемы с КМДП транзисторами чрезвычайно мал, поэтому можно считать, что логической единице соответствует напряжение питания, а логическому нулю – ноль вольт.

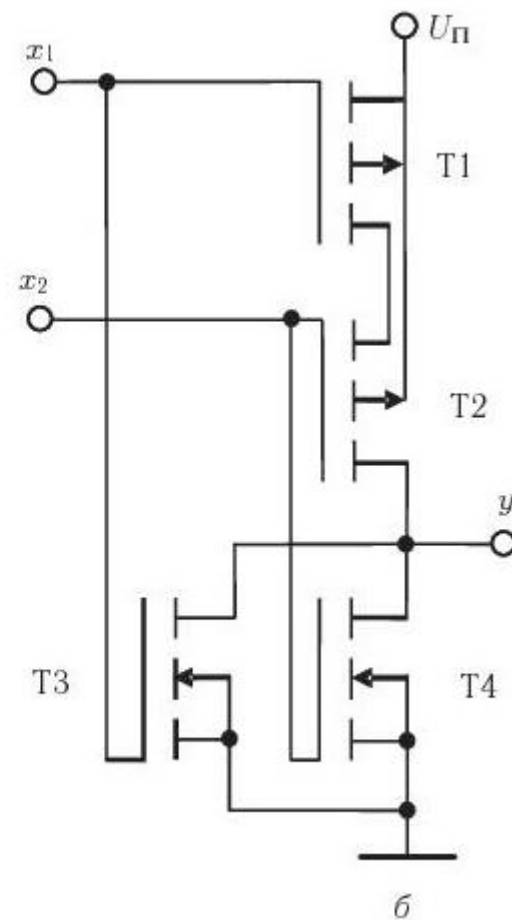
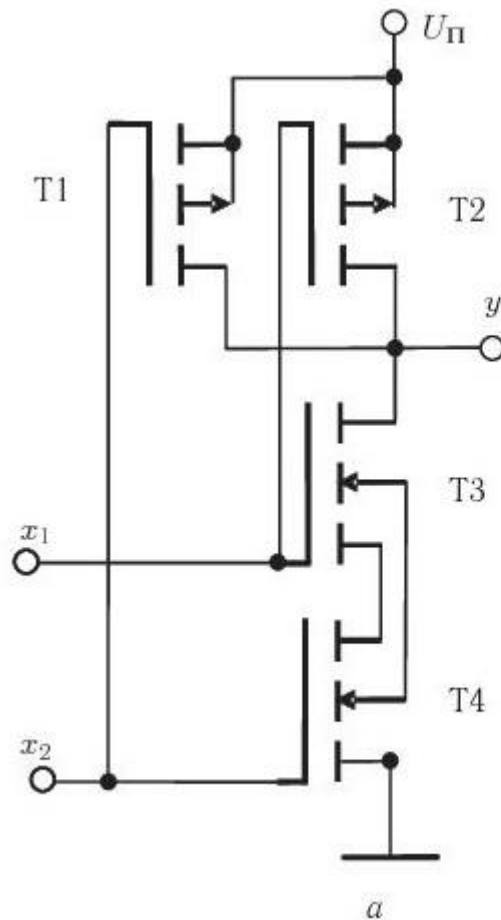


# Логические элементы на комплементарных транзисторах с изолированным затвором

Схема инвертора на КМДП, или, что тоже самое, КМОП транзисторах представлена на рисунке.



# Логические элементы на комплементарных МОП транзисторах



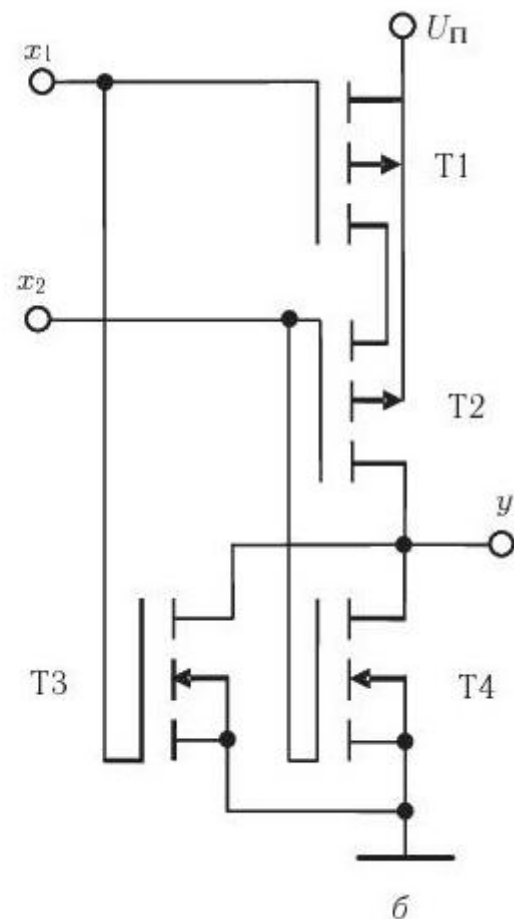
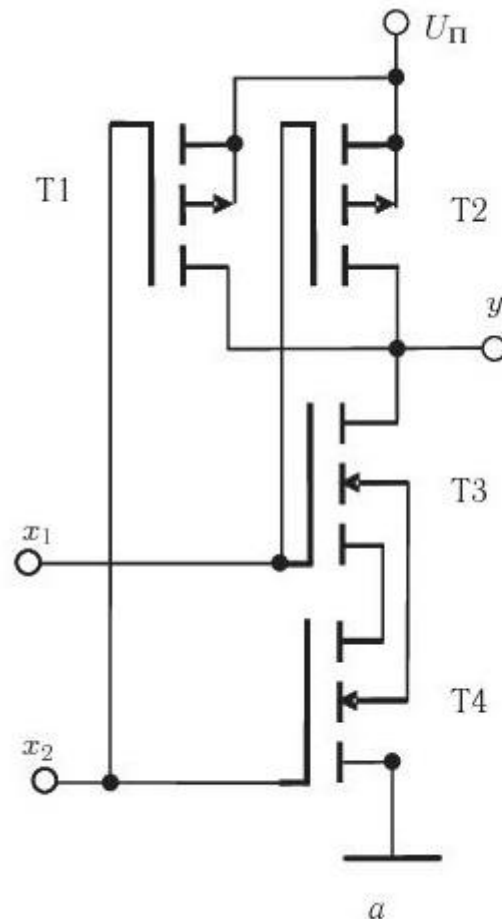


# Логические элементы на комплементарных МОП транзисторах

На рисунке изображены логические элементы на комплементарных МОП транзисторах:

- а – элемент И-НЕ;
- б – элемент ИЛИ-НЕ.

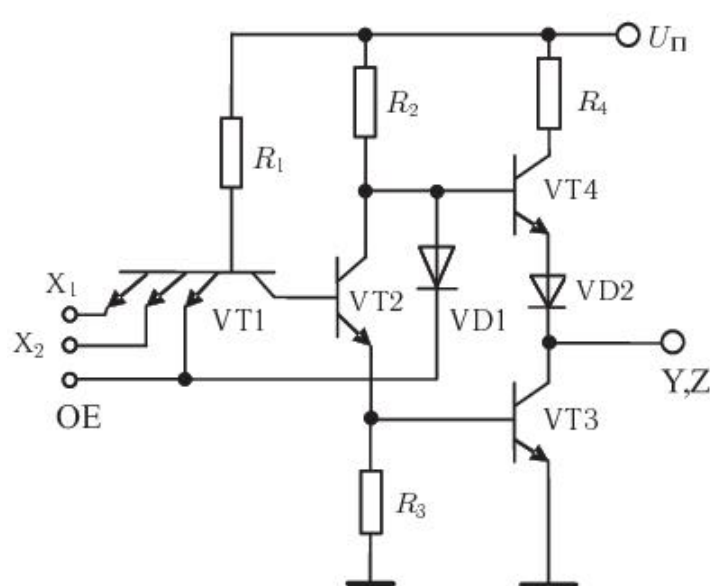
Как видно из рисунка, каждая из этих схем состоит из двух простых инверторов. В элементе И-НЕ выходные транзисторы этих инверторов соединены последовательно, а в элементе ИЛИ-НЕ – параллельно.



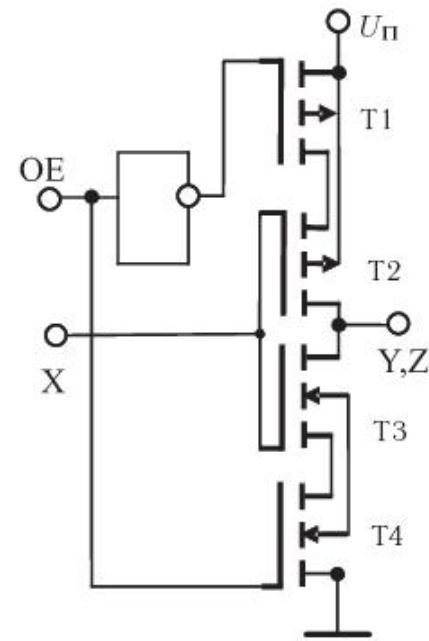
## Логические элементы с тремя состояниями на выходе

У всех логических элементов есть два рабочих состояния, одному из которых отвечает высокий уровень выходного напряжения, а другому – низкий. Оба этих состояния характеризуются низким выходным сопротивлением. Однако нередко возникает необходимость отключить логический элемент от выходной цепи. Например, если несколько элементов подключены к одной шине и требуется передать по этой шине данные от одного к другому, то возникает необходимость изолировать остальные элементы.

Это делается путем перевода остальных логических элементов в третье состояние – в состояние с большим входным сопротивлением. На рисунке изображены схемы с тремя состояниями на выходе, выполненные на основе логических элементов ТТЛ (а) и КМОП (б).



а



б



# Обозначение указателей выводов

Наименование	Обозначение	
	Форма 1	Форма 2
Прямой статический вход		
Прямой статический выход		
Инверсный статический вход		
Инверсный статический выход		
Прямой динамический вход		
Инверсный динамический вход		
Статический вход с указателем полярности		
Статический выход с указателем полярности		
Динамический выход с указателем полярности		
Вывод, не несущий логической информации: изображенный слева		

## Триггеры на логических элементах

Важной особенностью триггера является возможность хранения в нем одного бита информации (одного разряда двоичных чисел). При проектировании триггерных устройств широко используются универсальные элементы И-НЕ и ИЛИ-НЕ.

Триггеры на интегральных ЛЭ разделяются на две группы: **асинхронные** и **синхронные**. **Асинхронный** триггер переходит из одного устойчивого состояния в другое в моменты поступления на вход управляющих импульсов. Рассмотренные ранее триггеры на дискретных компонентах являются асинхронными.

Инерционность процессов переключения может привести к несоответствию в течение некоторого временного интервала выходного сигнала входному. Это может стать причиной ошибок в работе цифровых устройств. Возможность возникновения таких ошибок исключена в **синхронных (тактируемых) триггерах**. В них, кроме запускающих, используются тактовые импульсы, которые следуют с некоторым запаздыванием по отношению к запускающим. Переключение синхронных триггеров может происходить только в тактовые моменты времени.

Различают триггеры со **статическими** и **динамическими входами**. В первом случае управление производится потенциалами (уровнями напряжения), во втором – перепадами напряжения, т.е. фронтами импульсов.

## Типы триггеров

**RS-триггер** - асинхронный триггер, который сохраняет своё предыдущее состояние при неактивном состоянии обоих входов и изменяет своё состояние при подаче на один из его входов активного уровня.

**D-триггер** - запоминает состояние входа и выдаёт его на выход.

**T-триггер** - при единице на входе **T**, по каждому такту на входе **C** изменяет своё логическое состояние на противоположное, и не изменяет выходное состояние при нуле на входе **T**

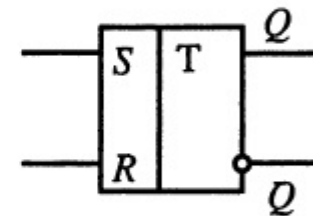
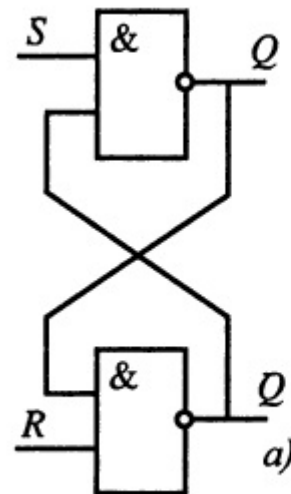
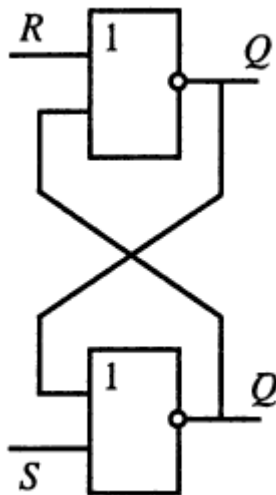
**JK-триггер** - работает так же как RS-триггер, с одним лишь исключением: при подаче логической единицы на оба входа **J** и **K** состояние выхода триггера изменяется на противоположное, т.е. выполняется операция инверсии (чем он отличается от RS-триггеров с доопределённым состоянием, которые строго переходят в логический ноль или единицу, независимо от предыдущего состояния).

## Триггеры на логических элементах

На рисунке показана базовая схема RS-триггера на элементах ИЛИ-НЕ, охваченных обратными связями, на основе которой строятся триггеры других типов.

Дуализм логических функций позволяет, инвертировав переменные, а также поменяв местами операции дизъюнкции и конъюнкции, получить RS-триггер на элементах И-НЕ. Его схема и обозначения приведены на рисунках а) и б).

Минимальная длительность установочных импульсов должна вдвое превышать время задержки примененных логических элементов, чтобы по петле положительной обратной связи пришло подтверждение о фиксации нового состояния триггера.

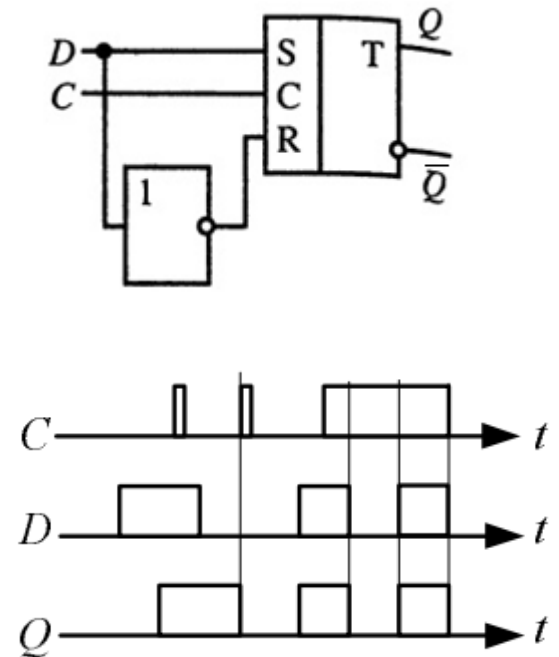
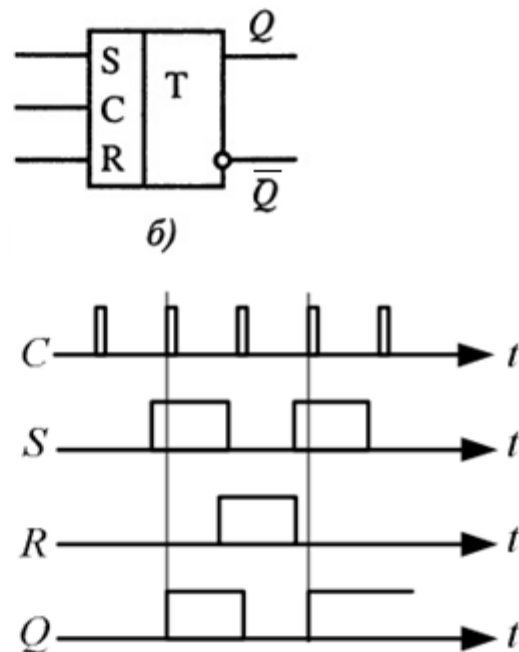
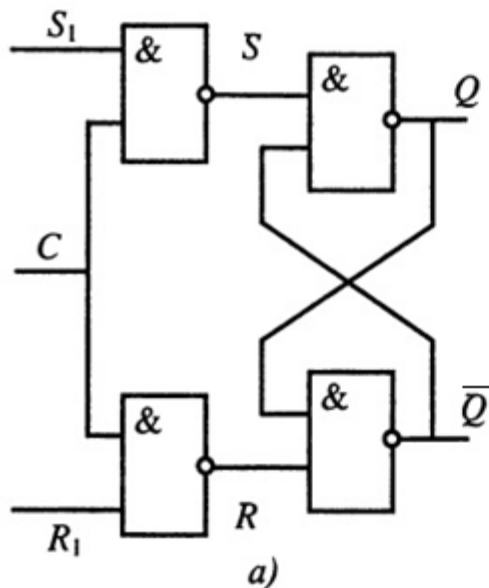


б)

## Триггеры на логических элементах

На рисунке а) показано, как можно построить статический синхронный RS-триггер, а на рисунке б) дано его обозначение. Символом  $C$  обозначен вход тактовых импульсов.

В схеме на третьем рисунке инверсность обеспечивается автоматически за счет дополнительного инвертора. При этом схема имеет лишь один информационный вход  $D$  и называется D-триггером.





## Триггеры на логических элементах

Рассмотренные RS-триггеры имеют запрещенные сочетания входных сигналов. Таких сочетаний не имеет так называемый JK-триггер. Он строится на базе двух последовательно соединенных RS-триггеров с инверсными входами. Его структурная схема на элементах И-НЕ и обозначение показаны на рисунке, а таблица представляет собой таблицу переключений.

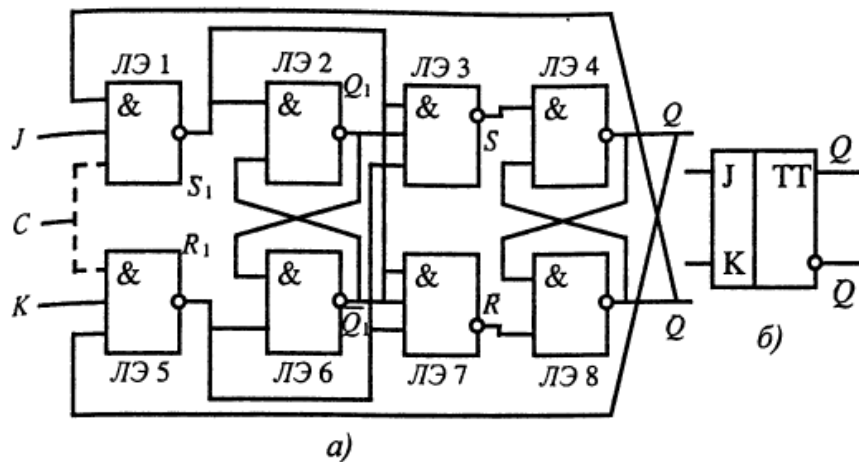
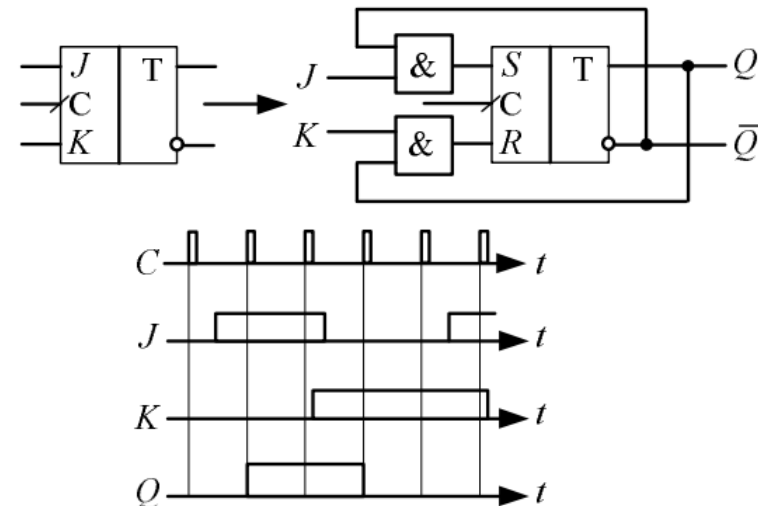


Таблица 13.6

$J_n$	$K_n$	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	1
1	1	$\overline{Q_n}$

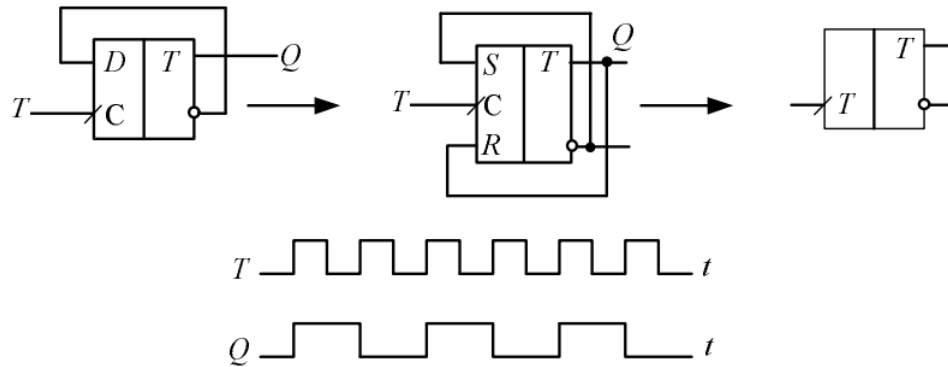




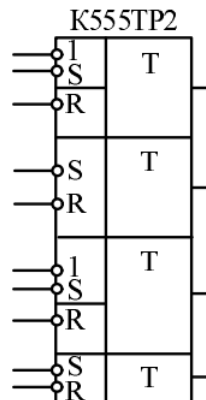
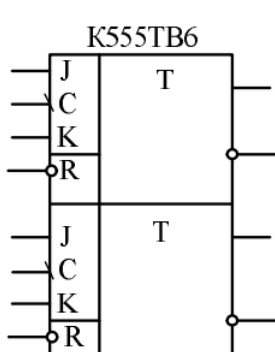
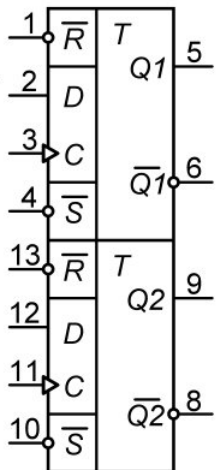


# Триггеры

Т-триггер. Он имеет только тактовый вход  $T$  и меняет свое состояние на противоположное по фронту или срезу каждого нового тактового импульса.



Примеры обозначения триггеров: Т – триггер, М – D-триггер, универсальный (JK-триггер)



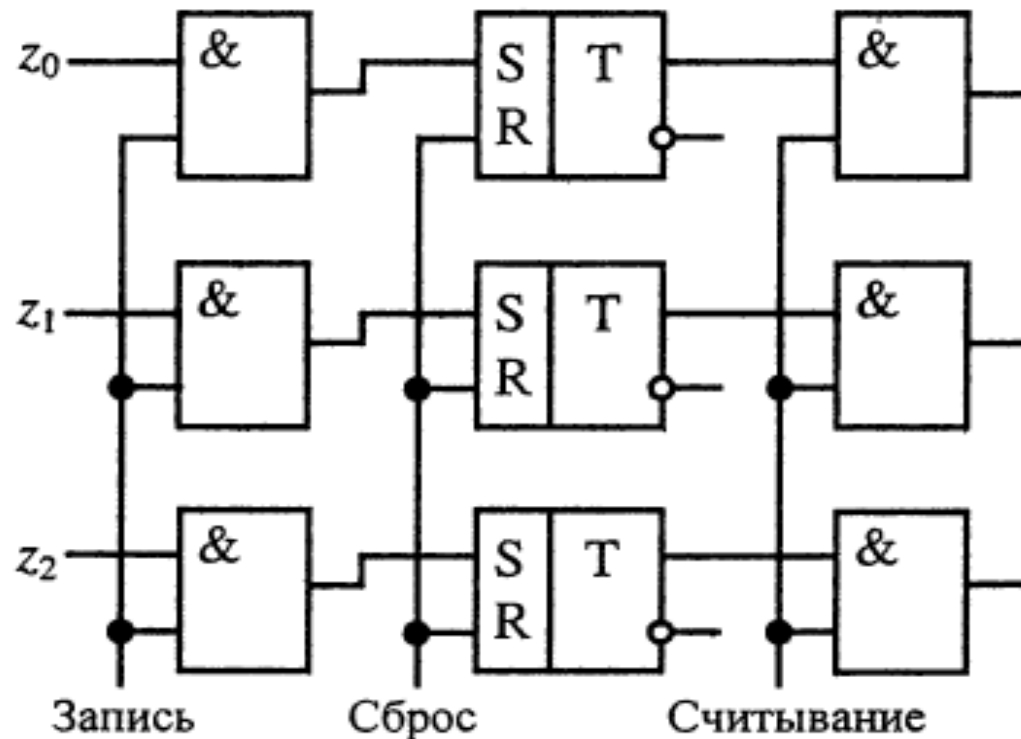
К555ТМ2 – содержит 2 D-триггера

К555ТВ6 – содержит 2 универсальных JK-триггера

К555ТР2 – содержит 4 RS-триггера

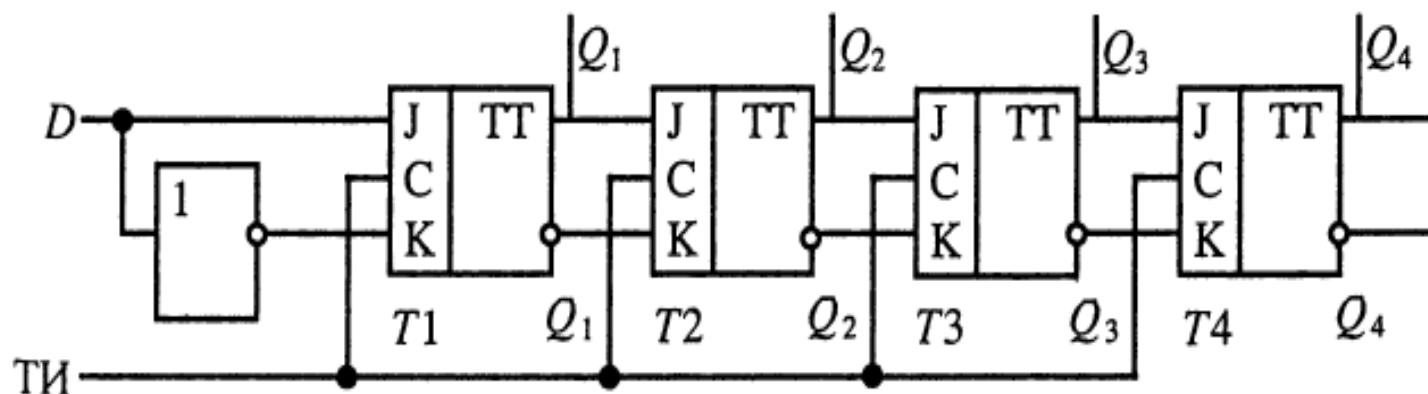
## Регистры и счетчики

На рисунке приведен пример схемы трехразрядного регистра, в котором запись и считывание коэффициентов  $z_i$  числа  $A$  производится одновременно (параллельно) для всех разрядов (в параллельном коде). Перед началом записи импульс сброса на входе  $R$  триггеров устанавливает их в нулевое состояние. Записываемый код числа устанавливается в виде уровней  $z_i$  (0 или 1) на выходах схем И. При поступлении импульса записи переходят в единичное состояние только те триггеры, в которые записывается  $z_i=1$  поскольку установочный сигнал формируется только на выходах соответствующих им схем И.



## Регистры и счетчики

На рисунке показана схема четырехразрядного регистра сдвига на базе RS-триггеров, реализующих функции D-триггера



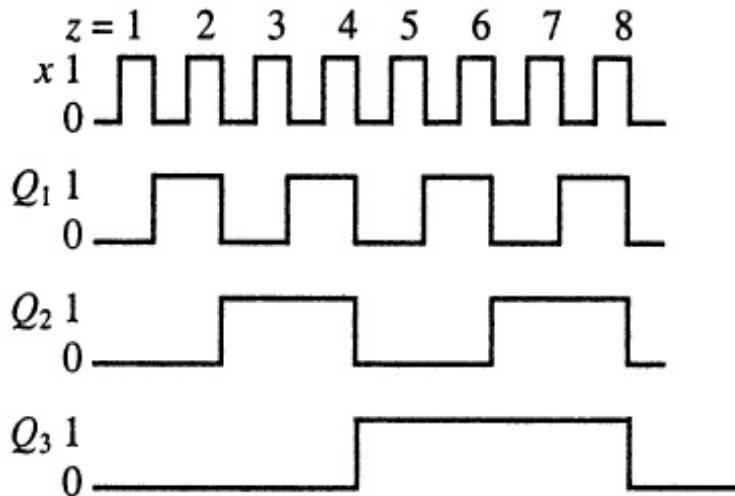
## Регистры и счетчики

В цифровых и аналогово-цифровых устройствах широко используют счетчики импульсов, представляющие собой устройства, у которых в определенных границах установлено однозначное соответствие между числом поступивших импульсов и состоянием выходных переменных. В этом смысле счетчики с естественным порядком счета изменяют код выходного сигнала на единицу после поступления на вход каждого следующего импульса. Счетчики, формирующие выходной сигнал после прихода определенного числа единиц, называют **пересчетными схемами**.

Счетчики делят на **суммирующие**, **вычитающие** и **реверсивные**. Последние суммируют или вычитают входные импульсы в зависимости от сигнала, поступающего со схемы управления.

## Регистры и счетчики

Таблица состояний двоичного счетчика, приведенная на рисунке устанавливает соответствие между числом входных импульсов и значениями выходных переменных трехзначного ( $m=3$ ) суммирующего счетчика. Данной таблице соответствует временная диаграмма, приведенная на рисунке.

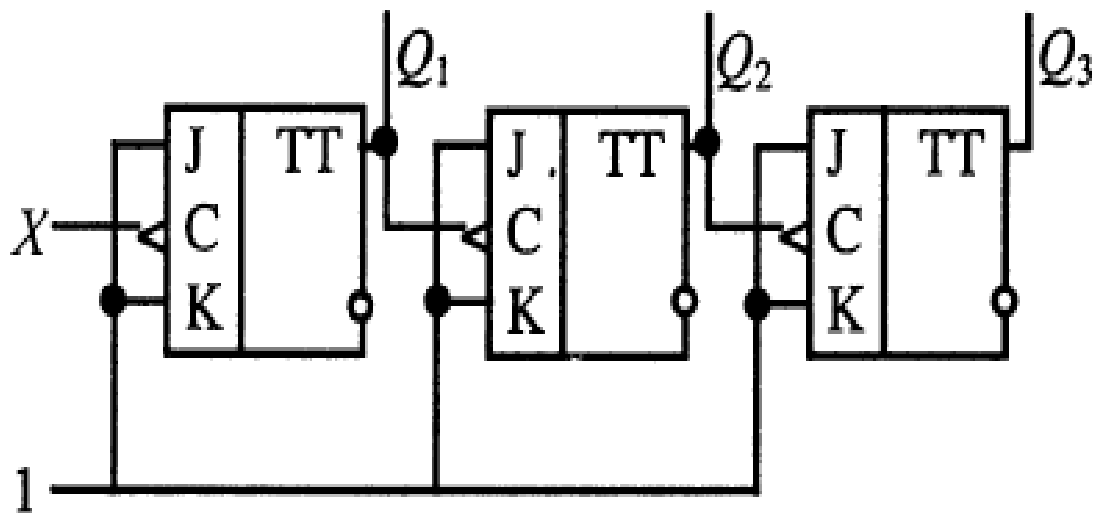


Z	$Q_3$	$Q_2$	$Q_1$
	$2^2$	$2^1$	$2^0$
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

По коэффициенту пересчета различают счетчики двоичные ( $K_{сч} = 2$ ), десятичные ( $K_{сч} = 10$ ), с произвольным постоянным  $K_{сч}$  с изменяемым  $K_{сч}$  (программируемые)

## Регистры и счетчики

В суммирующем счетчике счетные импульсы поступают на вход С первого триггера (рисунок), а с его прямого выхода – на вход С следующего. Поскольку на входы J и K постоянно подана единица, переключение каждого из триггеров происходит в момент окончания импульса на его входе, на что указывает обозначение входа С. Заметим, что если соединить входы С триггеров с инверсными выходами последующей ячейки, то получим вычитающий счетчик.

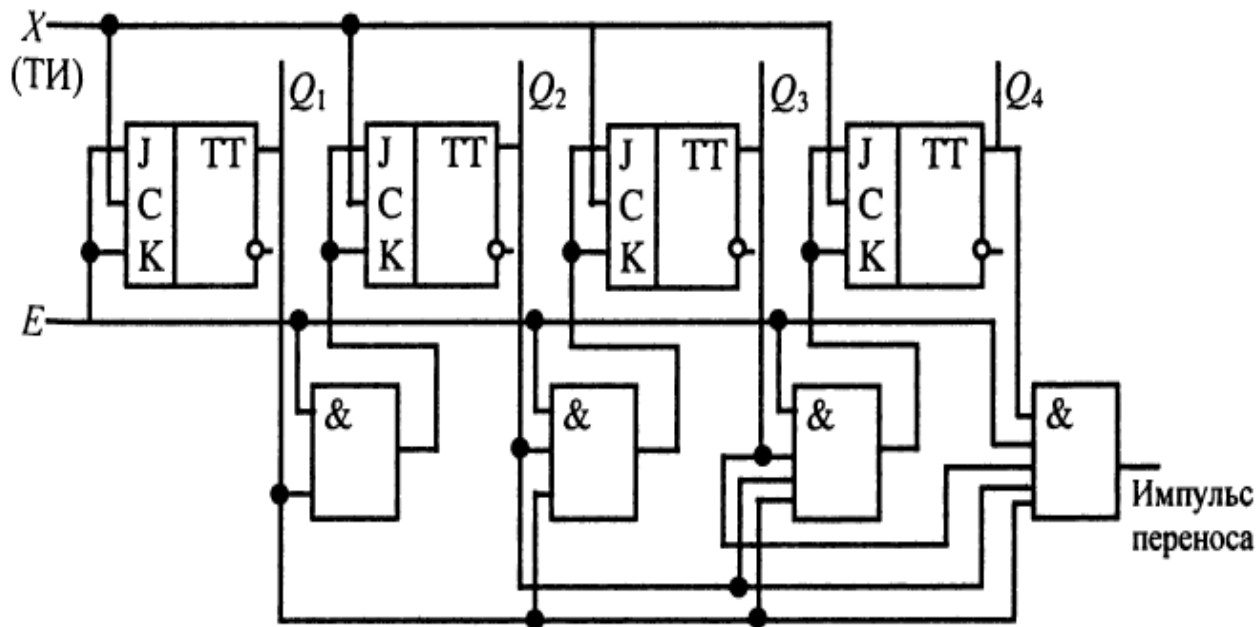


# Счетчики

## Регистры и счетчики

Недостатком асинхронных счетчиков с последовательным переносом является их невысокое быстродействие. Сигнал на вход последнего триггера поступает после переключения всех предыдущих. Поскольку переключение триггеров происходит с задержкой и при переключении задержки суммируются, то для правильной работы требуется, чтобы  $n$ -ый триггер успел переключиться до прихода следующего счетного импульса. Это снижает быстродействие счетчика с последовательным переносом.

Повышение быстродействия достигается в синхронных счетчиках с параллельным (сквозным) переносом. Пример реализации такого счетчика показан на рисунке.







УНИВЕРСИТЕТ ИТМО

**Спасибо за внимание!**