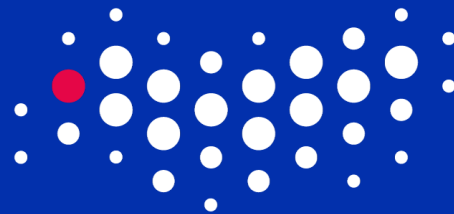


УНИВЕРСИТЕТ ИТМО

Санкт-Петербург, 2021



УНИВЕРСИТЕТ ИТМО

Элементы цифровых и  
аналогово-цифровых устройств.  
Комбинированные логические  
элементы, ЦАП и АЦП.

## Темы, освещенные в презентации

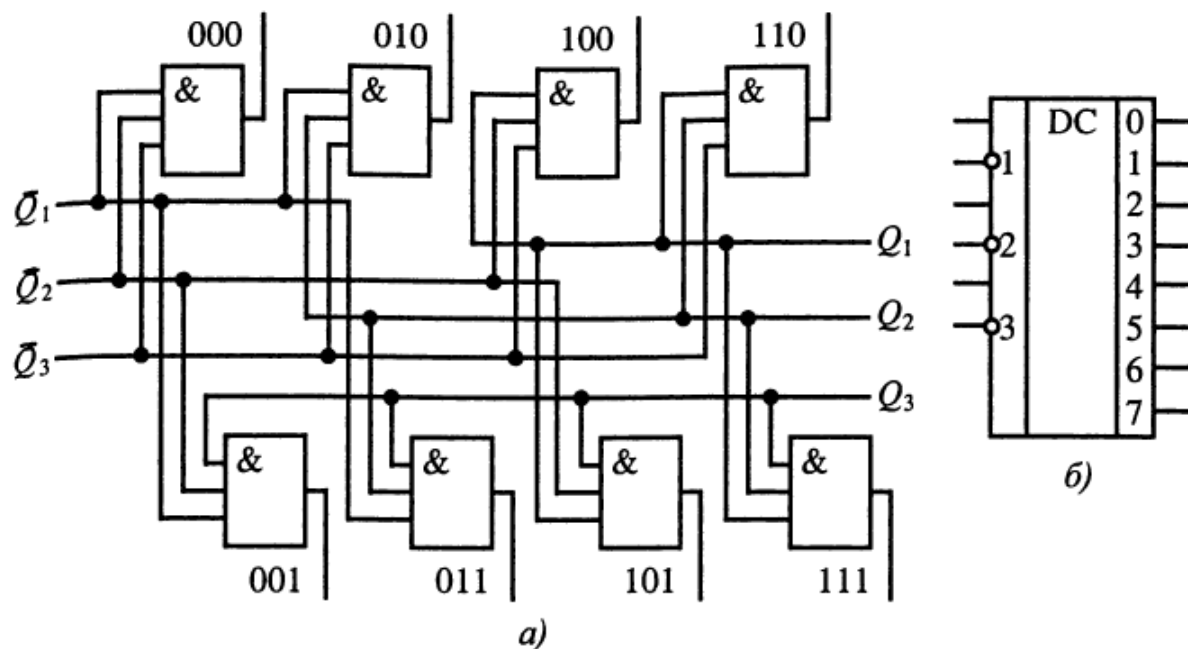
- ✓ Комбинированные логические элементы
- ✓ Цифро-аналоговые преобразователи
- ✓ Аналого-цифровые преобразователи
- ✓ Сумматоры

## Дешифратор

Комбинационные логические (ЛС) являются логическими схемами без памяти. Они строятся с использованием базовых ЛЭ, реализующих булевы функции.

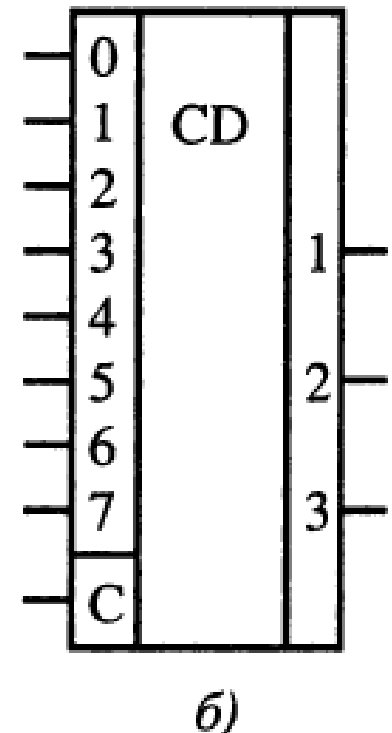
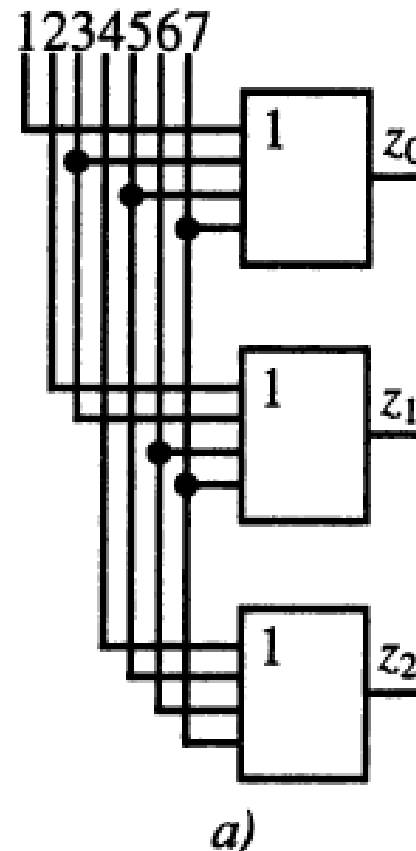
Дешифратор – устройство, распознающее числа, представленные в позиционном  $n$ -разрядном двоичном коде. Соответственно он имеет  $n$  входов и  $2^n$  выходов, поскольку  $n$ -разрядное двоичное число может быть представлено именно таким числом комбинаций. Каждой из возможных входных комбинаций соответствует единичный сигнал на одном из выходов дешифратора. Такой дешифратор называют полным (у неполного дешифратора число выходов меньше  $2^n$ ).

Пример линейного дешифратора трехразрядного кода ( $n=3$ ) представлен на рисунке а). Условное графическое обозначение дешифратора представлено на рисунке б).



## Шифратор

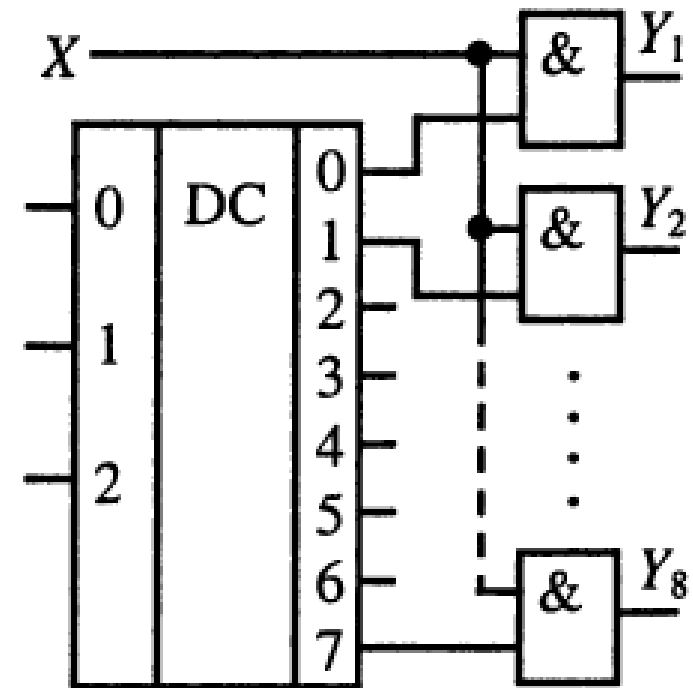
Шифратор (кодер) выполняет функции, обратные дешифратору, т.е. превращает единичный сигнал на одной из  $2^n$  входных шин в  $n$ -разрядный параллельный двоичный код. На рисунке показана структурная схема трехразрядного кодера на элементах ИЛИ и его УГО.



## Распределитель импульсов

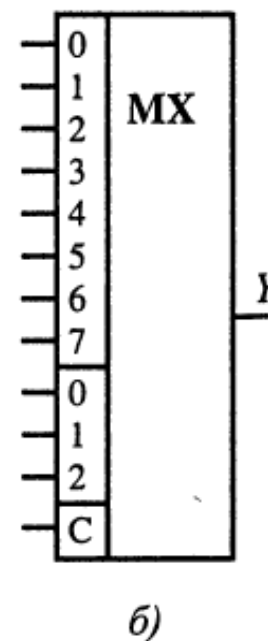
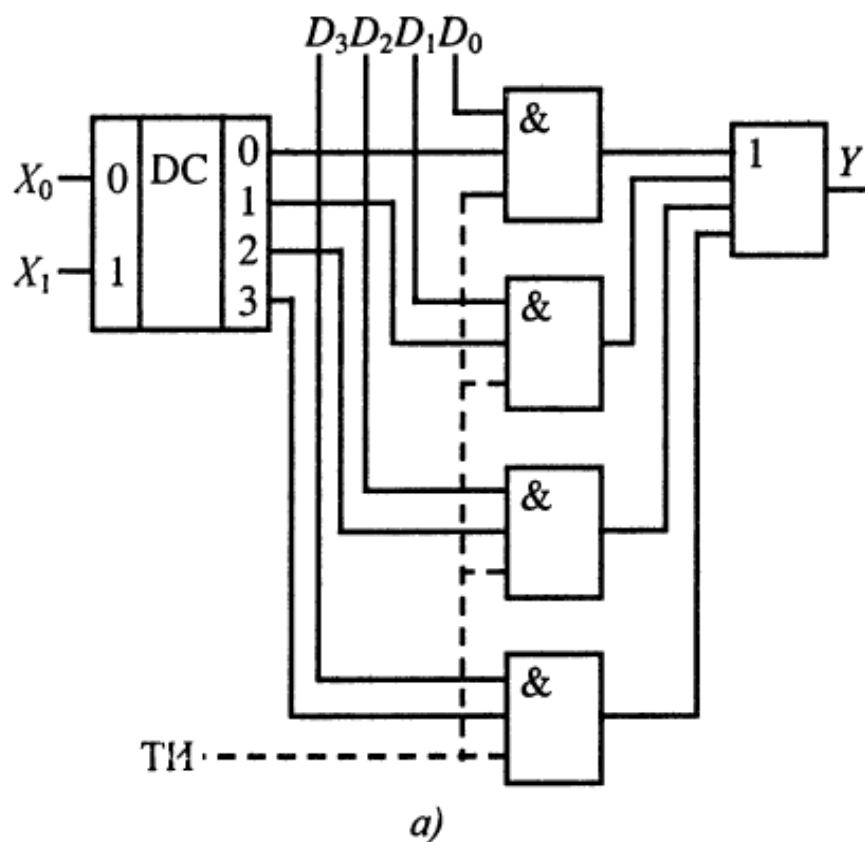
Устройство, предназначенное для перераспределения импульсов входной последовательности между выходными шинами, называется распределителем импульсов. В одних случаях требуется последовательное распределение импульсов: первый импульс – на первый вход, второй – на второй и т.д. Поскольку число выходов ограничено, процесс распределения после прохождения  $k$ -го импульса может либо блокироваться, либо циклически продолжаться.

В других случаях требуется, чтобы определенный импульс передавался на определенный выход распределителя. Номер выхода должен задаваться к моменту прихода соответствующего импульса в виде, например, цифрового кода. Вариант структурной схемы такого распределителя показан на рисунке.



## Мультиплексор

Для объединения информации, приходящей от различных источников, в одну общую шину, используется устройство, называемое мультиплексором. На рисунке показана схема и условное обозначение мультиплексора.

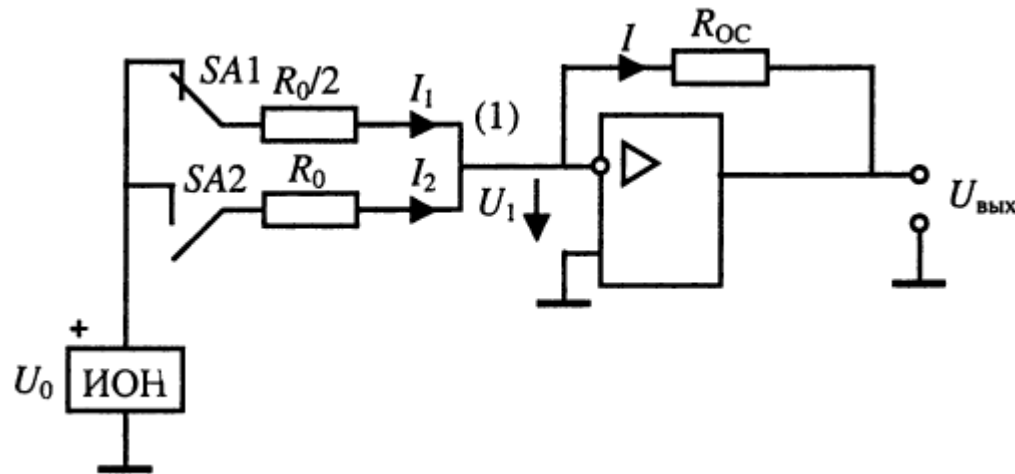


## ЦАП и АЦП

**Цифро-аналоговые преобразователи (ЦАП)** предназначены для преобразования числа, записанного в виде цифрового кода, пропорциональное ему напряжение или ток.

Такое преобразование необходимо, например, при восстановлении аналогового сигнала, предварительно преобразованного в цифровой для передачи на большое расстояние или хранения (таким сигналом, в частности, может быть звук). Другой пример использования такого преобразования — получение управляющего сигнала при цифровом управлении устройствами, режим работы которых определяется непосредственно аналоговым сигналом (что, в частности, имеет место при управлении двигателями).

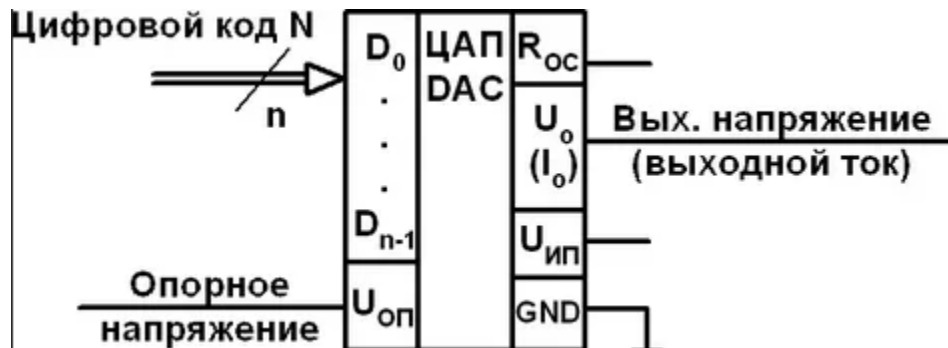
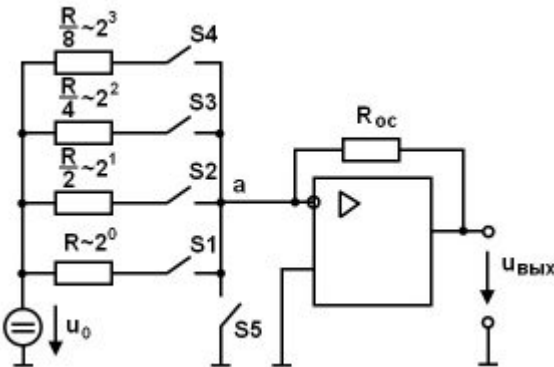
Простейший преобразователь двухразрядного двоичного кода показан на рисунке.





# ЦАП и АЦП

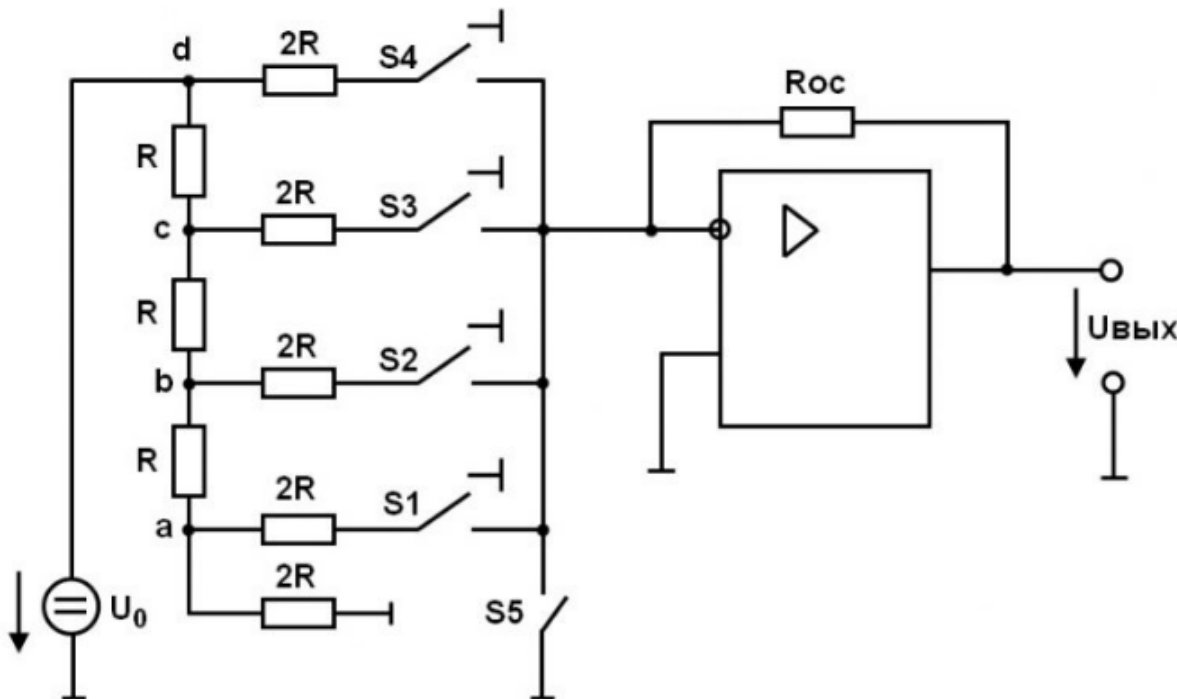
На рисунке приведена схема четырехразрядного ЦАП. По существу этот ЦАП — инвертирующий усилитель на основе операционного усилителя. Анализ такой схемы не представляет затруднений. Так, если замкнут один ключ  $S1$ , то  $u_{\text{ВЫХ}} = -U_0 R_{\text{ос}} / R$ . Состояние ключей определяется входным преобразуемым кодом. Схема проста, но имеет недостатки: значительные изменения напряжения на ключах и использование резисторов с сильно отличающимися сопротивлениями. Требуемую точность этих сопротивлений обеспечить затруднительно.



# ЦАП и АЦП

## ЦАП на основе резистивной матрицы $R - 2R$

В схеме использованы так называемые перекидные ключи  $S_1...S_4$ , каждый из которых в одном из состояний подключен к общей точке, поэтому напряжения на ключах невелики. Ключ  $S_5$  замкнут только тогда, когда все ключи  $S_1...S_4$  подключены к общей точке. Во входной цепи использованы резисторы всего с двумя различными значениями сопротивлений.



$$U_a = U_0$$

$$U_c = U_0 / 2$$

$$U_b = U_0 / 4$$

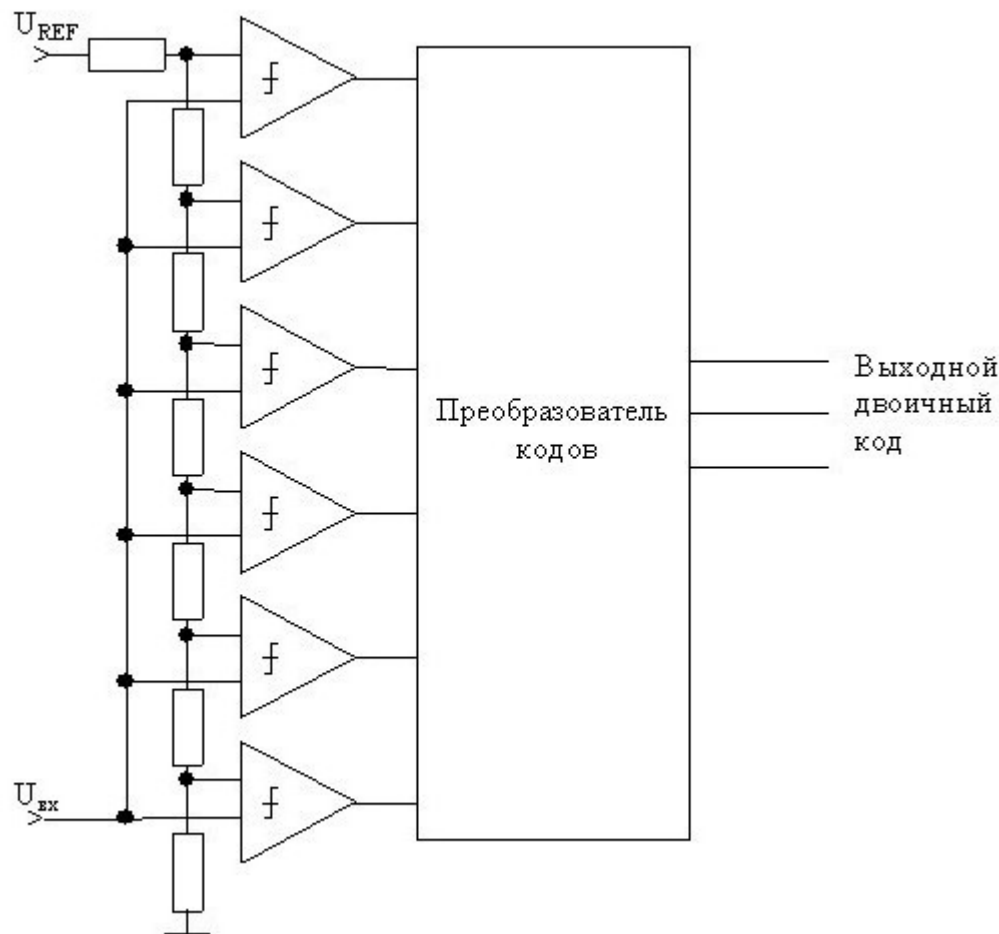
$$U_d = U_0 / 8$$

## Аналого-цифровые преобразователи (АЦП)

Аналого-цифровые преобразователи (АЦП) предназначены для представления аналогового сигнала в цифровой форме. При преобразовании аналогового сигнала в цифровой производится его квантование по уровню и дискретизация по времени. При квантовании по уровню имеющий бесконечное множество значений аналоговый сигнал преобразуется в сигнал с конечным множеством значений, т.е. представляется с некоторой погрешностью. Кроме того, эти значения привязываются к определенным моментам времени, т.е. является функцией дискретного аргумента.

Методы аналогово-цифрового преобразования значительно разнообразнее, чем цифро-аналогового. Выбор того или иного метода определяются требованиями системы, в котором используется АЦП. Это могут быть требования по скорости преобразования, энергопотреблению, разрешению, ослаблению помех, стоимости и т.п.

## ЦАП и АЦП



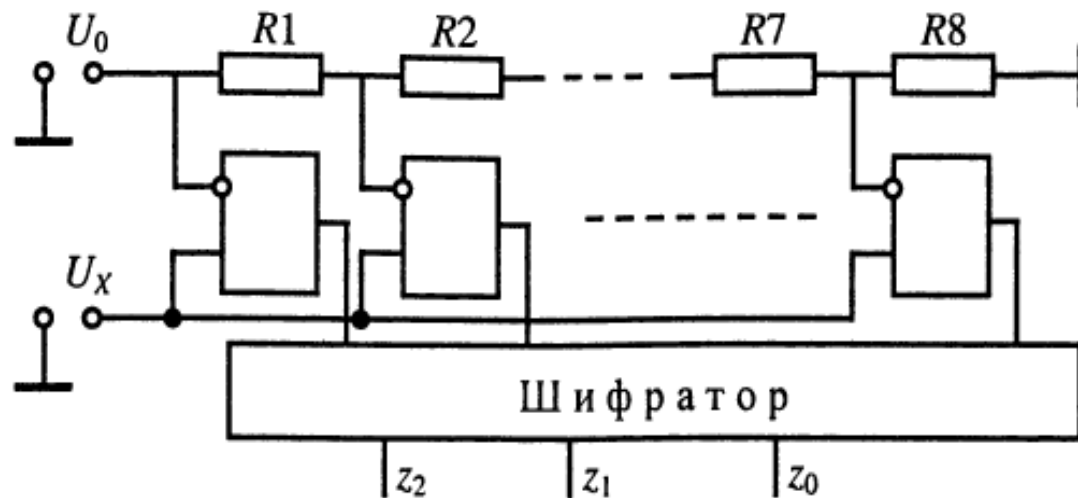
Прямые аналого-цифровые преобразователи

Принцип работы АЦП данного типа таков: на плюсовые входы компараторов одновременно поступает входной сигнал. На минусовые выводы подается напряжение определённой величины. А затем устройство определяет свой режим работы. Это делается благодаря опорному напряжению. Допустим, что у нас есть устройство, где 8 компараторов. При подаче  $\frac{1}{2}$  опорного напряжения будет включено только 4 из них. Приоритетным шифратором сформируется двоичный код, который и зафиксируется выходным регистром.

# Аналого-цифровые преобразователи (АЦП)

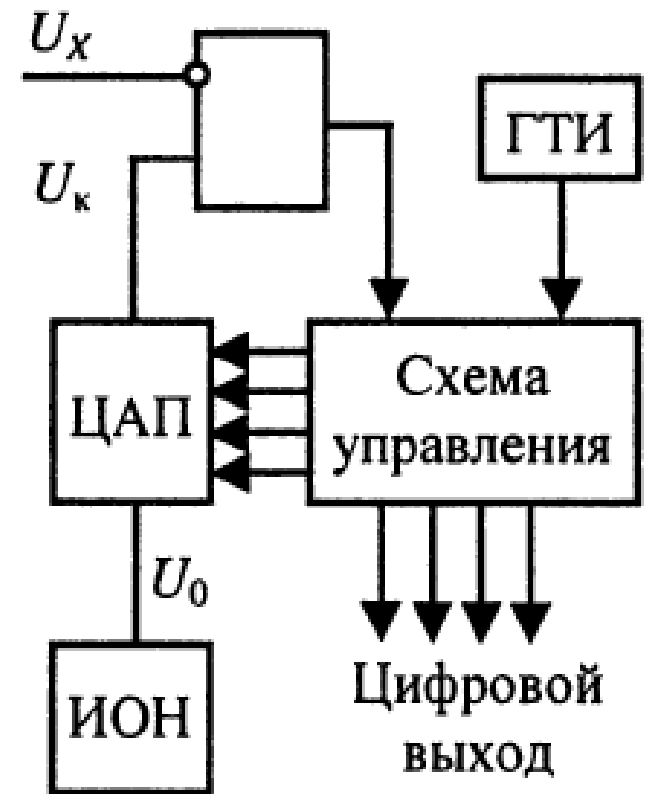
Рассмотрим принцип работы АЦП, использующего параллельный метод преобразования. В состав его схемы (рисунок) входит источник опорного напряжения  $U_0$ , нагруженный на резисторный делитель напряжения, задающий уровни квантования  $U_{0i}$  на одном из входов компараторов. На другой вход каждого из компараторов параллельно поступает квантуемое напряжение  $U_x$ . На выходе всех компараторов, начиная с правого, у которых на входе выполняется неравенство  $U_x > U_{0i}$  устанавливается значение логической единицы, на выходе остальных – логический ноль.

Для получения выходного цифрового входного сигнала в двоичном  $n$ -разрядном параллельном коде используется шифратор. Процесс квантования в данной схеме завершается за время переключения компараторов, поэтому она находит применение в высокоскоростных АЦП. Вместе с тем схема требует использования  $2^n - 1$  компараторов, поэтому увеличение разрядности ведет к экспоненциальному росту числа компараторов и соответственно энергопотребления.

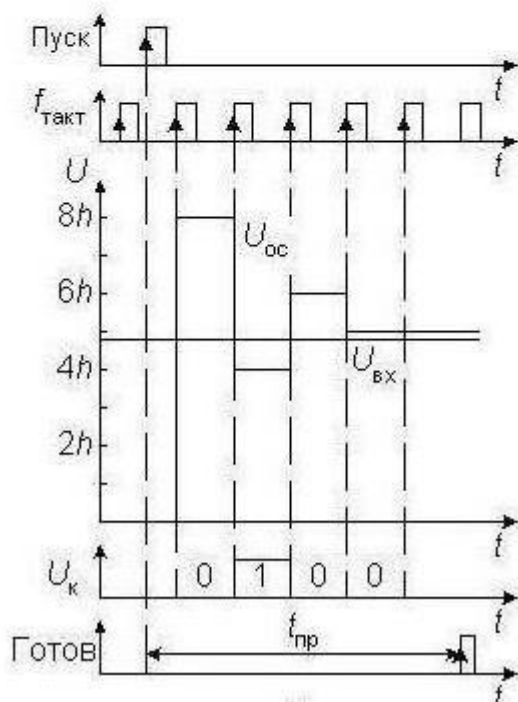
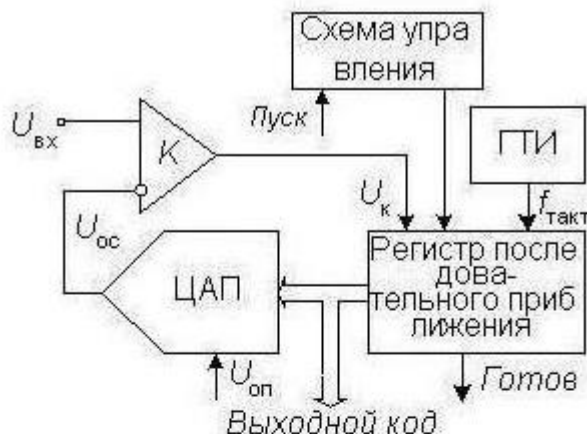


## Аналого-цифровые преобразователи (АЦП)

Одним из наиболее распространенных при построении АЦП является метод поразрядного взвешивания, который наряду с достаточно высокой скоростью преобразования обеспечивает высокое разрешение (малый шаг квантования). В основу метода положено сравнение опорного напряжения со значением входного аналогового сигнала. Сравнение производится за  $n$ -шагов, причем на каждом шаге возможное приращение опорного напряжения уменьшается вдвое, постепенно приближаясь к значению входного напряжения. Структурная схема АЦП показана на рисунке.



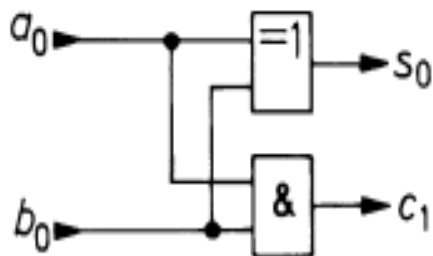
## ЦАП и АЦП



Принцип работы таков: устройством измеряется величина входного сигнала, а потом она сравнивается с числами, которые генерируются по определённой методике: Устанавливается половина возможного опорного напряжения. Если сигнал преодолел предел величины из пункта №1, то сравнивается с числом, которое лежит посередине между оставшимся значением. Так, в нашем случае это будет  $\frac{3}{4}$  опорного напряжения. Если опорный сигнал не дотягивает до этого показателя, то сравнение будет проводиться с другой частью интервала по такому же принципу. В данном примере это  $\frac{1}{4}$  опорного напряжения. Шаг 2 необходимо повторить  $N$  раз, что даст нам  $N$  бит результата. Это благодаря проведению  $N$  количества сравнений. Данный принцип работы позволяет получать устройства с относительной высокой скоростью преобразования, которыми и являются АЦП последовательного приближения. Принцип работы, как видите, прост, и данные приборы отлично подходят для различных случаев.

## Сумматоры

Таким образом, сигнал переноса реализуется логической схемой И, а сумма – логической схемой исключающее ИЛИ. Схема, реализующая обе функции, называется полусумматором (рисунок). Таблица истинности полусумматора приведена в таблице (рисунок).



$a_0$	$b_0$	$s_0$	$c_1$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



# Сумматоры

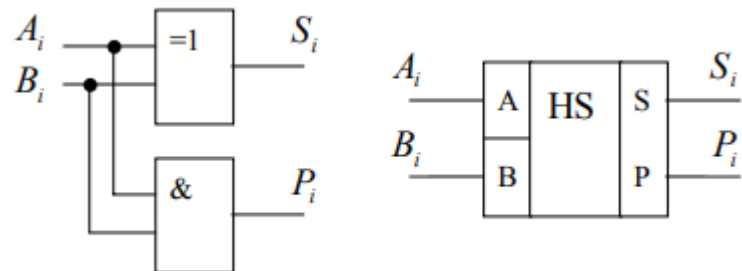
Различают полусумматоры и полные сумматоры. Правило работы сумматора описывается таблицей истинности.

Таблица истинности полусумматора

$A_i$	$B_i$	$S_i$	$P_i$
0	0	0	0
1	0	1	0
0	1	1	0
1	1	0	1

$$S_i = A_i \overline{B_i} + \overline{A_i} B_i = A_i \oplus B_i;$$

$$P_i = A_i B_i.$$



Почему данная схема называется полусумматором? Чего в ней не хватает?



# Сумматоры

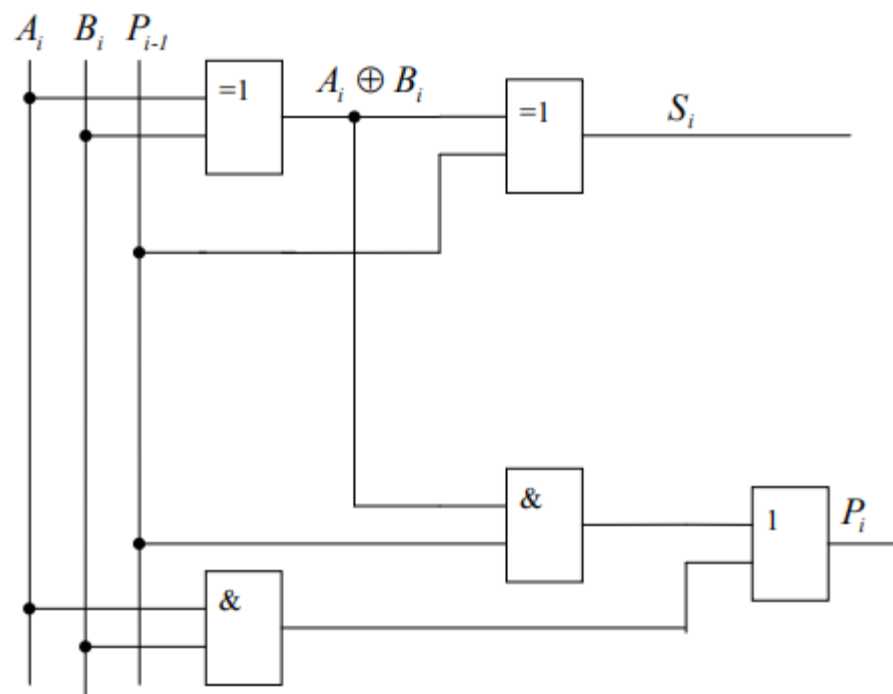
Полный сумматор предназначен для сложения трех двоичных одnorазрядных чисел, одно из которых является битом переноса, который формируется в предыдущем сумматоре.

Таблица истинности полного сумматора

№	$A_i$	$B_i$	$P_{i-1}$	$S_i$	$P_i$
0	0	0	0	0	0
1	0	0	1	1	0
2	1	0	0	1	0
3	1	0	1	0	1
4	0	1	0	1	0
5	0	1	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

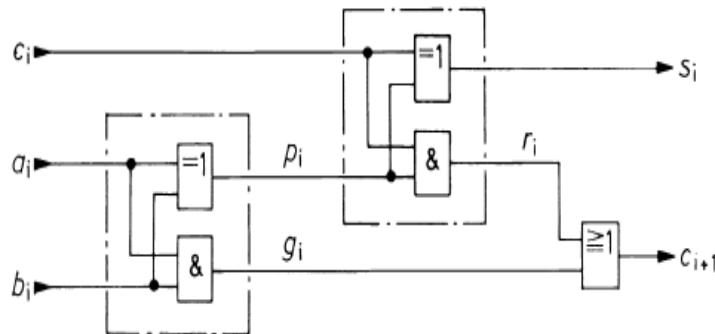
$$S_i = \bar{A}_i \bar{B}_i P_{i-1} + A_i \bar{B}_i \bar{P}_{i-1} + \bar{A}_i B_i \bar{P}_{i-1} + A_i B_i P_{i-1} = A_i \oplus B_i \oplus P_{i-1};$$

$$P_i = A_i \bar{B}_i P_{i-1} + \bar{A}_i B_i P_{i-1} + A_i B_i \bar{P}_{i-1} + A_i B_i P_{i-1} = (A_i \oplus B_i) P_{i-1} + A_i B_i.$$



## Сумматоры

При сложении многоразрядных двоичных чисел полусумматор справляется только с самыми младшими разрядами. Во всех остальных разрядах приходится складывать не два, а три бита, поскольку добавляется перенос из ближайшего низшего разряда. Таким образом, в общем случае для каждого бита требуется логическая схема с тремя входами  $a_i$ ,  $b_i$  и  $c_i$  и двумя выходами  $s_i$  и  $c_{i+1}$ . Такую схему называют полным сумматором, реализуемым с помощью двух полусумматоров (рисунок), таблица истинности полного сумматора представлена в таблице на рисунке.

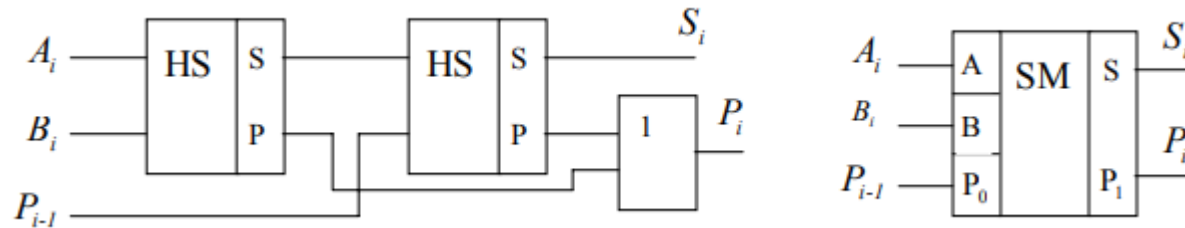


Вход			Внутренний			Выход		Десятичный
$a_i$	$b_i$	$c_i$	$p_i$	$g_i$	$r_i$	$s_i$	$c_{i+1}$	$\Sigma$
0	0	0	0	0	0	0	0	0
0	1	0	1	0	0	1	0	1
1	0	0	1	0	0	1	0	1
1	1	0	0	1	0	0	1	2
0	0	1	0	0	0	1	0	1
0	1	1	1	0	1	0	1	2
1	0	1	1	0	1	0	1	2
1	1	1	0	1	0	1	1	3

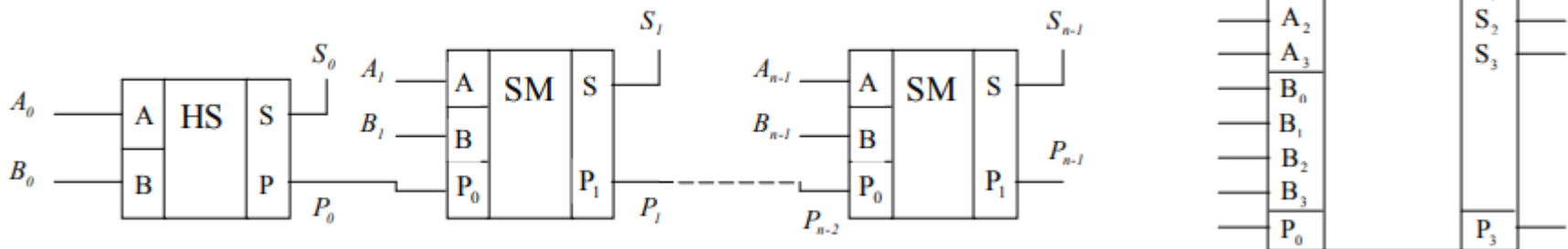


# Сумматоры

Полный сумматор может быть построен на базе двух полусумматоров



Для сложения  $n$ -разрядных чисел требуется один полусумматор в младшем разряде и  $n-1$  полный сумматор

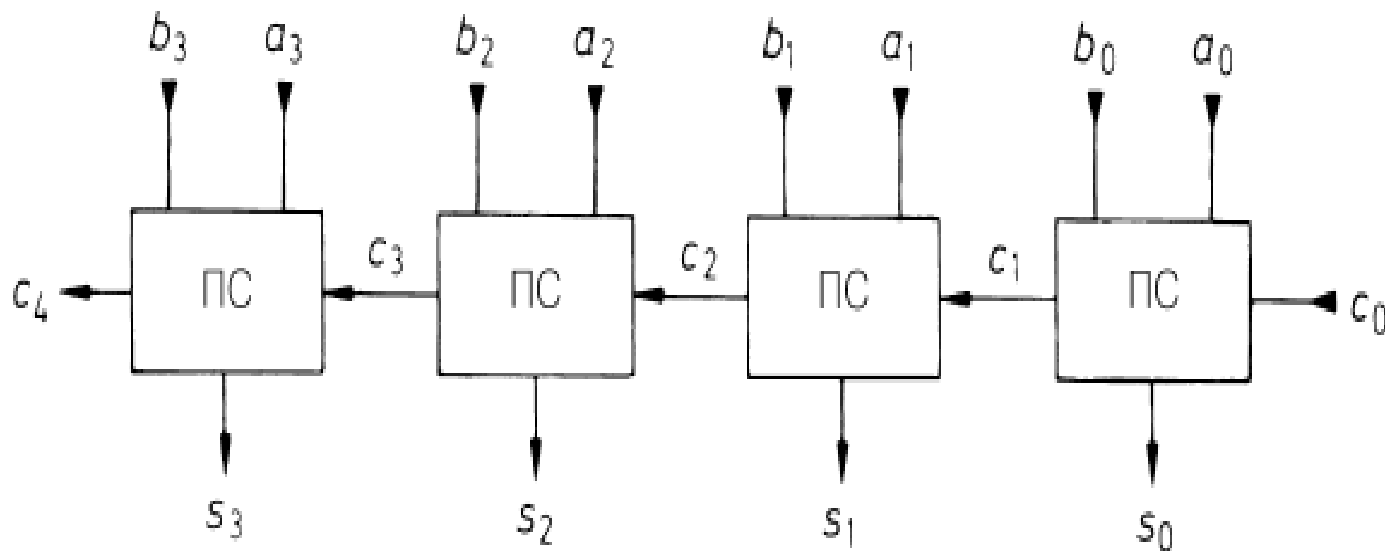


Пример обозначения сумматоров: 155ИМ1 – одноразрядный сумматор; 155ИМ2 – двухразрядный сумматор; 155ИМ3 – четырехразрядный сумматор.

## Сумматоры

При сложении многоразрядных двоичных чисел на каждый разряд требуется по одному полному сумматору. В самом младшем разряде достаточно полусумматора. На рисунке приведена схема для сложения пары 4-разрядных чисел  $A$  и  $B$ .

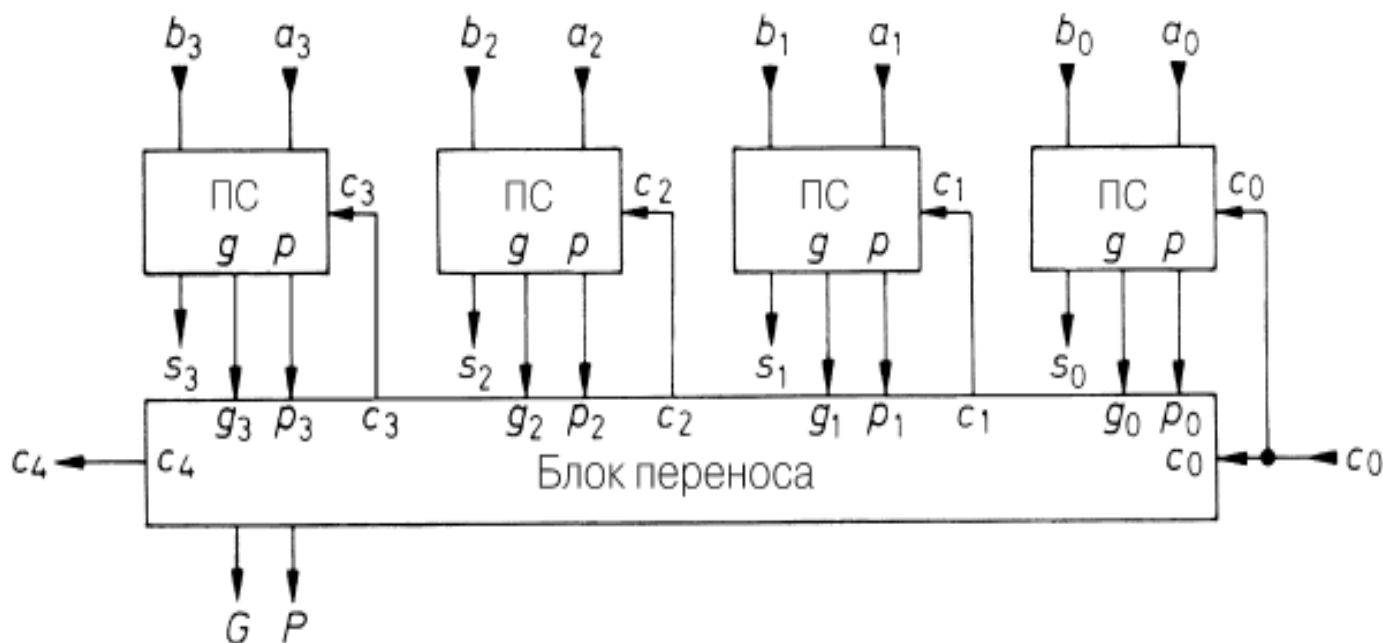
Подобные схемы имеются в интегральном исполнении. Полный сумматор применяется в них и для младшего разряда, что позволяет произвольно наращивать схему.



## Логика параллельного переноса

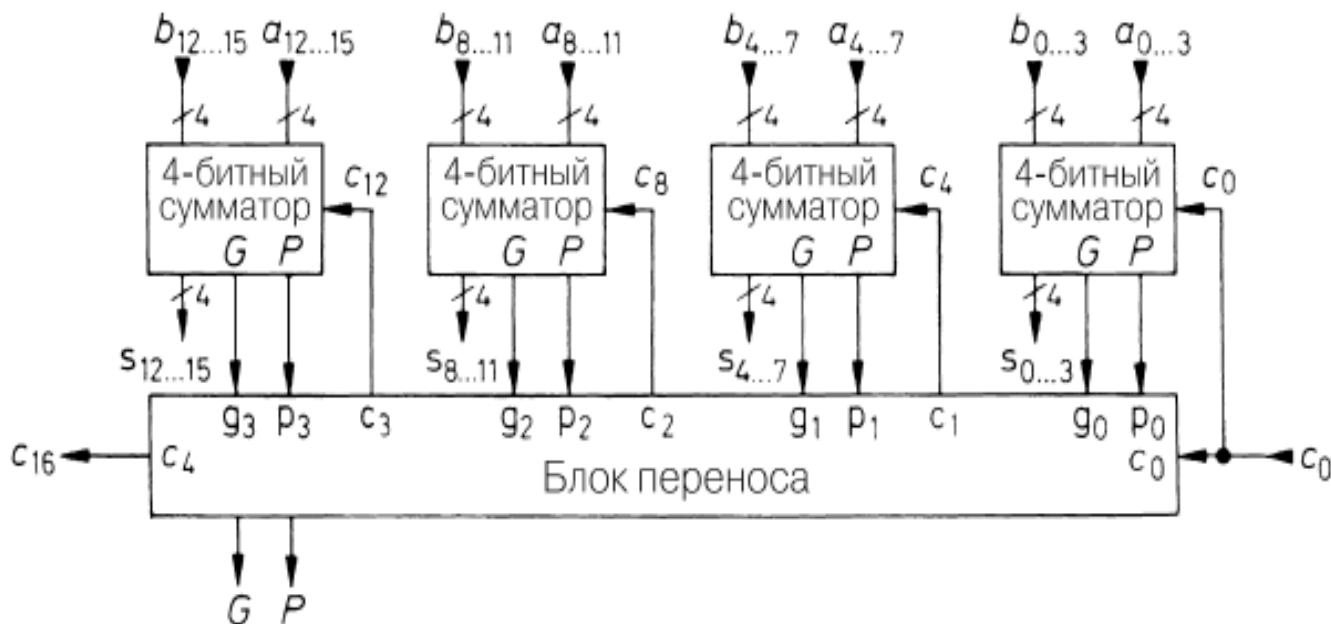
Последовательное подключение нескольких 4-разрядных сумматоров позволяет строить сумматоры для работы с числами большей разрядности. Тогда перенос  $c_4$  действовал бы как перенос  $c_0$  на входе следующего по старшинству сумматора. Однако данный способ противоречив, поскольку внутри группы происходит быстрый параллельный перенос, а между группами – медленный последовательный. Для сокращения длительности операций важно осуществлять параллельный перенос от группы к группе.

На рисунке показана блок-схема 4-разрядного сумматора с логикой параллельного переноса.



## Логика параллельного переноса

На рисунке представлена блок-схема 16-разрядного сумматора с логикой параллельного переноса. Здесь применяется схема ускоренного переноса, знакомая по 4-разрядному сумматору и выпускаемая в виде отдельной микросхемы.





УНИВЕРСИТЕТ ИТМО

**Спасибо за внимание!**