

YM2163

Digital Sound Generator (DSG)

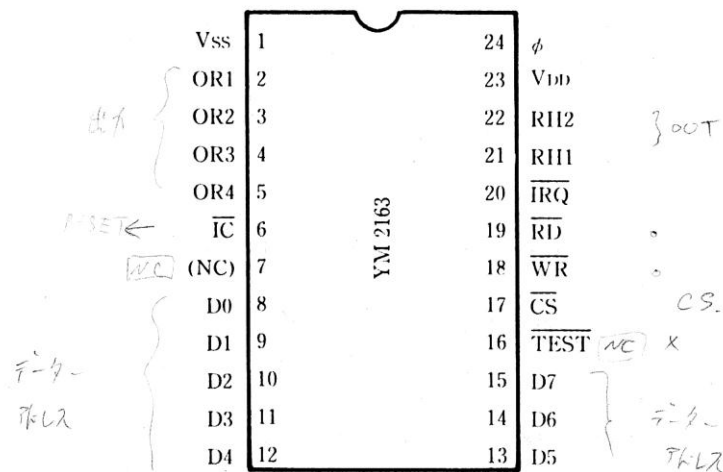
■概 要

DSG (Digital Sound Generator) は、内蔵するレジスタアレイに CPU が音程、音色の種類、リズム音の種類などを初期設定するだけで、波形メモリ方式により容易に楽音・リズム音の発生が可能な NMOS-LSI です。

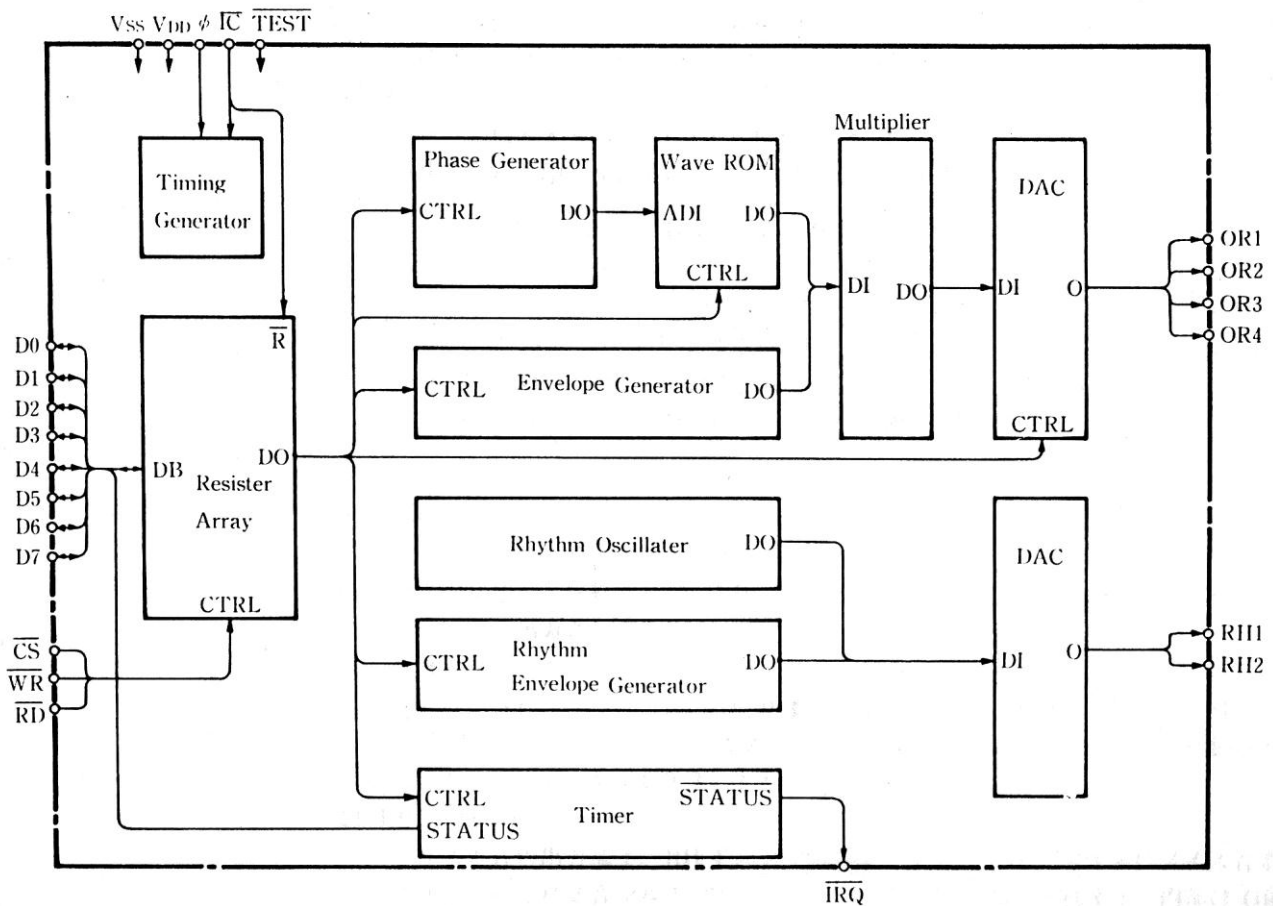
■特 長

- 5 V 単一電源 N channel E/D MOS
- TTL コンパチブルレベル
- 8 ビットまたは16ビットの CPU と容易に接続可能
- プリセットされた5種類の楽音および4種類のリズム音が容易に発生可能。楽音は最大4オクターブ発音可能。
- 7ビットD/Aコンバータ内蔵
- 14ビットタイマー内蔵
- 24ピンフラスチック DIL パッケージ

■端子配置図



■ブロック図



■端子機能説明

[1] Vss グランド端子

[2] OR1 ~ [5] OR4

楽音(オーケストラ音)の出力端子。4音マルチフレックスされた形でアナログで出力されます。4つの端子のいずれに出力させるかは4音それぞれ独立に選択できます。

内部はソースフォロアになっており、外部負荷抵抗(標準1KΩ)によってリズム音(RH1、RH2端子に出力)とのミキシングが可能です。

[6] IC

イニシャルクリア端子。この端子がローレベルの時、DSG内部すべてのレジスタアレイの内容を“0”にクリアします。

[7] NC

DSG内部のどこにも電気的に接続されていない端子です。

[8] D0 ~ [15] D7

データバス端子。DSGの内部レジスタアレイにデータを書き込む入力端子として、また内部タイマーのフラグの状態を読み出す出力端子として用います。(表1参照)

[16] TEST

LSIをテストする為の端子です。内部にプルアップ抵抗がついています。通常はどこにも接続しないで下さい。

[17] CS

チップセレクト端子。この端子がハイレベルの時、データバス端子(D0~D7)はハイインピーダンス状態になり、DSG内部レジスタアレイへのデータの書き込みやフラグの状態の読み出しは出来ません。(表1参照)

[18] WR

ライト信号入力端子。CS・WR・RD = “1”の状態からCS・WR = “0”の状態に移る時バスデータがレジスタアレイに書き込まれます。(表1参照)

[19] RD

リード信号入力端子。CS・WR・RD = “1”でデータバス端子にデータ(フラグの状態)がDSG内部から出力されます。(表1参照)

	CS	WR	RD	D0~D7の状態	備 考
a	1	*	*	ハイインピーダンス	*: don't care c→bまたはc→aの遷移でバスデータがレジスタアレイに書きこまれます。
b	0	1	1	ハイインピーダンス	
c	0	0	1	入力(書き込み)	
d	0	1	0	出力(読み出し)	フラグの状態が読み出されます。
e	0	0	0	(禁止)	使用中この状態にしないで下さい。

表1 データバスコントロール

[20] IRQ

インタラプトリクエスト端子。DSG内蔵タイマーによって周期的にセットされるフラグの状態が、反転されてCPUへの割り込み要求信号(“0”がアクティブ)としてこの端子に出力されます。

フラグはデータバスからフラグリセット信号(FGR) = “1”を書き込むことによってリセットされ、IRQ = “1”に戻ります。また、割り込みイネーブル信号(IEN) = “0”をデータバスからレジスタアレイに書き込むと、フラグの状態の如何にかかわらずIRQ = “1”を保ちます。(フラグがマスクされる。)

[21] RH1 [22] RH2

リズム音の出力端子。RH1にドラム音系の2音が、またRH2にノイズ音系の2音が、それぞれ2音マルチフレックスされてアナログで出力されます。内部はOR1~OR4端子と同様のソースフォロアになっています。(負荷抵抗は外付けです: 標準1KΩ)

23 VDD

電源端子(標準電圧+5V)です。

24 ϕ

クロック(標準1MHz)の入力端子です。

■機能説明

DSGの全機能は23バイトの内蔵レジスタアレイによって制御されます。CPUはレジスタアレイにデータを書き込むだけでよく、音の発生はDSG自身が行ないます。次の各ブロックによって音が発生されます。

- フェイズジェネレータ：楽音の音程をつくる分周器です。
- ウェーブROM：楽音の波形を記憶しているメモリです。
- エンベローフジェネレータ：楽音のエンベローフを発生させます。
- マルチフライヤ：エンベローフの付加された楽音をつくります。
- リズムオシレータ：リズム音の周波数成分をつくります。
- リズムエンベローフジェネレータ：リズム音のエンベローフをつくります。
- D/Aコンバータ：計算された楽音・リズム音をアナログ信号に変換します。

この他に、タイマではレジスタアレイに設定した周期の時間をカウントし、CPUへの割り込み要求信号を発生させます。

表2にレジスタアレイの内容を示します。データバスD0～D7の最上位ビットD7を1として書き込むとDSG内部レジスタアレイのアドレスとなり、D7を0として書き込むと、その前に入力されたアドレスにD0～D6がデータとして書き込まれます。一度書き込まれたデータは、書き換えられない限り原則として保存されます。(表2で*印のついたデータは、“1”を書き込んでも一定時間後に“0”に戻ります。)

*Write Data

Address	D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0	COMMENT			
8 0 H	0	D V 4 (0)	D V 3 (0)	D V 2 (0)	D V 1 (0)	D V 0 (0)	D V 1/2 (0)	D V 1/4 (0)	分周数 (下位)			
8 1 H	0	(1)	(1)	(1)	(1)	(1)	(1)	(1)				
8 2 H	0	(2)	(2)	(2)	(2)	(2)	(2)	(2)				
8 3 H	0	(3)	(3)	(3)	(3)	(3)	(3)	(3)				
8 4 H	0	K O N (0)	F D (0)	B 2 (0)	B 1 (0)	D V 7 (0)	D V 6 (0)	D V 5 (0)	キイオン	フォレンジング	オクタブ	分周数 (上位)
8 5 H	0	(1)	(1)	(1)	(1)	(1)	(1)	(1)				
8 6 H	0	(2)	(2)	(2)	(2)	(2)	(2)	(2)				
8 7 H	0	(3)	(3)	(3)	(3)	(3)	(3)	(3)				
8 8 H	0	E 2 (0)	E 1 (0)	S U S (0)		W 3 (0)	W 2 (0)	W 1 (0)	エンベローフ	サステインオン	波形メモリ	セレクト
8 9 H	0	(1)	(1)	(1)		(1)	(1)	(1)				
8 A H	0	(2)	(2)	(2)		(2)	(2)	(2)				
8 B H	0	(3)	(3)	(3)		(3)	(3)	(3)				
8 C H	0	TEST1	V L 2 (0)	V L 1 (0)	F 4 (0)	F 3 (0)	F 2 (0)	F 1 (0)	デス	音	出力フィルタ	セレクト
8 D H	0	2	(1)	(1)	(1)	(1)	(1)	(1)				
8 E H	0	3	(2)	(2)	(2)	(2)	(2)	(2)				
8 F H	0	4	(3)	(3)	(3)	(3)	(3)	(3)				
9 0 H	0	F G R *	I E N	H H D *	H H O *	S D N *	H C *	B D *	リズムトリガー			
9 1 H									割込みイネーブル			
9 2 H									フラグリセット			
9 3 H												
9 4 H	0		L V 4 (0)	L V 3 (0)	L V 2 (0)	L V 1 (0)	L V 0 (0)	L H (0)	(H H)	リズムレベル	レベルホールド	
9 5 H	0		(1)	(1)	(1)	(1)	(1)	(1)				
9 6 H	0		(2)	(2)	(2)	(2)	(2)	(2)				
9 7 H	0		(3)	(3)	(3)	(3)	(3)	(3)				
9 8 H	0	P T 6	P T 5	P T 4	P T 3	P T 2	P T 1	P T 0	タイマー周期 (下位)			
9 9 H												
9 A H												
9 B H												
9 C H	0	P T 13	P T 12	P T 11	P T 10	P T 9	P T 8	P T 7	タイマー周期 (上位)			
9 D H												
9 E H												
9 F H												

(注) 添字(0)~(3)は発音チャンネルを示します。

*Read Data

Address	D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0	COMMENT
don't care								FLAG	ステータス

表2 DSGアドレスマップ

(1) 楽音周波数とキイオン・オフデータの設定 (アドレス80H~87H)

分周数 DV7~DV1 とオクターフ値 B1、B2 を設定すると楽音の基本周波数 f が

$$f = \frac{\phi / 4}{\left(\sum_{i=0}^7 DV_i \right) + DV_{1/2} + DV_{1/4}} \times \left(\frac{1}{2} \right)^{(3-B1-2 \times B2)}$$

で決まります。ここで

分 周 数										B2	B1	オクターフ
上 位			下 位							0	0	1
DV7	DV6	DV5	DV4	DV3	DV2	DV1	DV0	DV $\frac{1}{2}$	DV $\frac{1}{4}$	0	1	2
128	64	32	16	8	4	2	1	$\frac{1}{2}$	$\frac{1}{4}$	1	0	3
										1	1	4

ϕ : DSG のマスタクロックの周波数

楽音の発音は KON データの設定で発音開始・減衰開始が行なわれます。FD は KON とは無関係に減衰させる時用います。

KON		FD	
0	キイオフ(減衰開始)	0	
1	キイオン(発音開始)	1	フォーシングダンフ(強制減衰)

(2) 波形メモリ・エンベロープの設定(アドレス88H~8BH)

楽音の波形とエンベロープが下記データにより選択されます。

波 形 メ モ リ			
W3	W2	W1	
0	0	0	
0	0	1	St(ストリングス)
0	1	0	Or(オルガン)
0	1	1	Cl(クラリネット)
1	0	0	Pf(ピアノ)
1	0	1	Hc(ハーフシコード)
1	1	0	
1	1	1	

エンベローフ選択		
E2	E1	
0	0	エンベローフ 0 (減衰音)
0	1	エンベローフ 1 (持続音)
1	0	エンベローフ 2 (持続音)
1	1	エンベローフ 3 (持続音)

サステイン指定	
SUS	
0	サステインオフ
1	サステインオン

(図2 参照)

(図2 参照)

(図1 参照)

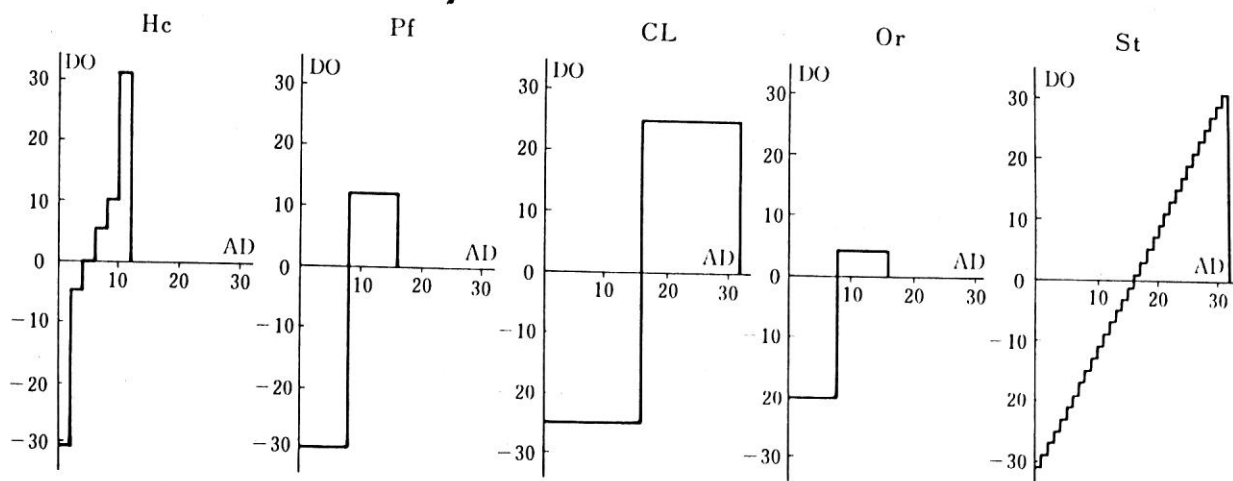


図1 波形メモリ (楽音)

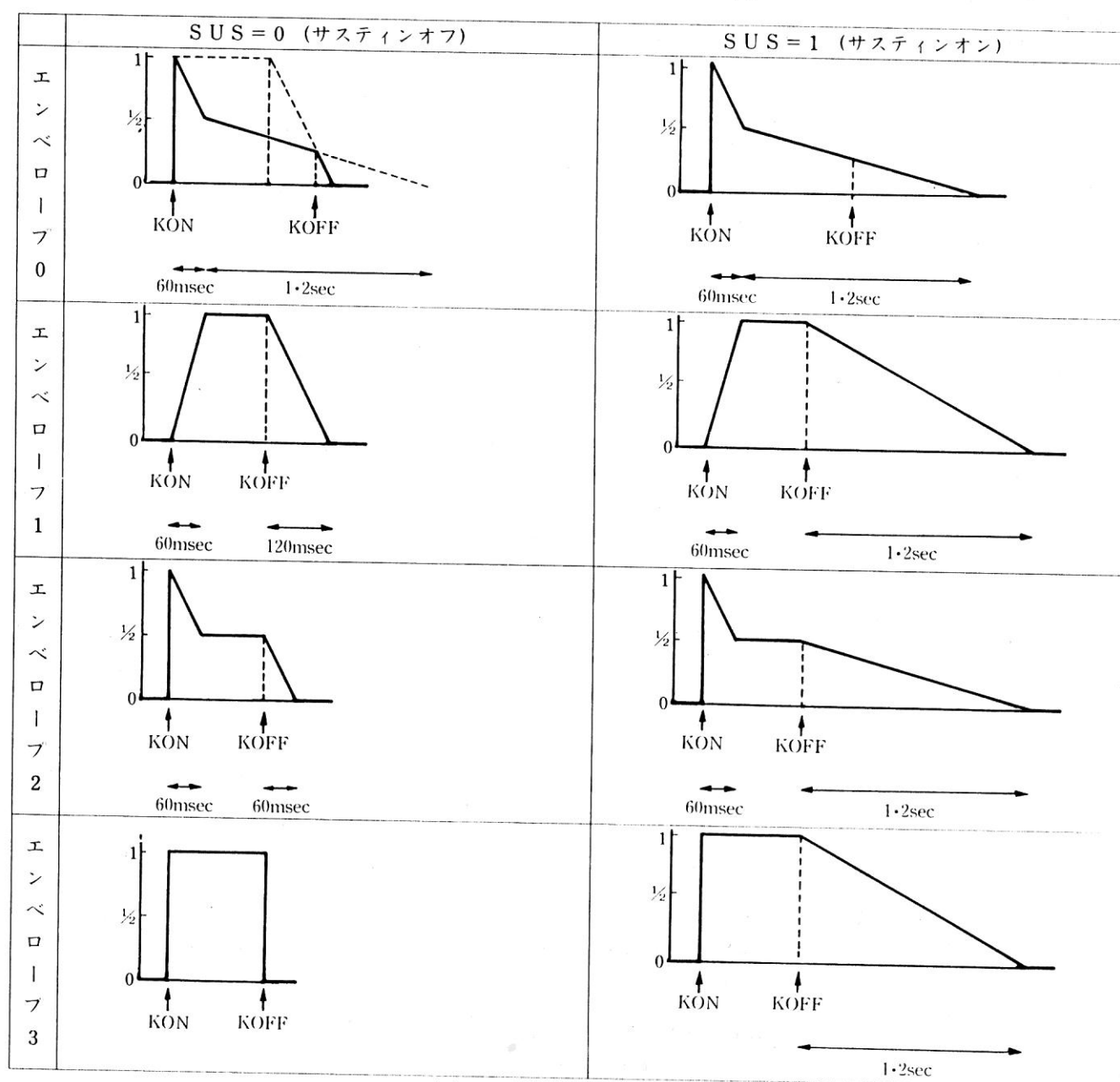


図2 エンベローフ (楽音)

(3) 音量・フィルタセレクトの設定(アドレス8CH~8FH)

楽音の音量調整データと出力端子指定データとが次の様に設定されます。

音 量(ボリューム)			出力端子選択(フィルタセレクト)		
VL2	VL1				
0	0	0 dB (ノーマル)	F 1	0	OR 1 端子に出力しない。
				1	OR 1 端子に出力する。
0	1	- 6 dB	F 2	0	OR 2 端子に出力しない。
				1	OR 2 端子に出力する。
1	0	- 12dB	F 3	0	OR 3 端子に出力しない。
				1	OR 3 端子に出力する。
1	1	- ∞dB	F 4	0	OR 4 端子に出力しない。
				1	OR 4 端子に出力する。

(4) リズムトリガー(アドレス90H~93H)

データ“1”を書き込むと下記の如くリズム音が発音され、内蔵のリズムエンベローフジェネレータにより自然に減衰し、データは自動的に“0”に戻ります。

リ ズ ム ト リ ガ ー			COMMENT
BD	0		RH 1 端子に出力。
	1	バスドラム発音	
HC	0		RH 1 端子に出力。
	1	ハイコンガ発音	
SDN	0		RH 2 端子に出力。
	1	スネアドラムノイズ	
HHO	0		RH 2 端子に出力。
	1	ハイハット(オープン)発音	
HHD	0		RH 2 端子に出力。
	1	ハイハット(クローズ)発音	

(5) リズムレベル(アドレス94H~97H)

リズム音の出力レベルを内蔵リズムエンベローフジェネレータによらず、DSG外部から制御する時に用います。この場合通常LH=1とします。

リ ズ ム レ ベ ル					レ ベ ル ホ ー ル ド	
LV 4	LV 3	LV 2	LV 1	LV 0	LH	
16	8	4	2	1	0	設定したリズムレベルを保持しない
					1	設定したリズムレベルを保持する

リズムレベル0が最大音量、リズムレベル31が最小音量です。

(6) タイマー割り込みコントロール(アドレス98H~9FH、90H~93H)

下記の様に設定されるタイマ周期毎にDSG内の割り込みフラグがセットされます。

$$\text{タイマ周期PT} = \left(1 + \sum_{i=0}^{13} \text{PT}_i\right) \times \frac{28}{\phi} \quad (\text{sec})$$

ここで、 ϕ : DSGのマスタークロックの周波数(Hz)

上 位							下 位						
PT13	PT12	PT11	PT10	PT9	PT8	PT7	PT6	PT5	PT4	PT3	PT2	PT1	PT0
8192	4096	2048	1024	512	256	128	64	32	16	8	4	2	1

割り込みフラグは、割り込みフラグリセット信号FGR=“1”が書き込まれるとリセットされ、FGRは自動的に“0”に戻ります。

割り込みフラグの状態は割り込みイネーブル信号IEN=“1”の時、 $\overline{\text{IRQ}}$ の端子に反転出力され、またリード(読み出し)モードではD0端子にも出力されます。

■電気的特性

絶対最大定格

記号		最小	標準	最大	単位
V _I	端子電圧	-0.3		7	V
T _{op}	動作温度	0		70	℃
T _{stg}	保存温度	-50		125	℃

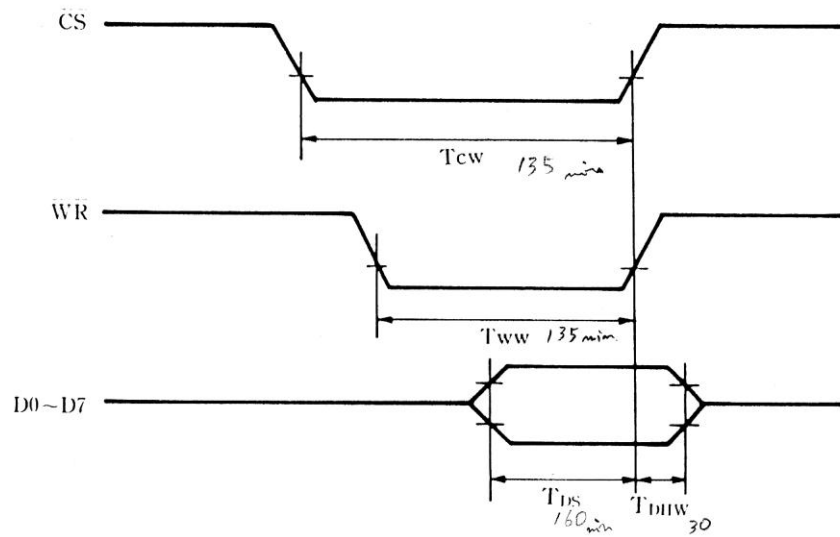
直流特性 (α V_{DD} = 4.5 ~ 5.5 V)

記号		最小	標準	最大	単位
V _{DD}	電源電圧	4.5	5.0	5.5	V
I _{DD}	電源電流 α RL = 1 KΩ		25	45	mA
V _{IL}	入力ローレベル電圧 (φ、CS、D0-D7、WR、RD、IC)			0.8	V
V _{IH}	入力ハイレベル電圧 (φ、CS、D0-D7、WR、RD、IC)	2.0			V
V _{OL}	出力ローレベル電圧 (D0、IRQ) α I _{OL} = 1.6mA			0.4	V
V _{OH}	出力ハイレベル電圧 (D0)	2.4			V
I _{LK}	入力リーク電流 (φ、CS、D0-D7、WR、RD、IC) α V _I = 5 V			10	μA

交流特性

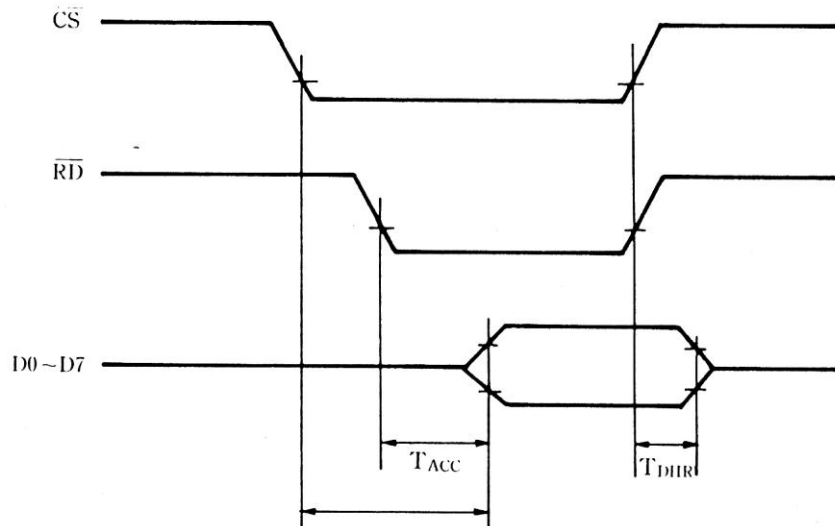
記号		最小	標準	最大	単位
T _{CW}	チップセレクト パルス巾 (図3)	135			ns
T _{WW}	ライト信号 パルス巾 (図3)	135			ns
T _{DS}	データ セットアップ時間 (図3)	160			ns
T _{DHW}	データホールド時間(ライト) (図3)	30			ns
T _{ACC}	アクセス時間 (図4)			400	ns
T _{DHR}	データホールド時間(リード) (図4)	0			ns
f _φ	クロック周波数 (図5)	0.9	1.0	1.1	MHz
T _{φON}	クロックオン時間 (α f _φ = 1 MHz) (図5)	400			ns
T _{φOFF}	クロックオフ時間 (α f _φ = 1 MHz) (図5)	400			ns
T _{φR}	クロック立上り時間 (図5)			80	ns
T _{φF}	クロック立下り時間 (図5)			80	ns
T _{OD}	出力遅延時間 (IRQ) ✓ (図5)			700	ns
V _{P-P}	出力最大振巾 (OR1 ~ 4、RH1 ~ 2) α RL = 1KΩ、V _{DD} = 5 V (図6)	0.60	0.90	1.40	V

図3 ライトタイミング



(注) T_{DS} 、 T_{DHw} は \overline{CS} 、 \overline{WR} のいずれか一方が High Level になった時を基準とする。

図4 リードタイミング



(注) T_{Acc} は \overline{CS} 、 \overline{RD} の Low Level になるのが遅い方を基準とする。
 T_{DHr} は \overline{CS} 、 \overline{RD} のいずれか一方が High Level になった時を基準とする。

図5 クロック/出力タイミング

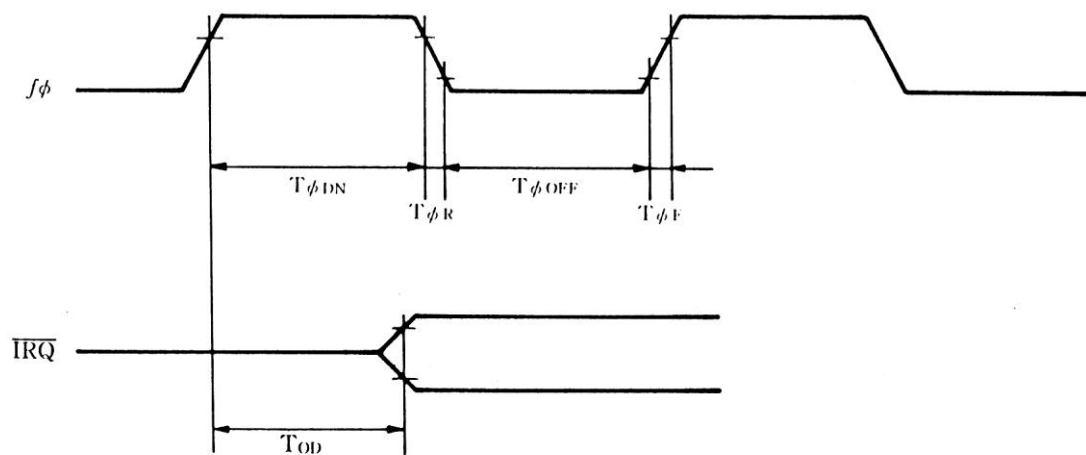
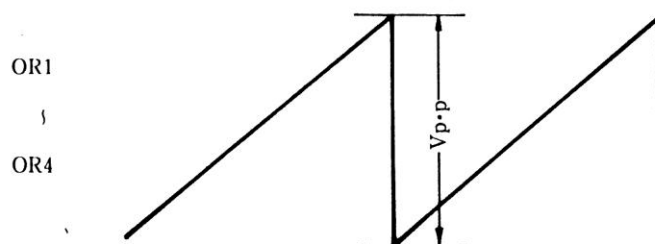
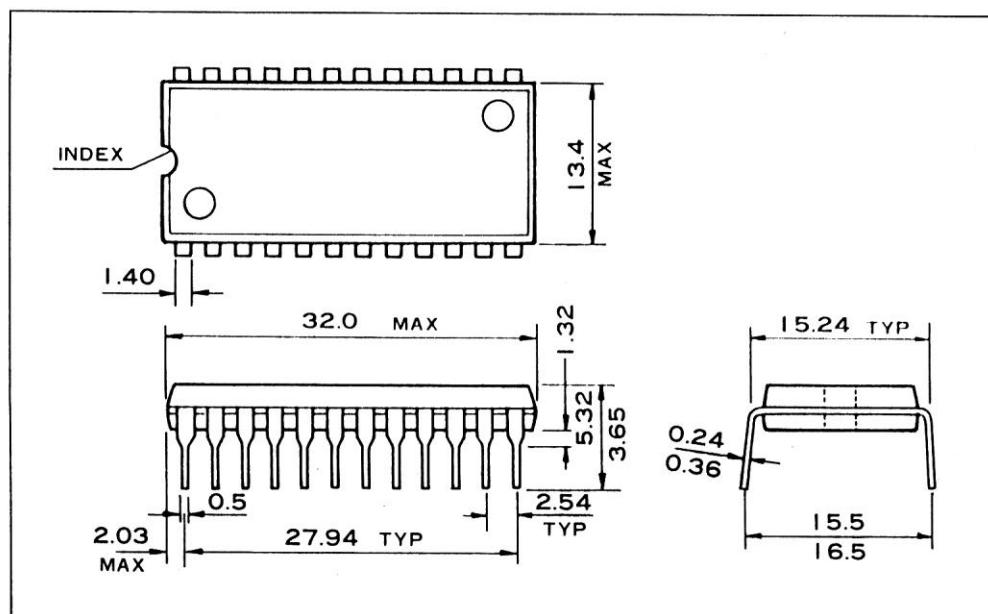


図6 出力最大振巾



(注) $W1 = 1$ 、 $W2 = W3 = 0$ 、 $VL1 = 0$ 、 $VL2 = 0$ の場合で規定する。

■外形寸法図



注) 本製品の仕様につきましては、改良等の為、予告なく変更する場合があります。

— 代理店 —

兼松セミコンダクター株式会社
東京都中央区新富1丁目6番1号
電話 (03) 551-7791

—— 日本楽器製造株式会社 ——

■本 社 〒430 静岡県浜松市中沢町10-1
TEL 0534-65-1111代

お問い合わせ先

■豊岡工場 〒438 01

静岡県磐田郡豊岡村松之木島203
電子機器事業部 営業課
TEL 053962-3111代